(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/28

(45) 공고일자 2004년05월12일
(11) 등록번호 10-0431295
(24) 등록일자 2004년04월30일

(21) 출원번호 10-2001-0063059
(22) 출원일자 2001년10월12일

(65) 공개번호 10-2003-0030717
(43) 공개일자 2003년04월18일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 정우석
경기도이천시백사면모전리현대아파트107-203

(74) 대리인 강성배

심사관 : 이준성

(54) 반도체소자의 플러그 형성방법

요약

본 발명은 반도체소자의 플러그 형성방법을 개시하며, 개시된 본 발명의 플러그 형성방법은, 실리콘기판 상에 게이트구조를 형성하는 단계와, 상기 게이트구조의 전면에 절연막스페이서를 형성하는 단계와, 상기 절연막스페이서를 포함한 전체 구조의 상면에 산화막을 형성하는 단계와, 상기 산화막을 게이트구조 상면의 절연막스페이서 부분 상에만 남도록 습식식각공정에 의해 선택적으로 제거하는 단계와, 상기 전체 구조의 상면에 절연막을 형성하는 단계와, 상기 절연막 내에 실리콘기판을 노출시키는 콘택홀을 형성하는 단계와, 상기 콘택홀 측면에 질화막을 형성하는 단계와, 상기 질화막을 포함한 콘택홀 내에 선택적 도전성 플러그를 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 7

명세서

도면의 간단한 설명

도 1 내지 도 4는 종래기술에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정별 단면도.
도 5 내지 도 7은 본 발명의 일실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도.
도 8은 본 발명에 따른 셀과 셀사이에 BPSG막으로 채워져 있는 것을 나타낸 레이아웃도.
도 9는 본 발명에 따른 셀의 블럭을 확대 도시한 레이아웃도.
도 10은 본 발명에 따른 셀블럭보다 약간 큰 마스크을 이용한 노광 및 현상공정을 진행하여 감광막패턴(PR)만 남은 모습을 도시한 레이아웃도.
도 11은 본 발명에 따른 셀블럭 외곽에 남은 층간절연막과 질화막을 도시한 레이아웃도.
도 12 및 도 13 은 셀블럭에서 선택적 실리콘플러그 형성공정후 얻어진 시료를 X축 및 Y축 방향으로 각각 자른후의 SEM사진.
도 14는 도 12 및 13과 동일시료를 X축방향으로 자른후의 TEM 단면 사진.
도 15 내지 도 17은 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형 성방법을 설명하기 위한 공정단면도.

도 18 내지 도 20은 본 발명의 또다른 실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도.
도 21 및 도 22는 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, 선택적 실리콘플러그의 형성공정에 따른 단면을 보여 주는 TEM 사진.
도 23은 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, UHVCVD에 의해 선택적단결정실리콘 성장시에 산화막패턴위에 실리콘핵생성이 발생하기 시작하는 시점을 TEM분석을 통해 나타난 사진.
도 24는 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, 산화막패턴위에서의 실리콘 성장과 표면구조를 나타낸 TEM 사진이다.
도 25 및 26은 본 발명의 또다른 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, 선택적 실리콘플러그의 형성공정에 따른 단면을 보여 주는 TEM 사진.
- 도면의 주요 부분에 대한 부호의 설명 -
21 : 실리콘기판 23 : 트렌치소자분리막
25 : 게이트구조 27 : 질화막스페이서
29 : 층간절연막 30 : PE-USG 산화막
31, 33 : 선택적 실리콘플러그 31a, 33a : 선택적 단결정실리콘 31b, 33b : 선택적 다결정실리콘

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로서, 보다 상세하게는 초고집적 반도체소자 제조에 적합한 우수한 콘택플러그를 형성할 수 있는 반도체소자의 플러그 형성방법에 관한 것이다.
일반적으로, 반도체소자의 제조시에 선택적 실리콘 성장(SEG) 기술의 적용 가능성은 셀 크기의 축소와 공정단순화 그리고 전기적 특성 확보차원에서 높이 평가되고 있다.
최근까지는 반도체소자 제조시에 적용하는 실리콘 콘택플러그는 콘택홀 형성후, 콘택홀내에 비정질실리콘을 증착하고 이를 시엠피(CMP)공정으로 평탄화시켜 형성하였다.
그러나, 반도체소자를 제조함에 있어서, 회로선폭이 0.16 μm 이하 기술에서 콘택저항의 감소시키는 것은 매우 중요한 해결과제라고 할 수 있다.
따라서, 선택적 실리콘성장을 적용하여 플러그를 형성할 수 있다면, 셀크기 축소에 따른 갭매립(gap-fill) 문제나 콘택저항 증가 문제를 동시에 해결할 수 있다.
한편, 플러그 분리를 위한 시엠피(CMP)나 실리콘 리세스 식각(silicon recess etch)을 생략할 수 있어 공정단순화도 기대해 볼 수가 있다.
그러나, 플러그 형성시에 선택적 실리콘 성장(SEG; selective epitaxial growth)을 적용시에 해결해야 할 문제점이 많다.
그중 하나는 패턴물질(즉, 선택적 실리콘 성장(SEG)이 성장하도록 창을 형성하는 물질)에 따른 선택성의 확보이다.
또한, 셀활성영역의 확보차원에서 자기정렬콘택(SAC; self-aligned contact) 식각 개념을 적용할 때 반드시 질화막 표면이 드러난다.
한편, 선택적 실리콘성장(SEG)은 패턴물질에 따라 선택성(selectivity), 열적 스트레스(thermal stress)에 기인한 결함, 퍼시트 발생(facet generation) 양상 등이 크게 변할 수 있다.
일반적으로, 엘피시브이디(LPCVD)의 경우, 질화막 계열물질은 850 ℃이하 온도에서 산화막 계열의 물질에 비해 선택성확보가 매우 어렵다.
따라서, 선택성을 확보하려면 성장속도를 낮추어야 하므로 열적 성장 (thermal growth)이 증가한다.
이러한 관점에서, 종래기술에 따른 반도체소자의 플러그 형성방법을 첨부된 도면을 참조하여 설명하면 다음과 같다.
도 1 내지 도 4는 종래기술의 일실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.
종래기술에 따른 반도체소자의 플러그 형성방법은, 도 1에 도시된 바와같이, 실리콘기판(1)상에 게이트전극(3)을 형성하고, 상기 게이트전극(3)의 측면에 측벽 스페이서(5)를 형성한다.
그다음, 도면에는 도시하지 않았지만, 상기 측벽스페이서(5)양측아래의 실리콘기판(1)내에 불순물을 주입하여 불순물접합영역을 형성한다.
이어서, 상기 게이트전극(3)과 측벽스페이서(5)을 포함한 실리콘기판(1)상에 층간절연막(7)을 증착한다.
그다음, 도 2에 도시된 바와같이, 상기 층간절연막(7)을 리소그라피 공정기술을 이용한 마스크 형성공정 및 이를 이용한 패터닝공정을 진행하여 상기 불순물접합영역(미도시)을 노출시키는 플러그콘택홀(9)을 형성한다.
이어서, 도 3에 도시된 바와같이, 상기 플러그콘택홀(9)을 포함한 층간절연막(7)의 상면에 상기 플러그콘택홀(9)을 매립하는 비정질실리콘층(11)을 증착한다.
그다음, 상기 비정질실리콘층(11)을 CMP 또는 실리콘 리세스 식각(silicon recess etch) 공정을 진행하여 상기 플러그콘택홀(9)내에 상기 불순물접합영역(미도시)과 전기적으로 접촉하는 콘택플러그(11a)를 형성한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래기술에 따른 반도체소자의 플러그 형성방법은, 특히 회로 선폭이 0.16 μm 이하 기술의 높은 에스펙트비(high aspect ratio)를 갖는 콘택홀과 콘택플러그 형성시에 다음과 같은 문제점들이 있다.
상기 종래기술에 있어서는, 다결정실리콘(poly) 형성후 실리콘으로 플러그를 형성하기 위해서는 산화막의 평탄화(CMP)와 콘택홀 형성 그리고 비정질실리콘 증착과 플러그 분리(CMP 또는 실리콘 리세스 식각)공정등을 거치게 되므로써 제조비용이 상대적으로 많이 소모된다.
또한, 일반적으로 튜브형 실리콘 증착장비(tube type LPCVD)는 인시튜 세정(in-situ cleaning)기능이 없기 때문에 셀과 플러그의 계면에 자연산화막이 생 기는 것을 방지할 수가 없다. 이는 다결정실리콘 플러그의 콘택저항(contact resistance)이 선택적 실리콘성장(SEG)의 콘택저항에 비해 3배 정도 증가시킬 수가 있다.
그리고, 종래기술에 따른 플러그 형성방법은, 콘택홀 크기의 축소와 에스펙트비의 증가에 따른 실리콘증착의 갭 매립능력이 문제가 될 수도 있다.
더욱이, 종래기술에 따른 플러그 형성방법은, 고농도 도핑된 비정질 또는 다결정실리콘이 후속 열처리에 대한 인(phosphorus)의 확산 거동이 선택적 실리콘성장(에피택셜층)에 비해 촉진되어 소자 특성을 저하시킬 수 있다.
한편, 도면에는 도시하지 않았지만, 종래기술에 따른 플러그 형성방법의 다른 실시예에 대해 간략하게 설명하면 다음과 같다.
종래기술에 따른 다른 실시예는, 게이트전극과 불순물접합영역이 형성된 실리콘기판(미도시)상에 질화막재질을 이용하여 층간절연막(미도시)을 증착한다.
그다음, 상기 층간절연막(미도시)을 선택적으로 패터닝하여 상기 불순물접합영역(미도시)을 노출시키는 콘택홀(미도시)을 형성한다.
이어서, 상기 콘택홀(미도시)내에 상기 질화막 재질의 층간절연막(미도시)패턴과 선택성을 유지하여 선택적 실리콘성장 플러그(SEG plug)를 형성한다.
상기와 같은 다른 실시예를 통해 얻어지는 선택적 실리콘성장(selective epitaxial growth of silicon)으로 인해 콘택저항이 감소되고 플러그 형성공정이 단순화되는 잇점이 있었다.
그러나, 상기 종래기술에 있어서는, LPCVD방법을 사용하는 경우 질화막 표면 위에서의 선택성 확보를 위해 염산(HCl) 함량을 증가시키게 되기 때문에 그에 따른 선택적 실리콘성장의 성장속도의 감소가 불가피하게 된다.
이러한 종래의 플러그 형성방법에 있어서, 질화막물질의 열팽창계수 (TCE; thermal coefficient of expansion)가 실리콘보다 훨씬 크기 때문에 온도 변화에 따른 선택적 실리콘성장(SEG)의 결함생성을 방지할 수 없다.
한편, 종래기술에 있어서는, UHV-CVD방법을 사용하는 경우, 질화막표면에 대해서는 공정마진을 확보할 수가 없다.
더욱이, 종래기술에 있어서는, 질화막패턴의 경우, 900 ℃ 이하에서 산화막에 비해 선택성 확보를 위한 영역이 약 10배 정도로 줄어든다.
또한, 하나의 재료인 질화막으로 패턴을 형성하는 경우에, 선택적 실리콘 성장을 형성할때 열팽창계수가 실리콘보다 훨씬 작은 산화막에 비해 결함발생률이 높다.
그리고, 인시튜 도핑상태에서 질화막에 대한 선택성 확보는 더욱 어려우며, 선택성을 확보한다 하더라도 그에 따른 성장속도의 감소는 불가피하다.
이로 인해, 선택적 실리콘 성장(SEG) 열적 버지트를 증가시키게 되므로써 소자특성 열화를 초래하게 된다.
그리고, 셀패턴의 밀도와 형태에 따라 선택적 실리콘성장의 과성장(over-growth) 하는 현상이 나타날 수 있고, 후속 층간절연막의 CMP 공정상의 문제를 야기시킬 수가 있다.
이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것 으로서, 초고집적 반도체소자에 적합한 우수한 콘택플러그를 형성할 수 있는 반도체소자의 플러그 형성방법을 제공함에 그 목적이 있다.
또한, 본 발명의 다른 목적은, 플러그 형성시에 선택적 실리콘 성장(SEG)을 적용하여 반도체소자의 제조공정을 단순화시킬 수 있는 반도체소자의 플러그 형성방법을 제공함에 있다.
그리고, 본 발명의 또다른 목적은 콘택플러그 형성시에 플러그의 콘택저항을 감소시킬 수 있는 반도체소자의 플러그 형성방법을 제공함에 있다.
한편, 본 발명의 또다른 목적은 실리콘플러그의 갭매립에 소모되는 실리콘 소스량을 최소화시켜 제조비용을 절감시킬 수 있는 반도체소자의 플러그 형성방법을 제공함에 있다.
더욱이, 본 발명의 또다른 목적은 콘택홀측벽에서의 다결정실리콘 성장을 촉진시켜 플러그 제조공정시간을 최대한 단축시킬 수 있는 반도체소자의 플러그 형성방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 플러그 형성방법 은, 실리콘기판 상에 게이트구조를 형성하는 단계; 상기 게이트구조의 전면에 절연막스페이서를 형성하는 단계; 상기 절연막스페이서를 포함한 전체 구조의 상면에 산화막을 형성하는 단계; 상기 산화막을 게이트구조 상면의 절연막스페이서 부분 상에만 남도록 습식식각공정에 의해 선택적으로 제거하는 단계; 상기 전체 구조의 상면에 절연막을 형성하는 단계; 상기 절연막 내에 실리콘기판을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀 측면에 질화막을 형성하는 단계; 및 상기 질화막을 포함한 콘택홀 내에 선택적 도전성 플러그를 형성하는 단계를 포함하는 것을 특징으로 한다.
더우기, 본 발명에 따른 반도체소자의 플러그 형성방법에 있어서, 선택적 도전성플러그는 실리콘기판의 표면상에 성장되는 선택적 단결정실리콘성장과 콘택홀측면의 질화막상에서 성장되는 선택적 다결정실리콘을 포함하여 구성되는

것을 특징으로한다.
한편, 본 발명에 따른 반도체소자의 플러그 형성방법은, 질화막이 형성된 실리콘기판을 플라즈마 처리하는 단계를 포함하는 것을 특징으로한다.
또한, 본 발명에 따른 반도체소자의 플러그 형성방법에 있어서의 플라즈마처리된 실리콘기판에 습식세정공정을 실시하는 단계를 포함하는 것을 특징으로한다.
(실시예)
이하, 본 발명에 따른 반도체소자의 플러그 형성방법의 바람직한 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
도 5 내지 도 7은 본 발명의 일실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.
본 발명의 바람직한 일 실시예에 따른 반도체소자의 플러그 형성방법은, 도 5에 도시된 바와같이, 먼저 실리콘기판(21)내에 소자형성영역과 소자분리영역을 한정하는 트렌치 소자분리막(23)을 형성한다.
그다음, 상기 실리콘기판(21)의 소자형성영역상에 게이트절연막(미도시)과 게이트구조(25)을 형성하고, 상기 게이트구조(25)를 포함한 상기 실리콘기판(21)의 상면에 절연막, 예를들어 질화막(미도시)을 증착하고 이를 이방성 식각공정을 통해 상기 게이트구조(21)의 상면과 측면에만 남도록 선택적으로 제거하여 절연막스페이서(27)을 형성한다.
이어서, 도면에는 도시하지 않았지만, 상기 절연막스페이서(27)의 양측아래의 실리콘기판(21)내에 불순물을 주입하여 소오스 및 드레인용 불순물접합영역(미도시)을 형성한다.
그다음, 상기 절연막스페이서(27)을 포함한 전체구조의 상면에 절연막(미도시)을 증착하고 이를 선택적으로 패터닝하여 상기 절연막스페이서(27)아래의 실리콘기판(21)부분을 노출시키는 콘택홀(미도시)을 형성한다. 이때, 상기 콘택홀(미도시)은 자기정렬콘택 방식에 의해 형성된다.
이어서, 상기 전체 구조에 플라즈마처리에 의한 건식세정공정을 진행한다. 이때, 상기 플라즈마처리는 전식각처리(post etch treatment) 또는 건식세정공정을 의미한다.
또한, 플라즈마 처리시에, NF_3, O_2 등을 함께 넣어 실리콘기판의 활성영역내의 카본이 포함된 데미지층(damage layer)을 제거한다. 그리고, 상기 플라즈마 처리조건으로는 $NF_3 + O_2$ 공정가스를 사용하되, 상기 NF_3 의 유량은 10 내지 100 sccm, O_2 의 유량은 30 내지 300 sccm, He의 유량은 100 내지 2000 sccm, 파워는 1 내지 200 W, 압력은 1 mTorr 내지 10 Torr, 온도는 상온 내지 200 ℃의 범위에서 진행한다. 한편, 상기 플라즈마처리는 실리콘기판의 손실이 약 50 Å 이하가 되도록 진행한다.
그다음, 도 6에 도시된 바와같이, 상기 플라즈마 처리를 진행한후 전체 구조에 습식세정공정을 진행한다. 이때, 상기 습식세정공정은, 플라즈마처리한후 지체없이 연속적으로 진행하는 것이 바람직하다. 이는, 플라즈마에 의해 데미지층을 제거한후 자연산화막이 급격히 생성될 수 있기 때문이다. 다만, 얇은 자연산화막은 습식 세정공정에 의해 쉽게 제거되고, 습식세정공정이 끝난후 실리콘 표면이 수소 패시베이션된다.
한편, 상기 습식세정공정은 2단계로 구분되어지는데, 1단계는 유기오염을 제거하기 위해 H_2SO_4 와 H_2O_2 수용액을 1:1 내지 100:1비율로 유지하고 온도는 80 내지 120 ℃, 시간은 1 내지 20분동안 실시하고, 2단계는 증류수에 100:1 내지 500:1로 희석된 HF수용액으로 실리콘기판표면의 산화막을 제거한다. 이때, 산화막의 식각타겟트는 약 20 내지 50 Å 범위에서 실시한다.
그다음, 도 7에 도시된 바와같이, 상기 콘택홀(미도시)측면에 있는 실리콘기 판(21)의 노출된 표면을 포함한 콘택홀(미도시)내에 선택적 실리콘플러그(31)을 성장시킨다. 이때, 상기 선택적 실리콘플러그(31)를 성장시키는 공정방법으로는 LPCVD방법 또는 UHVCVD방법을 선택적으로 사용할 수가 있다.
먼저, LPCVD방법에 의해 선택적 실리콘플러그(31)를 성장시키는 공정에 대해 설명하면 다음과 같다.
LPCVD방법에 의해 선택적 단결정실리콘(SEG)을 성장시키는 경우, Si-H-Cl 시스템을 기본으로 하여 DCS-H_2-HCl 가스 시스템 또는 MS-H_2-HCl 시스템을 적용할 수가 있다.
먼저, DCS-H_2-HCl 시스템을 적용하는 경우, 온도는 750 내지 850 ℃, 압력은 5 내지 760 Torr, DCS 유량은 0.1 내지 1 slm이며, HCl 유량은 0 내지 1.0 slm이며, H_2 유량은 30 내지 150 slm으로 진행한다.
한편, MS-H_2-HCl 시스템을 적용할 경우, 온도는 750 내지 850 ℃, 압력은 5 내지 760 Torr, MS(monosilane) 유량은 0 내지 1 slm이며, HCl 유량은 0.5 내지 5.0 slm이며, H_2 유량은 30 내지 150 slm으로 진행한다.
그리고, 상기 두가지 가스시스템 각각에, 공통적으로 인시튜 도핑조건은 1 내지 10%의 PH_3/H_2 를 0.1 내지 1.5 slm 정도로 흘려 준다. 이때, 선택적 실리콘플러그의 성장타겟은 게이트사이 폭의 60 % 내지 100 % 사이로 결정된다. 예를들어, 게이트사이의 폭이 1000 Å이라면 600 내지 1000 Å정도 성장시켜 주면 된다.
이렇게 하여, 실리콘기판(21)의 표면쪽에서는 단결정실리콘(31a)이 선택적으로 성장되고, 동시에 콘택홀측면의 질화막스페이서(27)쪽에서는 다결정실리콘(31b)이 성장하면서 서로 결합되므로써 콘택홀이 양호하게 매립된다.
한편, 본 발명에 따른 단결정실리콘을 LPCVD방법 대신에 UHVCVD방법에 의해 성장시키는 경우의 제조공정에 대해 간략하게 설명하면 다음과 같다.
본 발명에 따른 선택적 실리콘플러그(31)를 UHVCVD방법에 의해 형성하는 경우, 선택적 단결정실리콘(SEG) 증착공정에서 일반적으로 산화막패턴에 대한 실리콘 핵생성이 발생하기 시작하는 선택적 단결정실리콘(SEG)의 최대 두께가 인큐베이션 두께 (incubation thickness)로서, 보통 800 내지 1200 Å이다.
물론, Cl_2 가스를 첨가시켜 SEG 두께를 인위적으로 증가시킬 수는 있지만, 반대로 성장속도가 감소할 수 있다.
따라서, UHVCVD에 의한 선택적실리콘 플러그 형성시에, 이러한 인큐베이션 두께를 활용하여 최대 성장속도를 구현할 수 있기 때문에 공정마진을 위해 Cl_2 를 첨가시킬 수도 있다.
한편, 상기 선택적 실리콘플러그(31)의 증착조건으로는, $Si_2H_6 + Cl_2 + H_2$ 시스템을 사용하며, 이들 각각의 유량은 1 내지 10 sccm, 0 내지 0 내지 20 sccm 으로 플로우시킨다. 또한, 상기 상기 증착공정은, H_2 에 1 내지 10 %

PH_3 이 함유된 가스를 이용하여 인시튜 도핑조건하에서 진행한다. 이때, 온도는 600 내지 800 ℃이고, 압력은 1 내지 50 mTorr의 범위하에서 실시한다.
그리고, 상기 선택적 실리콘플러그(31) 증착중에 GeH_4 를 첨가하면, PE-USG산화막에 대한 선택성이 개선되면서 성장속도가 증가한다. 이때, GeH_4 는 약 0 내지 10 sccm 정도 흘려 주는 것이 바람직하다. 또한, 선택적 실리콘플러그의 성장두께는 콘택홀(미도시)의 폭의 약 60 내지 100 %에 이른다.
한편, 본 발명에 따른 소오스/드레인 공정을 선택적 실리콘플러그 형성후에 형성하는 경우에 대해 도 8 내지 도 11을 참조하여 설명하면 다음과 같다.
도 8 내지 도 11은 본 발명에 따른 소오스/드레인 이온주입공정을 선택적 실리콘플러그(31)를 형성한 이후에 실시할 경우의 공정을 나타낸 레이아웃도이다.
먼저, 도 8은 셀(40)과 셀(40)사이에 BPSG막(50)로 채워져 있는 것을 나타낸 레이아웃도이며, 도 9은 셀(40)의 블럭을 확대 도시한 레이아웃도이며,
도 10은 셀블럭보다 약간 큰 (예를들어, 1 내지 10 μm) 마스크(70)로 셀(40)부분을 가린후 노광 및 현상공정을 진행하여 감광막패턴(PR)만 남은 모습을 도시한 레이아웃도이다.
이어서, 스핀 습식 식각장치(spin wet etcher)를 사용하여 셀주변영역의 산화막을 제거한다.
그다음, 도면에는 도시하지 않았지만, 질화막을 제거한후 소오스/드레인 이온주입공정을 진행하여 실리콘기판내에 소오스/드레인(미도시)을 형성한다.
이어서, 소오소/드레인을 형성한후 다시 고밀도플라즈마산화막(HDP)에 의한 산화막(미도시)을 증착한후 상기 산화막을 CMP로 평탄화시킨다.
도 11은 본 발명에 따른 셀블럭 외곽에 남은 층간절연막과 질화막을 도시한 레이아웃도이고, 도 12 및 도 13 은 본 발명에 따른 셀블럭에서 선택적 실리콘플러그 형성공정후 얻어진 시료를 X축 및 Y축 방향으로 각각 자른후의 SEM사진이다.
도 12 및 도 13에 도시된 바와같이, 콘택홀내의 갭매립과 성장타겟에서 모두 만족한 조건이 확보되었음을 알 수 있다.
또한, 도 14는 도 12 및 13에서 사용한 동일시료를 X축방향으로 자른후의 TEM 단면 사진으로서, 도 14에 도시된 바와같이, 게이트구조의 질화막위로 약 1000 Å 정도 실리콘이 성장하였고, 콘택홀 표면에서는 선택적단결정실리콘(SEG)가 성장되었음을 알 수 있다.
한편, 본 발명의 다른 실시예들에 따른 반도체소자의 플러그 형성방법을 첨부된 도면을 참조하여 설명하면 다음과 같다.
도 15 내지 도 17은 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.
도 18 내지 도 20은 본 발명의 또다른 실시예에 따른 반도체소자의 플러그 형성방법을 설명하기 위한 공정단면도이다.
도 21 및 도 22는 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, 선택적 실리콘플러그의 형성공정에 따른 단면을 보여 주는 TEM 사진이다.
도 23은 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, UHVCVD에 의해 선택적단결정실리콘 성장시에 산화막패턴위에 실리콘핵생성이 발생하기 시작하는 시점을 TEM분석을 통해 나타난 사진이다.
도 24는 본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, 산화막패턴위에서의 실리콘 성장과 표면구조를 나타낸 TEM 사진이다.
도 25 및 26은 본 발명의 또다른 실시예에 따른 반도체소자의 플러그 형성방법에 있어서, 선택적 실리콘플러그의 형성공정에 따른 단면을 보여 주는 TEM 사진이다.
본 발명의 다른 실시예에 따른 반도체소자의 플러그 형성방법은, 도 15에 도시된 바와같이, 먼저 실리콘기판(21)내에 소자형성영역과 소자분리영역을 한정하는 트렌치 소자분리막(23)을 형성한다.
그다음, 상기 실리콘기판(21)의 소자형성영역상에 게이트절연막(미도시)과 게이트구조(25)을 형성하고, 상기 게이트구조(25)를 포함한 상기 실리콘기판(21)의 상면에 절연막, 예를들어 질화막(미도시)을 증착하고 이를 이방성 식각공정을 통해 선택적으로 제거하여 상기 게이트구조(25)의 노출된 표면에 절연막스페이서(27)을 형성한다. 이때, 상기 절연막스페이서(27)는 게이트구조(25)의 상면 및 측면에 형성된다.
이어서, 도면에는 도시하지 않았지만, 상기 절연막스페이서(27)의 양측아래의 실리콘기판(21)내에 불순물을 주입하여 불순물접합영역(미도시)을 형성한다.
그다음, 상기 절연막스페이서(27)을 포함한 전체구조의 상면에 절연막(29)을 증착하고 이를 자기정콘택방식에 의해 선택적으로 패터닝하여 상기 절연막스페이서 (27)아래의 실리콘기판(21)부분을 노출시키는 콘택홀(미도시)을 형성한다.
이어서, 상기 절연막스페이서(27)를 포함한 전체 구조의 상면에 PE-USG산화막(30)을 순차적으로 증착한다. 이때, 상기 PE-USG산화막(30)의 두께는 약 300 내지 1000 Å이다. 이때, 요구되는 스텝 커버리지(step coverage)는 50 % 이하로 만족시켜야 한다.
또한, 상기 PE-USG산화막(30) 증착시에, SiH_4, N_2O, He 등중에서 하나를 선택하여 소오스 가스로 사용하고, 압력은 0.1 내지 50 Torr, 온도는 350 내지 550 ℃, 파워는 100 내지 1000 W로 조절한다.
그다음, 도 16에 도시된 바와같이, 상기 PE-USG 산화막(30)을 습식식각공정에 의해 상기 게이트구조(25)상측에 있는 질화막스페이서(27)상면에만 약 200 내지 400 Å 정도만 남도록 선택적으로 제거한다. 이때, 습식식각공정시에, 콘택홀(미도시) 측면의 질화막스페이서(27)의 표면과 콘택홀아래의 실리콘기판의 일부분이 외부로 노출된다.

또한, 상기 PE-USG산화막(30)의 식각공정은 희석된 HF 용액을 사용하여 50 내지 500 배정도의 증류수(DI)에 50 내지 100 ℃ 온도범위하에서 실시한다. 예를들어, 스텝 커버리지가 50%인 PE-USG막을 600 Å 두께정도 증착시켰다면, 습식 식각 타겟은 300 내지 400 Å이 된다.
한편, 상기 습식식각공정을 진행한후에도 콘택홀바닥부분이 개구되지 않을 경우에는 추가로 약간의 반응성이온식각공정을 진행할 수도 있다. 이는 PE-USG산화막(30)의 프로파일에 크게 의존하며, 반응성이온식각공정은 필요에 따라 약 50 내지 150 Å까지 실시한다.
이어서, 후속공정에서 선택적 실리콘플러그를 형성하기 전에, LPCVD 방법에 의해 선택적실리콘을 성장시키는 경우, 챔버내에 수소가스만을 흘려 주면서 인시튜(in-situ) 세정을 실시한다. 이때, 인시튜 세정공정은 수소 플로우 상황에서 온도를 올려 기판 계면에 있는 산화막을 제거하기 위해 실시한다.
또한, 상기 세정공정은 공정시간 및 열적버지트(thermal budget) 측면에서 RTP(rapid thermal processing) 방법을 사용하여 진행하는 것이 바람직하지만 수소 베이크방법에 의해 실시할 수도 있다. 이때, 상기 RTP공정은, 순간적으로 온도를 950 ℃ 정도 (램핑속도(ramping rate)는 10℃/초 이상))로 상승시킨후, 급속히 선택적 실리콘 성장온도, 즉 550 내지 630 ℃ 까지 냉각시켜 진행한다.
한편, 수소베이크공정은, 750 내지 950 ℃온도에서 30 내지 150 초동안 수소분위기하에서 아닐링을 진행한다.
그다음, 도 17에 도시된 바와같이, 상기 콘택홀(미도시)측면에 있는 질화막스페이서(27)과 실리콘기판(21)의 노출된 표면을 포함한 콘택홀(미도시)내에 선택적 실리콘플러그(33)을 성장시킨다. 이때, 상기 선택적 실리콘플러그(33)를 성장시키는 공정방법으로는 LPCVD방법 또는 UHVCVD방법을 선택적으로 사용할 수가 있다.
먼저, LPCVD방법에 의해 선택적 실리콘플러그(33)을 성장시키는 공정에 대해 설명하면 다음과 같다.
LPCVD방법에 의해 선택적 실리콘성장(SEG)을 성장시키는 경우, Si-H-Cl 시스템을 기본으로 하여 DCS-H_2-HCl 가스 시스템 또는 MS-H_2-HCl 시스템을 적용할 수가 있다.
먼저, DCS-H_2-HCl 시스템을 적용하는 경우, 온도는 750 내지 950 ℃, 압력은 5 내지 150 Torr, DCS 유량은 0.1 내지 1 slm이며, HCl 유량은 0.1 내지 1.0 slm이며, H_2 유량은 30 내지 150 slm으로 진행한다.
또한, MS-H_2-HCl 시스템을 적용할 경우, 온도는 750 내지 950 ℃, 압력은 5 내지 150 Torr, MS(monosilane) 유량은 0.1 내지 1 slm이며, HCl 유량은 0.5 내지 5.0 slm이며, H_2 유량은 30 내지 150 slm으로 진행한다.
그리고, 공통적으로 인시튜 도핑조건은 1 내지 10%의 PH_3/H_2 를 0.1 내지 1.5 slm 정도로 흘려 준다. 이때, SEG 성장타겟은 게이트사이 폭의 60 % 내지 100 % 사이로 결정된다. 예를들어, 게이트사이의 폭이 1000 Å이라면 600 내지 1000 Å정도 성장시켜 주면 된다.
이렇게 하여, 실리콘기판(21)의 표면쪽에서는 단결정실리콘(33a)이 선택적으로 성장되고, 동시에 콘택홀측면의 질화막스페이서(27)쪽에서는 다결정실리콘(33b)이 성장하면서 서로 결합되므로써 콘택홀이 양호하게 매립된다.
도 21 및 도 22에 도시된 바와같이, 질화막위에서 다결정실리콘이 성장하고 실리콘기판의 노출된 표면에서는 선택적 단결정실리콘이 성장하는 것을 알 수 있다.
한편, UHVCVD방법에 의해 선택적 실리콘플러그(33)을 성장시키는 공정에 대해 설명하면 다음과 같다.
도 23은 UHVCVD에 의해 선택적단결정실리콘 성장시에 산화막패턴위에 실리콘핵생성이 발생하기 시작하는 시점을 TEM분석을 통해 나타난 사진이다.
UHVCVD(ultra high vacuum chemical vapor deposition)방법에 의해 선택적 실리콘플러그(33)를 형성하는 경우, 도 23에 도시되 바와같이, 선택적 실리콘 성장 (SEG)증착공정에서 일반적으로 산화막패턴에 대한 실리콘 핵생성이 발생하기 시작하는 SEG의 최대 두께가 인규베이션 두께(incubation thickness)로서, 보통 800 내지 1200 Å이다.
물론, Cl_2 가스를 첨가시켜 SEG 두께를 인위적으로 증가시킬 수는 있지만, 반대로 성장속도가 감소할 수 있다.
따라서, UHVCVD에 의한 선택적실리콘 플러그 형성시에, 이러한 인큐베이션 두께를 활용하여 최대 성장속도를 구현할 수 있기 때문에 공정마진을 위해 Cl_2 를 첨가시킬 수도 있다.
한편, 상기 선택적 실리콘플러그(33)의 증착조건으로는, $Si_2H_6 + Cl_2 + H_2$ 시스템을 사용하며, 이들 각각의 유량은 1 내지 10 sccm, 0 내지 0 내지 20 sccm 으로 플로우시킨다. 또한, 상기 증착공정은, H_2 에 1 내지 10 % PH_3 이 함유된 가스를 이용하여 인시튜 도핑조건하에서 진행한다. 이때, 온도는 600 내지 800 ℃이고, 압력은 1 내지 50 mTorr의 범위하에서 실시한다.
그리고, 상기 선택적 실리콘플러그(33) 증착중에 GeH_4 를 첨가하면, PE-USG산화막에 대한 선택성이 개선되면서 성장속도가 증가한다. 이때, GeH_4 는 약 0 내지 10 sccm 정도 흘려 주는 것이 바람직하다. 또한, SSG플러그의 성장두께는 콘택홀(미도 시)의 폭의 약 60 내지 100 %에 이른다.
한편, 도 24a에 도시된 바와같이, 계면 세정이 완벽하게 되지 않을 경우에 산화막위에서도 쉽게 선택성이 상실되며, 실리콘창(window), 즉 선택적단결정실리콘이 성장하는 위치에서도 표면구조와 같은 결함들이 다량 발생하게 된다. 그러나, 도 24b는 계면세정이 완벽하게 진행되었을 경우의 SEM사진으로서, 도 24b에 도시된 바와같이, 결함발생이 거의 없는 표면구조가 나타남을 알 수 있다.
한편, 본 발명의 또다른 실시예로서, 일반적인 공정은 다른 실시예와 동일한 공정으로 진행하되, 다른 실시예에서의 질화막스페이서대신에, 도 18에 도시된 바와같이, 산화막스페이서(47)을 게이트구조(45)의 상면 및 측면에 형성한다. 그다음, 전체구조의 상면에 절연막(49)을 증착하고, 상기 절연막(49)을 자기정렬콘택방식에 의해 선택적으로 제거하여 상기 산화막스페이서(47) 및 실리콘기판 (41)을 노출시키는 콘택홀(미도시)을 형성한후 상기 전체 구조의 상면에 질화막
(51)을 증착한다.
이어서, 도 19에 도시된 바와같이, 상기 질화막(51)을 이방성 식각공정 또는 다른 식각공정을 진행하여 상기 콘택홀 측면에 있는 산화막 스페이서(47)상에 질화막패턴(51a)을 형성한다.

그다음, 도 20에 도시된 바와같이, 질화막패턴(51a)을 포함한 콘택홀내에 선택적실리콘플러그(53)을 형성한다. 이때, 상기 선택적 실리콘플러그(53)을 증착하는 조건 또는 방법은 본발명의 다른 실시예와 동일한 조건 및 방법을 사용한다.
도 25 및 도 26에 도시된 바와같이, 질화막위에서 다결정실리콘(53b)이 성장하고 실리콘기판의 노출된 표면에서는 선택적단결정실리콘(53a)이 성장하는 것을 알 수 있다.

발명의 효과

상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 플러그 형성방법에 있어서는 다음과 같은 효과가 있다.
본 발명에 따른 반도체소자의 플러그 형성방법에 있어서는, 자기정렬콘택패턴인 질화막스페이서의 측면으로는 선택적 다결정실리콘층이 성장되고, 콘택홀아래의 실리콘기판의 표면에서는 선택적단결정실리콘이 성장되도록하여 선택적 단결정성장(SEG) 형성공정시에 선택성 마진을 향상시킬 수 있어 플러그 성장속도를 증가시킬 수가 있다.
또한, 본 발명에 따른 반도체소자의 플러그 형성방법에 있어서는, 자기정렬콘택패턴인 질화막스페이서의 위쪽으로는 얇은 PE-USG산화막이 형성되고, 콘택홀측면에는 질화막스페이서를 형성시켜 줌으로써 선택적 실리콘성장(SEG) 형성공정시에 산화막과 질화막의 선택성 마진을 향상시킬 수 있어 플러그 성장속도를 증가시킬 수가 있다.
그리고, 질화막스페이서의 측면쪽에 실리콘 성장을 촉진시켜 주므로써 실리콘단결정실리콘(SEG)의 적용가능성을 더욱 높일 수가 있어 제조공정을 단순화시킬 수가 있다.
더우기, 본 발명에 있어서는, 플러그 형성시에 선택적 단결정실리콘(SEG) 등 을 이용하여 플러그 형성이 가능하기때문에, 종래와 같은 튜브 다결정실리콘으로 플러그를 형성하는 경우보다 플러그 접촉저항을 현저하게 감소 (예를들어, 튜브다결정실리콘 대비 약 30 %감소)시킬 수 있다.
따라서, 본 발명에 있어서는, 콘택홀측벽에 있는 질화막에서 실리콘성장을 촉진시켜 주므로써 선택적 다결정실리콘 성장(SSG) 성장 타겟을 현저하게 줄일 수 있어 공정시간을 단축시킬 수 있다.
또한, 본 발명에 있어서는 질화막표면에 플라즈마 전하(charge)나 충돌 (bombardment)에 의한 결함 소스(defects source)를 형성시켜 주면 질화막과 산화막과의 선택성을 더욱 크게 할 수 있어 공정마진을 크게 확보할 수 있다.
따라서, 이러한 플라즈마 처리에 의해 식각 데미지가 왁벽히 제거되어 실리콘플러그 공정시에 초기 수소 베이킹 (H_2 - bake) 공정을 실시하지 않아도 에피택셜층을 성장시킬 수가 있다.
그리고, 본 발명에 있어서는, 게이트구조의 상측에 위치하는 PE-USG 산화막은 마스크 질화막의 높이를 낮추게 함으로써 자기정렬콘택(SAC) 공정을 향상시킬 수 있다.
또한, 본 발명에 있어서는, 선택적단결정실리콘(SEG) 성장타겟을 줄여도 콘택홀 매립에는 전혀 문제가 없으며, 셀패턴에 따른 브릿지 가능성도 희박하다. 왜냐하면, 과성장 가능성이 매우 낮기 때문이다.
그리고, 질화막은 선택적 단결정실리콘을 이용한 플러그 형성시에 (111) 패시트(facet)를 유발시키기 쉽지만 양쪽의 질화막으로부터 실리콘이 성장되므로써 패시트 발생 문제가 해결된다.
한편, 본 발명에 있어서는, 실리콘플러그 형성공정은 증착(deposition)공정이 아니기 때문에 셀지역과 셀주변지역의 소자분리 공정을 별도로 진행시킬 필요가 없다. 다만, 셀 플러그에 대한 장벽으로 사용되는 BPSG의 주변지역부분을 제거하기 위해 셀차단마스크(cell closing mask)를 사용하고 스핀 습식식각기(spin-wet etcher)를 이용하여 습식세정공정을 실시해 준다.
따라서, 플러그 공정에 대한 열부하(thermal budget)가 800 ℃ 이하에서 가능하기 때문에 소오스/드레인 형성공정을 플러그 형성 전 또는 후에 가능하다.
한편, 본 발명에 있어서는 플러그 형성시에 UHVCVD방법의 적용가능성을 크게 향상시킬 수가 있다. 왜냐하면, 일반적으로 UHVCVD공정은 LPCVD 공정보다 선택성과 성장속도가 취약하지만 본 발명에 적용시에 실리콘 성장두께를 줄여 생산성을 배가시킬 수 있으므로 저온열부하공정(low therma budget process) 의 최적화를 기대할 수가 있다.
그리고, 본 발명은 실리콘플러그를 형성하기 위한 갭매립에 소모되는 실리콘소스량을 최소화시켜 경제적으로 매우 큰 장점을 가지고 있으며, 환경 친화적인 측면에서도 잇점이 있다.
한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1.

실리콘기판 상에 게이트구조를 형성하는 단계;
상기 게이트구조의 전면에 절연막스페이서를 형성하는 단계;
상기 절연막스페이서를 포함한 전체 구조의 상면에 산화막을 형성하는 단계;
상기 산화막을 게이트구조 상면의 절연막스페이서 부분 상에만 남도록 습식식각공정에 의해 선택적으로 제거하는 단계;
상기 전체 구조의 상면에 절연막을 형성하는 단계;
상기 절연막 내에 실리콘기판을 노출시키는 콘택홀을 형성하는 단계;
상기 콘택홀 측면에 질화막을 형성하는 단계; 및
상기 질화막을 포함한 콘택홀 내에 선택적 도전성 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체소자의 플러그 형성방법.

청구항 2.
삭제
청구항 3.
삭제
청구항 4.
제1항에 있어서, 상기 선택적 도전성플러그는 실리콘기판의 표면상에 성장되 는 선택적 단결정실리콘성장과 콘택홀 측면의 질화막상에서 성장되는 선택적 다결정실리콘을 포함하여 구성되는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 5.
제4항에 있어서, 상기 선택적 도전성플러그는 LPCVD방법 또는 UHVCVD방법에 의해 형성하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 6.
제1항에 있어서, 상기 산화막은 PE-USG산화막을 포함하는 것을 특징으로 하는 반도체소자의 플러그 형성방법.
청구항 7.
제6항에 있어서, 상기 PE-USG산화막의 증착조건으로, SiH_4 유량은 10 내지 200 sccm, N_2O와 O_2 각각의 유량은 100 내지 3000 sccm, He 유량은 0 내지 1000 sccm인 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 8.
제6항에 있어서, 상기 PE-USG산화막의 증착조건으로, 압력은 0.1 내지 100 Torr, 온도는 350 내지 600 ℃, 파워는 100 내지 1000 W 인 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 9.
제7항에 있어서, 상기 PE-USG산화막의 두께는 300 내지 1000 Å이고 스텝커버리지가 50 %이하인 것을 특징으로 하는 반도체소자의 플러그 형성방법.
청구항 10.
제1항에 있어서, 상기 절연막스페이서는 산화막 또는 질화막인 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 11.
제1항에 있어서, 상기 습식식각공정은 희석된 HF 수용액을 사용하여 진행하되, 50 내지 500배의 증류수에 50 내지 100 ℃온도에서 실시하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 12.
제1항에 있어서, 상기 습식식각공정은, H_2SO_4 와 H_2O_2 수용액을 1:1 내지 100:1로 유지하고, 온도는 80 내지 120℃, 시간은 1 내지 20분동안 실시한후 증류수 에 희석된 HF용액을 이용하여 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 13.
제1항에 있어서, 상기 습식식각공정을 진행한후 추가로 반응성이온식각공정을 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 14.
제10항에 있어서, 상기 질화막을 콘택홀측면에 형성하는 단계는, 상기 산화막스페이서를 포함한 게이트구조의 상면에 질화막을 형성하고 이를 건식식각공정에 의해 선택적으로 제거하여 콘택홀측면에 질화막을 형성하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 15.
제14항에 있어서, 상기 건식식각공정은 NF_3 와 O_2 가스 플라즈마를 이용하여 진행하되, NF_3 유량은 10 내지 50 sccm, O_2 유량은 30 내지 300 sccm, He 유량은 100 내지 2000 sccm, 파워는 1 내지 200 W, 압력은 1mTorr 내지 10 Torr, 온도는 상온 내지 200 ℃하에서 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 16.
제1항에 있어서, 상기 콘택홀을 형성한후 연속하여 인시튜 세정공정을 진행하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 17.
제16항에 있어서, 상기 인시튜 세정공정은, 수소베이크에 의해 실시하되, 5 내지 150slm 유량의 수소와 1 내지 200 Torr 의 압력과, 750 내지 950 ℃의 온도하에서 5 내지 30분 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 18.
제16항에 있어서, 상기 인시튜 세정공정과 선택적 도전성플러그 형성공정은 동일 챔버내에서 실시하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 19.
제16항에 있어서, 상기 인시튜 세정공정은 RTP 방법에 의해 진행하되, RTP 공정조건은 약 950 ℃온도까지 상승하여 온도상승과 하강속도는 10 내지 100 ℃/초 로 유지하는 것을 특징으로하는 반도체소자의 플러그 형성방법.
청구항 20.

제4항에 있어서, 상기 선택적 도전성플러그 형성 공정조건으로, DCS-H_2 - HCl 가스시스템을 적용하는 경우, 온도는 750 내지 950 ℃, 압력은 5 내지 150 Torr, DCS 유량은 0.1 내지 1 slm이며, HCl 유량은 0.1 내지 1.0 slm이며, H_2 유량은 30 내지 150 slm으로 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 21.

제4항에 있어서, 상기 선택적 도전성플러그 형성공정조건으로, MS-H_2 -HCl 시스템을 적용하는 경우, 온도는 750 내지 950 ℃, 압력은 5 내지 150 Torr, MS (monosilane) 유량은 0.1 내지 1 slm이며, HCl 유량은 0.5 내지 5.0 slm 이며, H_2 유량은 30 내지 150 slm으로 진행하는 것을 특징 으로하는 반도체소자의 플러그 형성방법.

청구항 22.

제4항에 있어서, 상기 선택적 도전성플러그를 형성하는 단계는, Si_2H_6 + Cl_2 + H_2 가스 시스템을 사용하며, 이들 각각의 유량은 0.1 내지 10 sccm, 0 내지 5.0 sccm, 0 내지 20 sccm을 사용하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 23.

제4항에 있어서, 상기 선택적 도전성플러그를 형성하는 공정조건은, 1 내지 10% PH_3 가 함유된 H_2 가스를 사용하여 인시튜 도핑조건하에서 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 24.

제4항에 있어서, 상기 선택적 도전성플러그 형성공정중에 GeH_4 가스를 0 내지 10 sccm 유량을 흘려 주는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 25.

제4항에 있어서, 상기 선택적 도전성플러그 증착은 단일웨이퍼 공정전용 UHVCVD장비와 튜브형 선택적 단결정실리콘성장(SEG) 전용 UHVCVD장비에서 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 26.

제16항에 있어서, 상기 인시튜 세정공정은 LPCVD챔버 또는 UHVCVD 챔버내에서 실시하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 27.

제1항에 있어서, 상기 질화막이 형성된 실리콘기판을 플라즈마 처리하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 28.

제27항에 있어서, 상기 플라즈마처리하는 단계는, NF_3 + O_2 공정가스를 사용하되, 상기 NF_3 의 유량은 10 내지 100 sccm, O_2 의 유량은 30 내지 300 sccm, He의 유량은 100 내지 2000 sccm, 파워는 1 내지 200 W, 압력은 1 mTorr 내지 10 Torr, 온도는 상온 내지 200 ℃의 범위에서 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 29.

제27항에 있어서, 상기 선택적 도전성플러그는 실리콘기판의 표면상에 성장되는 선택적 단결정실리콘성장과 콘택홀 측면에 있는 질화막으로부터 성장되는 선택적 다결정 실리콘을 포함하여 구성되는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 30.

제27항에 있어서, 상기 선택적 도전성플러그는 LPCVD방법 또는 UHVCVD방법에 의해 형성하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 31.

제30항에 있어서, 상기 LPCVD방법에 의해 선택적 도전성플러그 형성시에, Si-H-Cl 시스템을 기본으로 하되, DCS-H_2 - HCl 가스시스템 또는 MS-H_2 -HCl 가스시스템을 적용하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 32.

제31에 있어서, 상기 선택적 도전성플러그 형성시에, DCS-H_2 - HCl 가스 시스템을 적용하는 경우, 온도는 750 내지 850 ℃, 압력은 5 내지 760 Torr, DCS 유량은 0.1 내지 1 slm이며, HCl 유량은 0 내지 1.0 slm이며, H_2 유량은 30 내지 150 slm으로 진행하되, 0.1 내지 1.5 slm의 1 내지 10 % PH_3/H_2 를 함께 사용하는 것을 특징 으로하는 반도체소자의 플러그 형성방법.

청구항 33.

제31항에 있어서, 상기 선택적 도전성플러그 형성시에, MS-H_2 -HCl 시스템을 적용하는 경우, 온도는 750 내지 850 ℃, 압력은 5 내지 760 Torr, MS (monosilane) 유량은 0.1 내지 1 slm이며, HCl 유량은 0.5 내지 5.0 slm이며, H_2 유량은 30 내지 150 slm으로 진행하되, 0.1 내지 1.5 slm의 1 내지 10 % PH_3/H_2 를 함께 사용하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 34.

제27항에 있어서, 상기 플라즈마처리된 실리콘기판에 습식세정공정을 실시하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 35.

제34항에 있어서, 상기 습식세정공정은 두번에 걸쳐 진행하되, 1차로 H_2SO_4 와 H_2O_2 수용액을 1:1 내지 100:

1비율로 유지하고 온도는 80 내지 120 ℃, 시간은 1 내지 20분동안 실시한후 2차로 증류수에 100:1 내지 500:1로 희석된 HF수용액으로 실리콘기판표면의 산화막을 제거하는 것을 특징으로 하는 반도체소자의 플러그 형성방법.

청구항 36.

제27항에 있어서, 상기 콘택홀은 자기정렬콘택방식에 의해 형성하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 37.

제27항에 있어서, 상기 절연막은 BPSG를 포함하는 산화막 계열물질을 사용하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 38.

제37항에 있어서, 상기 선택적 도전성플러그를 형성하는 단계는, 질화막과 산화막에서의 실리콘 성장속도 차이를 이용하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 39.

제27항에 있어서, 상기 선택적 도전성플러그의 성장타겟은 콘택홀사이 폭의 60 내지 100%로 결정되는 것을 특징으로 하는 반도체소자의 플러그 형성방법.

청구항 40.

제30항에 있어서, 상기 UHVCVD방법에 의해 선택적 플러그를 형성시에, $Si_2H_6 + Cl_2 + H_2$ 시스템을 사용하며, 이들 각각의 유량은 1 내지 10 sccm, 0 내지 5 sccm, 0 내지 20 sccm으로 플로우시키고, 1 내지 10 % PH_3/H_2 를 함께 사용하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 41.

제40항에 있어서, 상기 선택적 도전성 플러그 형성시에 GeH_4 를 첨가하되, 0 내지 10 sccm 유량을 흘려 주는 것을 특징으로 하는 반도체소자의 플러그형성방법.

청구항 42.

제30항에 있어서, 상기 UHVCVD방법에 의해 선택적실리콘플러그 형성하는 단계는, 단일웨이퍼 공정전용 UHVCVD장비와 튜브형 SEG 전용 UHVCVD장비에서 진행하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 43.

제27항에 있어서, 상기 절연막을 형성하는 단계전에 게이트구조를 형성하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 44.

제43항에 있어서, 상기 선택적 도전성플러그 형성공정 전 또는 후에 소오스 및 드레인을 형성하는 단계를 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 45.

제44항에 있어서, 상기 소오스 및 드레인 형성공정을 선택적 실리콘플러그 형성공정이후에 진행하는 경우에 셀영역의 분리막부분을 보호하기 위해 셀블럭마스크를 사용하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 46.

제45항에 있어서, 상기 셀블럭 마스크는 셀블럭의 한쪽 끝에서 1 내지 10 μm 만큼 이격되어 있는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 47.

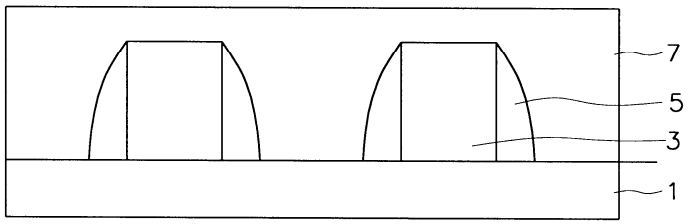
제44항에 있어서, 상기 선택적 실리콘플러그를 형성한 후 소오스/드레인을 형성소오스 및 드레인 형성하는 단계는, 셀블럭을 차단한후 노광공정을 진행하여 감광막패턴을 형성한후 습식장치를 이용하여 셀주변영역의 층간절연막을 형성한다음 질화막스페이서를 제거한후 소오스/드레인 형성을 위한 이온주입공정을 진행하는 단계를 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

청구항 48.

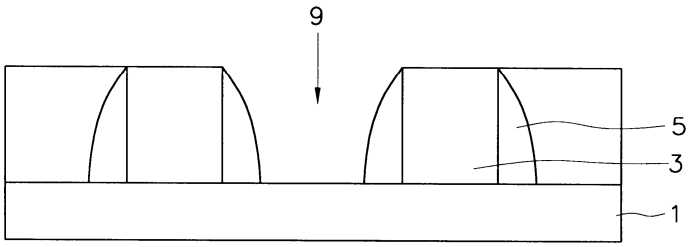
제47항에 있어서, 상기 소오스/드레인공정을 진행한다음 층간절연막을 증착한후 CMP에 의해 평탄화시키는 공정을 더 포함하는 것을 특징으로하는 반도체소자의 플러그 형성방법.

도면

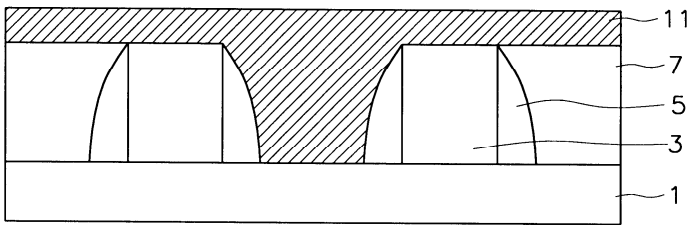
도면1



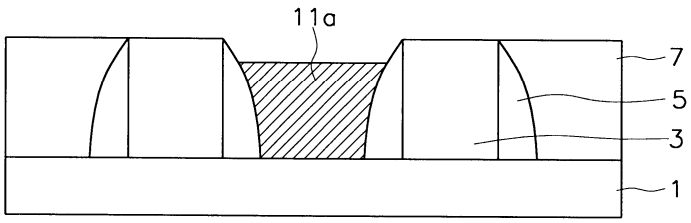
도면2



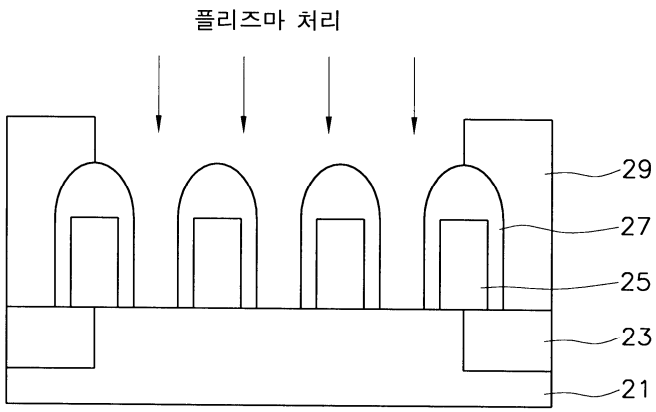
도면3



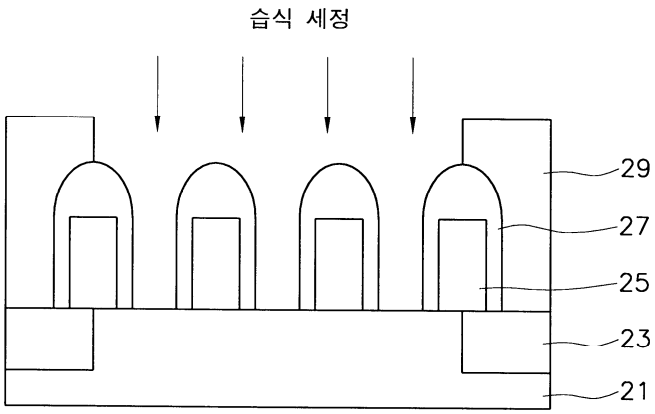
도면4



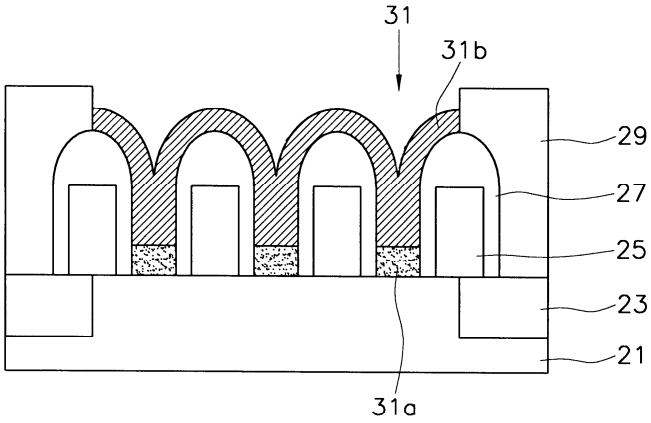
도면5



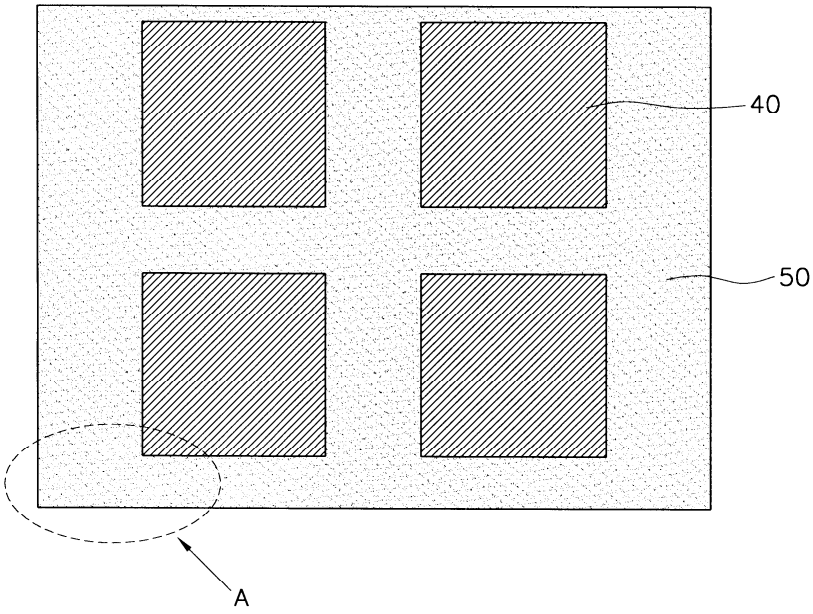
도면6



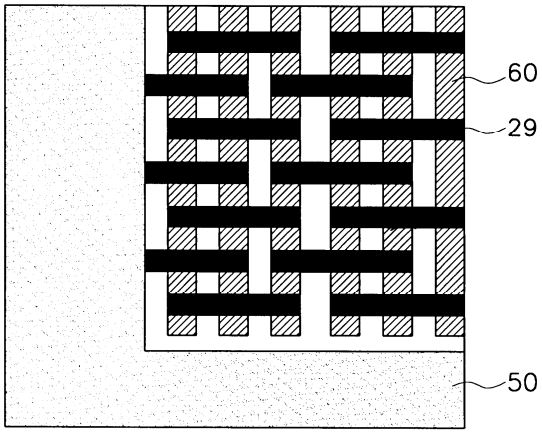
도면7



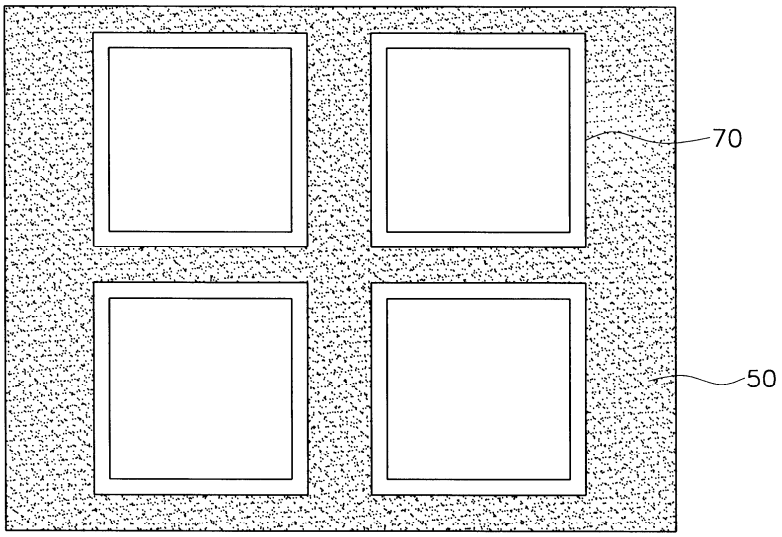
도면8



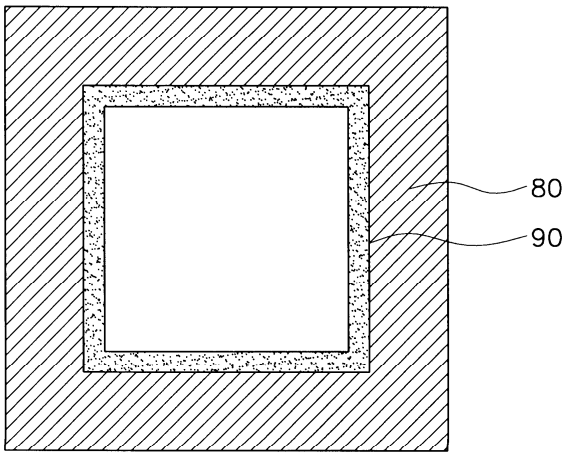
도면9



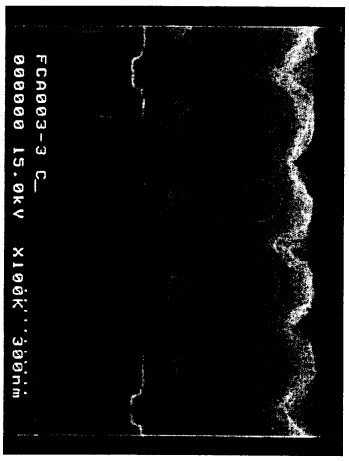
도면10



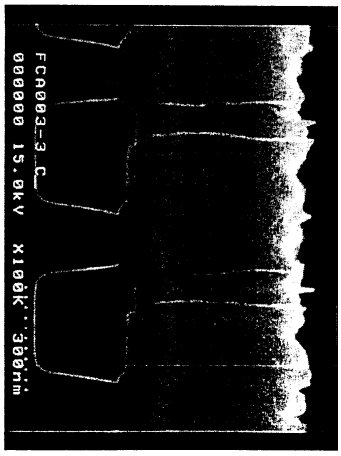
도면11



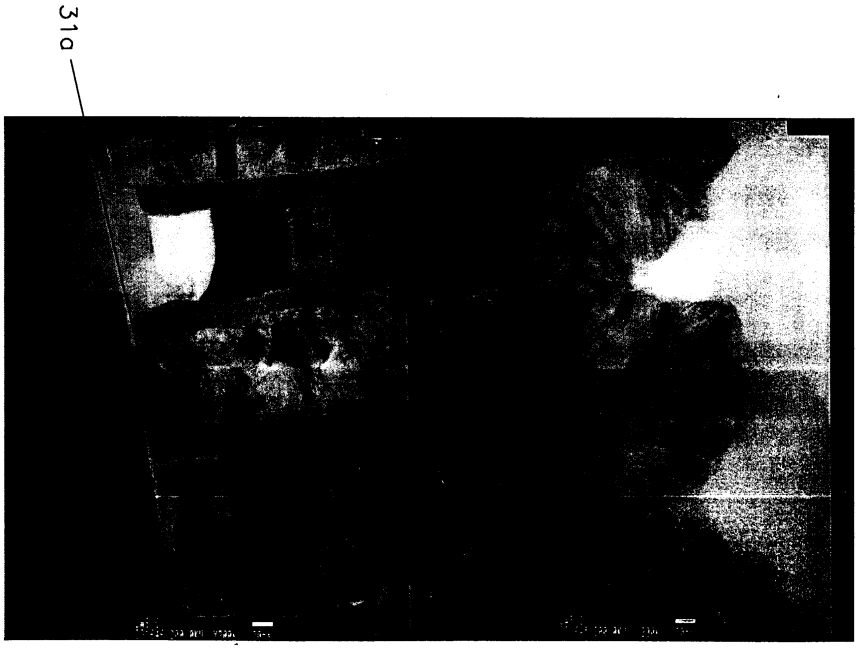
도면12



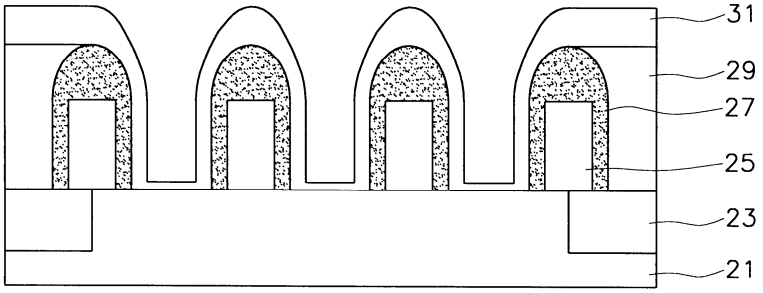
도면13



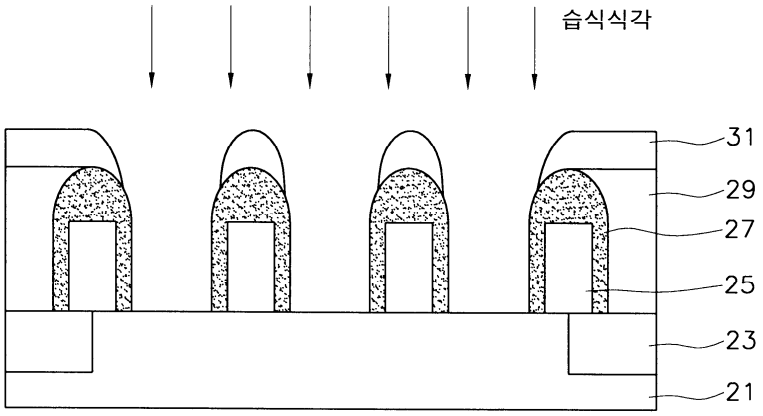
도면14



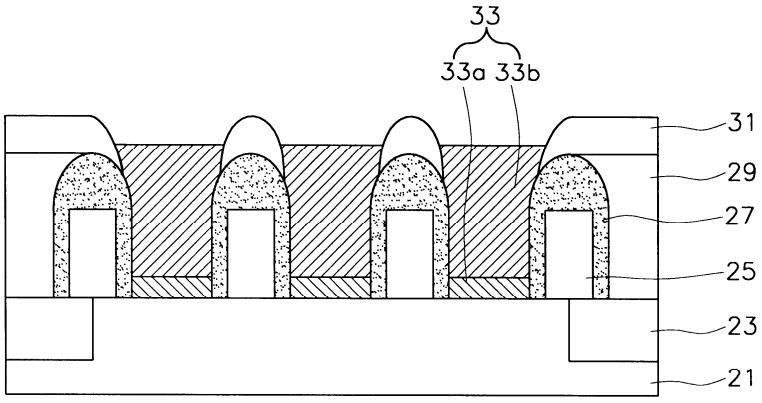
도면15



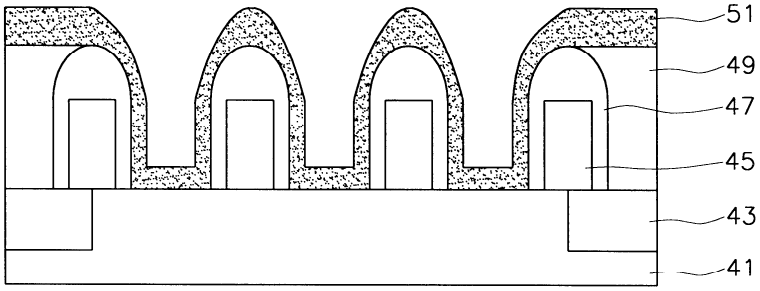
도면16



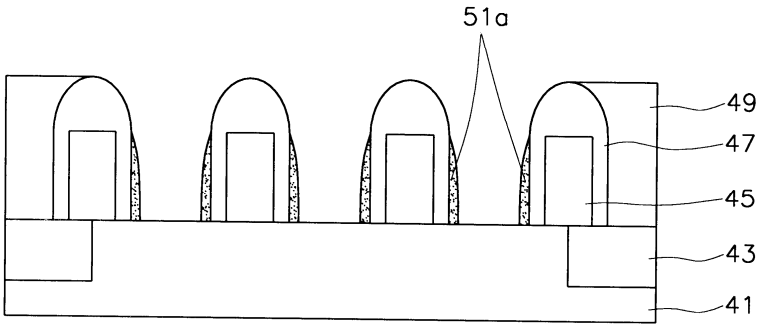
도면17



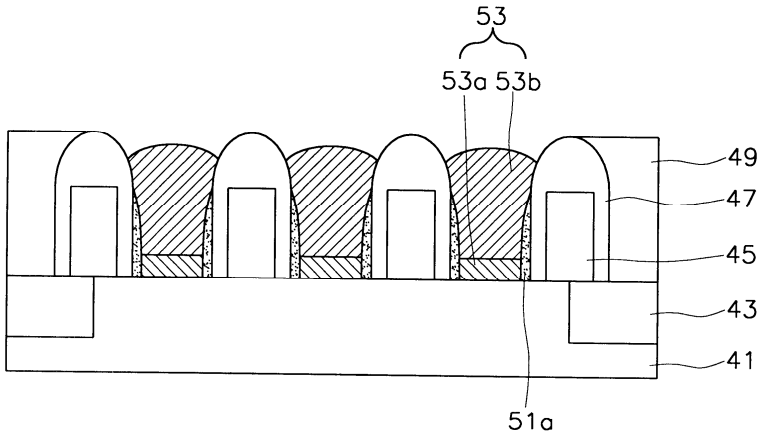
도면18



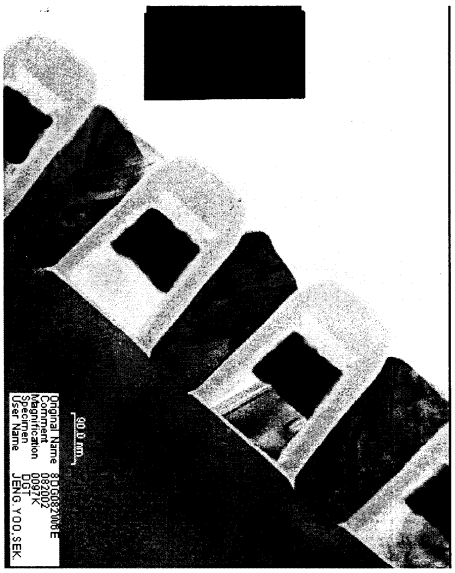
도면19



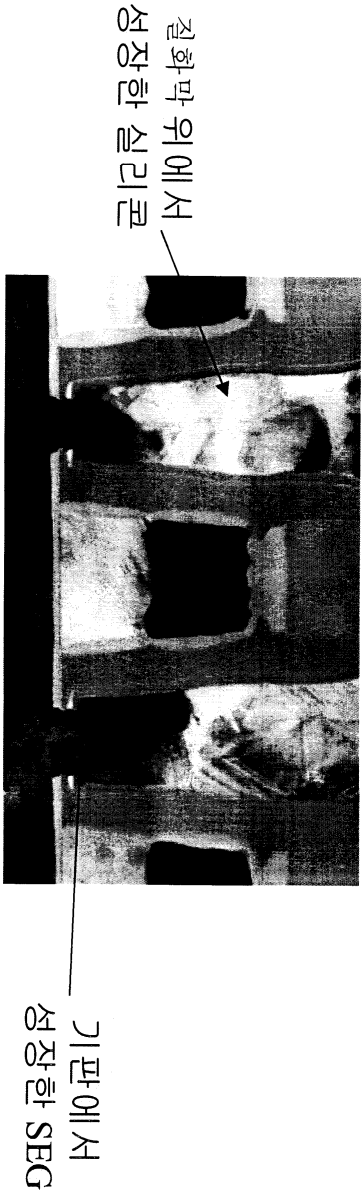
도면20



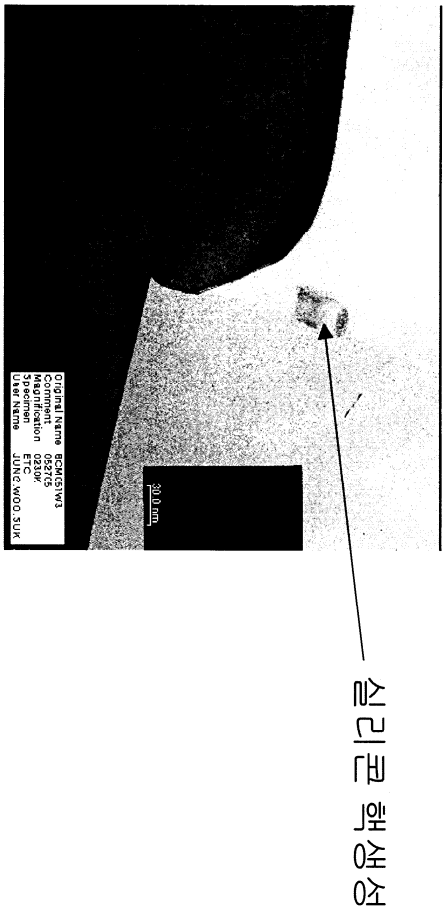
도면21



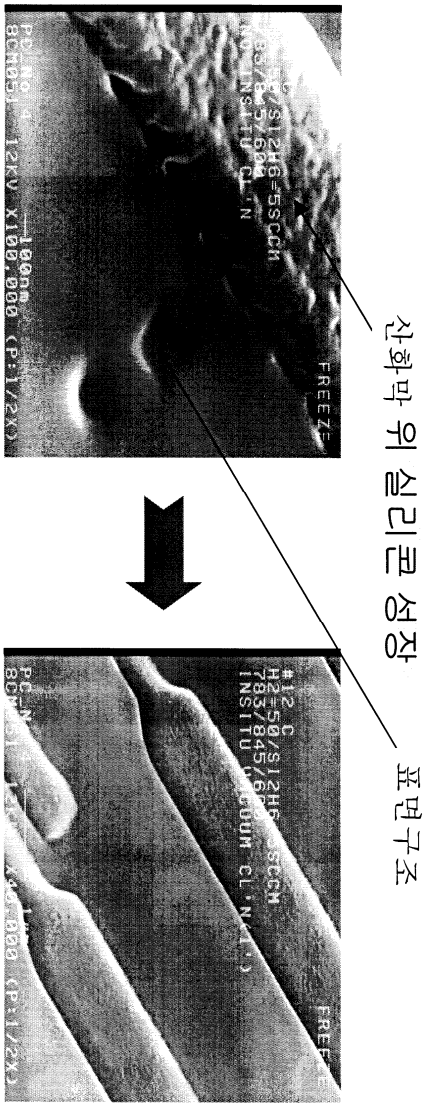
도면22



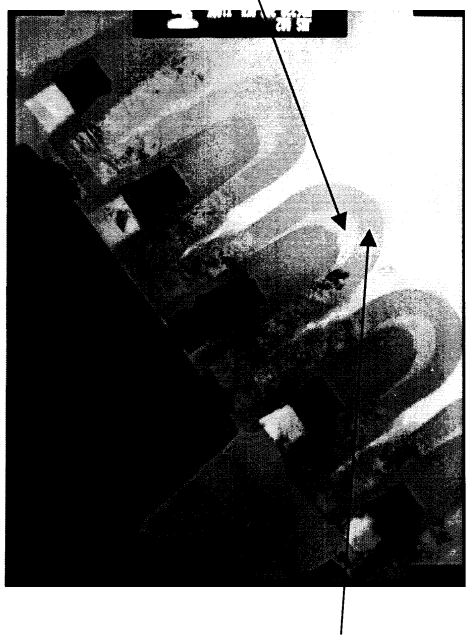
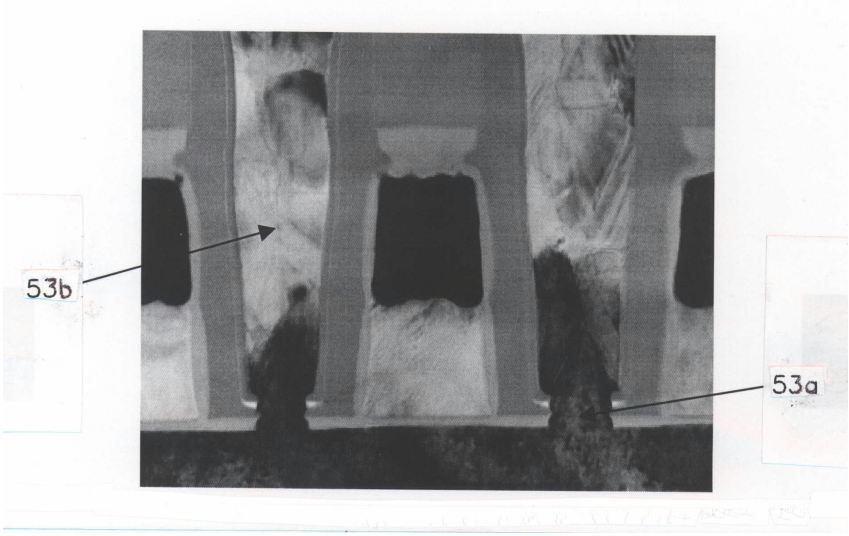
도면23


Original Name BCM(5)W3
Comment 052705
Magnification 0230X
Specimen ETC
User Name JUNG.WOO.SUK
30.0 nm
실리콘 핵생성

도면24



도면25



도면26