

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G06F 1/00	(11) 공개번호 특 1998-058197	(43) 공개일자 1998년 09월 25일
(21) 출원번호 특 1996-077509	(22) 출원일자 1996년 12월 30일	
(71) 출원인 엘지반도체 주식회사	문정환 충청북도 청주시 흥덕구 향정동 1번지	
(72) 발명자 배종근	서울특별시 양천구 신정동 327 목동아파트 1310동 1506호	
(74) 대리인 박장원		

심사청구 : 있음

(54) 제어신호를 이용한 출력패드 회로

요약

본 발명은 칩 설계시 출력패드 회로에 연결된 외부 로드의 크기가 달라질 때, 외부에 버퍼를 부착하거나 출력패드 회로를 교환하지 않고 상기 출력패드 회로의 드라이빙 출력 전류의 크기를 칩 자체적으로 조절할 수 있는 제어신호를 이용한 출력패드 회로에 관한 것이다. 이를 위해 본 발명은 상기 종래의 출력패드 회로에 콘트롤 신호가 로우레벨 일때의 출력은 트라이 스테이트가 되고 콘트롤 신호가 하이레벨 일때는 인버터로서 동작이 되는 트라이 스테이트 인버터를 연결하여 구성 된다.

대표도

도 3

명세서

도면의 간단한 설명

도 1 은 출력패드회로에 연결되는 부하가 작은 경우의 종래 기술의 출력패드 회로도.
도 4 는 본 발명의 제2실시예에 대한 제어신호를 이용한 출력패드 회로도.
도면의 주요 부분에 대한 부호 설명

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 출력패드 회로에 관한 것으로, 특히 아이씨 칩(IC CHIP) 설계시 출력패드 회로의 드라이빙 출력 전류의 크기를 조절할 수 있는 제어 신호를 이용한 출력패드 회로에 관한 것이다.

그리고 도 2 에 도시된 출력패드회로는 도 1 에 도시된 출력패드회로와 구성은 동일하고, 트랜지스터(P1 과 P2 및 N1과 N2)의 사이즈가 다르다.

먼저, 입력데이터(Din)가 하이레벨이면 인버터(IN1)의 출력은 로우레벨이 되고, 그 인버터(IN1)의 출력에 의해 인버터(IN2)의 피모스트랜지스터(P1)가 턴온 되어, 출력단자를 통하여 하이레벨의 데이터(Dout)가 출력 된다.

그리고 도 2 에 도시된 출력패드회로의 동작은 제1도의 출력패드회로와 동일 하다.

이때 상기 도 1 과 도 2 의 출력패드회로는 로직기능은 동일하게 구성 되나 트랜지스터의 사이즈에 의해서 구분 됨으로써, 상기 트랜지스터의 크기에 따라 출력 드라이빙 전류의 크기는 각각 다르게 출력 된다. 즉, 상기 인버터(IN2 및 IN3)의 드라이빙 출력 전류는 상기 트랜지스터(P1와 P2 및 N1와 N2)들의 사이즈에 의해서 다르게 출력 된다.

즉, 출력패드 회로에 연결 되는 부하가 크면 드라이빙 출력 전류가 큰 출력패드 회로를 사용하고, 출력패드 회로에 연결 되는 부하가 작으면 드라이빙 출력 전류가 작은 출력패드 회로를 사용 한다.

발명이 이루고자하는 기술적 과제

그러나, 종래의 출력패드 회로는, 칩 설계에 있어서, 출력패드 회로의 드라이빙 출력 전류의 크기와 외부 로드의 크기가 매칭이 되지 않으면 외부회로의 구동시간이 많이 걸리거나 출력패드회로의 레벨천이시 피크 전류치가 크게 될 수 있다.우에는, 외부 로드의 전압레벨이 바뀌는데 까지의 시간이 많이 걸리게 된다.

따라서, 증가된 천이 시간을 감소시키기 위해서는 출력패드 회로의 외부에 버퍼를 사용하거나, 칩 내부의 기존 출력패드 회로를 드라이빙 출력 전류가 큰 출력패드 회로로 교체하여야 한다.

이와 같이, 입력 또는 출력 그라운드가 흔들리게 되면 상기 출력패드회로의 구동 한계전압(V_{iL} 및 V_{iH})이 변하게 되어 칩이 오동작 하게 되는 문제점이 있었다.

발명의 구성 및 작용

도 3 는 본 발명의 제1실시에인 출력패드회로로서, 입력데이터(Din)를 인버팅 하는 인버터(IN1)와, 상기 인버터(IN1)의 출력을 공통된 게이트 입력으로하여 전원전압(Vcc)와 접지전압(Vss) 사이에 직렬 연결된 피모스트랜지스터(P1)와 엔모스트랜지스터(N1)로 이루어진 인버터(IN2)와, 전원전압(Vcc)와 접지전압(Vss)사이에서 직렬로 연결된 피모스트랜지스터(P3)(P4)와 엔모스트랜지스터(N3),(N4)로 구성된 트라이 스테이트 인버터(TIN1)가 접속되어 구성된다.즈($c/0.8\mu m$)에 의해 결정 된다.

그리고, 입력데이터(Din)와 제어신호(CS)가 모두 하이 레벨이면, 트라이 스테이트인버터(TIN1)의 피모스트랜지스터(P3),(P4)는 턴온, 엔모스트랜지스터(N3),(N4)는 턴오프 되어, 인버터(IN2)와 트라이 스테이트인버터(TIN1)의 출력은 모두 하이레벨의 출력 데이터(Dout)를 출력한다.

따라서, 드라이빙 출력전류는 인버터(IN2)의 피모스트랜지스터(P1)의 사이즈와 트라이 스테이트인버터(TIN)의 피모스트랜지스터(P3),(P4)의 사이즈에 의해 결정된다.

그런데, 인버터(IN2)의 피모스트랜지스터(P1)와 트라이 스테이트 인버터(TIN)의 피모스트랜지스터(P3),(P4)는 병렬로 연결되어 있기 때문에, 결국, 드라이빙 출력전류는 $2c/0.8\mu m$ 인 하나의 피모스트랜지스터가 출력 전류를 드라이빙 하는 것과 같게 되어, 드라이빙 출력전류는 두배가 된다.

반면에, 입력데이터(Din)와 제어신호(CS)가 모두 로우레벨이면, 트라이 스테이트 인버터(TIN)의 출력은 트라이 스테이트, 인버터(IN2)의 출력은 로우레벨이 되어, 출력단자를 통하여 로우레벨의 출력데이터(Dout)가 출력된다.

이때, 드라이빙 출력전류는 인버터(IN2)의 엔모스트랜지스터(N1)의 사이즈($d/0.8\mu m$)에 의해 결정된다.

그리고, 입력 데이터(Din)는 로우레벨, 제어신호(CS)는 하이 레벨이면, 상기 인버터(IN2)의 출력은 로우레벨이 되고, 상기 트라이 스테이트 인버터(TIN1)의 피모스트랜지스터(P3),(P4)는 턴오프, 엔모스트랜지스터(N3),(N4)는 턴온 되어, 인버터(IN2)와 트라이 스테이트인버터(TIN1)의 출력은 모두 로우레벨의 출력 데이터(Dout)를 출력한다.

그런데, 상기 인버터(IN2)의 엔모스트랜지스터(N1)와 트라이 스테이트 인버터(TIN1)의 엔모스트랜지스터(N3),(N4)는 병렬로 연결되어 있기 때문에, 결국, 드라이빙 출력 전류는 사이즈가 $2d/0.8\mu m$ 인 하나의 엔모스트랜지스터가 출력 전류를 드라이빙 하는 것과 같게 됨으로써, 드라이빙 출력 전류는 두배가 된다.

따라서, 본 발명은 트라이 스테이트 인버터(TIN1)의 제어신호(CS)를 이용하여 드라이빙 출력 전류의 크기를 가변시킴으로써, 칩 설계시 외부 부하의 크기가 달라져도 드라이빙 출력 전류의 크기를 칩 자체적으로 조절 할 수가 있다.

도 4 는 본 발명인 출력패드 회로의 제2실시예로서, 도 3 에 도시된 본 발명의 제1 실시예의 트라이 스테이트 인버터(TIN1)를 트라이 스테이트 인버터(TIN2)로 대체하여 구성 된다.

발명의 효과

상기에서 상세히 설명한 바와같이, 본 발명은 트라이 스테이트 인버터(TIN1)(TIN2)의 제어신호(CS)를 이용하여 드라이빙 출력 전류의 크기를 가변시킴으로써, 외부로드의 크기가 달라져도 출력패드 회로의 외부에 버퍼를 부착하거나 또는 출력패드 회로를 교환할 필요 없이 전류의 크기를 칩 자체적으로 조절 하며, 출력패드회로와 외부 부하의 미스매칭에 의하여 발생하는 칩의 오동작을 막을수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

전원단자(Vcc)과 접지단자(Vss) 사이에 직렬 연결되어, 게이트에 인버터(IN1)에서 반전된 입력 데이터(Din)가 인가되는 피모스 트랜지스터(P1), 엔모스 트랜지스터(N1)로 이루어진 출력패드 회로에 있어서, 제어신호(CS)가 로우레벨이면 출력은 트라이 스테이트가 되고, 제어신호(CS)가 하이레벨이면 입력 데이터(Din)가 출력되는 특성을 갖는 트라이 스테이트 인버터를 추가로 연결하여 구성되는 것을 특징으로 하는 제어신호를 이용한 출력패드 회로.

청구항 2

제1항에 있어서, 상기 트라이 스테이트 인버터(TIN1)는 전원단자(Vcc)와 접지단자(Vss)사이에서 직렬로 연결된 피모스 트랜지스터(P3)(P4)와

엔모스트랜지스터(N3)(N4)로 구성되어, 피모스트랜지스터(P3)와 엔모스트랜지스터(N4)의 게이트로는 각각 서로 다른 레벨의 제어신호(CS)가 입력되고, 피모스트랜지스터(P4)와 엔모스트랜지스터(N3)의 게이트로는 상기 반전된 입력데이터(Din)가 입력되고, 출력단자는 상기 출력패드회로의 출력단자와 공통연결되는 것을 특징으로 하는 제어신호를 이용한 출력패드 회로.

청구항 3

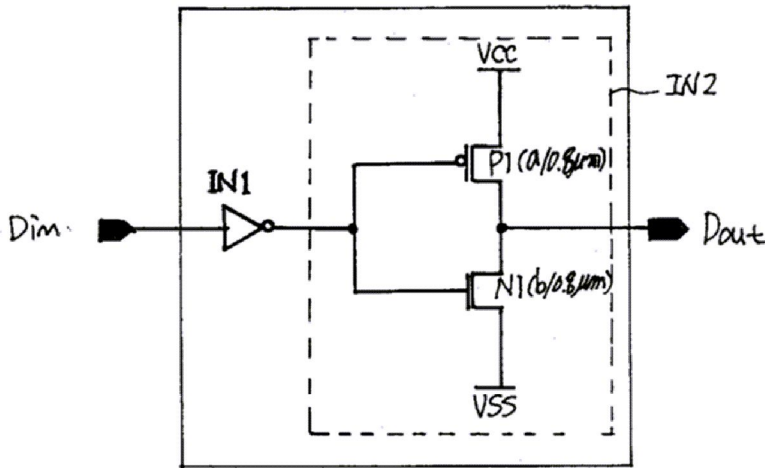
제1항에 있어서, 상기 트리 스테이트 인버터는, 제어신호(CS)가 로우레벨일때는 트라이 스테이트(Tri-state) 가 되고, 제어신호(CS)가 하이레벨일때는 인버터로서 동작되는 것을 특징으로 하는 제어신호를 이용한 출력패드 회로.

청구항 4

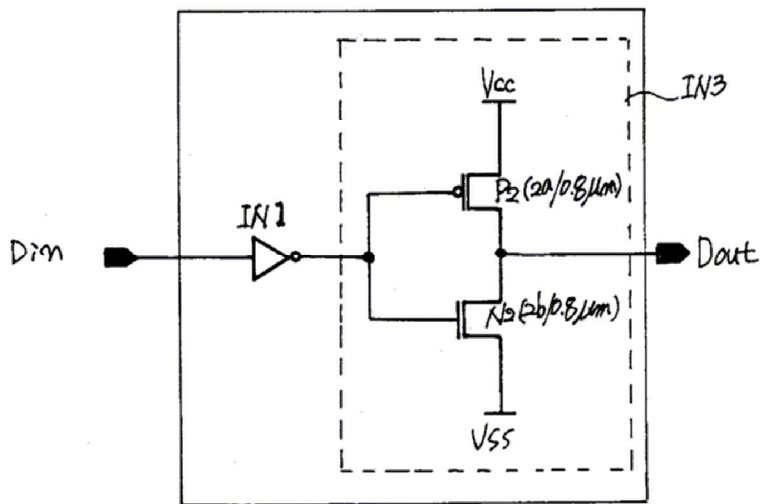
제 1 항에 있어서, 상기 트라이 스테이트 인버터(TIN2)는 입력데이터(Din)와 제어신호(CS)를 낸딩하는 낸드게이트(NA1)와, 상기 인버터(IN1)의 출력신호와 제어신호(CS)를 앤딩하는 앤드게이트(AN1)와, 전원단자(Vcc)와 접지단자(Vss)사이에 직렬연결되어, 상기 낸드게이트(NA1)와 앤드게이트(AN1)의 출력이 각각 게이트로 입력되는 피모스트랜지스터(P5)와 엔모스트랜지스터(N5)로 구성되는 것을 특징으로 하는 제어신호를 이용한 출력패드 회로.

도면

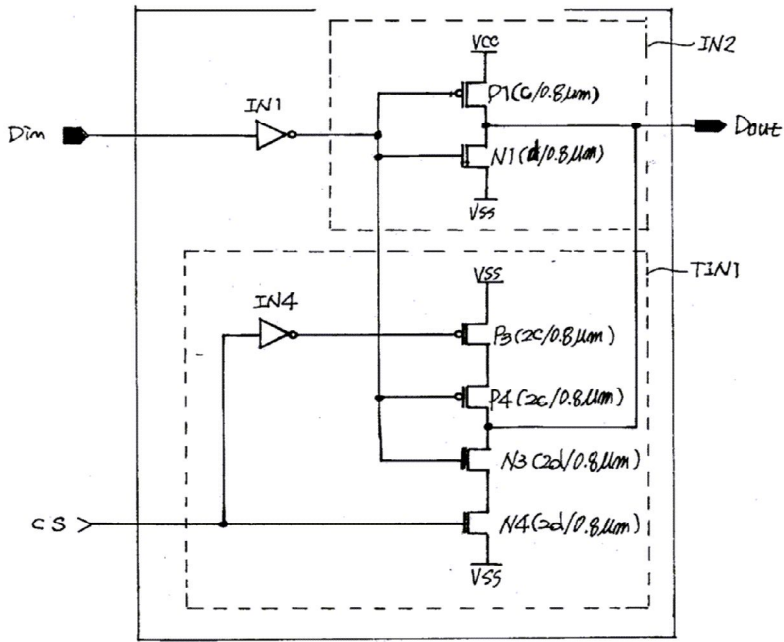
도면1



도면2



도면3



도면4

