

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-165249

(P2011-165249A)

(43) 公開日 平成23年8月25日(2011.8.25)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 29/44 (2006.01)	G 1 1 C 29/00 6 5 5 M	5 B 0 1 8
G 1 1 C 29/56 (2006.01)	G 1 1 C 29/00 6 5 2	5 B 1 2 5
G 0 6 F 12/16 (2006.01)	G 0 6 F 12/16 3 3 0 D	5 L 1 0 6
G 1 1 C 17/00 (2006.01)	G 1 1 C 17/00 D	
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 0 1 E	
審査請求 未請求 請求項の数 24 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2010-25335 (P2010-25335)
 (22) 出願日 平成22年2月8日 (2010.2.8)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100106909
 弁理士 棚井 澄雄
 (74) 代理人 100108578
 弁理士 高橋 詔男
 (74) 代理人 100138759
 弁理士 大房 直樹
 (74) 代理人 100140774
 弁理士 大浪 一徳
 (72) 発明者 伊藤 紳
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内
 Fターム(参考) 5B018 GA03 KA01 NA06 QA13
 最終頁に続く

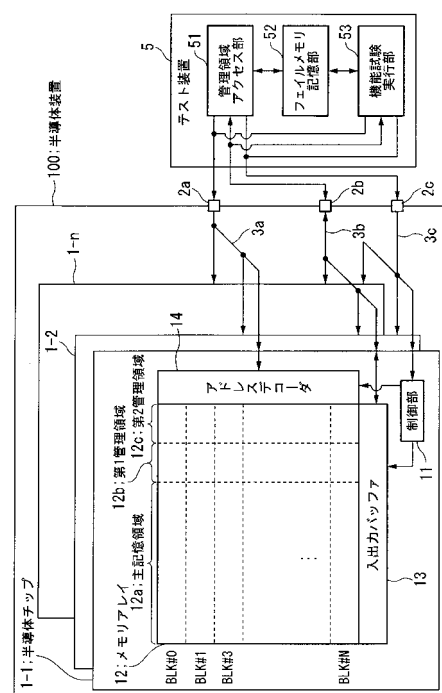
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】再検査に要する時間の増加を抑制することのできる半導体装置を提供する。

【解決手段】半導体装置は、データを記憶する複数の主記憶領域と、前記主記憶領域ごとに対応し、該主記憶領域が不良であるか否かを判定する第1検査、及び該第1検査の後に行われる該主記憶領域が不良であるか否かを判定する第2検査それぞれの結果に基づいた該主記憶領域が不良であるか否かを示す不良ブロック情報を記憶する第1管理領域と、前記主記憶領域ごとに対応し、前記第1検査の結果のみに基づいた不良ブロック情報を記憶する第2管理領域とを備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

データを記憶する複数の主記憶領域と、

前記主記憶領域ごとに対応し、該主記憶領域が不良であるか否かを判定する第 1 検査、及び該第 1 検査の後に行われる該主記憶領域が不良であるか否かを判定する第 2 検査それぞれの結果に基づいた該主記憶領域が不良であるか否かを示す不良ブロック情報を記憶する第 1 管理領域と、

前記主記憶領域ごとに対応し、前記第 1 検査の結果の不良ブロック情報を記憶する第 2 管理領域と

を備えることを特徴とする半導体装置。

10

【請求項 2】

前記第 2 検査が再び行われる場合、前記第 2 管理領域に記憶されている不良ブロック情報に基づいて前記第 2 検査が再び行われ、再び行われた前記第 2 検査及び前記第 1 検査の結果に基づいた不良ブロック情報が前記第 1 管理領域に記憶される

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 検査が再び行われる場合、前記第 2 管理領域に記憶されている不良ブロック情報を前記第 1 管理領域に書き込んだ後に、前記第 2 検査が再び行われ、再び行われた前記第 2 検査及び前記第 1 検査の結果に基づいた不良ブロック情報が前記第 1 管理領域に記憶される

20

ことを特徴とする請求項 1 又は請求項 2 のいずれかに記載の半導体装置。

【請求項 4】

前記第 2 検査は、前記第 1 検査の結果において良であると判定された前記主記憶領域に対して行われ、前記第 2 検査により当該主記憶領域が不良であると判定された場合、当該主記憶領域に対応する前記第 1 管理領域に不良であることを示す情報を記憶させる

ことを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 1 検査が、半導体ウェハに対する前工程テストであり、

前記第 2 検査が、パッケージ化された後に行われる後工程テストである

ことを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

30

【請求項 6】

データを記憶する複数の主記憶領域と、前記主記憶領域ごとに対応し、該主記憶領域が不良であるか否かを判定する第 1 検査、及び該第 1 検査の後に行われる該主記憶領域が不良であるか否かを判定する第 2 検査それぞれの結果に基づいた該主記憶領域が不良であるか否かを示す不良ブロック情報を記憶する第 1 管理領域と、前記主記憶領域ごとに対応し、前記第 1 検査の結果の不良ブロック情報を記憶する第 2 管理領域とを備える半導体装置に対して、前記第 2 検査を再び行う場合、前記第 2 管理領域に記憶されている不良ブロック情報を前記第 1 管理領域に書き込む復元過程と、

前記主記憶領域ごとに前記第 1 検査の結果に基づいて前記第 2 検査を行い、該主記憶領域に対応する前記第 1 管理領域に不良ブロック情報を書き込む検査過程と

40

を有することを特徴とする半導体装置の試験方法。

【請求項 7】

前記第 1 検査及び前記第 2 検査の結果に基づいて不良品と判定された前記半導体記憶領域の数が予め定めた基準値以下の場合、前記半導体装置を良品と判定し、不良と判定された前記主記憶領域の数が前記基準値を超える場合、前記半導体装置を不良品と判定し、不良と判定された前記主記憶領域の数が予め定められた再検査条件値を超える場合、前記半導体装置を再び前記第 2 検査を行う対象と判定する判定過程

を有することを特徴とする請求項 6 に記載の半導体装置の試験方法。

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、半導体装置、及び半導体装置の試験方法に関する。

【背景技術】

【0002】

一般に、不揮発性メモリ（例えば、NAND型フラッシュメモリ）などの半導体装置は、データを記憶する複数の記憶ブロックを備えている。この複数の記憶ブロックには、製造における不具合などのために正常に動作しない記憶ブロックが存在する。正常に動作しない記憶ブロックは、バッド・ブロック（Bad Block）といい、一定の割合以下で存在することが許容されている。このようなバッド・ブロックの位置（アドレス）などを管理するための管理領域を有する半導体装置に関する技術がある（特許文献1）。

10

【0003】

例えば、バッド・ブロックの位置を管理するために、メモリアレイ内の管理領域（スペアエリア）に、バッド・ブロックの位置を記憶させておく。そして、半導体装置の記憶ブロックにデータを記憶させる場合に、管理領域に記憶されている情報を読み出し、読み出した情報に基づいてバッド・ブロックを避けてデータを記憶させている。

【0004】

チップメーカーは、半導体ウェハ状態におけるプローブ検査（ウェハテスト、前工程テスト）により検出されたバッド・ブロックを示す情報を管理領域に記憶させて半導体チップを出荷する。このとき、半導体チップは、備えている記憶ブロックのうちバッド・ブロックの割合が所定の数以下の場合、品質の保証された半導体チップであるKGD（Known Good Die）チップとして出荷される。

20

【0005】

アッセンブリメーカーは、購入した複数のKGDチップをマルチチップパッケージ（Multi-Chip Package；MCP）実装を行う。そして、MCP実装された半導体装置に対して、組み立ての工程において生じた不具合を検出するための選別試験（後工程テスト）が行われる。この選別試験は、管理領域に記憶されているバッド・ブロックを示す情報に基づいて、試験時間の削減のためにバッド・ブロックに対する試験を省略（スキップ）する。また、選別試験は、例えば、複数の半導体チップ間を接続する配線の接続不良などを検出する試験である。

以下、この選別試験について、図7及び図8を参照して説明する。

30

【0006】

図7は、半導体装置900、及び半導体装置900の選別試験を行うテスト装置95の構成を示す概略ブロック図である。

同図に示すように、半導体装置900は、 n （ n は、自然数）個の不揮発性メモリの半導体チップ9-1～9- n 、アドレス端子2a、データ端子2b、制御端子2c、半導体チップ9-1～9- n とアドレス端子2aとを接続する接続配線3a、半導体チップ9-1～9- n とデータ端子2bとを接続する接続配線3b、及び半導体チップ9-1～9- n と制御端子2cとを接続する接続配線3cを具備している。

【0007】

半導体チップ9-1～9- n は、それぞれが同じ構成を有し、制御部91と、メモリアレイ92と、入出力バッファ93と、アドレスデコーダ94とを備えている。

40

制御部91は、制御端子2cを通じて外部から入力される制御コマンドに応じて、入出力バッファ93と、アドレスデコーダ94を制御する。

【0008】

メモリアレイ92は、複数の記憶ブロックBLK#0～BLK#N（Nは自然数）を有している。各記憶ブロックは、入出力バッファ93を通じて半導体装置900の外部から入力されるデータを記憶する主記憶領域92aと、主記憶領域92aに不具合が生じているか否かを示す情報を記憶する管理領域92bとを含んでいる。

【0009】

入出力バッファ93は、データをメモリアレイ92に書き込む場合、制御部91の制御

50

に応じて、データ端子 2 b から入力されるデータの信号レベルを増幅してメモリアレイ 9 2 に出力する。また、入出力バッファ 9 3 は、メモリアレイ 9 2 からデータを読み出す場合、制御部 9 1 の制御に応じて、メモリアレイ 9 2 から出力されたデータの信号レベルを増幅してデータ端子 2 b に出力する。

アドレスデコーダ 9 4 は、制御部 9 1 の制御するタイミングに応じて、アドレス端子 2 a を通じて半導体装置 9 0 0 の外部より入力されたアドレスをラッチする。また、アドレスデコーダ 9 4 は、ラッチしたアドレスをデコードし、デコード結果に応じてメモリアレイ 9 2 が有する記憶ブロックのうちいずれかを選択する。

【0010】

テスト装置 9 5 は、管理領域アクセス部 9 5 1 と、フェイルメモリ記憶部 9 5 2 と、機能試験実行部 9 5 3 とを具備している。

管理領域アクセス部 9 5 1 は、メモリアレイ 9 2 に含まれる管理領域 9 2 b に対して不良ブロック情報の読み出し、及び書き込みを行う。この不良ブロック情報は、主記憶領域 9 2 a に正しくデータを記憶させ、読み出すことのできない不具合があるか否かを示す情報である。フェイルメモリ記憶部 9 5 2 には、テスト対象となるメモリアレイ 9 2 に含まれる各記憶ブロックそれぞれに対する不良ブロック情報が、記憶ブロックごとに対応付けられて記憶されている。また、フェイルメモリ記憶部 9 5 2 は、複数の記憶領域を有している。フェイルメモリ記憶部 9 5 2 が有する複数の記憶領域は、それぞれの記憶領域が試験対象の半導体チップ 9-1 ~ 9-n が有する各記憶ブロックと対応付けられる。

【0011】

機能試験実行部 9 5 3 は、予め定められたアルゴリズムに基づいてデータの書き込み及び読み出しを各記憶ブロックの主記憶領域 9 2 a に対して繰り返して行う。その後、機能試験実行部 9 5 3 は、記憶ブロックの主記憶領域 9 2 a から読み出したデータが予め定められた値と一致する否かを判定する。機能試験実行部 9 5 3 は、判定の結果に基づいてメモリアレイ 9 2 の各記憶ブロックが不良であるか否かを判定する。

【0012】

次に、アセンブリメーカにおいて行われる半導体装置 9 0 0 に対する選別試験の手順について説明する。

選別試験は、(a) 初期バッド・ブロックの確認、(b) ファンクション試験、(c) バッド・ブロックの登録、の 3 つのステップで行われる。ここでは、メモリアレイ 9 2 の管理領域 9 2 b に記憶されている不良ブロック情報が「0」の場合は、当該管理領域 9 2 b に対応する記憶ブロックに不具合があることを示す。また、不良ブロック情報が「1」の場合は、当該管理領域 9 2 b に対応する記憶ブロックに不具合がないことを示す。

【0013】

(a) 「初期バッド・ブロックの確認 (Initial BB check)」

管理領域アクセス部 9 5 1 は、読み出しコマンド及びアドレス信号を出力して、半導体チップ 9-1 ~ 9-n それぞれに備えられているメモリアレイ 9 2 の各記憶ブロック管理領域 9 2 b に記憶されている不良ブロック情報を順に読み出す。そして、管理領域アクセス部 9 5 1 は、管理領域 9 2 b から読み出した不良ブロック情報が「0」の場合、フェイルメモリ記憶部 9 5 2 の当該管理領域の記憶ブロックに対応する記憶領域にバッド・ブロックを示す「1」を記憶させる。

これにより、メモリアレイ 9 2 のバッド・ブロックを示す情報がフェイルメモリ記憶部 9 5 2 に記憶される。

【0014】

(b) 「ファンクション試験 (Function Test)」

管理領域アクセス部 9 5 1 がバッド・ブロックを示す情報をフェイルメモリ記憶部 9 5 2 に記憶させる動作が完了すると、機能試験実行部 9 5 3 が、半導体チップ 9-1 ~ 9-n それぞれに備えられているメモリアレイ 9 2 に対して、予め定められたアルゴリズムで書き込み (Program)、消去 (Erase)、読み出し (Read)、及び検証 (check) を繰り返して行うファンクション試験 (Function Test) を実行する。機能試験実行部 9 5 3 は、

このファンクション試験によりバッド・ブロックを検出すると、記憶ブロックがバッド・ブロックであることをフェイルメモリ記憶部 952 に記憶させる。

【0015】

なお、機能試験実行部 953 は、フェイルメモリ記憶部 952 に記憶されている情報に基づいて、プローブ検査において既にバッド・ブロックと判定されている記憶ブロックに対してファンクション試験を行わずにスキップする。これにより、既にバッド・ブロックと判定されている記憶ブロックに対するファンクション試験を省略して、検査に要する時間を短縮する。このように、既にバッド・ブロックと判定されている記憶ブロックに対するファンクション試験などの処理を省略することをバッド・ブロック・マスク機能という。

10

【0016】

(c) 「バッド・ブロックの登録 (BB Marking)」

ファンクション試験のステップが終了すると、管理領域アクセス部 951 は、フェイルメモリ記憶部 952 に記憶されているバッド・ブロックを示す情報を読み出して、「1」が記憶されている記憶領域に対応する記憶ブロックの管理領域 92b に「0」を書き込む。これにより、プローブ検査又は選別試験によりバッド・ブロックと判定された記憶ブロックの管理領域 92b には、「0」が記憶される。

管理領域アクセス部 951 は、フェイルメモリ記憶部 952 に記憶されたバッド・ブロックの数が、予め定められた規定値以下の場合に当該半導体装置 900 を良品であると判定し、規定値を超える場合に当該半導体装置 900 を不良品であると判定する。

20

以上の手順により、テスト装置 95 は、半導体装置 900 の選別試験を行う。

【0017】

図 8 は、上述した選別試験におけるメモリアレイ 92 及びフェイルメモリ記憶部 952 の記憶状態の一例を示した模式図である。ここでは、選別試験の対象を半導体チップ 9-1 とし、メモリアレイ 92 の記憶ブロック (BLK # 1) の管理領域 92b のみにバッド・ブロックを示す「0」が記憶されている場合について説明する。

【0018】

図 8A は、(a) 初期バッド・ブロックの確認ステップに対応する図である。

管理領域アクセス部 951 は、メモリアレイ 92 が有する各記憶ブロックの管理領域 92b から不良ブロック情報を読み出して、記憶ブロック BLK # 1 のみがバッド・ブロックであることをフェイルメモリ記憶部 952 に記憶させる。

30

【0019】

図 8B は、(b) ファンクション試験のステップに対応する図である。

機能試験実行部 953 は、記憶ブロック BLK # 0、BLK # 2 ~ BLK # N に対してファンクション試験を行う。記憶ブロック BLK # 1 のファンクション試験は、バッド・ブロック・マスク機能により省略される。ファンクション試験により機能ブロック BLK # 2 がバッド・ブロックであると判定されると、フェイルメモリ記憶部 952 において記憶ブロック BLK # 2 に対応する記憶領域 92b に「1」が記憶される。

【0020】

図 8C は、(c) バッド・ブロックの登録のステップに対応する図である。

40

管理領域アクセス部 951 は、フェイルメモリ記憶部 952 の記憶領域に「1」が記憶されている記憶ブロック BLK # 1、BLK # 2 の管理領域 92b にバッド・ブロックを示す「0」を書き込む。そして、管理領域アクセス部 951 は、フェイルメモリ記憶部 952 に記憶されているバッド・ブロックの数 (2) が、規定値以下の場合、選別試験の対象の半導体装置 900 を良品であると判定する。逆に、規定値を超える場合、選別試験の対象の半導体装置 900 を不良品であると判定する。

【先行技術文献】

【特許文献】

【0021】

【特許文献 1】特開 2006-331611 号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0022】

ところで、選別試験において、不良品であると判定された半導体装置900は、出荷対象外となる。しかし、選別試験において、例えば、半導体装置900の端子2a～2c（ピン）と、テスト装置95のソケットとの接続不良がある場合には、正しく選別試験が行われずに、半導体装置900が誤って不良品と判定されてしまう。

【0023】

そこで、不良品であると判定された半導体装置900を破棄せずに、異なるテスト装置95に取り付けて、或いは、半導体装置900をテスト装置95に取り付け直して、再度の選別試験を行うこと考えられる。これにより、上述のような、半導体装置900とテスト装置95との接続不良により、本来良品である半導体装置900を不良品であると誤判定して破棄することを防ぎ、無駄に破棄される半導体装置900の数を削減することができる。

【0024】

ここで、再度の選別試験を行う場合、プローブ検査の結果とは異なる情報が書き込まれている可能性のある管理領域92bの不良ブロック情報に基づいて、再度の選別試験を行うことは好ましくない。そこで、管理領域92bに記憶されている不良ブロック情報を消去（Erase）した後に、再度の選別試験を行うことが考えられる。

【0025】

しかしながら、管理領域92bに記憶されている不良ブロック情報を消去してしまうと、プローブ検査の結果も消去されてしまうため、テスト装置95のバッド・ブロック・マスク機能を利用することができず、全ての記憶ブロックが選別試験の対象となり選別試験に要する時間が長くなってしまうという問題がある。

【課題を解決するための手段】

【0026】

本発明の半導体装置は、データを記憶する複数の主記憶領域と、前記主記憶領域ごとに対応し、該主記憶領域が不良であるか否かを判定する第1検査、及び該第1検査の後に行われる該主記憶領域が不良であるか否かを判定する第2検査それぞれの結果に基づいた該主記憶領域が不良であるか否かを示す不良ブロック情報を記憶する第1管理領域と、前記主記憶領域ごとに対応し、前記第1検査の結果の不良ブロック情報を記憶する第2管理領域とを備えることを特徴とする。

【0027】

また、本発明の半導体装置の試験方法は、データを記憶する複数の主記憶領域と、前記主記憶領域ごとに対応し、該主記憶領域が不良であるか否かを判定する第1検査、及び該第1検査の後に行われる該主記憶領域が不良であるか否かを判定する第2検査それぞれの結果に基づいた該主記憶領域が不良であるか否かを示す不良ブロック情報を記憶する第1管理領域と、前記主記憶領域ごとに対応し、前記第1検査の結果の不良ブロック情報を記憶する第2管理領域とを備える半導体装置に対して、前記第2検査を再び行う場合、前記第2管理領域に記憶されている不良ブロック情報を前記第1管理領域に書き込む復元過程と、前記主記憶領域ごとに対応し、前記第1検査の結果に基づいて前記第2検査を行い、該主記憶領域に対応する前記第1管理領域に不良ブロック情報を書き込む検査過程とを有することを特徴とする。

【発明の効果】

【0028】

この発明によれば、第2検査において第1管理領域に記憶されている不良ブロック情報が変更されても、第2管理領域に記憶されている不良ブロック情報に基づいて、第1検査において不良と判定された記憶ブロックに対して第2検査を省略することができ、再度の第2検査に要する時間を、初回の第2検査と同様に、短縮することができる。

【図面の簡単な説明】

【0029】

【図1】本実施形態における半導体装置100と、半導体装置100の試験に用いるテスト装置5の構成を示す概略ブロック図である。

【図2】本実施形態において、半導体装置100とテスト装置5との接続が電氣的に安定している場合における選別試験の過程の一例を示す第1の図である。

【図3】本実施形態において、半導体装置100とテスト装置5との接続が電氣的に不安定である場合における選別試験の過程の一例を示す第2の図である。

【図4】本実施形態において、半導体装置100とテスト装置5との接続が電氣的に不安定である場合における選別試験の過程の一例を示す第1の図である。

【図5】本実施形態において、半導体装置100とテスト装置5との接続が電氣的に安定している場合における再選別試験の過程の一例を示す第2の図である。

【図6】本実施形態において、半導体装置100とテスト装置5との接続が電氣的に安定している場合における再選別試験の過程の一例を示す図である。

【図7】半導体装置900、及び半導体装置900の選別試験を行うテスト装置95の構成を示す概略ブロック図である。

【図8】選別試験におけるメモリアレイ92及びフェイルメモリ記憶部952の状態の一例を示した模式図である。

【発明を実施するための形態】

【0030】

以下、図面を参照して、本発明の一実施形態による半導体装置及び半導体装置の試験方法を説明する。

【0031】

図1は、本実施形態における半導体装置100と、半導体装置100の選別試験に用いるテスト装置5の構成を示す概略ブロック図である。半導体装置100は、複数の半導体チップ1-1～1-n（nは、自然数）がMCP実装化されたものである。例えば、半導体チップ1-1～1-nは、NAND型フラッシュメモリなどの不揮発性メモリのチップである。

また、半導体装置100は、不揮発性の記憶素子を有する半導体チップ1-1～1-n、アドレス端子2a、データ端子2b、制御端子2c、半導体チップ1-1～1-nとアドレス端子2aとを接続する接続配線3a、半導体チップ1-1～1-nとデータ端子2bとを接続する接続配線3b、及び半導体チップ1-1～1-nと制御端子2cとを接続する接続配線3cを具備している。

【0032】

半導体チップ1-1～1-nは、それぞれが同じ構成を有している。また、半導体チップ1-1～1-nは、それぞれ、制御部11と、メモリアレイ12と、入出力バッファ13と、アドレスデコーダ14とを備えている。

制御部11は、制御端子2cを通じて外部から入力される制御コマンドに応じて、入出力バッファ13及びアドレスデコーダ14を制御する。また、制御部11は、入力される制御コマンドに応じて、通常モードとテストモードとの切り替えを行う。ここで、制御コマンドは、例えば、読み出しコマンドや、書き込みコマンド、通常モードとテストモードとを切り替えるコマンドなどである。

【0033】

メモリアレイ12は、不揮発性の記憶素子を含み構成される複数の記憶ブロック（BLK#0～BLK#N（Nは、自然数））を有している。各記憶ブロックは、入出力バッファ13を介してデータ端子2bから入力されるデータを記憶する主記憶領域12aと、主記憶領域12aに不具合があるか否かを示す不良ブロック情報を記憶する第1管理領域12b及び第2管理領域12cとを含んでいる。記憶ブロックの第1管理領域12b及び第2管理領域12cには、半導体チップ1-1～1-nの各々の出荷前に行われるプローブ検査（前工程テスト）の結果に基づく不良ブロック情報が記憶されている。不良ブロック情報は、記憶ブロックの主記憶領域12aに不具合があるか否かを示す情報である。本実

10

20

30

40

50

施形態では、不良ブロック情報は、「1」のとき不具合がないことを示し、「0」のとき不具合があることを示す。

【0034】

プローブ検査において、バッド・ブロックと判定された記憶ブロックの第1管理領域12b及び第2管理領域12cには、「0」が記憶されている。一方、バッド・ブロックと判定されなかった記憶ブロックの第1管理領域12b及び第2管理領域には、「1」が記憶されている。また、第1管理領域12bは、後述する選別試験の結果が記憶される。各記憶ブロックの第1管理領域12bは、予め用意された冗長な記憶ブロックと、バッド・ブロックと置き換える際に参照される。

【0035】

アドレスデコーダ14は、制御部11の制御に応じて、アドレス端子2aを通じて半導体装置100の外部より入力されたアドレス信号をラッチする。また、アドレスデコーダ14は、ラッチしたアドレス信号をデコードし、デコード結果に応じてメモリアレイ12が有する記憶ブロックのうちいずれかを選択する。

入出力バッファ13は、アドレスデコーダ14により選択される記憶ブロックに対してデータ端子2bから入力されるデータの信号レベルを増幅してメモリアレイ12に出力する書き込み動作と、アドレスデコーダ14に選択されるメモリアレイ12から出力されるデータの信号レベルを増幅してデータ端子2bに出力する読み出し動作とを制御部11の制御に応じて切り替えて行う。

【0036】

テスト装置5は、夫々が上記の構成を有する半導体チップ1-1～1-nがMCP化された半導体装置100に対して選別試験を行う。また、テスト装置5は、管理領域アクセス部51と、フェイルメモリ記憶部52と、機能試験実行部53とを具備している。管理領域アクセス部51は、メモリアレイ12に含まれる第1管理領域12b及び第2管理領域12cに対して不良ブロック情報の読み出し、及び書き込みを行う。フェイルメモリ記憶部52には、選別試験の対象となる半導体装置に備えられるメモリアレイ12に含まれる各記憶ブロックそれぞれについて、不良であるか否かが記憶される。また、フェイルメモリ記憶部52は、複数の記憶領域から構成され、各記憶領域が試験対象の半導体チップ1-1～1-nが有する各記憶ブロックに対応付けられる。

機能試験実行部53は、予め定められたアルゴリズムに基づいてデータの書き込み及び読み出しを各記憶ブロックの主記憶領域12aに対して繰り返して行い、記憶ブロックの主記憶領域12aから読み出されたデータが予め定められた値と一致するか否かを判定する。そして、機能試験実行部53は、判定結果により、メモリアレイ12の各記憶ブロックに不具合があるバッド・ブロックであるか否かを判定する。

【0037】

次に、本実施形態においてMCP実装化された半導体装置100に対して行われる選別試験の手順と、再選別試験の手順とについて説明する。

選別試験は、(1)初期バッド・ブロックの確認、(2)ファンクション試験、(3)フェイル・ブロックの登録、の3つのステップにより行われる。

選別試験の結果に基づいて行われる再選別試験は、(4)バッド・ブロックの確認、(5)バッド・ブロックの復元、(6)初期バッド・ブロックの確認、(7)ファンクション試験、(8)フェイル・ブロックの登録、の5つのステップにより行われる。なお、(6)～(8)の3つのステップは、上記の選別試験における(1)～(3)のステップと処理が同じであるので、その説明を省略する。

【0038】

(1)「初期バッド・ブロックの確認(Initial BB check)」

管理領域アクセス部51は、読み出しコマンド及びアドレス信号を半導体装置100に出力して、半導体装置100に具備されている半導体チップ1-1～1-nの第1管理領域12bに記憶されている不良ブロック情報を順に読み出す。

【0039】

管理領域アクセス部 5 1 は、第 1 管理領域 1 2 b から読み出した不良ブロック情報がバッド・ブロックを示す「0」の場合、フェイルメモリ記憶部 5 2 において当該第 1 管理領域 1 2 b の記憶ブロックに対応する記憶領域に「1」を記憶させる。これにより、メモリアレイ 1 2 が有する記憶ブロックのうちいずれの記憶ブロックがバッド・ブロックであるかをフェイルメモリ記憶部 5 2 に登録する。すなわち、チップメーカーにおいて行われたプローブ検査の結果に基づく不良ブロック情報を第 1 管理領域 1 2 b から読み出して、テスト装置 5 のフェイルメモリ記憶部 5 2 にバッド・ブロックを示す情報を記憶させる。なお、フェイルメモリ記憶部 5 2 には、初期値として、全ての記憶領域に「0」が記憶されている。

【0040】

10

(2) 「ファンクション試験 (Function Test)」

機能試験実行部 5 3 は、(1) 初期バッド・ブロックの確認のステップが完了すると、半導体チップ 1-1 ~ 1-n それぞれに備えられたメモリアレイ 1 2 の各記憶ブロックに対して、予め定められたアルゴリズムで書き込み (Program)、消去 (Erase)、読み出し (Read)、及び検証 (Check) を繰り返して行うファンクション試験 (Function Test) を実行する。

また、機能試験実行部 5 3 は、ファンクション試験によりフェイル・ブロックを検出すると、フェイルメモリ記憶部 5 2 において当該記憶ブロックに対応する記憶領域に「1」を書き込む。これにより、フェイルメモリ記憶部 5 2 には、当該記憶ブロックがフェイル・ブロックであることが記憶される。なお、機能試験実行部 5 3 は、ファンクション試験を行う際、既にフェイルメモリ記憶部 5 2 にバッド・ブロックとして記憶されている記憶ブロックに対して試験を行わずにスキップするバッド・ブロック・マスク機能を用いて選別試験に要する時間の短縮を行う。

20

【0041】

(3) 「フェイル・ブロックの登録 (FB Marking)」

管理領域アクセス部 5 1 は、(2) ファンクション試験が完了すると、フェイルメモリ記憶部 5 2 に記憶されている情報を読み出して、「1」が記憶されている記憶領域に対応する記憶ブロックの第 1 管理領域 1 2 b に「0」を書き込む。

また、管理領域アクセス部 5 1 は、フェイルメモリ記憶部 5 2 に記憶されているバッド・ブロック及びフェイル・ブロックの数が、予め定められた規定値以下の場合に選別試験の対象の半導体装置 1 0 0 を良品であると判定し、規定値を超える場合に当該半導体装置 1 0 0 を不良品であると判定する。

30

【0042】

更に、管理領域アクセス部 5 1 は、バッド・ブロック数と、フェイル・ブロック数との和が、予め定められた再検査条件値を超えている場合、選別試験の対象の半導体装置 1 0 0 を再度の選別試験 (再選別試験) の対象と判定する。この再検査条件値は、選別試験における統計情報などから、検出されるバッド・ブロック及びフェイル・ブロックの個数の期待値などに基づいて予め定められる。例えば、統計的に検出されることのないバッド・ブロック及びフェイル・ブロックの個数、又は、検出される確率が著しく低いバッド・ブロック及びフェイル・ブロックの個数を再検査条件値にする。

40

メモリアレイ 1 2 に含まれるバッド・ブロック及びフェイル・ブロックの数が、再検査条件値を超えている場合、半導体装置 1 0 0 以外の原因により不良品として判定された可能性があると考えられるので、再度の選別試験 (再選別試験) の対象と判定する。

【0043】

テスト装置 5 は、上述の (1) ~ (3) のステップを順に実行することにより、半導体装置 1 0 0 に対して選別試験を行う。

なお、管理領域アクセス部 5 1 は、(3) フェイル・ブロックの登録のステップにおいて、第 1 管理領域 1 2 b に正しく不良ブロック情報を書き込めたか否かを検証するために、第 1 管理領域 1 2 b へ書き込み完了の後に、管理領域アクセス部 5 1 が第 1 管理領域 1 2 b から不良ブロック情報を読み出して、書き込んだ不良ブロック情報と一致するかを検

50

出するようにしてもよい。また、管理領域アクセス部 51 が不一致した数により、半導体装置 100 を不良品又は再選別検査の対象と判定するようにしてもよい。

【0044】

続いて、選別試験において再選別試験の対象と判定された半導体装置 100 に対して行われる再選別試験について説明する。

この再選別試験は、選別試験で使用したテスト装置 5 と異なるテスト装置 5 により行われるか、或いは、半導体装置 100 をテスト装置 5 に取り付け直して行われる。これは、再選別試験において、再び半導体装置 100 以外の原因により、再選別試験の対象となった半導体装置 100 を不良品又は再度の選別試験の対象と判定してしまうことを避けるためである。

10

【0045】

例えば、選別試験において、試験を開始するときに、テスト装置 5 が半導体装置 100 に対してデータの書き込み、及びデータの読み出しを行っていたにもかかわらず、選別試験を行っている最中にデータの書き込み、及びデータの読み出しを行えなくなることがある。これは、半導体装置 100 の各端子 2a～2c（ピン）と、テスト装置 5 のソケットとの接続が電氣的に不安定である場合に生じる。このような状態で選別試験を行うと、（b）ファンクション試験のステップを正しく行うことができず半導体装置 100 が不良品であると判定されることになる。この場合、不良品と判定された半導体装置 100 には、本来良品である半導体装置 100 が含まれている可能性が高い。また、検出されるフェイル・ブロック数の数も著しく多くなる。

20

【0046】

このような場合、半導体装置 100 をテスト装置 5 に取り付け直すことで、半導体装置 100 の各端子 2a～2c と、テスト装置 5 のソケットとの接続が電氣的に安定する可能性がある。そのため、異なるテスト装置 5 により再選別試験を行う、或いは、半導体装置 100 を取り付け直して再選別試験を行うことは、再び半導体装置 100 以外の原因により不良品と判定されることを避けるために有効である。

また、テスト装置 5 に不具合があった場合、異なるテスト装置 5 により再選別試験を行うことで、正しく再選別試験を行うことができる。

【0047】

再選別試験は、操作者の操作に基づいて、テスト装置 5 が、（4）～（8）の各ステップを行う。

30

（4）「バッド・ブロックの確認（B B C h e c k）」

管理領域アクセス部 51 は、読み出しコマンド及びアドレス信号を半導体装置 100 に出力して、半導体装置 100 に具備されている半導体チップ 1-1～1-n の第 2 管理領域 12c に記憶されている不良ブロック情報を順に読み出す。

更に、管理領域アクセス部 51 は、第 2 管理領域 12c から読み出した不良ブロック情報が「0」の場合、フェイルメモリ記憶部 52 において当該第 2 管理領域 12c の記憶ブロックに対応する記憶領域に「1」を記憶させる。これにより、フェイルメモリ記憶部 52 には、再選別試験の対象となっている半導体装置 100 に対するプローブ検査（すなわち、チップメーカーによる検査）の結果に基づく不良ブロック情報が記憶される。

40

【0048】

（5）「バッド・ブロックの復元（初期 E r a s e）」

管理領域アクセス部 51 は、（4）バッド・ブロックの確認のステップが完了すると、フェイルメモリ記憶部 52 に記憶されている情報を読み出して、「1」が記憶されている記憶領域に対応する記憶ブロックの第 1 管理領域 12b に「0」を書き込む処理を半導体装置 100 の半導体チップ 1-1～1-n それぞれのメモリアレイ 12 に対して行う。これにより、半導体チップ 1-1～1-n それぞれのメモリアレイ 12 の第 1 管理領域 12b に記憶されている情報は、プローブ検査により書き込まれた状態に戻される。すなわち、第 2 管理領域 12c に記憶されているプローブ検査の結果に基づく不良ブロック情報を第 1 管理領域 12b にコピーすることにより、第 1 管理領域 12b に記憶されている選別

50

試験の結果に基づく不良ブロック情報にプローブ検査の結果に基づく不良ブロック情報を上書きして復元する。

【0049】

なお、管理領域アクセス部51は、第1管理領域12bの不良ブロック情報を復元した後に、第1管理領域12bから不良ブロック情報を読み出し、読み出した不良ブロック情報と、書き込んだ不良ブロック情報とを比較して不良ブロック情報の復元が正しく行われたか否かを判定するようにしてもよい。このとき、管理領域アクセス部51は、不一致した不良ブロック情報の数を検出し、検出した数が規定値を超える場合、再選別試験の対象の半導体装置100を不良品と判定してもよい。更に、管理領域アクセス部51は、検出した数が再検査条件値を超える場合、当該半導体装置100に対する再選別試験を終了し、再度の再選別試験の対象とするようにしてもよい。

10

【0050】

以下、図2～図6を用いて、本実施形態における選別試験及び再選別試験の一例を示し、その手順を説明する。

ここでは、選別試験において半導体装置100とテスト装置5との接続が電氣的に安定している場合と、半導体装置100とテスト装置5との接続が電氣的に不安定であり選別試験の最中にデータの書き込み及びデータの読み出しができなくなる場合とにおける一例を示して説明する。その後に、再選別試験について一例を示して説明する。

また、以下に示す例においては、メモリアレイ12の記憶ブロック数を1024（N＝1023）とし、規定値を40とし、再検査条件値を512とする。また、メモリアレイ12の記憶ブロックBLK#0～BLK#1023のうち、記憶ブロックBLK#1がプローブ検査においてバッド・ブロックと判定され、その結果、記憶ブロックBLK#1の第1管理領域12b及び第2管理領域12cに予め「0」が記憶されている。

20

【0051】

図2は、本実施形態において、半導体装置100とテスト装置5との接続が電氣的に安定している場合における選別試験の過程の一例を示す図である。同図において、選別試験の過程におけるメモリアレイ12及びフェイルメモリ記憶部52の記憶状態が示されている。

【0052】

図2Aは、（1）初期バッド・ブロックの確認のステップに対応する図である。

30

管理領域アクセス部51は、メモリアレイ12の第1管理領域12bに記憶されている不良ブロック情報に基づいて、記憶ブロックBLK#1がバッド・ブロックであることをフェイルメモリ記憶部52に記憶させる。これにより、フェイルメモリ記憶部52において、記憶ブロックBLK#1に対応する記憶領域に、「1」が記憶される。

【0053】

図2Bは、（2）ファンクション試験のステップに対応する図である。

機能試験実行部53は、フェイルメモリ記憶部52にバッド・ブロックの登録が終わると、予め定められたアルゴリズムに基づいてメモリアレイ12の各記憶ブロックに対してファンクション試験を行う。その結果、機能試験実行部53が、ファンクション試験により、記憶ブロックBLK#2だけに不具合（fail）があることを検出すると、機能試験実行部53は、フェイルメモリ記憶部52において記憶ブロックBLK#2に対応する記憶領域にフェイル・ブロックを示す「1」を記憶させる。なお、このファンクションテストは、第1管理領域に対しても行われるのが通常であるので、各ブロックBLKの第1管理領域12bのデータは、ファンクションテストの結果を反映して、「1」となったり「0」となったりしている。一方、第2管理領域12cに対するファンクションテストは実行されないようになっているので、そのデータは初期値（すなわち、チップメーカーが設定したデータ）のままとなっている。

40

【0054】

図2Cは、（3）バッド・ブロックの登録のステップに対応する図である。

管理領域アクセス部51は、機能試験実行部53によるファンクション試験が終了する

50

と、フェイルメモリ記憶部 5 2 に記憶されている情報に基づいて、機能ブロック B L K # 2 の第 1 管理領域 1 2 b に「0」を記憶させる。これにより、メモリアレイ 1 2 の第 1 管理領域 1 2 b には、プローブ検査において検出されたバッド・ブロックと、選別試験において検出されたフェイル・ブロックとを示す不良ブロック情報が記憶される。なお、機能試験実行部 5 3 は、バッド・ブロック B L K # 1 の第 1 管理領域 1 2 b にも「0」を書き込んでも良い。

【0055】

このとき、管理領域アクセス部 5 1 は、フェイルメモリ記憶部 5 2 に記憶されているバッド・ブロックの数は 2 であって、規定値「40」以下であるので、選別試験の対象の半導体装置 100 を良品であると判定する。

【0056】

次に、半導体装置 100 とテスト装置 5 との接続が電氣的に不安定であり選別試験の最中にデータの書き込み及びデータの読み出しができなくなる場合について、図 3 及び図 4 を参照して説明する。ここでは、接続が電氣的に不安定であるために、次の事象が生じる例を示して説明する。

以下に示す選別試験において、選別試験を開始するときには、データの書き込み及びデータの読み出しが行える。しかし、(2) ファンクション試験における記憶ブロック (B L K # 3 ~ B L K # 1022) に対して試験を行っている間、データの書き込み及びデータの読み出しが正しくできなくなり、その後、記憶ブロック (B L K # 1023) に対してデータの書き込み及びデータの読み出しができるようになる。また、(3) バッド・ブロックの登録においても、一部の記憶ブロックに正しくデータの書き込みができなくなる。

【0057】

図 3 及び図 4 は、本実施形態において、半導体装置 100 とテスト装置 5 との接続が電氣的に不安定である場合における選別試験の過程の一例を示す図である。同図において、選別試験の過程におけるメモリアレイ 1 2 及びフェイルメモリ記憶部 5 2 の記憶状態が示されている。

図 3 A は、(1) 初期バッド・ブロックの確認のステップに対応する図である。

管理領域アクセス部 5 1 は、図 2 A に示した例と同様に、第 1 管理領域 1 2 b に記憶されている不良ブロック情報に基づいて、記憶ブロック B L K # 1 がバッド・ブロックであることをフェイルメモリ記憶部 5 2 に記憶させる。

【0058】

図 3 B は、(2) ファンクション試験のステップにおける記憶ブロック B L K # 0 ~ B L K # 2 (B L K # 1 は前述のとおりスキップされる) に対するファンクション試験が完了したときのフェイルメモリ記憶部 5 2 の記憶状態を示す図である。

機能試験実行部 5 3 は、記憶ブロック B L K # 0 から順番に各ブロックに対し、バッド・ブロック・マスク機能により記憶ブロック (B L K # 1) に対するファンクション試験をスキップして、ファンクション試験を行う。この試験により、記憶ブロック B L K # 2 がフェイル・ブロックであると検出されると、機能試験実行部 5 3 は、フェイルメモリ記憶部 5 2 において記憶ブロック B L K # 2 に対応する記憶領域に「1」を記憶させる。

【0059】

図 3 C は、(2) ファンクション試験において、残りの記憶ブロック B L K # 0 ~ B L K # 1023 に対するファンクション試験が終了したときのフェイルメモリ記憶部 5 2 の記憶状態を示す図である。

機能試験実行部 5 3 は、記憶ブロック B L K # 3 ~ B L K # 1023 に対してもファンクション試験を順に行う。このとき、半導体装置 100 とテスト装置 5 との電氣的な接続が不安定なために、機能試験実行部 5 3 は、半導体装置 100 のメモリアレイ 1 2 に対してデータの読み出し及びデータの書き込みが正しく行えない。そのため、機能試験実行部 5 3 は、記憶ブロック B L K # 3 ~ B L K # 1022 に不具合があると見做し、フェイル・ブロックであると判定する。その結果、フェイルメモリ記憶部 5 2 において記憶ブロック

10

20

30

40

50

B L K 3 ～ B L K # 1 0 2 2 それぞれに対応する記憶領域にフェイル・ブロックであることを示す「1」が記憶される。なお、第1管理領域12bには、前述のように、ファンクションテストに基づくデータが記憶される。

【0060】

続いて、機能試験実行部53は、記憶ブロックB L K # 1 0 2 3に対してファンクション試験を行う。このとき、半導体装置100のメモリアレイ12に対するデータの読み出し及び書き込みの正確な実行が復帰し、且つ当該記憶ブロックに異常がないとすると、記憶ブロックB L K # 1 0 2 3は、機能試験実行部53によるファンクション試験にパスすることになる。この結果、フェイルメモリ記憶部52には、図3Cに示すように、記憶ブロックB L K # 0、B L K # 1 0 2 3に対応する記憶領域には「0」が記憶され、記憶ブロックB L K # 1 ～ B L K # 1 0 2 2に対応する記憶領域には「1」が記憶される。

10

【0061】

図4は、(3)フェイル・ブロックの登録のステップに対応する図である。

管理領域アクセス部51は、(2)ファンクション試験が終了すると、フェイルメモリ記憶部52に記憶されている情報を読み出し、フェイル・ブロックと判定された記憶ブロックに含まれる第1記憶領域12bに「0」を記憶させようとする。

この場合、半導体装置100とテスト装置5との電気的な接続が良好のままであると、第1管理領域12bの内容は図4に示すようになるが、不安定な状態となっている場合は、第1管理領域12bに記憶されるデータは不確定のものとなる。

【0062】

20

一方、管理領域アクセス部51は、選別試験をした半導体装置100に対するバッド・ブロック及びフェイル・ブロックの総数が1022となっていて規定値「40」を超えるので、不良品であると判定する。さらに、管理領域アクセス部51は、バッド・ブロック及びフェイル・ブロックの総数「1022」が再検査条件値「512」以上であるので、選別試験の対象の半導体装置100を再度の選別試験の対象と判定する。

【0063】

なお、選別試験を開始するときから接続不良により、テスト装置5が半導体装置100に対するデータの書き込み、及びデータの読み出しを正しく行えない場合、(2)ファンクション試験において、全ての記憶ブロックがバッド・ブロック又はフェイル・ブロックと判定されるので、当該半導体装置100は、再度の選別試験の対象となる。

30

【0064】

また、管理領域アクセス部51が、テスト装置5と半導体装置100との接続が電气的に不安定な場合、第1管理領域12bから不良ブロック情報を正しく読み出すことができないときもあるが、このようなときであっても、以下のように、半導体装置100に対して選別試験が行われる。

【0065】

まず、第1管理領域12bから誤って「0」が読み出された場合、管理領域アクセス部51によりフェイルメモリ記憶部52に「1」が書き込まれる。そして、この第1管理領域12bに対応する主記憶領域12aに対してファンクション試験がスキップされる。(3)フェイル・ブロックの登録において、フェイル・ブロックとしてカウントされる。管理領域アクセス部51は、カウントされたバッド・ブロック及びフェイル・ブロックの数により半導体装置100を良品であるか否かを判定する。よって、第1管理領域12bから正しく不良ブロック情報を読み出せずに、「0」を読み出した場合においても、当該第1管理領域12bに対応する主記憶領域12aに対する判定は、正しく行われる。

40

【0066】

次に、第1管理領域12bから誤って「1」が読み出された場合、管理領域アクセス部51によりフェイルメモリ記憶部52に「0」が書き込まれる。そして、この第1管理領域12bに対応する主記憶領域12aに対してファンクション試験が行われる。このファンクション試験では、記憶ブロックに対して複数回の書き込み及び読み出しが実行される。そのため、電气的に不安定な接続により誤った値が読み出されることについて、ファン

50

クション試験により検証されることになる。よって、第1管理領域12bから正しく不良ブロック情報を読み出せずに、「1」を読み出した場合においても、当該第1管理領域12bに対応する主記憶領域12aに対する判定は、正しく行われる。

【0067】

以上のようにして、テスト装置5と半導体装置100との接続が電氣的に不安定である場合において、第1管理領域12bから不良ブロック情報を正しく読み出せないときにも、本実施形態の選別試験により半導体装置100が良品であるか否かを判定することができる。

【0068】

続いて、本実施形態における再選別試験の手順を一例を示して説明する。以下、再選別試験において半導体装置100とテスト装置5との接続が電氣的に安定し、正しくデータの書き込み、及びデータの読み出しが行える場合について説明する。また、再選別試験の対象となる半導体装置100は、上述の選別試験により、再度の選別試験の対象となった半導体装置100である。

図5及び図6は、本実施形態において、半導体装置100とテスト装置5との接続が電氣的に安定している場合における再選別試験の過程の一例を示す図である。同図において、再選別試験の過程におけるメモリアレイ12及びフェイルメモリ記憶部52の記憶状態を示している。

【0069】

図5Aは、(4)バッド・ブロックの確認のステップに対応する図である。

半導体チップに第1管理領域12bの内容は、図4に関連して説明した内容となっているため、管理領域アクセス部51は、今度は、メモリアレイ12の第2管理領域12cに記憶されている不良ブロック情報をフェイルメモリ記憶部52に記憶させる。これにより、フェイルメモリ記憶部52には、図5Aに示すように、記憶ブロックBLK#1に対応する記憶領域に「1」が記憶される。

【0070】

図5Bは、(5)バッド・ブロックの復元のステップに対応する図である。

管理領域アクセス部51は、フェイルメモリ記憶部52に記憶させた情報に基づいて記憶ブロックBLK#0、BLK#2～#1023の第1管理領域12bに「1」を書き込む。記憶ブロックBLK#1の第1管理領域12bには、「0」が書き込まれる。

これにより、メモリアレイ12の第1管理領域12bに記憶されている不良ブロック情報は、チップメーカーによるプローブ検査の結果に基づく不良ブロック情報に還元される。その後は、図2に示した処理が実行される。

【0071】

すなわち、図5Cに示すように(6)初期バッド・ブロックの確認のステップが行われ、管理領域アクセス部51は、メモリアレイ12の第1管理領域12bの不良ブロック情報に基づいて、記憶ブロックBLK#1がバッド・ブロックであることをフェイルメモリ記憶部52に記憶させる。なお、フェイルメモリ記憶部52には、図5Bのようにチップメーカーによるプローブ検査結果が既に格納されているので、図5Cがスキップしても良い。

【0072】

次に、図6Aに(7)ファンクション試験のステップとして示すように、機能試験実行部53は、フェイルメモリ記憶部52にバッド・ブロックの登録が終わると、予め定められたアルゴリズムに基づいてメモリアレイ12のブロックBLK#1を除いた各記憶ブロックに対してファンクション試験を行う。その結果として、記憶ブロックBLK#2に不具合(fail)があることが検出されると、フェイルメモリ記憶部52の記憶ブロックBLK#2に対応する記憶領域にファイル・ブロックを示す「1」を記憶させる。

【0073】

そして、図6Bに(8)フェイル・ブロックの登録ステップとして示すように、管理領域アクセス部51は、フェイルメモリ記憶部52に記憶されている情報に基づいて、メモ

10

20

30

40

50

リアレイ 1 2 の第 1 管理領域 1 2 b に記憶されている不良ブロック情報を更新する。これにより、記憶ブロック (B L K # 1、B L K # 2) の第 1 管理領域 1 2 b には、「0」が記憶される。また、フェイル・ブロックであることを示す情報も主記憶領域 1 2 a に書き込む。

このとき、管理領域アクセス部 5 1 は、フェイル・ブロックとバッド・ブロックとの総数が 2 であり、規定値「40」以下であるので、再選別試験の対象の半導体装置 1 0 0 を良品であると判定する。

【0074】

なお、半導体装置 1 0 0 とテスト装置 5 との接続が電氣的に不安定であるために、再選別試験の最中にデータの書き込み及びデータの読み出しができなくなる場合は、既に述べたように、フェイル・ブロック又はバッド・ブロック数が再検査条件値を超える可能性が高い。この場合は、再度の再選別試験の対象と判定されることになる。

また、再選別試験の開始時から接続不良により、テスト装置 5 が半導体装置 1 0 0 に対するデータの書き込み、及びデータの読み出しを正しく行えない場合、(7) ファンクション試験において、全ての記憶ブロックがバッド・ブロックと判定される。この場合も、バッド・ブロック数が再検査条件値を超えるので、半導体装置 1 0 0 は、再度の選別試験の対象となる。

【0075】

半導体装置 1 0 0 に対する選別試験において、上述したように、半導体装置 1 0 0 以外の原因により、良品である半導体装置 1 0 0 が、不良品と判定される場合がある。そのため、半導体装置 1 0 0 に対して再選別試験を行う。このとき、第 2 管理領域 1 2 c に記憶されているプローブ検査の結果に基づく不良ブロック情報を読み出し、読み出した不良ブロック情報を第 1 管理領域 1 2 b に書き込む (バッド・ブロックの復元)。

このようにして、第 1 管理領域 1 2 b は、記憶されている選別試験に基づく不良ブロック情報が消去されると共に、プローブ検査に基づく不良ブロック情報が復元される。これにより、再選別試験においても、第 1 管理領域 1 2 b に復元された不良ブロック情報に基づいて、プローブ検査においてバッド・ブロックと判定された記憶ブロックの主記憶領域 1 2 a に対するファンクション試験を省略することができる。この結果、再選別試験に要する時間を短縮することができる。

【0076】

本実施形態において、半導体チップ 1-1 ~ 1-n それぞれが有するメモリアレイ 1 2 において、データを記憶する複数の主記憶領域それぞれに対応した第 1 管理領域 1 2 b と第 2 管理領域 1 2 c とを設けるようにした。また、第 1 管理領域 1 2 b には、プローブ検査 (第 1 検査) により検出されたバッド・ブロックを示す不良ブロック情報と、選別試験 (第 2 検査) により検出されたフェイル・ブロックを示す不良ブロック情報とを記憶させるようにした。一方、第 2 管理領域 1 2 c には、プローブ検査 (第 1 検査) により検出されたバッド・ブロックを示す不良ブロック情報のみを記憶させるようにした。

そして、再選別試験 (第 2 検査) を行う際に、テスト装置 5 が、第 2 管理領域 1 2 c に記憶されている不良ブロック情報を読み出し、第 1 管理領域 1 2 b に書き戻す。これにより、第 1 管理領域 1 2 b に記憶されている不良ブロック情報を選別試験 (第 2 検査) を行う前の記憶状態に戻すことができ、プローブ検査においてバッド・ブロックと判定された記憶ブロックの主記憶領域 1 2 a に対するファンクション試験を省略することができ、再度の選別試験に要する時間の増加を抑制することができる。

【0077】

また、再度の選別試験により、不良品と判定された半導体装置 1 0 0 のうち本来良品である半導体装置 1 0 0 を検出することができ、良品の半導体装置 1 0 0 を不良品と誤判定して廃棄することを防ぐことができる。これにより、半導体装置 1 0 0 の製造コストの低下に寄与することができる。

【0078】

なお、上記の実施形態において、テスト装置 5 の管理領域アクセス部 5 1 が、(4) バ

10

20

30

40

50

ッド・ブロックの確認、及び（５）バッド・ブロックの復元を行う構成を説明したが、半導体チップ１－１～１－ｎに備えられた制御部１１がこの２つのステップを実行するようにしてもよい。この場合、テスト装置５が、半導体チップ１－１～１－ｎに専用の制御コマンドを出力して、制御部１１に（４）バッド・ブロックの確認、及び（５）バッド・ブロックの復元を実行させることになる。これにより、テスト装置５は、選別試験と、再選別試験とをほとんど同じ処理で行うことができるので、テスト装置５の設定変更などの手間を省くことができる。

【００７９】

また、上記の実施形態において、テスト装置５が選別試験と再選別試験と異なる試験を実行する構成を説明したが、これに限らず、選別試験（（１）～（３））の代わりに再選別試験（（４）～（８））を行うようにしてもよい。これにより、テスト装置５において、選別試験と再選別試験とを切り替えて行う必要がなくなるので、操作者によるテスト装置５の設定変更などの手間を省くことができる。

【００８０】

また、上記の実施形態において、第１管理領域１２ｂに記憶されている不良ブロック情報を読み出し、バッド・ブロックをフェイルメモリ記憶部５２に記憶させてからファンクション試験を行う構成を説明した。これに替えて、第２管理領域１２ｃに記憶されている不良ブロック情報を読み出し、バッド・ブロックをフェイルメモリ記憶部５２に記憶させてからファンクション試験を行うようにしてもよい。これにより、再選別試験において、（４）～（５）のステップを省くことができ、再選別試験に要する時間を短縮することができる。この場合、プローブ検査に基づく不良ブロック情報を第２管理領域１２ｃだけに記憶させておけばよいので、プローブ検査に基づく不良ブロック情報を第１管理領域１２ｂに記憶させる処理を省くことができる。

【００８１】

上述のテスト装置５は内部に、コンピュータシステムを有していてもよい。その場合、上述した選別試験及び再選別試験の処理過程は、プログラムの形式でコンピュータ読み取り可能な記録媒体に記憶されており、このプログラムをコンピュータが読み出して実行することによって、上記処理が行われることになる。ここでコンピュータ読み取り可能な記録媒体とは、磁気ディスク、光磁気ディスク、ＣＤ－ＲＯＭ、ＤＶＤ－ＲＯＭ、半導体メモリ等をいう。また、このコンピュータプログラムを通信回線によってコンピュータに配信し、この配信を受けたコンピュータが当該プログラムを実行するようにしても良い。

【符号の説明】

【００８２】

１－１、１－２、１－ｎ、９－１、９－２、９－ｎ…半導体チップ

２ａ…アドレス端子、２ｂ…データ端子、２ｃ…制御端子

３ａ、３ｂ、３ｃ…接続配線

５、９５…テスト装置

１２、９２…メモリアレイ

１２ａ、９２ａ…主記憶領域

１２ｂ…第１管理領域

１２ｃ…第２管理領域

１３、９３…入出力バッファ

１４、９４…アドレスデコーダ

５１、９５１…管理領域アクセス部

５２、９５２…フェイルメモリ記憶部

５３、９５３…機能試験実行部

９２ｂ…管理領域

１００、９００…半導体装置

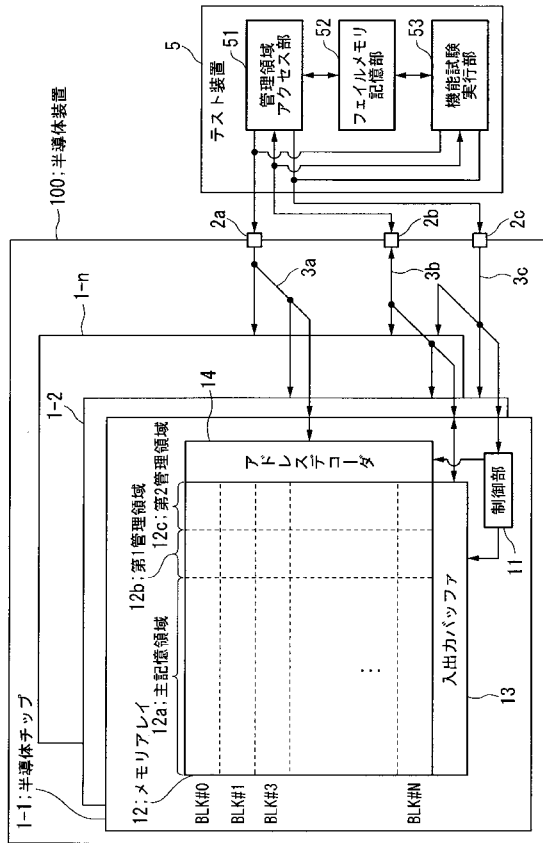
10

20

30

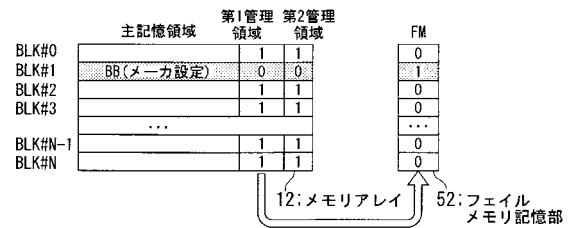
40

【図 1】

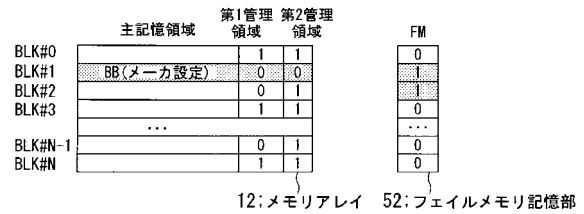


【図 2】

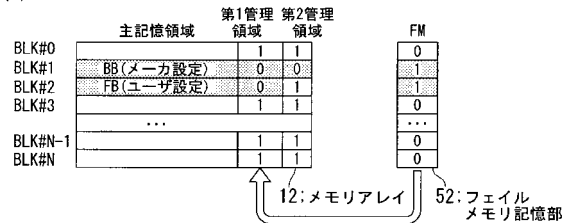
- (A) Initial BB check
ALL 1 READしてFailしたBlockのFMを"1"にする



- (B) Function Test
Fail発生した場合、そのBlockのFMを"1"にする

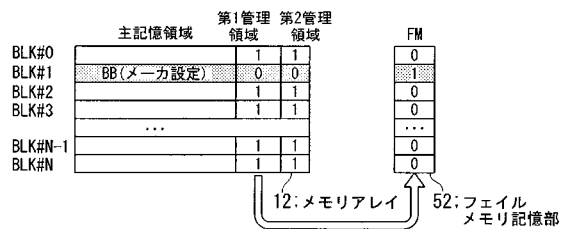


- (C) FB marking
FM内容を読み出して"1"のBlockの第1管理領域に"0"を書く

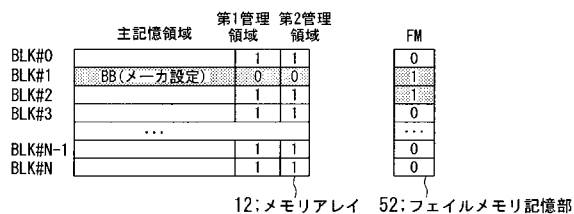


【図 3】

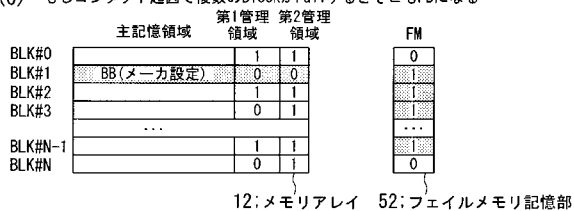
- (A) Initial BB check
ALL 1 READしてFailしたBlockのFMを"1"にする



- (B) Function Test
Fail発生した場合、そのBlockのFMを"1"にする

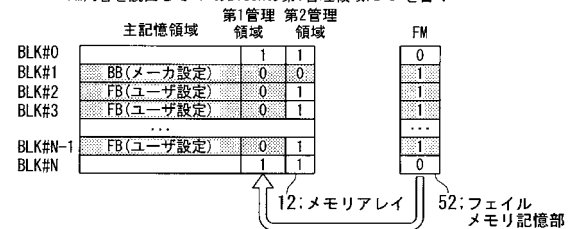


- (C) もしコンタクト起因で複数のBlockがFailするとそのもFBになる

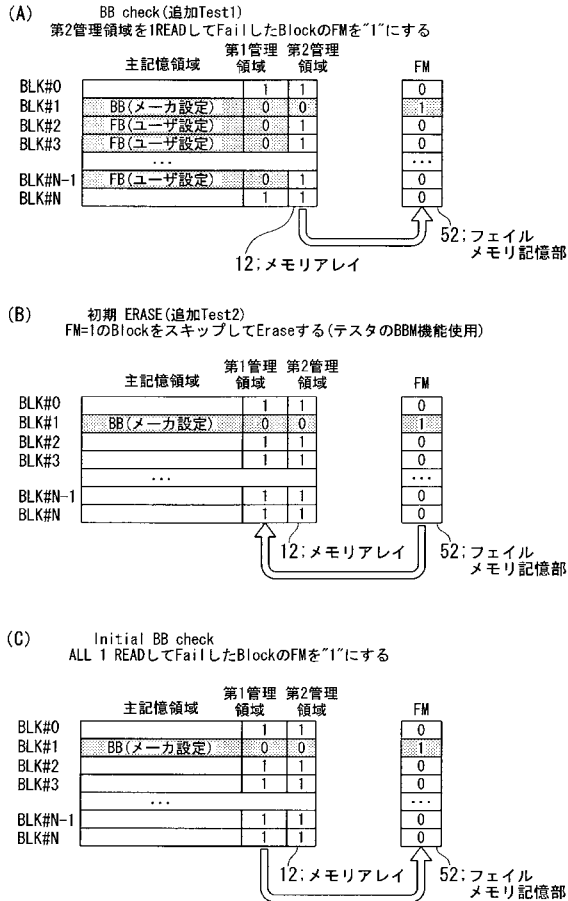


【図 4】

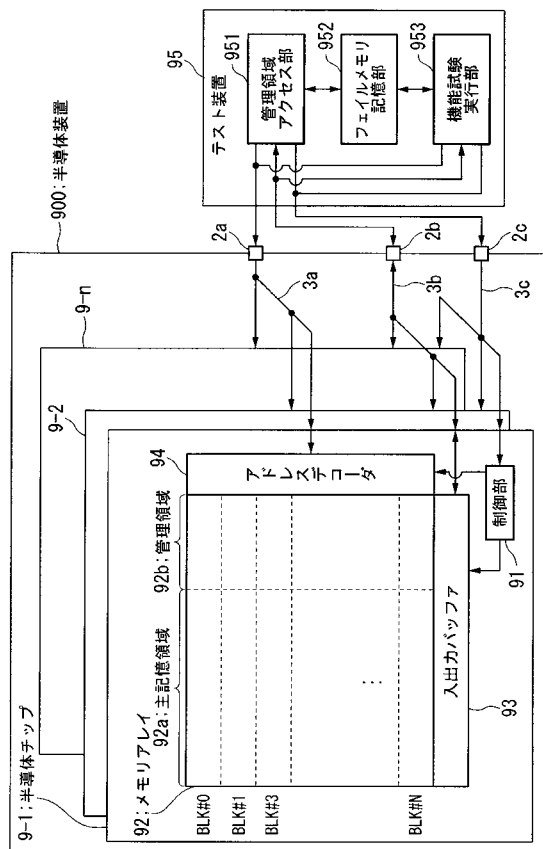
- (A) FB marking
FM内容を読み出して"1"のBlockの第1管理領域に"0"を書く



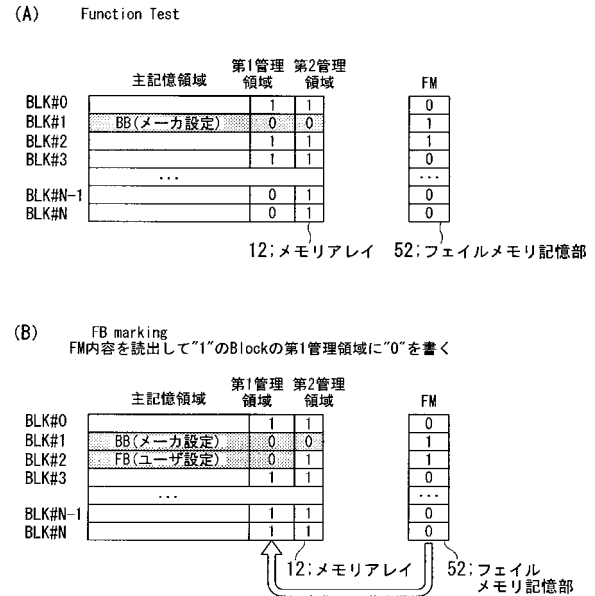
【図 5】



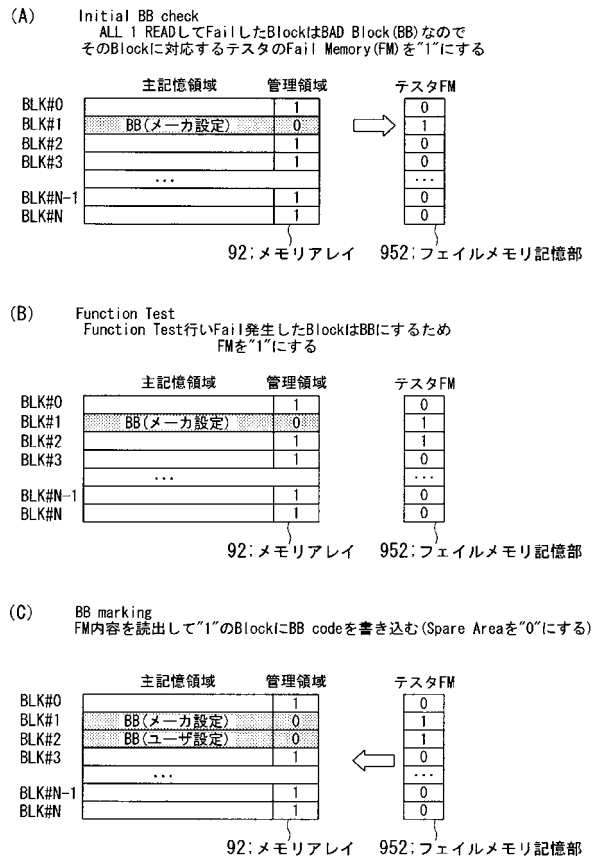
【図 7】



【図 6】



【図 8】



【手続補正書】

【提出日】平成23年2月9日(2011.2.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のデータを記憶する記憶領域をそれぞれ検査した複数の検査の結果を、互いに独立して記憶する第 1 の管理領域及び第 2 の管理領域を備える、ことを特徴とする半導体装置

。

【請求項 2】

前記半導体装置は、第 1 の前記検査において、

前記第 1 の検査の結果を前記第 1 及び第 2 の管理領域の両方へ記憶し、

前記第 1 の検査の後に行われる第 2 の前記検査において、前記第 1 の管理領域が記憶する前記第 1 の検査の結果を、前記第 2 の検査の結果に書き換える、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体装置は、第 1 の前記検査において、

前記第 1 の検査の結果を前記第 1 及び第 2 の管理領域の両方へ記憶し、

前記第 1 の管理領域が記憶する前記第 1 の検査の結果を読み出し、

前記第 1 の管理領域が記憶する前記第 1 の検査の結果を元に、前記第 1 の検査の後に第 2 の前記検査を行い、

前記第 2 の検査の結果を前記第 1 の管理領域へ書き込み、

よって前記第 1 の管理領域が記憶する前記第 1 の検査の結果が、前記第 2 の検査の結果へ書き換えられる、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記半導体装置は、前記第 2 の検査の後に行われる第 3 の前記検査において、

前記第 2 の管理領域が記憶する前記第 1 の検査の結果を読み出し、前記第 2 の管理領域が記憶する前記第 1 の検査の結果の結果を元に前記第 3 の検査を行い、前記第 3 の検査の結果を前記第 2 の検査の結果を記憶する前記第 1 の管理領域へ書き込み、

よって前記第 1 の管理領域が記憶する情報が、前記第 2 の検査の結果から前記第 3 の検査の結果へ書き換えられる、ことを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】

前記半導体装置は、前記第 2 の検査の後に行われる第 3 の前記検査において、

前記第 2 の管理領域が記憶する前記第 1 の検査の結果を読み出し、

前記第 2 の管理領域から読み出した第 1 の検査の結果を、前記第 2 の検査の結果を記憶する前記第 1 の管理領域へ書き込み、

よって前記第 1 の管理領域が記憶する情報が、前記第 2 の検査の結果から前記第 1 の検査の結果に復元される、ことを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 6】

前記半導体装置は、前記第 3 の検査において、

前記復元された前記第 1 の管理領域が記憶する前記第 1 の検査の結果を、前記第 3 の検査の結果に書き換える、ことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記半導体装置は、

第 1 の前記検査において、前記第 1 の検査の結果を、少なくとも前記第 2 の管理領域へ記憶し、

前記第 1 の検査の後に行われる第 2 の前記検査において、前記第 2 の管理領域が記憶す

る前記第 1 の検査の結果と異なる第 2 の検査の結果を、前記第 1 の管理領域へ記憶し、

前記第 2 の検査の後に行われる第 3 の前記検査において、前記第 2 の管理領域が記憶する前記第 1 の検査の結果を読み出し、前記第 2 の管理領域が記憶する前記第 1 の検査の結果を元に前記第 3 の検査を行い、前記第 3 の検査の結果を前記第 2 の検査の結果を記憶する前記第 1 の管理領域へ書き込み、

よって前記第 1 の管理領域が記憶する情報が、前記第 2 の検査の結果から前記第 3 の検査の結果へ書き換えられる、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記半導体装置は、

前記第 1 の管理領域が記憶する前記第 2 の検査の結果を、前記第 2 の管理領域から読み出した第 1 の検査の結果に書き換え、

前記第 2 の管理領域が記憶する前記第 1 の検査の結果を読み出すことに代えて、前記第 1 の検査の結果に書き換えられた前記第 1 の管理領域が記憶する前記第 1 の検査の結果を読み出し、

前記第 1 の管理領域が記憶する前記第 1 の検査の結果を元に、前記第 3 の検査を実行し、

前記第 3 の検査の結果を前記第 1 の検査の結果を記憶する前記第 1 の管理領域へ書き込み、

よって前記第 1 の管理領域が記憶する情報が、前記第 2 の検査の結果から前記第 1 の検査の結果を介して前記第 3 の検査の結果へ書き換えられる、ことを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記半導体装置は、

複数の前記記憶領域と、

前記複数の記憶領域にそれぞれ対応する複数の前記第 1 の管理領域と、

前記複数の記憶領域にそれぞれ対応する複数の前記第 2 の管理領域と、を含み、

第 1 の前記検査に関連する前記複数の記憶領域にそれぞれ対応する複数の前記第 1 の検査の結果を、少なくともそれぞれ対応する前記複数の第 2 の管理領域へ記憶する、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】

前記半導体装置は、前記第 1 の検査の後の第 2 の前記検査において、

前記複数の第 2 の管理領域がそれぞれ記憶する前記複数の第 1 の検査の結果と異なり、前記第 2 の検査に関連する前記複数の記憶領域にそれぞれ対応する複数の前記第 2 の検査の結果を、前記複数の第 1 の管理領域へそれぞれ記憶する、ことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

前記半導体装置は、前記第 2 の検査の後の第 3 の前記検査において、

前記複数の第 2 の管理領域がそれぞれ記憶する前記複数の第 1 の検査の結果を読み出し、前記第 3 の検査に関連する前記複数の記憶領域にそれぞれ対応する複数の前記第 3 の検査の結果を、前記複数の第 1 の管理領域へそれぞれ書き込み、

よって前記複数の第 1 の管理領域がそれぞれ記憶する複数の情報が、前記複数の第 2 の検査の結果から前記複数の第 3 の検査の結果へ書き換えられる、ことを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記半導体装置は、前記第 2 の検査の後の第 3 の前記検査において、

前記複数の第 2 の管理領域がそれぞれ記憶する複数の前記第 1 の検査の結果を読み出し、前記読み出した複数の第 1 の検査の結果を、前記複数の第 2 の検査の結果をそれぞれ記憶する前記複数の第 1 の管理領域へ書き込み、

よって前記複数の第 1 の管理領域がそれぞれ記憶する複数の情報が、前記複数の第 2 の

検査の結果から前記複数の第 1 の検査の結果に復元する、ことを特徴とする請求項 10 に記載の半導体装置。

【請求項 13】

前記半導体装置は、前記第 3 の検査において、

前記復元された前記複数の第 1 の管理領域がそれぞれ記憶する前記複数の第 1 の検査の結果を、前記第 3 の検査に関連する前記複数の記憶領域にそれぞれ対応する複数の前記第 3 の検査の結果にそれぞれ書き換える、ことを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

前記第 1 の管理領域と前記第 2 の管理領域は、それぞれ 1 ビットの前記検査した結果を記憶する記憶素子を含む、ことを特徴とする請求項 1 乃至 13 のいずれか一項に記載の半導体装置。

【請求項 15】

前記第 1 の管理領域が含む前記記憶素子と前記第 2 の管理領域が含む記憶素子は、前記記憶領域が前記複数のデータをそれぞれ記憶する複数の記憶素子と同一な構造である、ことを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

前記第 1 の検査が、半導体ウェハに対する前工程テストであり、

前記第 2 の検査が、前記半導体ウェハから分離された複数のチップがそれぞれパッケージングされた後に行われる後工程テストである、ことを特徴とする請求項 2 または 3、及び請求項 10 のいずれか 1 項に記載の半導体装置。

【請求項 17】

前記第 1 の検査が、半導体ウェハに対する前工程テストであり、

前記第 2 の検査及び前記第 3 の検査が、前記半導体ウェハから分離された複数のチップがそれぞれパッケージングされた後に行われる後工程テストである、ことを特徴とする請求項 4 乃至 8 及び請求項 11 乃至 13 のいずれか 1 項に記載の半導体装置。

【請求項 18】

それぞれが、データを記憶する複数の主記憶領域と、

前記複数の主記憶領域にそれぞれ対応し、前記複数の主記憶領域がそれぞれ不良であるか否かを示す複数の不良情報を記憶する複数の第 1 の管理領域と、

前記複数の主記憶領域にそれぞれ対応し、前記複数の主記憶領域がそれぞれ不良であるか否かを示す複数の不良情報を記憶する複数の第 2 の管理領域と、を備え、

前記複数の第 1 の管理領域のそれぞれは、

それぞれ対応する前記複数の主記憶領域への第 1 の検査の結果と、それぞれ対応する前記複数の主記憶領域への前記第 1 の検査の後に行われる第 2 の検査の結果と、に基づいた前記不良情報を記憶し、

前記複数の第 2 の管理領域のそれぞれは、それぞれ対応する前記複数の主記憶領域への第 1 の検査の結果を示す前記不良情報を記憶し、前記第 2 の検査の結果は記憶しない、ことを特徴とする半導体装置。

【請求項 19】

前記複数の第 1 の管理領域のそれぞれと前記複数の第 2 の管理領域のそれぞれとは、共に 1 ビットの前記不良情報を記憶する記憶素子を含む、ことを特徴とする請求項 18 に記載の半導体装置。

【請求項 20】

前記複数の第 1 の管理領域が含む前記記憶素子と前記複数の第 2 の管理領域が含む記憶素子は、前記複数の主記憶領域がそれぞれデータを記憶する複数の記憶素子と同一な構造である、ことを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】

前記第 2 の検査が再び行われる場合、

前記複数の第 2 の管理領域にそれぞれ記憶されている前記複数の不良情報に基づいて、

前記第 2 の検査が再び行われ、

再び行われた前記第 2 の検査及び前記第 1 の検査の結果に基づいた複数の情報が、それぞれ対応する前記複数の第 1 の管理領域に記憶される、ことを特徴とする請求項 18 に記載の半導体装置。

【請求項 22】

前記第 2 の検査が再び行われる場合、

前記複数の第 2 の管理領域にそれぞれ記憶されている前記複数の不良情報を、それぞれ対応する前記複数の第 1 管理領域に書き込み、

前記複数の第 1 の管理領域にそれぞれ記憶されている前記複数の不良情報に基づいて、前記第 2 の検査が再び行われ、

前記再び行われた前記第 2 の検査及び前記第 1 の検査の結果に基づいた複数の情報が、それぞれ対応する前記複数の第 1 の管理領域に記憶される、ことを特徴とする請求項 18 乃至 21 のいずれか一項に記載の半導体装置。

【請求項 23】

前記第 2 の検査は、前記複数の主記憶領域のうちで前記第 1 の検査の結果において良であると判定された前記主記憶領域に対して実施され、

前記良であると判定された主記憶領域が前記第 2 の検査により不良であると判定された場合、当該主記憶領域に対応する前記第 1 の管理領域に不良情報が記憶される、ことを特徴とする請求項 18 乃至 22 のいずれか一項に記載の半導体装置。

【請求項 24】

前記第 1 の検査が、半導体ウェハに対する前工程テストであり、

前記第 2 の検査が、前記半導体ウェハから分離された複数のチップがそれぞれパッケージングされた後に行われる後工程テストである、ことを特徴とする請求項 18 乃至 23 のいずれか 1 項に記載の半導体装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明の半導体装置は、複数のデータを記憶する記憶領域をそれぞれ検査した複数の検査の結果を、互いに独立して記憶する第 1 の管理領域及び第 2 の管理領域を備える、ことを特徴とする。

また、本発明の半導体装置は、それぞれが、データを記憶する複数の主記憶領域と、前記複数の主記憶領域にそれぞれ対応し、前記複数の主記憶領域がそれぞれ不良であるか否かを示す複数の不良情報を記憶する複数の第 1 の管理領域と、前記複数の主記憶領域にそれぞれ対応し、前記複数の主記憶領域がそれぞれ不良であるか否かを示す複数の不良情報を記憶する複数の第 2 の管理領域と、を備え、前記複数の第 1 の管理領域のそれぞれは、それぞれ対応する前記複数の主記憶領域への第 1 の検査の結果と、それぞれ対応する前記複数の主記憶領域への前記第 1 の検査の後に行われる第 2 の検査の結果と、に基づいた前記不良情報を記憶し、前記複数の第 2 の管理領域のそれぞれは、それぞれ対応する前記複数の主記憶領域への第 1 の検査の結果を示す前記不良情報を記憶し、前記第 2 の検査の結果は記憶しない、ことを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正の内容】

【0081】

上述のテスト装置 5 は内部に、コンピュータシステムを有していてもよい。その場合、

上述した選別試験及び再選別試験の処理過程は、プログラムの形式でコンピュータ読み取り可能な記録媒体に記憶されており、このプログラムをコンピュータが読み出して実行することによって、上記処理が行われることになる。ここでコンピュータ読み取り可能な記録媒体とは、磁気ディスク、光磁気ディスク、CD-ROM、DVD-ROM、半導体メモリ等をいう。また、このコンピュータプログラムを通信回線によってコンピュータに配信し、この配信を受けたコンピュータが当該プログラムを実行するようにしても良い。

以下、本発明のその他の諸態様を付記としてまとめて記載する。

(付記 25)

それぞれが複数のデータを記憶する複数の記憶領域を、第1の検査として試験し、

前記複数の記憶領域にそれぞれ対応する複数の第1の検査の結果を、前記複数の記憶領域にそれぞれ対応する複数の第1の管理領域及び複数の第2の管理領域のうち少なくとも前記複数の第2の管理領域に記憶させ、

前記複数の第1の検査の結果を、前記複数の第2の管理領域からそれぞれ読み出し、

前記複数の記憶領域がそれぞれ良であるか不良であることを示す前記読み出した複数の第1の検査の結果を元に、前記良に対応する前記複数の記憶領域を、前記第1の検査の後の第2の検査として試験し、

前記第2の検査が実行された前記複数の記憶領域にそれぞれ対応する複数の第2の検査の結果を、それぞれ対応する前記複数の第1の管理領域に記憶させる、ことを特徴とする半導体装置の試験方法。

(付記 26)

前記第2の検査の後、前記複数の第1の検査の結果を、前記複数の第2の管理領域からそれぞれ再度読み出し、

前記再度読み出した複数の第1の検査の結果を元に、前記良に対応する前記複数の記憶領域を、前記第2の検査の後の第3の検査として試験し、

前記第3の検査が実行された前記複数の記憶領域にそれぞれ対応する複数の第3の検査の結果を、それぞれ対応する前記複数の第1の管理領域に記憶させる、ことを特徴とする付記 25に記載の半導体装置の試験方法。

(付記 27)

前記第1の検査において、前記複数の第1の検査の結果を、前記複数の第1の管理領域及び複数の第2の管理領域の両方に記憶させる、ことを特徴とする付記 25に記載の半導体装置の試験方法。

(付記 28)

前記第2の検査の後に行われる第3の検査において、前記複数の第2の管理領域からそれぞれ読み出した前記複数の第1の検査の結果を、前記複数の第2の検査の結果がそれぞれ記憶されている前記複数の第1の管理領域へ記憶させ、

よって、前記複数の第1の管理領域が記憶する前記複数の第2の検査の結果を前記複数の第1の検査の結果へ書き換える、ことを特徴とする付記 27に記載の半導体装置の試験方法。

(付記 29)

前記第3の検査において、前記書き換えられた前記複数の第1の管理領域が記憶する複数の情報と前記複数の第2の管理領域が記憶する複数の情報とが一致するかを検証する、ことを特徴とする付記 28に記載の半導体装置。

(付記 30)

前記第3の検査において、前記複数の第2の管理領域からそれぞれ対応する前記複数の第1の検査の結果を再度読み出すことに代えて、前記書き換えられた前記複数の第1の管理領域からそれぞれ対応する前記複数の第1の検査の結果を読み出し、

前記複数の第1の管理領域の前記複数の第1の検査の結果を元に、前記良に対応する前記複数の記憶領域を、前記第3の検査として試験し、

前記第3の検査が実行された前記複数の記憶領域にそれぞれ対応する複数の第3の検査の結果を、それぞれ対応する前記複数の第1の管理領域へ記憶させる、ことを特徴とする

付記 28 または 29 に記載の半導体装置の試験方法。

(付記 31)

前記第 2 の検査において、前記読み出した前記複数の第 1 の検査の結果が、それぞれ対応する前記複数の記憶領域の不良を示すとき、それら前記複数の記憶領域の試験をスキップする、ことを特徴とする付記 25 に記載の半導体装置の試験方法。

(付記 32)

前記第 3 の検査において、前記再度読み出した前記複数の第 1 の検査の結果が、それぞれ対応する前記複数の記憶領域の不良を示すとき、それら前記複数の記憶領域の試験をスキップする、ことを特徴とする付記 26 に記載の半導体装置の試験方法。

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0082

【補正方法】 変更

【補正の内容】

【0082】

1-1、1-2、1-n、9-1、9-2、9-n…半導体チップ

2a…アドレス端子、2b…データ端子、2c…制御端子

3a、3b、3c…接続配線

5、95…テスト装置

12、92…メモリアレイ

12a、92a…主記憶領域

12b…第 1 管理領域

12c…第 2 管理領域

13、93…入出力バッファ

14、94…アドレスデコーダ

51、951…管理領域アクセス部

52、952…フェイルメモリ記憶部 (フェイルメモリ部)

53、953…機能試験実行部

92b…管理領域

100、900…半導体装置

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 1 1 C 16/04 (2006.01) G 1 1 C 17/00 6 2 2 E

F ターム (参考) 5B125 BA01 CA08 DD09 DE07 EA05 FA01 FA04
5L106 AA10 DD12 DD24 EE02