



(10) 授权公告号 CN 116195070 B

(45) 授权公告日 2024. 11. 26

(21) 申请号 202080105419.7

八田英之

(22) 申请日 2020.09.30

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

(65) 同一申请的已公布的文献号
申请公布号 CN 116195070 A

专利代理师 于丽

(43) 申请公布日 2023.05.30

(51) Int.Cl.

(85) PCT国际申请进入国家阶段日
2023.03.22

H01L 29/78 (2006.01)

H01L 29/12 (2006.01)

H01L 29/872 (2006.01)

H01L 29/47 (2006.01)

(86) PCT国际申请的申请数据
PCT/JP2020/037178 2020.09.30

(56) 对比文件

(87) PCT国际申请的公布数据
W02022/070317 JA 2022.04.07

W0 2020145109 A1, 2020.07.16

JP 2020113633 A, 2020.07.27

(73) 专利权人 三菱电机株式会社
地址 日本东京

审查员 袁芳

(72) 发明人 吉田基 田中梨菜 福井裕

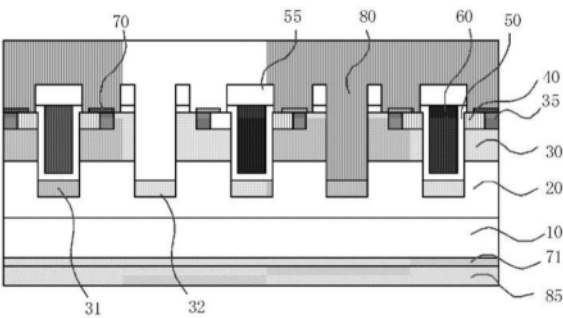
权利要求书2页 说明书9页 附图10页

(54) 发明名称

碳化硅半导体装置的制造方法、碳化硅半导体装置以及电力变换装置

(57) 摘要

本公开的碳化硅半导体装置的制造方法具备：形成栅极沟槽的工序；形成肖特基沟槽的工序；在栅极沟槽和肖特基沟槽形成氧化硅膜(51)的工序；在氧化硅膜的内侧形成多晶硅膜(61)的工序；对多晶硅膜(61)进行回蚀的工序；在栅极沟槽内的栅极电极(60)上形成层间绝缘膜(55)的工序；当在层间绝缘膜(55)开出孔之后利用湿式蚀刻法去除肖特基沟槽内的多晶硅膜(61)的工序；在源极区域(40)上形成欧姆电极(70)的工序；去除肖特基沟槽内的氧化硅膜(51)的工序；以及在所述肖特基沟槽内形成与漂移层(20)进行肖特基连接的源极电极(80)的工序。



1. 一种碳化硅半导体装置的制造方法,其特征在于,具备:
在碳化硅半导体基板上形成第一导电类型的漂移层的工序;
在所述漂移层上形成第二导电类型的阱区域的工序;
在所述阱区域的上层部形成第一导电类型的源极区域的工序;
形成贯穿所述源极区域和所述阱区域而到达所述漂移层的栅极沟槽的工序;
在与所述栅极沟槽分离的位置形成到达所述漂移层的肖特基沟槽的工序;
与所述栅极沟槽及所述肖特基沟槽的内壁接触地形成氧化硅膜的工序;
在所述栅极沟槽和所述肖特基沟槽之内的所述氧化硅膜的内侧形成多晶硅膜的工序;
通过对所述多晶硅膜进行回蚀来去除所述栅极沟槽和所述肖特基沟槽之外的所述多晶硅膜,在所述栅极沟槽内形成栅极电极的工序;
在所述栅极沟槽内的所述栅极电极上形成层间绝缘膜的工序;
当在所述层间绝缘膜开出孔之后利用湿式蚀刻法去除所述肖特基沟槽内的所述多晶硅膜的工序;
在去除所述肖特基沟槽内的所述多晶硅膜的工序之后,在所述源极区域上形成欧姆电极的工序;
在形成所述欧姆电极的工序之后,去除所述肖特基沟槽内的所述氧化硅膜及所述欧姆电极的所述栅极电极侧的所述氧化硅膜的工序;以及
在去除所述肖特基沟槽内的所述氧化硅膜及所述欧姆电极的所述栅极电极侧的所述氧化硅膜的工序之后,在所述肖特基沟槽内形成与所述漂移层进行肖特基连接的源极电极的工序。
2. 根据权利要求1所述的碳化硅半导体装置的制造方法,其特征在于,
在邻接的所述欧姆电极与所述肖特基沟槽之间不设置所述层间绝缘膜。
3. 根据权利要求1或2所述的碳化硅半导体装置的制造方法,其特征在于,
进一步在所述栅极沟槽和所述肖特基沟槽的底部的所述漂移层形成第二导电类型的保护区域。
4. 根据权利要求1至3中任一项所述的碳化硅半导体装置的制造方法,其特征在于,
所述欧姆电极由硅化物构成。
5. 根据权利要求1至4中任一项所述的碳化硅半导体装置的制造方法,其特征在于,
当在所述层间绝缘膜开出孔之后利用湿式蚀刻法去除所述肖特基沟槽内的所述多晶硅膜的工序是在所述栅极电极上形成所述层间绝缘膜的状态下进行的。
6. 根据权利要求1至5中任一项所述的碳化硅半导体装置的制造方法,其特征在于,
去除所述肖特基沟槽内的所述氧化硅膜的工序是通过利用含有氢氟酸的蚀刻液进行湿式蚀刻来进行的。
7. 根据权利要求1至6中任一项所述的碳化硅半导体装置的制造方法,其特征在于,
利用湿式蚀刻法去除所述肖特基沟槽内的所述多晶硅膜的工序是通过使用碱性蚀刻液进行湿式蚀刻来进行的。
8. 根据权利要求1至7中任一项所述的碳化硅半导体装置的制造方法,其特征在于,
所述欧姆电极以自对准的方式形成于在所述层间绝缘膜开口的孔中。
9. 一种碳化硅半导体装置,其特征在于,具备:

碳化硅半导体基板；
第一导电类型的漂移层，形成于所述碳化硅半导体基板上；
第二导电类型的阱区域，形成于所述漂移层上；
第一导电类型的源极区域，形成于所述第二导电类型的阱区域的上层部；
栅极沟槽，以贯穿所述源极区域和所述阱区域而到达所述漂移层的方式形成；
肖特基沟槽，以到达所述漂移层的方式形成；
栅极电极，隔着栅极绝缘膜形成于所述栅极沟槽内；
层间绝缘膜，形成于所述栅极电极之上和所述肖特基沟槽开口部附近；
欧姆电极，形成于所述源极区域上；以及
源极电极，形成于所述层间绝缘膜上、所述欧姆电极上以及所述肖特基沟槽内，在所述欧姆电极的所述栅极沟槽侧与所述源极区域直接接触，与所述漂移层进行肖特基连接。

10. 一种电力变换装置，具备：

主变换电路，具有利用权利要求1～8中任一项所述的碳化硅半导体装置的制造方法制造出的碳化硅半导体装置、或者权利要求9所述的碳化硅半导体装置，所述主变换电路对被输入的电力进行变换并输出；

驱动电路，通过使所述碳化硅半导体装置的栅极电极的电压与源极电极的电压相同来使所述碳化硅半导体装置进行断开工作，将对所述碳化硅半导体装置进行驱动的驱动信号输出到所述碳化硅半导体装置；以及

控制电路，将控制所述驱动电路的控制信号输出到所述驱动电路。

碳化硅半导体装置的制造方法、碳化硅半导体装置以及电力变换装置

技术领域

[0001] 本公开涉及具有沟槽栅极的碳化硅半导体装置的制造方法以及使用碳化硅半导体装置的电力变换装置。

背景技术

[0002] 已知内置MOSFET(Metal-Oxide-Semiconductor Field-Effect-Transistor:金属氧化物半导体场效应晶体管)等单极型开关元件和肖特基势垒二极管(SBD:Schottky Barrier Diode)等单极型续流二极管的电力用半导体装置。作为这样的半导体装置,能够通过同一芯片上并联配置MOSFET单元和SBD单元来实现,一般来说,能够通过芯片内的特定区域设置肖特基电极并使该区域作为SBD工作来实现。

[0003] 通过使开关元件的芯片内置续流二极管,与对开关元件外置续流二极管的情况相比能够降低成本。特别是在使用碳化硅(SiC)作为母材的MOSFET中,通过内置SBD而能够抑制由寄生pn二极管导致的双极工作,这也是优点之一。这是因为,在碳化硅半导体装置中,由于因寄生pn二极管工作所产生的载流子的复合能而引起的晶体缺陷的扩展,有时会损害元件的可靠性。

[0004] 另外,在具有在形成于半导体层的沟槽内埋入有栅极电极的构造的沟槽栅极型MOSFET中,与具有在半导体层的表面上形成有栅极电极的构造的平面型MOSFET相比,能够在沟槽的侧壁形成沟道,与此相应地能够提高沟道宽度密度,能够降低导通电阻。

[0005] 在制造这样的内置SBD的沟槽型MOSFET时,在利用蚀刻法形成埋入肖特基电极的肖特基沟槽和埋入栅极电极的栅极沟槽之后,在栅极沟槽内形成栅极绝缘膜和栅极电极,在其上形成层间绝缘膜,之后在层间绝缘膜形成接触孔,与此同时在将层间绝缘膜的一部分留在肖特基沟槽的侧壁的状态下,沉积Ni膜并进行热处理来形成硅化物层(例如专利文献1)。

[0006] 专利文献1:日本特开2018-182235号公报(图6等)

发明内容

[0007] 发明要解决的技术课题

[0008] 在像这样在形成肖特基沟槽之后用层间绝缘膜填充肖特基沟槽中的状态下在栅极沟槽内形成作为栅极电极的多晶硅、或者在源极区域上形成金属硅化物等硅化物的情况下,有时在填充于肖特基沟槽内的层间绝缘膜形成的洞(空洞、裂纹)的部分残留多晶硅、Ni,多晶硅、金属及其硅化物留在本来不该存在的部位,在去除层间绝缘膜时作为异物被释放而会导致污染。

[0009] 另外,当在栅极沟槽内形成氧化硅的栅极绝缘膜和多晶硅的栅极电极时,大多利用干式蚀刻法对多晶硅进行加工,而当在肖特基沟槽内也与栅极沟槽同样地暂时形成氧化硅和多晶硅并通过干式蚀刻来去除了肖特基沟槽内的多晶硅的情况下,有时多晶硅的一部

分会残留在肖特基沟槽底部的栅极绝缘膜上,如果在该状态下沉积并加热金属层由此进行硅化(silicidation),则在肖特基沟槽底部有时也会形成硅化物,该硅化物有时会在后续工序中被释放而导致污染。

[0010] 本公开是为了解决如上述那样的技术课题而完成的,目的在于提供能够防止在预定之外的部位残留多晶硅材料或金属硅化物材料、且缺陷少或可靠性高的碳化硅半导体装置的制造方法。

[0011] 用于解决技术课题的技术方案

[0012] 本公开的碳化硅半导体装置的制造方法具备:在碳化硅半导体基板上形成漂移层的工序;在漂移层上形成阱区域的工序;在阱区域的上层部形成源极区域的工序;形成贯穿源极区域和阱区域而到达漂移层的栅极沟槽的工序;在与栅极沟槽分离的位置形成到达漂移层的肖特基沟槽的工序;在栅极沟槽和肖特基沟槽的内壁形成氧化硅膜的工序;在栅极沟槽和肖特基沟槽之内的氧化硅膜的内侧形成多晶硅膜的工序;通过对多晶硅膜进行回蚀来去除栅极沟槽和肖特基沟槽之外的多晶硅膜,在栅极沟槽内形成栅极电极的工序;在栅极沟槽内的栅极电极上形成层间绝缘膜的工序;当在层间绝缘膜开出孔之后利用湿式蚀刻法去除肖特基沟槽内的多晶硅膜的工序;在去除肖特基沟槽内的多晶硅膜的工序之后,在源极区域上形成欧姆电极的工序;在形成欧姆电极的工序之后,去除肖特基沟槽内的氧化硅膜的工序;以及在去除肖特基沟槽内的氧化硅膜的工序之后,在所述肖特基沟槽内形成与漂移层进行肖特基连接的源极电极的工序。

[0013] 发明效果

[0014] 根据本公开的碳化硅半导体装置的制造方法,能够制造缺陷少或可靠性高的碳化硅半导体装置。

附图说明

[0015] 图1是利用实施方式1的碳化硅半导体装置的制造方法制造出的碳化硅半导体装置的剖面图。

[0016] 图2是利用实施方式1的碳化硅半导体装置的制造方法制造出的碳化硅半导体装置的俯视图。

[0017] 图3是利用实施方式1的碳化硅半导体装置的制造方法制造出的碳化硅半导体装置的剖面图。

[0018] 图4是说明实施方式1的碳化硅半导体装置的制造方法的剖面图。

[0019] 图5是说明实施方式1的碳化硅半导体装置的制造方法的剖面图。

[0020] 图6是说明实施方式1的碳化硅半导体装置的制造方法的剖面图。

[0021] 图7是说明实施方式1的碳化硅半导体装置的制造方法的剖面图。

[0022] 图8是说明实施方式1的碳化硅半导体装置的制造方法的剖面图。

[0023] 图9是说明实施方式1的碳化硅半导体装置的制造方法的剖面图。

[0024] 图10是说明不采用实施方式1的碳化硅半导体装置的制造方法时的制造方法的剖面图。

[0025] 图11是说明不采用实施方式1的碳化硅半导体装置的制造方法时的制造方法的剖面图。

- [0026] 图12是说明不采用实施方式1的碳化硅半导体装置的制造方法时的制造方法的剖面图。
- [0027] 图13是说明不采用实施方式1的碳化硅半导体装置的制造方法时的制造方法的剖面图。
- [0028] 图14是利用实施方式1的碳化硅半导体装置的制造方法制造出的碳化硅半导体装置的剖面图。
- [0029] 图15是利用实施方式1的碳化硅半导体装置的制造方法制造出的碳化硅半导体装置的俯视图。
- [0030] 图16是实施方式1的碳化硅半导体装置的剖面图。
- [0031] 图17是实施方式2的碳化硅半导体装置的剖面图。
- [0032] 图18是实施方式2的碳化硅半导体装置的剖面图。
- [0033] 图19是说明实施方式2的碳化硅半导体装置的制造方法的剖面图。
- [0034] 图20是说明实施方式2的碳化硅半导体装置的制造方法的剖面图。
- [0035] 图21是说明实施方式2的碳化硅半导体装置的制造方法的剖面图。
- [0036] 图22是说明实施方式2的碳化硅半导体装置的制造方法的剖面图。
- [0037] 图23是实施方式2的碳化硅半导体装置的剖面图。
- [0038] 图24是示出利用实施方式3的电力变换装置的制造方法制造的电力变换装置的结构示意图。

具体实施方式

[0039] 以下,参照附图来对实施方式进行说明。此外,附图是示意性地示出的,不同附图中分别示出的图像的尺寸及位置的相互关系未必是准确记载的,而可以适当变更。另外,在以下的说明中,对同样的构成要素附加相同符号来进行图示,设为它们的名称和功能也是同样的。因此,有时会省略关于它们的详细说明。

[0040] 实施方式1.

[0041] 首先,说明利用本公开实施方式1的制造方法制造的碳化硅半导体装置的构造。

[0042] 图1是利用实施方式1的制造方法制造的碳化硅半导体装置即内置肖特基势垒二极管的沟槽型碳化硅MOSFET(内置SBD的SiC沟槽MOSFET)的有源区域的一部分的剖面图。另外,图2是图1所示的内置SBD的SiC沟槽MOSFET的俯视图,是形成有沟槽的某个深度处的俯视图。

[0043] 在图1中,在由n型且低电阻的碳化硅构成的半导体基板10的表面上形成有由n型碳化硅构成的漂移层20。在漂移层20的表层部设置有由p型碳化硅构成的阱区域30。在阱区域30的上层部形成有由n型碳化硅构成的源极区域40。另外,在源极区域40旁边的阱区域30的表层部形成有由低电阻p型碳化硅构成的接触区域35。在此,不管有无离子注入,由碳化硅构成的区域(形成为漂移层20的区域)都称为碳化硅层。

[0044] 在阱区域30的形成有源极区域40的部位形成有贯穿源极区域40和阱区域30而到达漂移层20的栅极沟槽。另外,在阱区域30的没有形成源极区域40的与栅极沟槽分离的位置形成有贯穿阱区域30而到达漂移层20的肖特基沟槽。

[0045] 在栅极沟槽的内部隔着栅极绝缘膜50形成有由低电阻的多晶硅构成的栅极电极

60。在栅极沟槽的底部的漂移层20形成有p型的第一保护区域31。在肖特基沟槽的底部的漂移层20形成有p型的第二保护区域32。

[0046] 在栅极沟槽的栅极电极60和栅极绝缘膜50之上以及肖特基沟槽的开口部附近形成有层间绝缘膜55。另外,在源极区域40和接触区域35之上形成有由金属硅化物构成的欧姆电极70。在肖特基沟槽的内部、欧姆电极70上以及层间绝缘膜55上形成有源极电极80,肖特基沟槽内部的源极电极80与漂移层20进行肖特基接合。在半导体基板10的没有形成漂移层20的与漂移层20相反一侧的面,形成有背面欧姆电极71以及在其外侧形成有漏极电极85。

[0047] 在源极电极80在肖特基沟槽中与漂移层20接触的位置,源极电极80是由Ti、Mo、W、Ni中的任意材料构成的。

[0048] 如图2的俯视图所示,在内部形成有栅极电极60的栅极沟槽和在内部形成有源极电极80的肖特基沟槽在某个方向上呈直线状地形成并交替配置。栅极沟槽与肖特基沟槽的间隔固定。在此,在栅极沟槽中,沿与栅极沟槽的延伸方向正交的方向从栅极沟槽向漂移层20形成有p型的第一连接区域33,在肖特基沟槽中,沿与肖特基沟槽的延伸方向正交的方向从肖特基沟槽向漂移层20形成有p型的第二连接区域34。

[0049] 图3是利用本实施方式1的制造方法制造的内置SBD的SiC沟槽MOSFET在形成有第一连接区域33和第二连接区域34的位置处的剖面图。如图3所示,第一连接区域33连接第一保护区域31与阱区域30。另外,第二连接区域34连接第二保护区域32与阱区域30。第一连接区域33和第二连接区域34沿着栅极沟槽及肖特基沟槽的延伸方向隔开规定间隔而形成有多个。

[0050] 以下,使用与图1所示的剖面对应的图4~图16的剖面图来对本公开实施方式1的碳化硅半导体装置即内置SBD的SiC-MOSFET的制造方法进行说明。

[0051] 首先,在第一主面的面方位为具有偏离角(off angle)的(0001)面、且具有4H的多型的并由n型且低电阻的碳化硅构成的半导体基板10之上,利用化学气相沉积法(Chemical Vapor Deposition:CVD法)以 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{17} \text{cm}^{-3}$ 以下的杂质浓度使n型、 $5 \mu\text{m}$ 以上且 $50 \mu\text{m}$ 以下厚度的由碳化硅构成的漂移层20外延生长。

[0052] 接着,对漂移层20的表面离子注入作为p型杂质的Al(铝)。此时,使Al的离子注入深度为不超过漂移层20厚度的 $0.5 \mu\text{m}$ 以上且 $3 \mu\text{m}$ 以下左右。另外,使被离子注入的Al的杂质浓度在 $1 \times 10^{17} \text{cm}^{-3}$ 以上且 $1 \times 10^{19} \text{cm}^{-3}$ 以下的范围,比漂移层20的杂质浓度高。通过本工序被Al离子注入的区域成为阱区域30,得到图4中示出其剖面图的构造。

[0053] 接下来,以使漂移层20表面的阱区域30的规定部位开口的方式利用光致抗蚀剂等形成注入掩模,离子注入作为n型杂质的N(氮)。使N的离子注入深度比阱区域30的厚度浅。另外,使离子注入的N的杂质浓度在 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下的范围,超过阱区域30的p型杂质浓度。在本工序中被注入N的区域当中表现出n型的区域成为源极区域40。之后,去除注入掩模。

[0054] 另外,利用同样方法,对与源极区域40邻接的阱区域30的规定区域以成为比阱区域30的杂质浓度高的 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下的范围的杂质浓度的方式离子注入Al,由此形成接触区域35。通过到该工序为止的工序,得到图5所示的剖面图的构造。

[0055] 接下来,形成使形成有源极区域40的区域的一部分开口的抗蚀剂掩模,利用干式

蚀刻法形成贯穿源极区域40、阱区域30而到达至漂移层20的栅极沟槽。同样地,形成使没有形成源极区域40的区域的一部分开口的抗蚀剂掩模,利用干式蚀刻法形成贯穿阱区域30而到达至漂移层20的肖特基沟槽。

[0056] 关于栅极沟槽和肖特基沟槽的形成,可以在同一干式蚀刻工序中以相同的深度形成。通过到该工序为止的工序,得到图6所示的剖面图的构造。

[0057] 接着,如图7中示出其截面示意图那样,对栅极沟槽和肖特基沟槽的底部的漂移层20离子注入p型杂质,分别形成第一保护区域31、第二保护区域32。在离子注入后去除抗蚀剂掩模。另外,形成使形成第一连接区域33和第二连接区域34的部位开口的抗蚀剂掩模,通过倾斜离子注入p型杂质来形成第一连接区域33和第二连接区域34。在离子注入后去除抗蚀剂掩模。

[0058] 接下来,利用热处理装置,在氩(Ar)气等惰性气体气氛中,在1300℃至1900℃的温度下进行30秒至1小时的退火。通过该退火,使被离子注入的N和Al电活性化。

[0059] 接着,对包括栅极沟槽和肖特基沟槽的内部在内的碳化硅层表面进行热氧化来形成厚度为10nm以上且300nm以下的氧化硅膜51。氧化硅膜51是与栅极沟槽及肖特基沟槽的内壁接触地形成的。氧化硅膜51可以利用CVD法来形成。通过到该工序为止的工序,得到图8所示的剖面图的构造。

[0060] 接下来,在氧化硅膜51之上,利用减压CVD法形成厚度为300nm以上且2000nm以下的具有导电性的多晶硅膜61,由此形成图9所示的剖面图的构造。接着,对其进行回蚀,由此仅在栅极沟槽和肖特基沟槽的内部留下多晶硅膜61,成为图10所示的剖面图的构造。栅极沟槽内的多晶硅膜61成为栅极电极60。

[0061] 接着,如图11中示出其剖面示意图那样,利用减压CVD法形成厚度为500nm以上且3000nm以下的由氧化硅构成的层间绝缘膜55。

[0062] 接下来,以使形成有源极区域40和接触区域35的区域上及肖特基沟槽上开口的方式对层间绝缘膜55和氧化硅膜51进行构图来形成图12所示的剖面构造。

[0063] 接着,如图13中示出其剖面图那样,利用碱性显影液等碱性蚀刻液通过湿式蚀刻法去除肖特基沟槽内的多晶硅膜61。

[0064] 接下来,通过沉积Ni等金属并进行退火等工序,如图14中示出其剖面图那样,在源极区域40和接触区域35上形成由硅化物构成的欧姆电极70。

[0065] 接着,如图15中示出剖面图那样,通过使用氢氟酸等的湿式蚀刻法,去除肖特基沟槽内的氧化硅膜51及层间绝缘膜55的一部分(表面)。此时,还能够同时去除欧姆电极70表面的自然氧化膜。在栅极沟槽内留下的氧化硅膜51成为栅极绝缘膜50。

[0066] 接着,接下来在肖特基沟槽的内部和栅极沟槽的欧姆电极70上形成与漂移层20进行肖特基接合的源极电极80,在背面侧形成背面欧姆电极71及漏极电极85,由此能够制造图2中示出其剖面图的内置SBD的SiC-MOSFET。

[0067] 在如以往方法之一那样,在用层间绝缘膜55填充了肖特基沟槽内的状态下,在层间绝缘膜55形成与欧姆电极70相连的接触孔时,需要在用抗蚀剂掩模覆盖着肖特基沟槽上的状态下形成接触孔,之后形成另外的抗蚀剂掩模来去除肖特基沟槽内的层间绝缘膜55。然而,通过利用本实施方式的制造方法制造内置SBD的SiC-MOSFET,能够减少抗蚀剂掩模的形成次数而制造内置SBD的SiC-MOSFET,能够削减制造成本。

[0068] 如果利用本实施方式的制造方法制造内置SBD的SiC-MOSFET,则在对肖特基沟槽内部的氧化硅膜51进行湿式蚀刻时,对氧化硅膜51及层间绝缘膜55的一部分(表面)进行湿式蚀刻,因此如图16中示出其剖面图那样,在欧姆电极70周围的栅极沟槽侧形成源极电极80与源极区域40或接触区域35直接接触的部位。

[0069] 根据本实施方式的碳化硅半导体装置的制造方法,能够防止硅化物、栅极绝缘膜残留在肖特基沟槽内,而且能够防止在工序过程中产生导致污染的异物,因此能够制造缺陷少的碳化硅半导体装置。

[0070] 实施方式2.

[0071] 首先,说明利用本公开实施方式2的制造方法制造的碳化硅半导体装置的结构。

[0072] 图17是利用实施方式2的制造方法制造的碳化硅半导体装置即内置肖特基势垒二极管的碳化硅MOSFET(内置SBD的SiC-MOSFET)的有源区域的单位单元(unit cell)的剖面示意图。另外,图18是该内置SBD的SiC-MOSFET的形成有第一连接区域33和第二连接区域34的位置处的剖面图。形成有沟槽的深度的俯视图与实施方式1的图2相同。

[0073] 在实施方式1中,栅极沟槽的MOSFET的欧姆电极70形成于在剖面图上与肖特基沟槽的上部的层间绝缘膜55的孔离开的位置形成的孔中,而在本实施方式的碳化硅半导体装置的制造方法中,栅极沟槽的MOSFET的欧姆电极70和肖特基沟槽内部的源极电极80形成于层间绝缘膜55的同一孔中,即在邻接的欧姆电极70与肖特基沟槽之间不设置层间绝缘膜55。关于其它方面,因为与实施方式1是同样的,故省略详细说明。

[0074] 在图17中,在半导体基板10的表面上形成有漂移层20。在漂移层20的表层部设置有阱区域30,在阱区域30的上层部形成有源极区域40和接触区域35。在阱区域30的形成有源极区域40的部位形成有贯穿源极区域40和阱区域30而到达漂移层20的栅极沟槽。另外,在阱区域30的没有形成源极区域40的部位形成有贯穿阱区域30而到达漂移层20的肖特基沟槽。

[0075] 在栅极沟槽内部形成有栅极绝缘膜50,在其内侧形成有栅极电极60。在栅极沟槽的底部的漂移层20形成有p型的第一保护区域31。在肖特基沟槽的底部的漂移层20形成有p型的第二保护区域32。

[0076] 在栅极沟槽的栅极电极60和栅极绝缘膜50之上形成有层间绝缘膜55。另外,在源极区域40、接触区域35和肖特基沟槽附近的阱区域30上形成有欧姆电极70。在邻接的欧姆电极70与肖特基沟槽之间不形成层间绝缘膜55。在肖特基沟槽内部、欧姆电极70上以及层间绝缘膜55上形成有源极电极80,肖特基沟槽内部的源极电极80与漂移层20进行肖特基接合。在半导体基板10的没有形成漂移层20的与漂移层20相反一侧的面形成有背面欧姆电极71以及在其外侧形成有漏极电极85。

[0077] 另外,在形成有第一保护区域31和第二保护区域32的位置的剖面图即图18中,除了图17的结构以外,在栅极沟槽侧壁部的漂移层20还形成有第一保护区域31,在肖特基沟槽侧壁部的漂移层20还形成有第二保护区域32。

[0078] 以下,使用与图17所示的剖面对应的图19~图23的剖面图来对本公开实施方式2的碳化硅半导体装置即内置SBD的SiC-MOSFET的制造方法进行说明。

[0079] 在本实施方式的碳化硅半导体装置的制造方法中,关于实施方式1的图4至图11的工序,与实施方式1相同。在形成图11的构造之后,如图19中示出其剖面图那样,对除了栅极

沟槽的栅极电极60和氧化硅膜51之上以外的层间绝缘膜55和氧化硅膜51进行蚀刻。作为蚀刻,既可以通过等离子体蚀刻进行,也可以将等离子体蚀刻与湿式蚀刻组合起来进行。此时,肖特基沟槽内的多晶硅膜61基本上不被蚀刻,肖特基沟槽内的与栅极绝缘膜50相同材料的氧化硅膜的上侧的一部分被蚀刻。在肖特基沟槽内的下部残留有氧化硅膜51。

[0080] 接着,如图20中示出其剖面图那样,利用湿式蚀刻法选择性地对肖特基沟槽内的多晶硅膜61进行蚀刻。

[0081] 接下来,通过沉积构成欧姆电极70的金属并进行退火等工序,如图21中示出其剖面图那样,在源极区域40上、接触区域35上、肖特基沟槽附近的阱区域30上以及肖特基沟槽的上端部附近的阱区域30侧面形成由硅化物构成的欧姆电极70。

[0082] 接着,如图22中示出其剖面图那样,利用氢氟酸等对肖特基沟槽内的氧化硅膜51进行湿式蚀刻。

[0083] 接着,在层间绝缘膜55上、肖特基沟槽的内部和栅极沟槽的欧姆电极70上形成与漂移层20进行肖特基接合的源极电极80,在背面侧形成背面欧姆电极71及漏极电极85,由此能够制造如图17中示出其剖面图的内置SBD的SiC-MOSFET。

[0084] 在此,有时从肖特基沟槽的开口部之外至内部的一部分为止形成欧姆电极70,如图23中示出其剖面图那样,有时在肖特基沟槽内部的上部也形成有欧姆电极70。

[0085] 另外,在对肖特基沟槽内部的氧化硅膜51进行湿式蚀刻时,因为对氧化硅膜51及层间绝缘膜55的一部分(表面)进行湿式蚀刻,所以如图22中示出其剖面图那样,在欧姆电极70周围的栅极沟槽侧形成源极电极80与源极区域40或接触区域35直接接触的部位。

[0086] 根据本实施方式的碳化硅半导体装置即内置SBD的SiC-MOSFET的制造方法,也能够防止硅化物、栅极绝缘膜残留在肖特基沟槽内,而且能够防止在工序过程中产生导致污染的异物,因此能够制造缺陷少的碳化硅半导体装置。

[0087] 另外,根据本实施方式的碳化硅半导体装置,不需要在肖特基沟槽附近形成层间绝缘膜55,因此无需确保用于形成层间绝缘膜55的空间,能够使沟槽间的间隔更小,能够制造电流密度更高的碳化硅半导体装置。

[0088] 此外,虽然在实施方式1和2中对利用离子注入法形成阱区域30和源极区域40的方法进行了说明,但也可以利用其它方法形成阱区域30和源极区域40,例如可以利用外延法来形成。另外,虽然说明了在整个面形成阱区域30的例子,但阱区域30也可以形成于漂移层20的上层部的一部分。此时,肖特基沟槽可以不是以贯穿阱区域30的方式设置,而是从表面直接设置于漂移层20。

[0089] 另外,虽然在实施方式1和2中对在沟槽的下部设置了第一保护区域31和第二保护区域32的例子进行了说明,但根据情况也可以没有第一保护区域31和第二保护区域32。此时,也可以不设置第一连接区域33和第二连接区域34。

[0090] 并且,在实施方式1~2中,虽然使用铝(Al)作为p型杂质,但p型杂质也可以是硼(B)或镓(Ga)。n型杂质可以不是氮(N)而是磷(P)。在实施方式1~2中说明的MOSFET中,栅极绝缘膜不一定必须是SiO₂等氧化膜,可以是氧化膜以外的绝缘膜、或者将氧化膜以外的绝缘膜与氧化膜组合而成的膜。另外,在上述实施方式中,对于晶体构造、主面的面方位、偏离角及各注入条件等使用具体例子进行了说明,但应用范围并不限于这些数值范围。

[0091] 另外,虽然在上述实施方式中,对使在半导体基板10背面形成漏极电极85的、所谓

的纵型MOSFET的碳化硅半导体装置内置SBD而成的装置进行了说明,但也能够应用于使在漂移层20的表面形成漏极电极85的RESURF (Reduced SURface Field:降低表面电场)型MOSFET等所谓的横型MOSFET内置SBD而成的装置。并且,碳化硅半导体装置也可以是使绝缘栅双极型晶体管(IGBT:Insulated Gate Bipolar Transistor)内置SBD而成的装置。另外,还能够应用于使具有超结构造的MOSFET、IGBT内置SBD而成的装置。

[0092] 实施方式3.

[0093] 在本实施方式中,将上述的实施方式1~2的碳化硅半导体装置的制造方法应用于电力变换装置的制造。本公开不限于特定的电力变换装置的制造方法,以下作为实施方式3,对将本公开应用于三相逆变器的制造方法的情形进行说明。

[0094] 图24是示出应用了本实施方式的电力变换装置的电力变换系统的结构的框图。

[0095] 图24所示的电力变换系统包括电源100、电力变换装置200、负载300。电源100是直流电源,对电力变换装置200供给直流电力。电源100能够用各种电源来构成,例如既能够用直流系统、太阳能电池、蓄电池来构成,也可以用与交流系统连接的整流电路、AC/DC转换器来构成。另外,也可以由将从直流系统输出的直流电力变换为规定电力的DC/DC转换器来构成电源100。

[0096] 电力变换装置200是连接于电源100与负载300之间的三相逆变器,将从电源100供给的直流电力变换为交流电力并对负载300供给交流电力。如图24所示,电力变换装置200具备:主变换电路201,将直流电力变换为交流电力并输出;驱动电路202,输出对主变换电路201的各开关元件进行驱动的驱动信号;以及控制电路203,将控制驱动电路202的控制信号输出到驱动电路202。

[0097] 驱动电路202对于常闭型的各开关元件,通过使栅极电极的电压和源极电极的电压成为相同电位来进行断开控制。

[0098] 负载300是被从电力变换装置200供给的交流电力驱动的三相电动机。此外,负载300不是限于特定用途,是搭载于各种电气设备的电动机,例如被用作面向混合动力汽车、电动汽车、铁路车辆、升降机或空调设备的电动机。

[0099] 以下,说明电力变换装置200的详情。主变换电路201具备开关元件和续流二极管(未图示),通过开关元件进行开关动作而将从电源100供给的直流电力变换为交流电力并供给至负载300。主变换电路201的具体电路结构有各种结构,而本实施方式的主变换电路201是二电平三相全桥电路,能够由6个开关元件和与各个开关元件反并联连接的6个续流二极管构成。作为主变换电路201的各开关元件,应用利用上述的实施方式1~2中任意实施方式的碳化硅半导体装置的制造方法制造出的碳化硅半导体装置。在6个开关元件中,每2个开关元件串联连接而构成上下臂,各上下臂构成全桥电路的各相(U相、V相、W相)。然后,各上下臂的输出端子、即主变换电路201的3个输出端子连接于负载300。

[0100] 驱动电路202生成对主变换电路201的开关元件进行驱动的驱动信号,并供给至主变换电路201的开关元件的控制电极。具体而言,依照来自后述的控制电路203的控制信号,将使开关元件为接通状态的驱动信号和使开关元件为断开状态的驱动信号输出到各开关元件的控制电极。在将开关元件维持为接通状态时,驱动信号是开关元件的阈值电压以上的电压信号(接通信号),在将开关元件维持为断开状态时,驱动信号是开关元件的阈值电压以下的电压信号(断开信号)。

[0101] 控制电路203对主变换电路201的开关元件进行控制以对负载300供给期望的电力。具体而言,基于应供给至负载300的电力,计算主变换电路201的各开关元件应该为接通状态的时间(接通时间)。例如,能够通过根据应该输出的电压对开关元件的接通时间进行调制的PWM控制来控制主变换电路201。然后,对驱动电路202输出控制指令(控制信号),以使得在各时间点对应该为接通状态的开关元件输出接通信号、且对应该为断开状态的开关元件输出断开信号。驱动电路202依照该控制信号,对各开关元件的控制电极输出接通信号或断开信号作为驱动信号。

[0102] 在本实施方式的电力变换装置中,由于应用利用实施方式1~2的碳化硅半导体装置的制造方法制造出的碳化硅半导体装置作为主变换电路201的开关元件,因此能够实现低损耗、且提高了高速开关动作的可靠性的电力变换装置。

[0103] 在本实施方式中,说明了将本公开应用于二电平三相逆变器的例子,但本公开不限于此,而能够应用于各种电力变换装置。虽然在本实施方式中采用二电平的电力变换装置,但也可以是三电平或多电平的电力变换装置,在对单相负载供给电力的情况下也可以将本公开应用于单相逆变器。另外,在对直流负载等供给电力的情况下,还能够将本公开应用于DC/DC转换器、AC/DC转换器。

[0104] 另外,应用了本公开的电力变换装置不限于上述的负载为电动机的情况,例如还能够用作放电加工机、激光加工机、或者感应加热烹调器、非接触式供电系统的电源装置,并且还能够用作太阳能发电系统、蓄电系统等的功率调节器。

[0105] 附图标记说明

[0106] 10:半导体基板;20:漂移层;30:阱区域;31:第一保护区域;32:第二保护区域;33:第一连接区域;34:第二连接区域;35:接触区域;40:源极区域;50:栅极绝缘膜;51:氧化硅膜;55:层间绝缘膜;60:栅极电极;61:多晶硅膜;70:欧姆电极;71:背面欧姆电极;80:源极电极;85:漏极电极;90:抗蚀剂掩模;100:电源;200:电力变换装置;201:主变换电路;202:驱动电路;203:控制电路;300:负载。

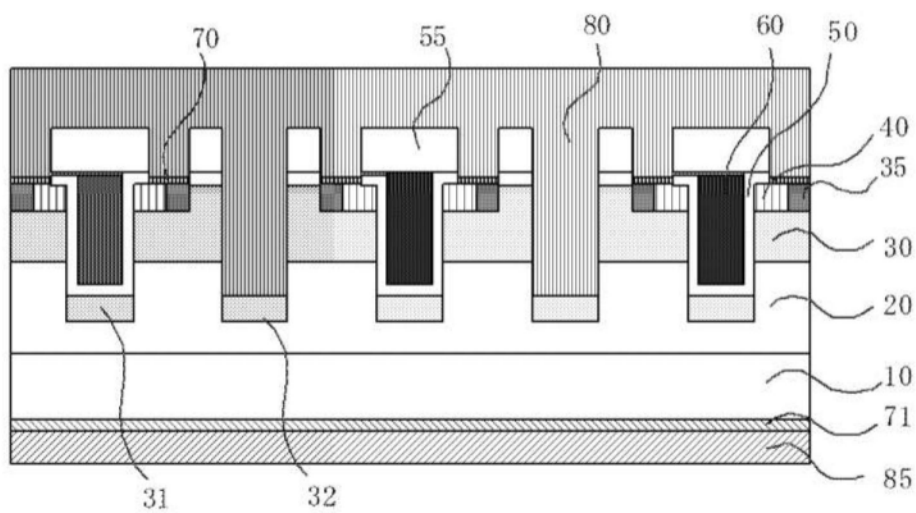


图1

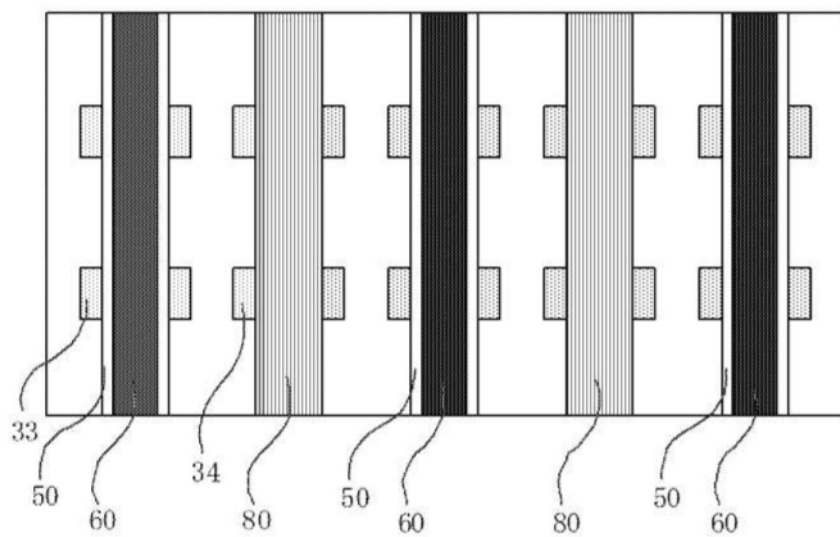


图2

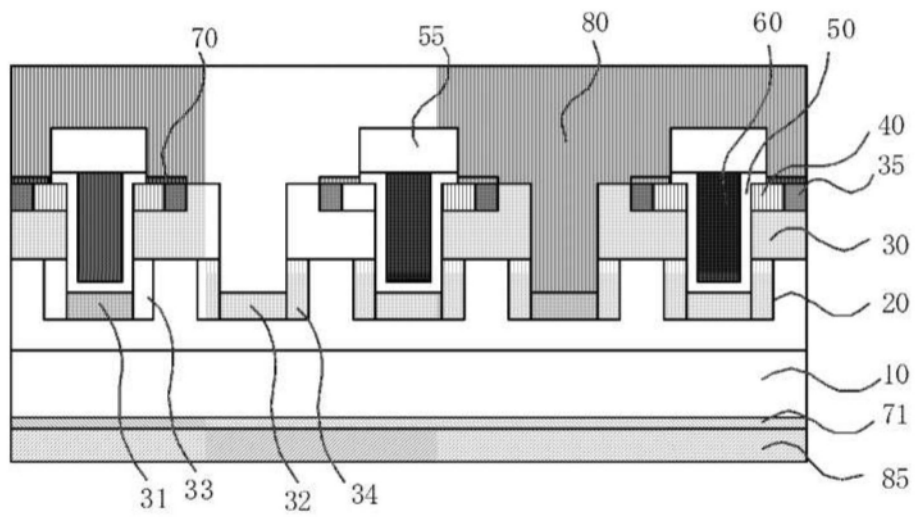


图3

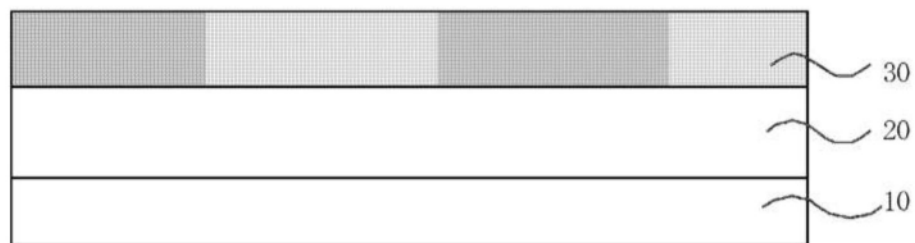


图4

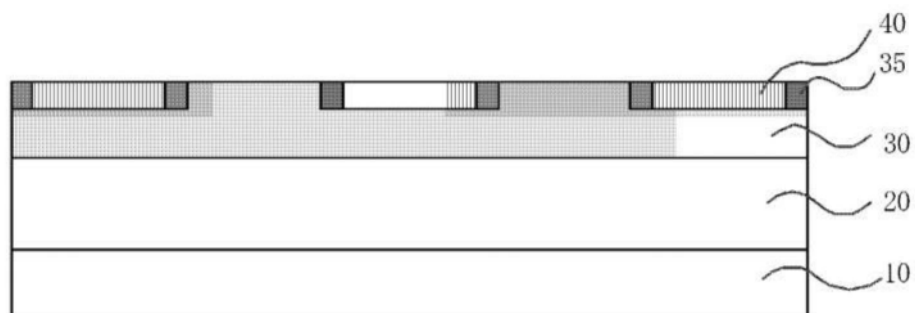


图5

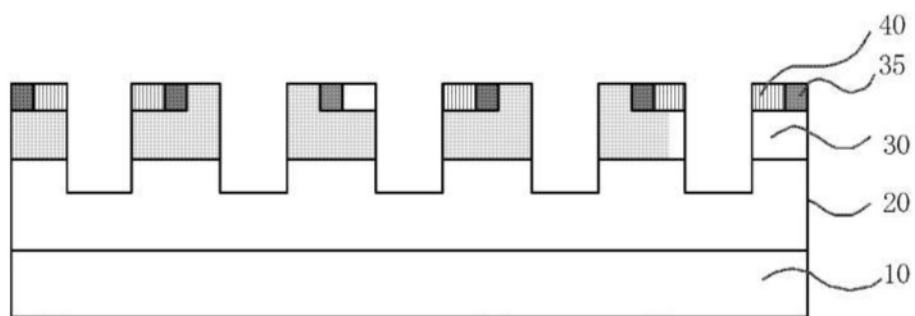


图6

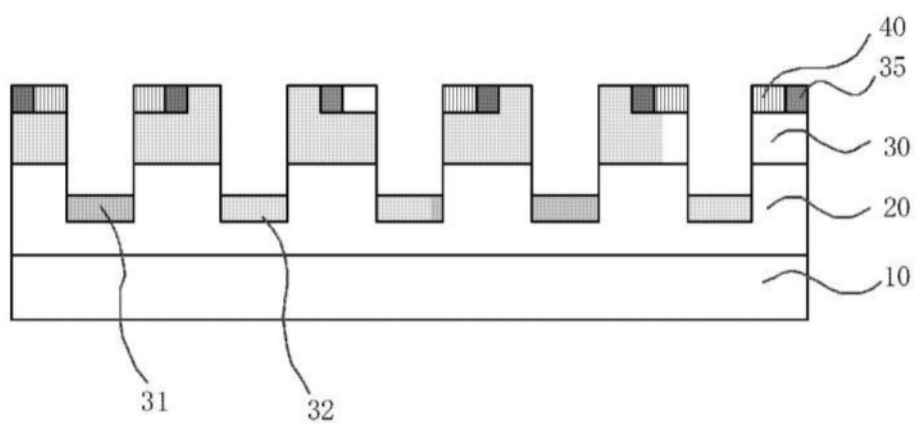


图7

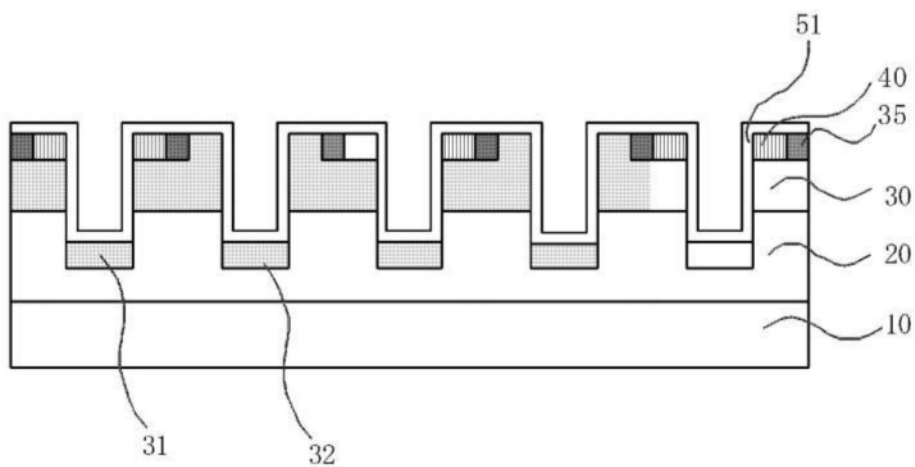


图8

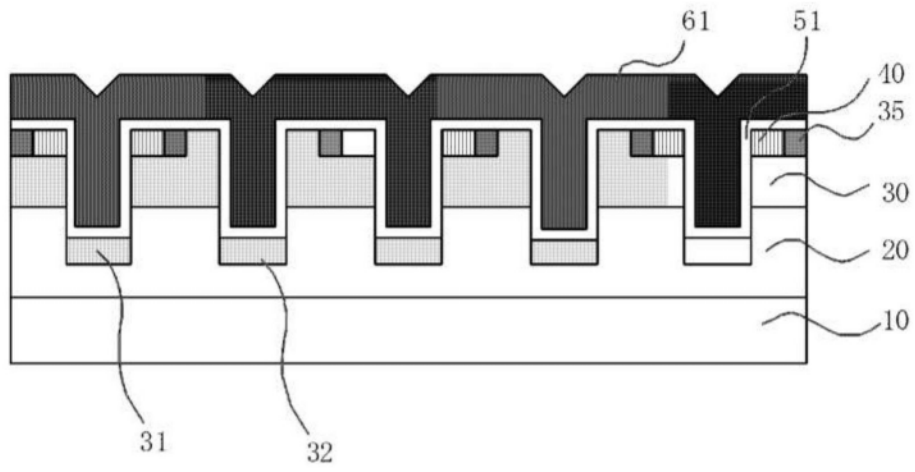


图9

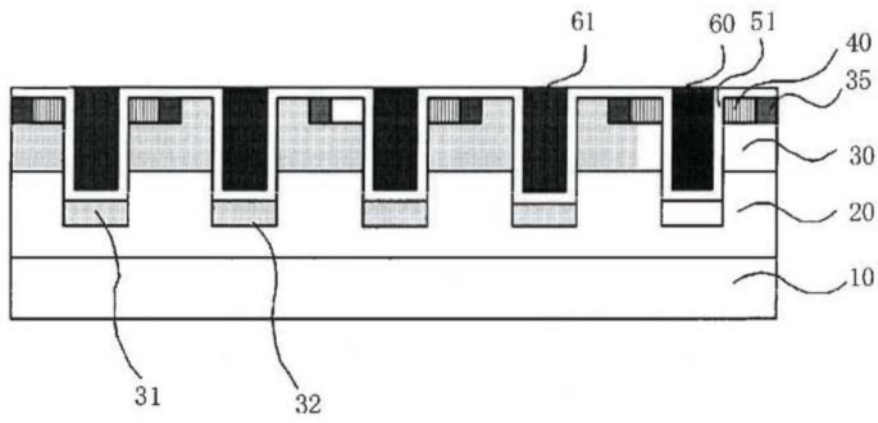


图10

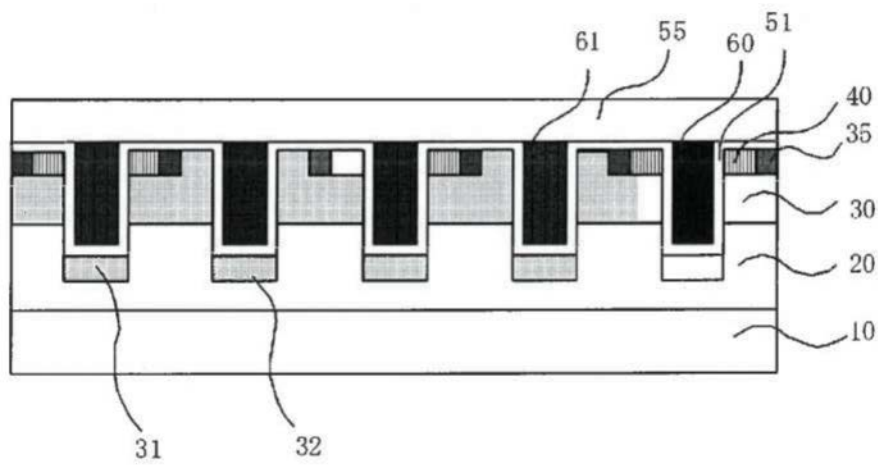


图11

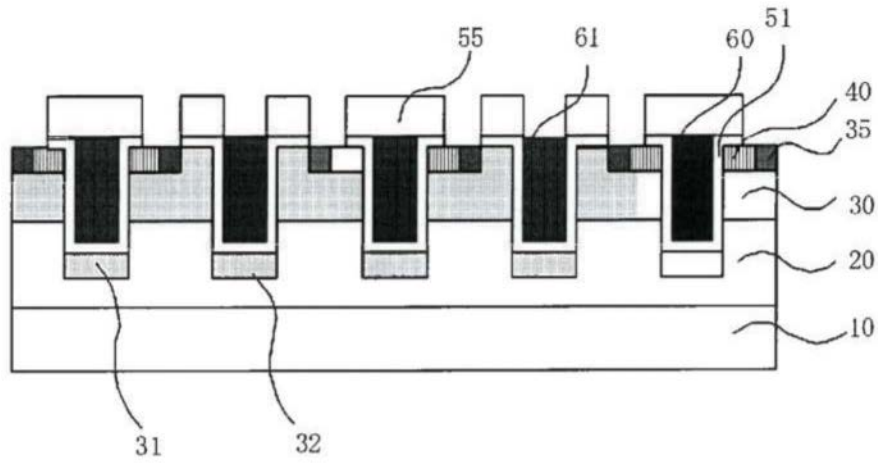


图12

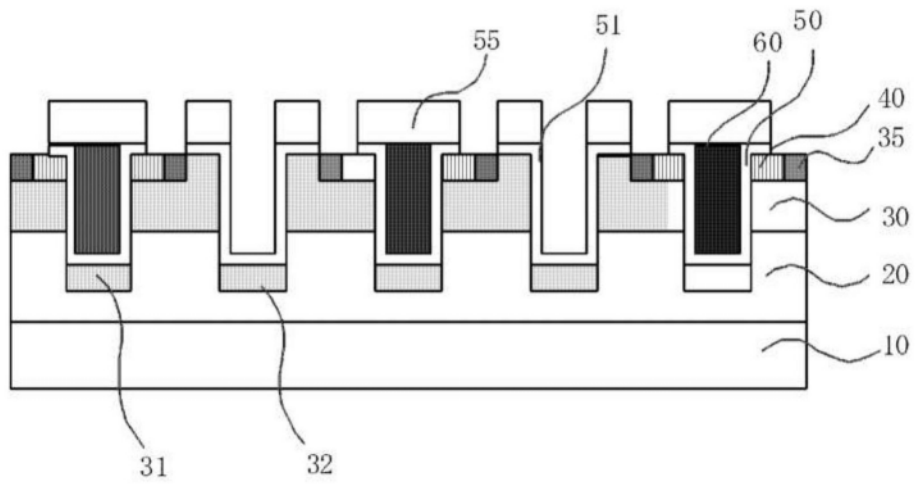


图13

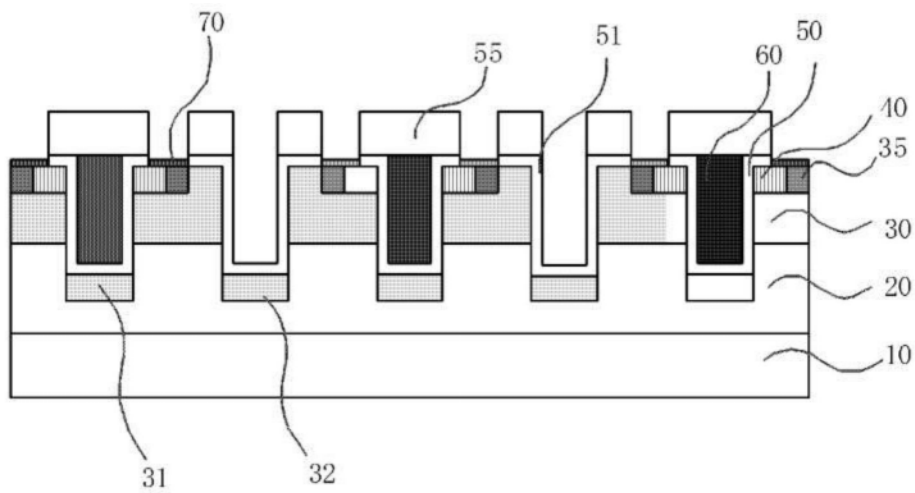


图14

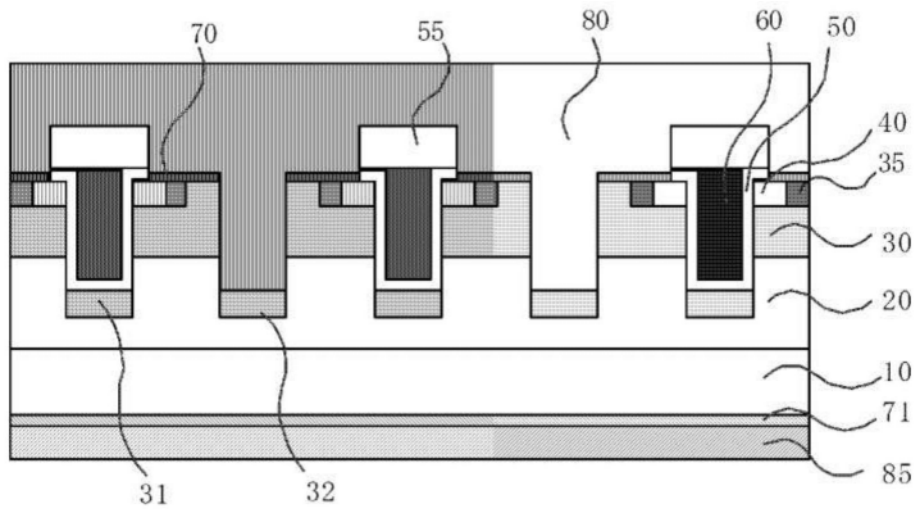


图17

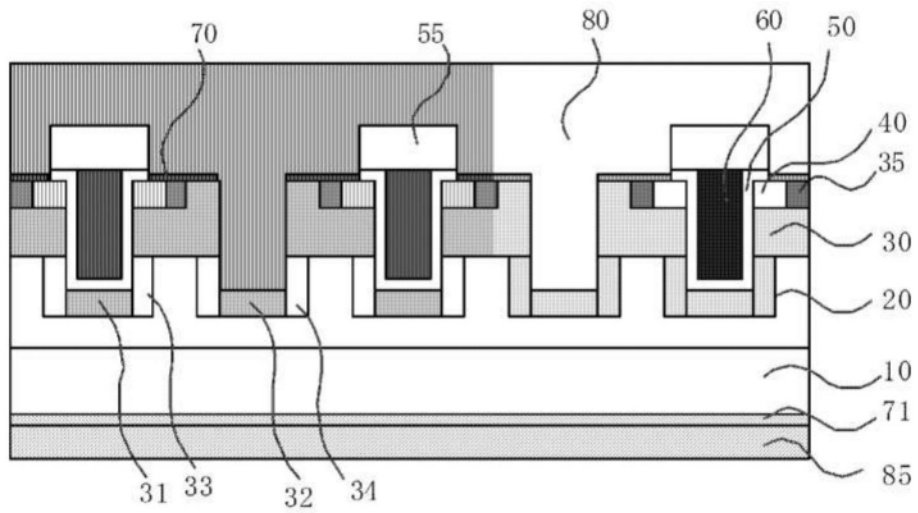


图18

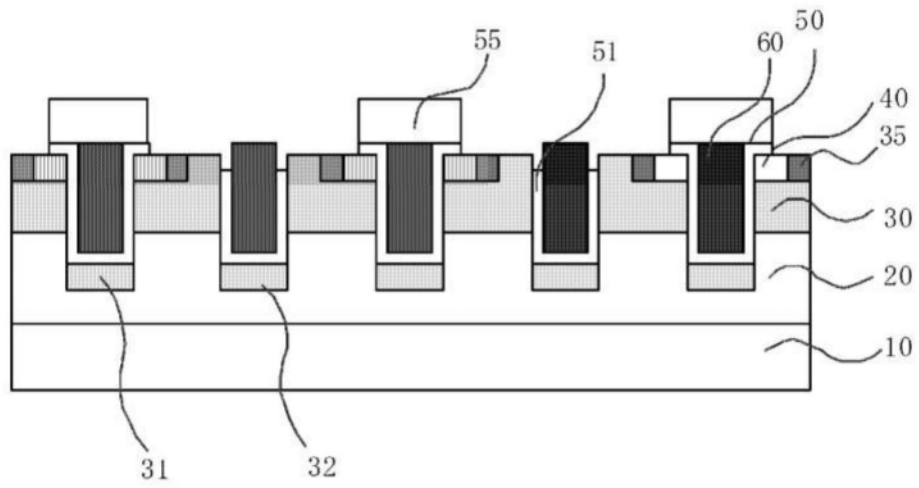


图19

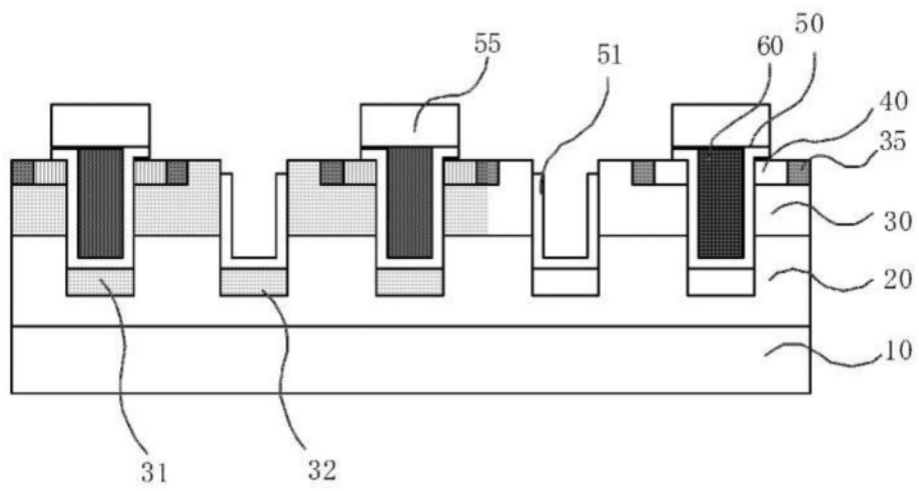


图20

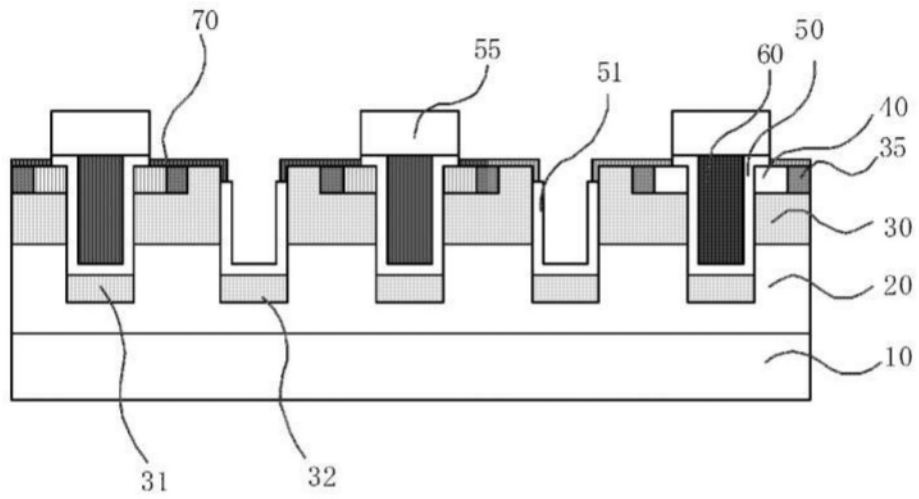


图21

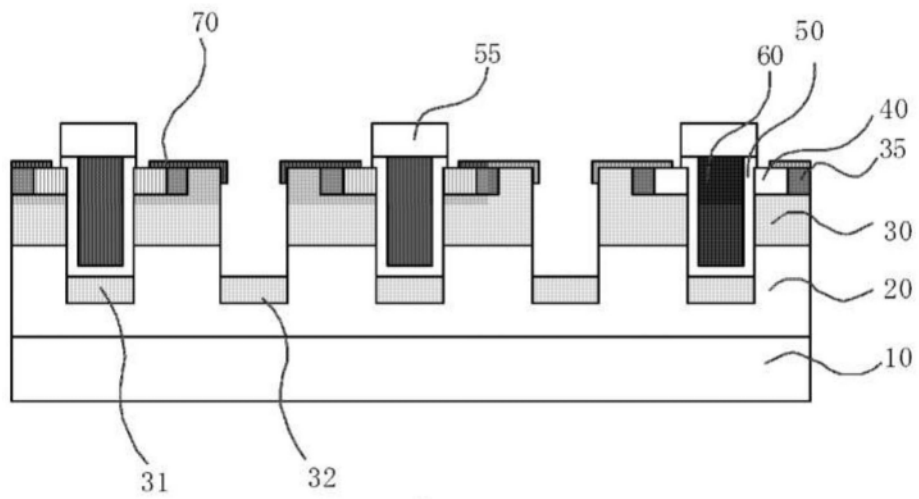


图22

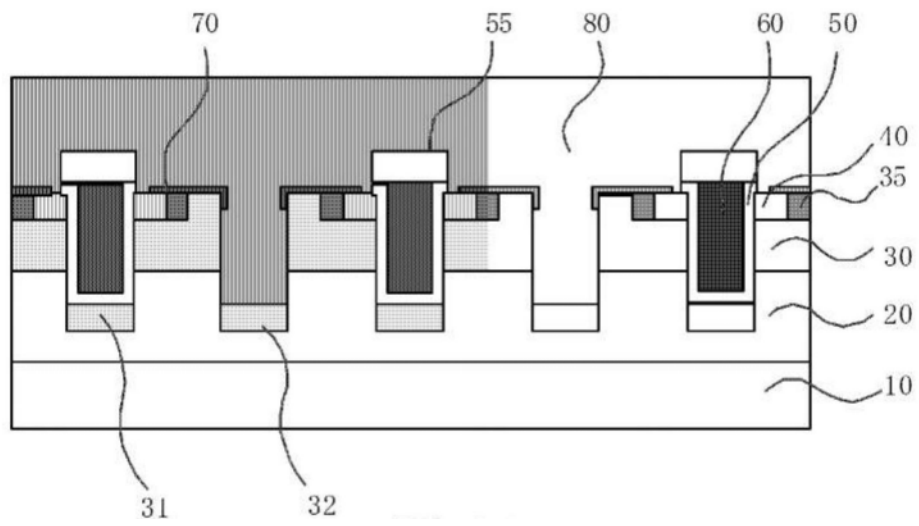


图23

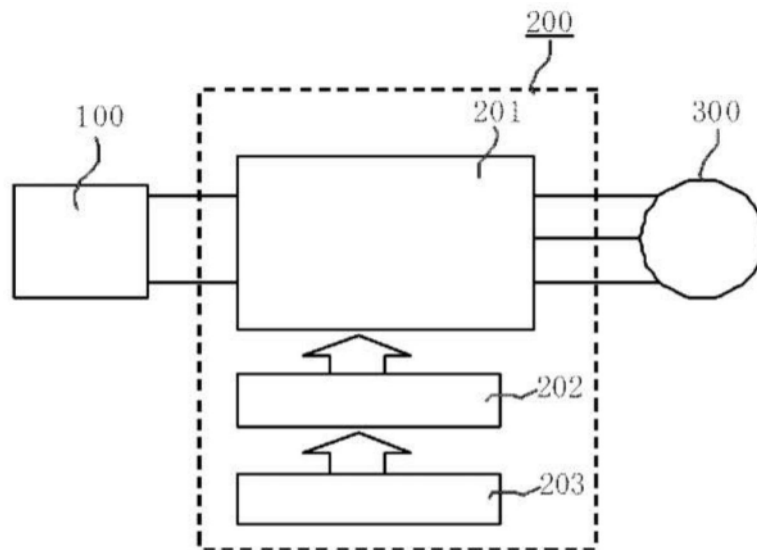


图24