

# (19) 대한민국특허청(KR)

## (12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 27/10

(45) 공고일자 1999년11월01일  
(11) 등록번호 10-0227268  
(24) 등록일자 1999년08월02일

(21) 출원번호 10-1996-0029038  
(22) 출원일자 1996년07월 18일

(65) 공개번호 특1998-0012445  
(43) 공개일자 1998년04월30일

(73) 특허권자 삼성전자주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 임성민  
경기도 송탄시 서정동 13번지 주공2단지 213동 204호  
(74) 대리인 김능균

심사관 : 김근모

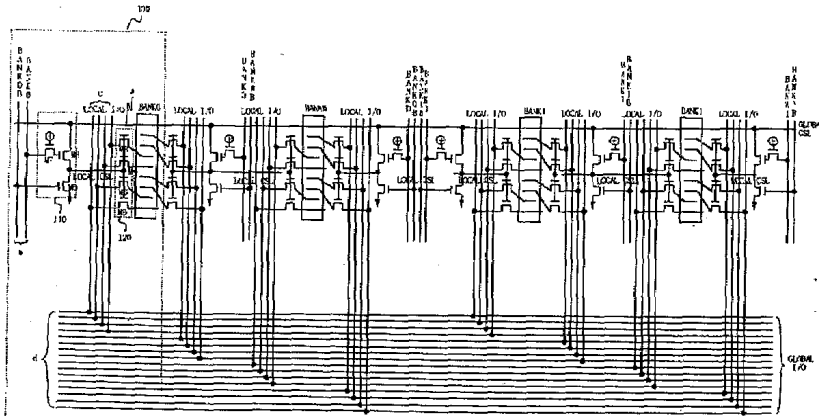
### (54) 멀티 뱅크 메모리장치

#### 요약

개시된 멀티 뱅크 메모리장치는 자체 전압 부스팅 회로를 사용하여 로컬 칼럼 선택라인 구동회로를 구동함으로써 뱅크 어드레스를 지정할 경우에 라인 로딩으로 인한 칼럼 선택라인 구동전압의 감소를 보충한다.

복수의 메모리 블록과, 제1 및 제2로우 디코더와, 복수의 칼럼 디코더들을 구비하고, 복수의 메모리 블록들 각각은; 복수의 글로벌 입/출력 라인; 복수의 글로벌 입/출력 라인의 대응하는 라인에 각각 연결된 복수의 로컬 입/출력 라인 그룹; 복수의 로컬 칼럼 선택 신호들에 각각 응답하여 복수의 로컬 입/출력 라인 그룹들과 대응하는 메모리 셀 어레이 사이의 데이터 전송을 제어하기 위한 복수의 데이터 전송 그룹; 및 복수의 로컬 칼럼 선택 신호들을 각각 발생하기 위하여 CMOS 레벨의 제1뱅크 선택신호와 반전된 제1뱅크 선택신호 또는 제2뱅크 선택신호와 반전된 제2뱅크 선택신호를 각기 제1선택신호와 제2선택신호로 하고 제1선택신호에 응답하여 프리차지하고 대응하는 글로벌 칼럼 라인이 선택될 경우에 프리차지한 전압 레벨을 부스트하여 대응하는 글로벌 칼럼선택 라인이 CMOS 레벨의 신호가 대응하는 로컬 칼럼 선택라인으로 인가되게 하며 제2선택신호에 응답하여 대응하는 로컬 칼럼 선택라인을 풀다운하는 복수의 로컬 칼럼 선택라인 회로를 구비한다.

#### 대표도



#### 명세서

##### 도면의 간단한 설명

제1도는 종래의 멀티 뱅크 구조를 갖는 반도체 메모리장치의 전체 구성을 보인 블록도.  
제2도는 종래의 멀티 뱅크 구조를 갖는 반도체 메모리장치의 구성을 보인 상세회로도.  
제3도는 종래의 로컬 칼럼 선택라인 구동회로를 설명하기 위한 부분 회로도.  
제4도는 종래의 멀티 뱅크 구조를 갖는 반도체 메모리장치의 동작을 설명하기 위한 동작 타이밍도.  
제5도는 본 발명에 의한 멀티 뱅크 구조를 갖는 반도체 메모리장치의 바람직한 실시예를 보인 회로도.

제6도는 본 발명에 의한 로컬 칼럼 선택라인 구동회로의 바람직한 실시예를 보인 부분 회로도.

제7도는 본 발명에 의한 멀티뱅크 구조를 갖는 반도체 메모리장치의 동작을 설명하기 위한 동작 타이밍도이다.

\* 도면의 주요부분에 대한 부호의 설명

110 : 로컬 칼럼 선택라인 구동회로                      111 : 풀다운부  
 112 : 프리차지부    114 : 풀업부  
 120 : 칼럼 선택부    M7~M9 : NMOS 트랜지스터  
 LCSC : 로컬 칼럼 선택라인                              GCSL : 글로벌 칼럼 선택라인  
 N : 셀프 부스팅 노드                                      L1 : 제1뱅크 선택라인

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 멀티뱅크 메모리장치에 관한 것이다.

보다 상세하게는 뱅크 어드레스를 지정할 경우에 라인 로딩으로 인한 칼럼선택라인 구동전압의 감소를 보충할 수 있는 셀프 전압 부스팅 기능을 갖는 멀티뱅크 메모리장치에 관한 것이다.

메모리 장치의 고속화 및 고집적화를 구현하기 위하여 복수의 셀 어레이를 복수의 블록으로 구성하고, 그 복수의 블록들을 칼럼 및 로우 방향으로 배열하여 하나의 뱅크를 형성하며, 이들 뱅크들이 모여서 멀티뱅크를 이루는 구성 방식은 메모리장치의 분야에서 통상적으로 사용되고 있다.

그리고 복수의 뱅크를 결합함으로써 발생하는 부하 효과를 줄여 안정된 데이터의 액세스가 가능 즉, 메모리장치의 안정성을 높이는 연구가 활발하게 진행되고 있다.

제1도는 종래의 멀티뱅크 구조를 갖는 반도체 메모리장치의 전체 구성을 보인 블록도이다.

이에 도시된 바와 같이 멀티뱅크는 복수의 뱅크 더미와, 복수의 뱅크 더미가 공유하고 데이터 입력(DQ1~DQn)에 각기 독립적으로 존재하는 복수의 칼럼 디코더(CD0~CDn)와, 각각의 뱅크별로 구비되는 복수의 로우 디코더(BD0~BDn)와, 상기 칼럼 디코더(CD0~CDn)의 출력을 복수의 뱅크에 동일하게 사용하기 위한 글로벌(global) 칼럼 선택라인(a)으로 구성된다.

제2도는 종래의 멀티뱅크 메모리 장치를 설명하기 위한 상세 회로도로서, 좌우로 동일한 구성을 가지는 부분 회로(100)들이 모여 제1뱅크 및 제2뱅크를 이루는 것을 나타내고 있다.

이에 도시된 바와 같이 상기 부분 회로(100)는, 글로벌 칼럼 선택라인(a:GCSL)과 소스 전압원의 사이에 연결되고 두개의 라인으로 구성된 제1 및 제2뱅크 선택라인(b)을 통해 전달되는 정·부의 뱅크정보(BANK0, BANKOB)(여기서, 정의 뱅크정보(BANK0)는 VPP 레벨로 스위칭하고, 부의 뱅크정보(BANKOB)는 CMOS 레벨로 스위칭한다)에 응답하여 칼럼선택 제어신호를 발생하는 로컬 칼럼 선택라인 구동회로(110)와, 복수의 로컬 입출력라인(c)과 뱅크 메모리의 비트 라인들 각각에 대응하여 연결되고 상기 칼럼선택 제어신호에 응답하여 동시에 구동되는 복수의 트랜지스터(M3~M6)를 구비하는 칼럼 선택부(120)와, 복수의 로컬 입출력라인(c)의 각각에 대응하여 연결되고 상기 복수의 로컬 입출력라인(c)에서 전달되는 비트 신호를 증폭하는 센스 증폭기(도면에 도시되지 않았음)를 포함하는 복수의 글로벌 입출력라인(d)을 구비한다.

제3도는 종래의 로컬 칼럼 선택라인 구동회로를 설명하기 위한 부분 회로도이다.

이에 도시된 바와 같이 상기 로컬 칼럼 선택라인 구동회로(110)는, 제1단자가 글로벌 칼럼 선택라인(GCSL)에 연결되고 제2단자가 로컬 칼럼 선택라인(LCSL)에 연결되며 제3단자가 제1뱅크 선택라인(L1)에 연결된 제1 NMOS 트랜지스터(M1)와, 제1단자가 로컬 칼럼 선택라인(LCSL)에 연결되고 제2단자가 접지에 연결되며 제3단자가 제2뱅크 선택라인(L2)에 연결된 제2NMOS 트랜지스터(M2)로 구성된다.

이와 같이 구성된 종래의 멀티뱅크 메모리장치는 먼저 칼럼 디코더(CD0~CDn)에 의하여 글로벌 칼럼 선택라인(GCSL)이 지정되고, 뱅크 선택라인(L1)을 통해 정의 뱅크정보(BANK1)가 입력되면, 로컬 칼럼 선택라인 구동회로(110)에 종속된 제1NMOS 트랜지스터(M1)의 제1단자에 VDD전압이 인가되고 제3단자에는 VPP 전압이 인가되므로 제1NMOS 트랜지스터(M1)가 턴 온된다.

이 때, 제2NMOS 트랜지스터(M2)는 턴 오프상태가 되므로 로컬 칼럼 선택라인 구동회로(110)는 VDD의 전압 레벨로 풀업된다.

상기 로컬 칼럼 선택라인 구동회로(110)의 풀업전압에 의하여 복수의 NMOS트랜지스터(M3~M6)가 동시에 턴 온되므로 뱅크의 비트 신호가 제2도의 로컬 입출력라인(c)을 경유하여 글로벌 로컬 입출력라인(d)에 로드된 후 센스 증폭기에 의해 증폭되어 출력된다.

제4도의 타이밍도를 참조하여 설명하면, 로우 어드레스 스트로브 신호(RASH)가 '로우' 액티브 상태로 천이된 후 긴 액티브 구간동안 뱅크 어드레스(칼럼 어드레스)(ADDR)가 변화될 때마다 뱅크정보의 전압레벨 VPP가 일정량씩 다운된다.

즉, VPP 레벨로 스위칭하는 बैं크정보가 बैं크 선택라인의 로딩에 의해 VPP 전하를 소모하게 되고, बैं크 어드레스(ADDR)가 변화할 때마다 VPP 레벨이 일정량씩 다운된다.

그러므로 셀 데린을 독출할 경우에 बैं크정보의 전압레벨을 감소시켜 데이터의 액세스 실패가 발생할 수 있고, 저전압 마진이 상당히 나빠진다.

그리고 VPP 발생기는 긴 로우 어드레스스트로브 신호(RASH)의 액티브 구간내에서 बैं크 어드레스(ADDR)가 계속적으로 변화할 경우에 소모되는 VPP 전하를 보상할 수 없으므로 칩 전체의 VPP 관련 실패를 유발시킨다.

또한 긴 로우 어드레스 스트로브 신호(RASH)의 액티브 구간에서 칼럼 어드레스 스트로브 신호(CASH)에 의해 제어되는 बैं크 정보전압(VPP) 발생기를 구성하기 위해서는 VPP 발생기의 펌핑용 커패시턴스의 펌핑과, 프리차지 동작을 이루는 사이클 타임을 충분히 감소시켜야 되는 문제가 발생되고, 이를 해결하는 것은 쉽지 않다는 것이 본 분야에서 널리 알려져 있다.

### 발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 로컬 칼럼 선택라인 구동회로를 구동하기 위해 고전압의 बैं크정보 전압레벨을 사용하지 않고 자체 전압 부스팅 회로를 사용함으로써 बैं크 어드레스가 변화할 경우에 बैं크 지정라인의 로딩으로 인한 बैं크정보 전압의 전하소모를 제거할 수 있는 멀티 बैं크 메모리장치를 제공하는데 있다.

이러한 목적을 달성하기 위한 본 발명의 멀티 बैं크 메모리장치에 따르면, 제1 및 제2메모리 बैं크들을 가지고 상기 제1 및 제2메모리 बैं크들의 각각이 로우들과 칼럼들로 배열된 메모리 셀들의 어레이를 구비하는 복수의 메모리 블록; 상기 복수의 메모리 블록들의 제1 및 제2메모리 बैं크들의 메모리 셀들의 어레이의 로우들을 각각 선택하기 위한 제1 및 제2로우 디코더; 상기 복수의 메모리 블록들 각각의 제1 및 제2메모리 बैं크들의 메모리 셀들의 어레이의 칼럼들을 각각 선택하기 위한 복수의 칼럼 디코더들을 구비하고, 상기 복수의 메모리 블록들 각각은; 복수의 글로벌 입/출력 라인; 상기 복수의 글로벌 입/출력 라인의 대응하는 라인에 각각 연결된 복수개의 로컬 입/출력 라인 그룹; 복수의 로컬 칼럼 선택 신호들에 각각 응답하여 상기 복수의 로컬 입/출력 라인 그룹들과 대응하는 상기 메모리 셀 어레이 사이의 데이터 전송을 제어하기 위한 복수의 데이터 전송 그룹; 및 상기 복수의 로컬 칼럼 선택 신호들을 각각 발생하기 위하여 CMOS 레벨의 제1뱅크 선택신호와 반전된 제1뱅크 선택신호 또는 제2뱅크 선택신호와 반전된 제2뱅크 선택신호를 각각 제1선택신호와 제2선택신호로 하고 상기 제1선택신호에 응답하여 프리차지하고 상기 대응하는 글로벌 칼럼 선택 라인이 선택될 경우에 상기 프리차지된 전압 레벨을 부스트하여 상기 대응하는 글로벌 칼럼선택 라인의 CMOS 레벨의 신호가 상기 대응하는 로컬 칼럼 선택라인으로 인가되게 하며 상기 제2선택신호에 응답하여 상기 대응하는 로컬 칼럼 선택라인을 풀다운하는 복수의 로컬 칼럼 선택라인 회로를 구비한 것을 특징으로 한다.

### 발명의 구성 및 작용

이하 첨부된 제5도 내지 제7도의 도면을 참조하여 본 발명의 멀티 बैं크 메모리 장치를 상세히 설명한다.

제5도는 본 발명에 의한 멀티 बैं크 메모리장치의 바람직한 실시예를 보인 회로도로서, 좌우로 동일한 구성을 가지는 부분 회로들이 모여서 제1뱅크와 제2뱅크를 이루는 것을 나타내고 있다.

이에 도시된 바와 같이 बैं크의 부분회로(100)는, 글로벌 칼럼 선택라인(a)과 소스 전압전원의 사이에 연결되고 두 개의 라인으로 구성된 제1 및 제2뱅크선택라인(b)을 통해 전달되는 정·부의 बैं크정보(BANK0, BANKOB)(CMOS 레벨의 정보)에 응답하여 칼럼선택 제어신호를 로컬 칼럼 선택라인 구동회로(110)와, 복수의 로컬 입출력라인(c)과 बैं크 메모리의 비트 라인들 각각에 대응하여 연결되고 상기 칼럼선택 제어신호에 응답하여 동시에 구동되는 복수의 트랜지스터(M3~M6)를 구비하는 칼럼 선택부(120)와, 복수의 로컬 입출력라인(c)의 각각에 대응하여 연결되고 로컬 입출력라인에서 전달되는 비트 신호를 증폭하는 센스 증폭기(도면에 도시되지 않았음)를 포함하는 복수의 글로벌 입출력라인(d)으로 구성된다.

제6도는 본 발명에 의한 로컬 칼럼 선택라인 구동회로의 바람직한 실시예를 보인 부분 회로도이다.

이에 도시된 바와 같이 본 발명의 로컬 칼럼 선택라인 구동회로(110)는, 로컬 칼럼 선택라인(LCSL)과 접지사이에 연결되고 제2뱅크 선택라인(L2)을 통해 전송된 제2뱅크 선택신호에 응답하여 로컬 칼럼 선택라인(LCSL)을 풀다운시키는 풀다운부(111)와, 제1뱅크 선택라인(L1)과 셀프 부스팅 노드(N)의 사이에 연결되고 제1뱅크 선택라인의 액티브 선단에 응답하여 셀프 부스팅 노드(N)를 전원전압 레벨보다 낮은 CMOS 레벨의 전압으로 프리차지시키는 프리차지부(112)와, 글로벌 칼럼 선택라인(GCSL)과 로컬 칼럼 선택라인(LCSL)의 사이에 연결되고, 글로벌 칼럼선택신호의 액티브 선단에 응답하여 셀프 부스팅 노드(N)를 전원전압 레벨보다 높은 전압 레벨로 셀프 부스팅시켜 로컬 칼럼 선택라인(LCSL)을 상기 전원전압으로 충분히 풀업시키는 풀업부(114)를 구비한다.

상기 풀다운부(111), 프리차지부(112), 및 풀업부(114)는 각각이 NMOS 트랜지스터(M9, M8, N7)로 구성된다.

이와 같이 구성된 본 발명은 제2엔모스 트랜지스터(M8)의 제1단자에 VDD레벨의 전압이 안기되면 셀프 부스팅노드(N)는 0V에서  $VDD \sim V_{tn}$ 으로 프리차지된다.

이후에 글로벌 칼럼 선택라인(GCSL)의 전압이 0V에서 VDD로 천이하면, 셀프 부스팅 노드(N)는 충분한 레벨로 셀프 부스팅된다.

그리고, 셀프 부스팅 노드(N)가  $NDD + V_{tn}$ 이상으로 부스팅되면, 글로벌 칼럼 선택라인의 CMOS 레벨은 충분히 로컬 칼럼 선택라인(LCSL)으로 전달된다.

제7도의 타이밍도에서 알 수 있는 바와 같이 제7도에서 로우 어드레스 스트로브 신호(RASH)가 '로우'인

액티브 상태로 천이한 후 칼럼 어드레스가 지정된 때마다 뱅크정보의 전압레벨 VPP가 일정량씩 감소하는 데 반하여 본 발명의 실시예에서는 VPP의 전압레벨이 항상 일정하게 유지된다.

### 발명의 효과

이상에서와 같이 본 발명은 로컬 칼럼 선택라인 구동회로를 구동하기 위해 뱅크정보 전압레벨을 사용하지 않고, 자체 전압 부스팅 회로를 사용함으로써 뱅크 어드레스가 변화될 경우에 뱅크지정 라인의 로딩으로 인한 뱅크정보 전압의 전하소모를 근본적으로 제거하고, 뱅크정보 라인의 부하 효과를 최소화하여 뱅크어드레스의 셋업 타임 마진을 개선할 수 있을 뿐만 아니라 데이터를 액세스할 경우에 페일(fail)이 발생하는 것을 방지하여 칩의 동작을 안정하게 할 수 있다.

### (57) 청구의 범위

#### 청구항 1

제1 및 제2메모리 뱅크들을 가지고 상기 제1 및 제2메모리 뱅크들의 각각의 로우들과 칼럼들로 배열된 메모리 셀들의 어레이를 구비하는 복수의 메모리 블록; 상기 복수의 메모리 블록들의 제1 및 제2메모리 뱅크들의 메모리 셀들의 어레이의 로우들을 각각 선택하기 위한 제1 및 제2우 디코더; 상기 복수의 메모리 블록들 각각의 제1 및 제2메모리 뱅크들의 메모리 셀들의 어레이의 칼럼들을 각각 선택하기 위한 복수의 칼럼 디코더들을 구비하고, 상기 복수의 메모리 블록들을 각각은 복수의 글로벌 입/출력 라인; 상기 복수의 글로벌 입/출력 라인의 대응하는 라인에 각각 연결된 복수의 로컬 입/출력 라인 그룹; 복수의 로컬 칼럼 선택 신호들에 각각 응답하여 상기 복수의 로컬 입/출력 라인 그룹들과 대응하는 상기 메모리 셀 어레이 사이의 데이터 전송을 제어하기 위한 복수의 데이터 전송 그룹; 및 상기 복수의 로컬 칼럼 선택신호들 각각 발생하기 위하여 CMOS 레벨의 제1뱅크 선택신호와 반전된 제1뱅크 선택신호 또는 제2뱅크 선택신호와 반전된 제2뱅크 선택신호를 각기 제1선택신호와 제2선택신호로 하고 상기 제1선택신호에 응답하여 프리차지하고 상기 대응하는 글로벌 칼럼 선택 라인이 선택될 경우에 상기 프리차지된 전압 레벨을 부스트하여 상기 대응하는 글로벌 칼럼선택 라인의 CMOS 레벨의 신호가 상기 대응하는 로컬 칼럼 선택라인으로 인가되게 하여 상기 제2선택신호에 응답하여 상기 대응하는 로컬 칼럼 선택라인을 풀다운하는 복수의 로컬 칼럼 선택라인 회로를 구비한 것을 특징으로 하는 멀티 뱅크 메모리장치.

#### 청구항 2

제1항에 있어서, 상기 복수의 로컬 칼럼 선택 라인 회로들 각각은; 제1단자가 상기 로컬 칼럼 선택라인의 하나에 결합되고 제2단자가 접지단자에 연결되며 게이트 단자가 상기 제2선택신호에 결합되어 상기 제2선택신호에 따라 상기 로컬 칼럼 선택 라인의 전압 레벨을 풀다운하는 제1NMOS 트랜지스터; 제1단자가 상기 글로벌 칼럼 선택 라인에 결합되고 제2단자가 상기 로컬 칼럼 선택라인에 연결되며 게이트 전극을 가지는 제2NMOS 트랜지스터; 제1단자가 상기 제1선택신호에 연결되고 제2단자가 상기 제2NMOS 트랜지스터의 게이트 단자에 연결되며 게이트 단자가 전원전압에 연결된 제3NMOS 트랜지스터를 구비하고, 상기 제1선택신호에 응답하여 상기 제2NMOS 트랜지스터의 게이트 단자를 전원전압보다 작은 전압 레벨로 프리차지하고 상기 제2NMOS 트랜지스터의 게이트 단자의 전압 레벨이 상기 제2NMOS 트랜지스터의 제1단자에 결합된 글로벌 칼럼 선택 라인이 선택될 경우에 상기 제2NMOS 트랜지스터의 게이트 단자를 전원전압 이상의 전압 레벨로 부스트하는 것을 특징으로 하는 멀티 뱅크 메모리장치.

#### 청구항 3

제2항에 있어서, 상기 복수개의 메모리 블록들의 제1 및 제2뱅크들의 각각의 메모리 셀 어레이는;  $2 \times 2$  패턴을 가지는 복수의 어레이 그룹 내에 배열되는 것을 특징으로 하는 멀티 뱅크 메모리장치.

#### 청구항 4

제3항에 있어서, 상기 어레이 그룹은; 4개의 서브 셀 어레이로 구성됨을 특징으로 하는 멀티 뱅크 메모리장치.

#### 청구항 5

제4항에 있어서, 상기 어레이 그룹의 서브 어레이들의 각각은; 상기 복수의 로컬 입/출력 라인들의 대응하는 쌍 사이에 배열된 것을 특징으로 하는 멀티 뱅크 메모리 장치.

#### 청구항 6

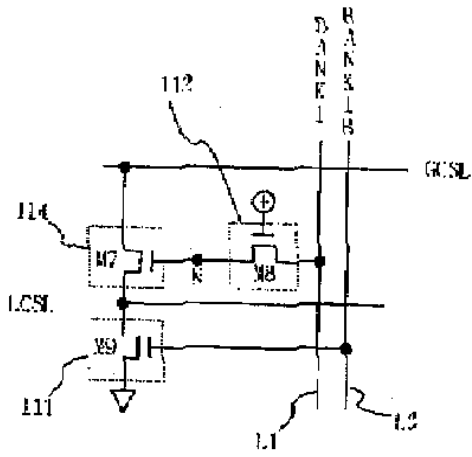
제4항에 있어서, 상기 각각의 어레이 그룹의 셀 서브 어레이들은; 서로 다른 셀 서브 어레이들과 한 쌍씩 교대로 배열되는 것을 특징으로 하는 멀티 뱅크 메모리 장치.

### 도면





도면6



도면7

