

【特許請求の範囲】

【請求項 1】

下部電極および上部電極の間に、電圧印加によって抵抗値が可逆的に変化する記憶層を有する複数の記憶素子を形成する記憶装置の製造方法であって、

下部電極材料膜を形成し、前記下部電極材料膜を第 1 の方向に伸びる第 1 の線状パターンに成形する第 1 の工程と、

前記第 1 の工程ののち、前記下部電極材料膜の上に、記憶層材料膜および上部電極材料膜をこの順に形成する第 2 の工程と、

前記上部電極材料膜および前記記憶層材料膜を、前記第 1 の方向に交差する第 2 の方向に伸びる第 2 の線状パターンに成形することにより、上部電極および記憶層を形成する第 3 の工程と、

前記第 3 の工程ののち、前記下部電極材料膜を前記第 2 の線状パターンに成形することにより、前記第 1 の線状パターンと前記第 2 の線状パターンとが交差する領域に四辺形の平面形状を有する下部電極を形成する第 4 の工程と

を含む記憶装置の製造方法。

【請求項 2】

前記第 3 の工程において、前記上部電極材料膜の上に、前記第 2 の方向に伸びる線状のエッチングマスクを形成し、前記エッチングマスクを用いて前記上部電極材料膜および前記記憶層材料膜を加工し、

前記第 4 の工程において、マスクとして前記エッチングマスクと前記第 2 の線状パターンに加工された前記上部電極材料膜および前記記憶層材料膜とを用いて前記下部電極材料膜を加工する

請求項 1 記載の記憶装置の製造方法。

【請求項 3】

前記記憶層材料膜として、

テルル (Te)、硫黄 (S) およびセレン (Se) のうち少なくとも 1 種のカルコゲン元素と共にイオン化可能な金属元素を含むイオン源層材料膜と、

前記イオン源層よりも抵抗値の高い材料よりなる抵抗変化層材料膜と

を形成する請求項 1 または 2 記載の記憶装置の製造方法。

【請求項 4】

前記イオン源層材料膜は、前記イオン化可能な金属元素として銅 (Cu) およびジルコニウム (Zr) のうち少なくとも一つを含む

請求項 3 記載の記憶装置の製造方法。

【請求項 5】

前記抵抗変化層材料膜は、希土類元素、アルミニウム (Al)、マグネシウム (Mg)、タンタル (Ta)、シリコン (Si) および銅 (Cu) のうちの少なくとも 1 種を含む酸化物もしくは窒化物よりなる

請求項 4 記載の記憶装置の製造方法。

【請求項 6】

前記第 3 の工程は、

前記上部電極材料膜の上に、前記第 2 の方向に伸びる線状のエッチングマスクを形成し、前記エッチングマスクを用いて前記上部電極材料膜および前記イオン源層材料膜を前記第 2 の線状パターンに成形することにより、前記上部電極および前記イオン源層を形成する工程と、

前記エッチングマスクを除去し、前記上部電極および前記イオン源層の側面に、絶縁材料よりなる側壁を形成する工程と、

マスクとして前記側壁と前記上部電極および前記イオン源層とを用いて前記抵抗変化層材料膜を第 2 の線状パターンに成形する工程と

を含む請求項 3 ないし 5 のいずれか 1 項に記載の記憶装置の製造方法。

【請求項 7】

四辺形の平面形状を有する下部電極と、

前記下部電極の上に、前記四辺形の対向する二辺を延長した二本の線を輪郭線として設けられ、電圧印加によって抵抗値が可逆的に変化する記憶層と、

前記記憶層の上に、前記記憶層と同一の形状に設けられた上部電極とを備えた記憶素子。

【請求項 8】

前記記憶層は、

テルル (Te)、硫黄 (S) およびセレン (Se) のうち少なくとも 1 種のカルコゲン元素と共にイオン化可能な金属元素を含むイオン源層と、

前記イオン源層よりも抵抗値の高い材料よりなる抵抗変化層とを含む

請求項 7 記載の記憶素子。

10

【請求項 9】

前記イオン源層は、前記イオン化可能な金属元素として銅 (Cu) およびジルコニウム (Zr) のうち少なくとも一つを含む

請求項 8 記載の記憶素子。

【請求項 10】

前記抵抗変化層は、希土類元素、アルミニウム (Al)、マグネシウム (Mg)、タンタル (Ta)、シリコン (Si) および銅 (Cu) のうちの少なくとも 1 種を含む酸化物もしくは窒化物よりなる

請求項 9 記載の記憶素子。

20

【請求項 11】

前記イオン源層および前記上部電極は、側面に絶縁材料よりなる側壁を有し、前記側壁は前記四辺形の対向する二辺を延長した二本の線を輪郭線として設けられている

請求項 10 記載の記憶素子。

【請求項 12】

前記第 1 電極および前記第 2 電極への電圧印加によって前記記憶層に少なくとも前記銅 (Cu) および前記ジルコニウム (Zr) のうち少なくとも一つを含む導電パスが形成されることにより、前記記憶層の抵抗値が低下する

請求項 9 ないし 11 のいずれか 1 項に記載の記憶素子。

30

【請求項 13】

複数の記憶素子を備え、

前記記憶素子は、

四辺形の平面形状を有する下部電極と、

前記下部電極の上に、前記四辺形の対向する二辺を延長した二本の線を輪郭線として設けられ、電圧印加によって抵抗値が可逆的に変化する記憶層と、

前記記憶層の上に、前記記憶層と同一の形状に設けられた上部電極とを備えた記憶装置。

【請求項 14】

前記記憶層および前記上部電極は、複数の線状パターンとして設けられている

請求項 13 記載の記憶装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶層の電気的特性の変化により情報を記憶可能な記憶素子を備えた記憶装置の製造方法、並びに記憶素子および記憶装置に関する。

【背景技術】

【0002】

近年、電気パルスを印加することによって低抵抗・高抵抗状態を記録する、いわゆる抵抗変化型記憶素子とトランジスタアレイとを組み合わせる 1T1R 型の不揮発メモリを作る開発が盛んに行われている。

50

【 0 0 0 3 】

抵抗変化型記憶素子の作製工程としては、従来、ビット単位に加工された下部電極の上に記憶層および上部電極を形成することにより、下部電極と記憶層との接触部分が記憶素子となる方法が知られている（例えば、特許文献 1 参照。）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 国際公開第 W O 2 0 0 8 / 1 1 7 3 7 1 号パンフレット（段落 0 0 7 2 ）

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 0 5 】

しかしながら、従来では、下部電極に対する記憶層および上部電極のアライメントずれにより、下部電極と記憶層との接触面積が変動してしまい、均一な素子特性が得られないという問題があった。特に高密度な記憶装置の場合には下部電極の大きさや間隔を可能な限り小さくしたいので、アライメントずれに起因する下部電極と記憶層との接触面積の変動はより深刻なものとなっていた。

【 0 0 0 6 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、下部電極と記憶層との接触面積の変動を抑えることが可能な記憶装置の製造方法、並びに記憶素子および記憶装置を提供することにある。

20

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明の記憶装置の製造方法は、複数の上記本発明の記憶素子を形成するものであって、以下の（ A ）～（ D ）の工程を含むものである。

（ A ）下部電極材料膜を形成し、下部電極材料膜を第 1 の方向に伸びる第 1 の線状パターンに成形する第 1 の工程

（ B ）第 1 の工程ののち、下部電極材料膜の上に、記憶層材料膜および上部電極材料膜をこの順に形成する第 2 の工程

（ C ）上部電極材料膜および記憶層材料膜を、第 1 の方向に交差する第 2 の方向に伸びる第 2 の線状パターンに成形することにより、上部電極および記憶層を形成する第 3 の工程

30

（ D ）第 3 の工程ののち、下部電極材料膜を第 2 の線状パターンに成形することにより、第 1 の線状パターンと第 2 の線状パターンとが交差する領域に四辺形の平面形状を有する下部電極を形成する第 4 の工程

【 0 0 0 8 】

ここにいう「四辺形」とは、正方形、長方形、菱形、平行四辺形など、直線の四辺を有する四角形のほか、少なくとも一辺に曲線を含んでいてもよい。

【 0 0 0 9 】

本発明の記憶素子は、四辺形の平面形状を有する下部電極と、下部電極の上に、四辺形の対向する二辺を延長した二本の線を輪郭線として設けられ、電圧印加によって抵抗値が可逆的に変化する記憶層と、記憶層の上に、記憶層と同一の形状に設けられた上部電極とを備えたものである。

40

【 0 0 1 0 】

本発明の記憶装置は、複数の上記本発明の記憶素子を備えたものである。

【 0 0 1 1 】

本発明の記憶素子では、四辺形の平面形状を有する下部電極の上に、四辺形の対向する二辺を延長した二本の線を輪郭線として記憶層が設けられ、この記憶層の上に、上部電極が記憶層と同一の形状に設けられている。よって、下部電極の上面全体に記憶層が接触しており、素子特性が良好になっている。従って、この記憶素子を複数集積することにより記憶装置を構成すれば、下部電極と記憶素子との接触面積のばらつきが極めて小さくなり、均一な特性が得られる。

50

【発明の効果】

【0012】

本発明の記憶装置の製造方法によれば、下部電極材料膜を第1の方向に伸びる第1の線状パターンに成形したのち、下部電極材料膜の上に、記憶層材料膜および上部電極材料膜をこの順に形成し、上部電極材料膜および記憶層材料膜を、第1の方向に交差する第2の方向に伸びる第2の線状パターンに成形することにより上部電極および記憶層を形成したのち、下部電極材料膜を第2の線状パターンに成形することにより、第1の線状パターンと第2の線状パターンとが交差する領域に四辺形の平面形状を有する下部電極を形成するようにしたので、下部電極と記憶層および上部電極とのアライメントずれを極めて小さくし、下部電極と記憶層との接触面積の変動を抑えることが可能となり、均一な素子特性を得ることが可能となる。

10

【0013】

本発明の記憶素子によれば、四辺形の平面形状を有する下部電極の上に、四辺形の対向する二辺を延長した二本の線を輪郭線として記憶層を設け、この記憶層の上に、上部電極を記憶層と同一の形状に設けるようにしたので、下部電極の上面全体に記憶層が接触しており、良好な特性が得られる。よって、この記憶素子を複数集積することにより記憶装置を構成すれば、均一な素子特性を得ることが可能となる。

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施の形態に係る記憶装置の製造方法を工程順に表す斜視図である。

20

【図2】図1に続く工程を表す斜視図である。

【図3】図2に続く工程を表す斜視図である。

【図4】図3に続く工程を表す斜視図である。

【図5】図4に続く工程を表す斜視図である。

【図6】図5に続く工程を表す斜視図である。

【図7】図6の平面図である。

【図8】図7のV I I I - V I I I 線における断面図である。

【図9】従来の製造方法の問題点を説明するための斜視図である。

【図10】従来の製造方法の他の問題点を説明するための断面図である。

30

【図11】従来の製造方法の更に他の問題点を説明するための断面図である。

【図12】図6に続く工程を表す斜視図である。

【図13】本発明の第2の実施の形態に係る記憶装置の製造方法を工程順に表す断面図である。

【図14】図13の平面図である。

【図15】側壁を有しない場合の問題点を説明するための断面図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

40

1. 第1の実施の形態（下部電極の平面形状を四辺形とする例）

2. 第2の実施の形態（四辺形の対向する二辺と同じ側面に、絶縁性の側壁を設ける例）

【0016】

（第1の実施の形態）

図1ないし図6、および図12は、本発明の第1の実施の形態に係る記憶装置の製造方法を工程順に表したものである。まず、図1に示したように、シリコンウェハ等の基板10（図2には図示せず、図7参照。）にトランジスタアレイ11を形成する。トランジスタアレイ11には、第1ビット線1BLおよびワード線WLを格子状に形成すると共に、第1ビット線1BLとワード線WLとの交差位置にトランジスタTrを配置する。トランジスタTrのソースまたはドレインの一方は、後述する各記憶素子1の下部電極20に接

50

続する。トランジスタ T_r のゲートにはワード線 W_L を接続する。トランジスタ T_r のソースまたはドレインの他方には第1ビット線 $1BL$ を接続する。なお、後述する記憶素子1の上部電極50が第2ビット線 $2BL$ を兼ねている。図1ないし図6、および図12では簡単のため、トランジスタアレイ11を回路記号で表している。また、以下の説明においては、ワード線 W_L の延長方向を x 方向、ビット線 BL の延長方向を y 方向、積層方向を z 方向とする。

【0017】

次いで、図2に示したように、トランジスタアレイ11を形成した基板10（図2には図示せず、図7参照。）に、例えば窒化チタン（ TiN ）よりなる下部電極材料膜20Aを形成し、この下部電極材料膜20Aを第1の方向（例えば x 方向）に伸びる一本の、好ましくは複数本の平行な第1の線状パターン P_x に成形する（第1の工程）。線状パターン（ラインパターン）は、点状パターン（ドットパターン）と異なり、一般的に半導体製造で用いられるリソグラフィ技術によって微細な幅のものを形成可能なので、容易にエッチングマスクを形成することが可能である。なお、下部電極材料膜20Aの構成材料としては、窒化チタン（ TiN ）のほか、半導体プロセスに用いられる配線材料、具体的には、タンゲステン（ W ）、窒化タンゲステン（ WN ）、窒化タンタル（ TaN ）などが挙げられる。

10

【0018】

続いて、図3に示したように、下部電極材料膜20Aの間の領域に、窒化シリコンまたは酸化シリコンなどよりなる絶縁膜31を埋め込む。

20

【0019】

なお、下部電極材料膜20Aの他の形成方法としては、トランジスタアレイ11を形成した基板10（図2には図示せず、図7参照。）に絶縁膜31を形成し、この絶縁膜31をエッチングすることにより溝パターンを設けたのち、溝パターンに下部電極材料膜20Aを埋め込むようにすることも可能である。

【0020】

下部電極材料膜20Aを第1の線状パターン P_x に成形したのち、図4に示したように、下部電極材料膜20Aの上に、記憶層材料膜40Aおよび上部電極材料膜50Aをこの順に形成する（第2の工程）。記憶層材料膜40Aは、単一の膜である必要はなく、例えば、下部電極材料膜20Aの側から、ガドリニウム酸化物（ GdO_x ）などの抵抗変化層材料膜41Aと、 $CuTe$ 系材料よりなるイオン源層材料膜42Aとを順に積層した2層構造としてもよい。

30

【0021】

イオン源層材料膜42Aは、例えば、陰イオン化するイオン伝導材料として、テルル（ Te ）、硫黄（ S ）およびセレン（ Se ）のうち少なくとも1種のカルコゲン元素を含んでいる。また、イオン源層材料膜42Aは、陽イオン化可能な金属元素としてジルコニウム（ Zr ）および/または銅（ Cu ）、更に消去時に酸化物を形成する元素としてアルミニウム（ Al ）および/またはゲルマニウム（ Ge ）を含んでいる。具体的には、イオン源層材料膜42Aは、例えば、厚みが60nm程度であり、 $ZrTeAl$ 、 $ZrTeAlGe$ 、 $CuZrTeAl$ 、 $GeTeCuZrAl$ の組成の $CuTe$ 系材料により構成されている。なお、イオン源層材料膜42Aは、上記以外にも他の元素、例えばケイ素（ Si ）を含んでいてもよい。

40

【0022】

抵抗変化層材料膜41Aは、イオン源層材料膜42Aと下部電極材料膜20Aとの間に設けられる。抵抗変化層材料膜41Aは、イオン源層材料膜42Aよりも抵抗値の高い材料により構成され、完成後の記憶素子において電気伝導上のバリアとして情報保持特性を安定化させる抵抗変化層41となるものである。抵抗変化層材料膜41Aは、例えば、ガドリニウム（ Gd ）などの希土類元素、アルミニウム（ Al ）、マグネシウム（ Mg ）、タンタル（ Ta ）、シリコン（ Si ）および銅（ Cu ）のうちの少なくとも1種を含む酸化物もしくは窒化物などが挙げられる。また、このほか、遷移金属酸化膜や $AlTe$ 、 A

50

I_2O_3 などでもよい。抵抗変化層材料膜 41A の厚みは、例えば 1 nm 程度である。

【0023】

上部電極材料膜 50A もまた、単一の膜である必要はなく、抵抗値や膜応力、記憶層材料膜 40A との接触面での密着性や化学的安定性などを考慮して、さまざまな組成の積層膜としてもよい。上部電極材料膜 50A の構成材料としては、例えば、下部電極材料膜 20A と同様に公知の半導体プロセスに用いられる配線材料、具体的には例えばタンゲステン (W) が挙げられる。

【0024】

記憶層材料膜 40A および上部電極材料膜 50A を形成したのち、同じく図 4 に示したように、上部電極材料膜 50A の上に、第 1 の方向に垂直な第 2 の方向 (例えば y 方向) に伸びる一本の、好ましくは複数本の平行な線状のエッチングマスク (レジストマスク) 61 を形成する。

【0025】

続いて、図 5 に示したように、エッチングマスク 61 を用いたドライエッチング、例えば RIE (Reactive Ion Etching; 反応性イオンエッチング) により、上部電極材料膜 50A および記憶層材料膜 40A を、第 1 の方向に垂直な第 2 の方向 (例えば y 方向) に伸びる一本の、好ましくは複数本の平行な第 2 の線状パターン P_y に成形する。これにより、下部電極材料膜 20A および絶縁膜 31 の上に、線状の上部電極 50 および記憶層 40 が同一形状で形成される (第 3 の工程)。記憶層 40 は、例えば、下部電極材料膜 20A の側から、抵抗変化層 41 とイオン源層 42 とを順に積層した 2 層構造を有している。

【0026】

上部電極材料膜 50A および記憶層材料膜 40A を第 2 の線状パターン P_y に成形したのち、引き続き、マスクとしてエッチングマスク 61 と第 2 の線状パターン P_y に加工された上部電極材料膜 50A および記憶層材料膜 40A とを用いたドライエッチングにより、図 6 に示したように、下部電極材料膜 20A を第 2 の線状パターン P_y に成形し、エッチングマスク 61 を除去する。これにより、図 7 および図 8 に示したように、第 1 の線状パターン P_x と第 2 の線状パターン P_y とが交差する領域に四辺形 (例えば図 7 では正方形) の平面形状を有する下部電極 20 が形成される (第 4 の工程)。このように下部電極 20 を記憶層 40 および上部電極 50 に対して自己整合的に形成することにより、下部電極 20 と記憶層 40 および上部電極 50 とのアライメントずれが極めて小さくなり、下部電極 20 と記憶層 40 との接触面積の変動が抑えられる。よって、アライメントずれに起因する素子特性の変動が抑制され、均一な素子特性を得ることが可能となる。

【0027】

なお、下部電極 20 の平面形状は、第 1 の線状パターン P_x および第 2 の線状パターン P_y の幅に応じて、図 7 に示した正方形のほか、長方形となってもよい。また、図 7 では、分かりやすくするため、下部電極 20 に右下がりの斜線を付し、記憶層 40 および上部電極 50 に右上がりの斜線を付している。

【0028】

以上により、下部電極 20 と上部電極 50 との間に記憶層 40 を有する記憶素子 1 が形成される。各下部電極 20 は、トランジスタアレイ 11 の対応するトランジスタ T_r に接続される。記憶層 40 は、下部電極 20 の上に、下部電極 20 の四辺形の対向する二辺を延長した二本の線 L_1 , L_2 を輪郭線として設けられる。上部電極 50 は、記憶層 40 の上に、記憶層 40 と同一の形状に設けられる。よって、下部電極 20 の上面全体に記憶層 40 が接触しており、素子特性が良好になる。

【0029】

これに対して、従来では、図 9 (A) に示したように、点状パターン (ドットパターン) の下部電極 120 を形成したのち、下部電極 120 の上に線状パターンの記憶層 140 および上部電極 150 を形成していた。そのため、図 9 (B) に示したように、下部電極 120 と記憶層 140 および上部電極 150 とのアライメントずれにより、下部電極 120 と記憶層 140 との接触面積が変動し、均一な特性が得られなくなっていた。とりわけ

10

20

30

40

50

、記憶装置の高密度化のために下部電極 120 の大きさや間隔を可能な限り小さくした場合には、アライメントずれに起因する素子特性の変動の問題が更に顕著なものとなっていた。

【0030】

また、従来では、図 10 に示したように、絶縁膜 131 に円形のホールパターン 131A を設け、このホールパターン 131A に下部電極材料膜 120A を埋め込んだのち、エッチングまたは CMP (Chemical Mechanical Polishing) などによりホールパターン以外の領域の下部電極材料膜 120A を除去することにより下部電極 120 を形成していた。しかしながら、この従来方法では、ホールパターン 131A に下部電極材料膜 120A を埋め込む際に、埋め込みが完全になされずにボイドと呼ばれる空洞部分 V が発生してしまうことが多かった。そのため、ボイド V が原因で記憶素子を理想的な状態で形成することができず、製品不良を招くという問題があった。

10

【0031】

これに対して本実施の形態では、下部電極材料膜 20A を第 1 の線状パターン Px に加工したのち、これに垂直な第 2 の線状パターン Py に加工するようにしたので、ボイド V が発生することはなく、ボイド V に起因する製品不良を抑えることが可能となる。なお、絶縁膜 31 の溝パターンに下部電極材料膜 20A を埋め込む場合には、下部電極材料膜 20A として銅などメッキにより成膜可能な材料を用いることによりボイド V の発生を回避することが可能である。

20

【0032】

あるいは、従来の製造方法の他の例としては、図 11 に示したように、基板 110 の全面に下部電極材料膜 120A を全面に成膜したのち、下部電極材料膜 120A の上に平面形状が円形のドットパターンのマスク 161 を形成し、このマスク 161 を用いたエッチングにより下部電極材料膜 120A を加工してドットパターンの下部電極 120 を形成する方法もあった。しかしながら、半導体プロセスで通常使われるリソグラフィではホールパターンに比べてドットパターンを同等に微細に形成することは難しいので、ビット毎の素子サイズを大きくする必要があり、素子の高密度化の妨げとなっていた。

【0033】

これに対して本実施の形態では、下部電極材料膜 20A を第 1 の線状パターン Px に加工したのち、これに垂直な第 2 の線状パターン Py に加工するようにしている。線状パターン (ラインパターン) は、ドットパターンと異なり、一般的に半導体製造で用いられるリソグラフィ技術によって微細な幅のものを形成可能なので、下部電極 20 のサイズを大きくする必要はない。このことは、図 3 に示した工程において絶縁膜 31 に設けた溝パターンに下部電極材料膜 20A を埋め込むようにした場合も同様である。よって、下部電極 20 の大きさや間隔を微細化することが可能となり、高密度化に極めて有利となる。

30

【0034】

下部電極材料膜 20A を第 2 の線状パターン Py に成形したのち、図 12 に示したように、基板 10 の全面に、窒化シリコンまたは酸化シリコンなどよりなる絶縁膜 32 を形成し、この絶縁膜 32 で記憶装置全体を覆うことが望ましい。更に、第 2 ビット線 2BL を兼ねる上部電極 50 の複数の第 2 の線状パターン Py の各々に、記憶素子 1 の電位を制御するための回路として、電圧パルス発生回路を接続する。各ワード線 WL および各第 1 ビット線 1BL にも、同様に、電圧パルス発生回路を接続する。以上により、基板 10 に複数の記憶素子 1 を有する記憶装置が完成する。

40

【0035】

この記憶装置は、各記憶素子 1 の下部電極 20 および上部電極 50 を介して図示しない電源 (パルス印加手段) から電圧パルス或いは電流パルスを印加すると、記憶層 40 の電気的特性、例えば抵抗値が可逆的に変化するものであり、これにより情報の書き込み、消去、更に読み出しが行われる。以下、その動作を具体的に説明する。

【0036】

まず、上部電極 50 が例えば正電位、下部電極 20 側が負電位となるようにして記憶素

50

子 1 に対して正電圧を印加する。これにより、各記憶素子 1 において、イオン源層 4 2 から Cu および / または Zr の陽イオンがイオン伝導し、下部電極 2 0 上の抵抗変化層 4 1 内で電子と結合して析出し、その結果、下部電極 2 0 とイオン源層 4 2 との間に金属状態に還元された低抵抗の Zr および / または Cu の導電パス (フィラメント) が形成される。若しくは、記憶層 4 0 の中に導電パスが形成される。よって、記憶層 4 0 の抵抗値が低くなり、初期状態の高抵抗状態から低抵抗状態へ変化する。

【 0 0 3 7 】

その後、正電圧を除去して記憶素子 1 にかかる電圧をなくしても、低抵抗状態が保持される。これにより情報が書き込まれたことになる。一度だけ書き込みが可能な記憶装置、いわゆる、PROM (Programmable Read Only Memory) に用いる場合には、前記の記録過程のみで記録は完結する。

10

【 0 0 3 8 】

一方、消去が可能な記憶装置、すなわち、RAM (Random Access Memory) 或いはEEPROM (Electronically Erasable and Programmable Read Only Memory) 等への応用には消去過程が必要である。消去過程においては、上部電極 5 0 が例えば負電位、下部電極 2 0 側が正電位になるように、記憶素子 1 に対して負電圧を印加する。これにより、記憶層 4 0 内に形成されていた導電パスの Zr および Cu が酸化してイオン化し、記憶層 4 0 に溶解若しくは Te 等と結合して Cu₂Te、CuTe 等の化合物を形成する。すると、Zr および Cu による導電パスが消滅、または減少して抵抗値が高くなる。あるいは、更に記憶層 4 0 中に存在する Al や Ge などの添加元素がアノード極上に酸化膜を形成して、高抵抗な状態へ変化する。

20

【 0 0 3 9 】

その後、負電圧を除去して記憶素子 1 にかかる電圧をなくしても、抵抗値が高くなった状態で保持される。これにより、書き込まれた情報を消去することが可能になる。このような過程を繰り返すことにより、記憶素子 1 に情報の書き込みと書き込まれた情報の消去を繰り返し行うことができる。

【 0 0 4 0 】

そして、例えば、抵抗値の高い状態を「 0 」の情報に、抵抗値の低い状態を「 1 」の情報に、それぞれ対応させると、正電圧の印加による情報の記録過程で「 0 」から「 1 」に変え、負電圧の印加による情報の消去過程で「 1 」から「 0 」に変えることができる。

30

【 0 0 4 1 】

なお、書き込み動作および消去動作を低抵抗化および高抵抗化のいずれに対応させるかは定義の問題であるが、本明細書では低抵抗状態を書き込み状態、高抵抗状態を消去状態と定義する。

【 0 0 4 2 】

ここでは、各記憶素子 1 において、四辺形の平面形状を有する下部電極 2 0 の上に、四辺形の対向する二辺を延長した二本の線 L₁、L₂ を輪郭線として記憶層 4 0 が設けられており、この記憶層 4 0 の上に、上部電極 5 0 が記憶層 4 0 と同一の形状に設けられているので、下部電極 2 0 の上面全体に記憶層 4 0 が接触しており、良好な特性が得られている。よって、この記憶素子 1 を複数集積した記憶装置では、下部電極 2 0 と記憶層 4 0 との接触面積のばらつきが極めて小さくなっており、素子特性が均一化される。

40

【 0 0 4 3 】

このように本実施の形態の記憶装置の製造方法では、下部電極材料膜 2 0 A を第 1 の方向に伸びる第 1 の線状パターン P_x に成形したのち、下部電極材料膜 2 0 A の上に、記憶層材料膜 4 0 A および上部電極材料膜 5 0 A をこの順に形成し、上部電極材料膜 4 0 A および記憶層材料膜 5 0 A を、第 1 の方向に垂直な第 2 の方向に伸びる第 2 の線状パターン P_y に成形することにより上部電極 5 0 および記憶層 4 0 を形成したのち、下部電極材料膜 2 0 A を第 2 の線状パターン P_y に成形することにより、第 1 の線状パターン P_x と第 2 の線状パターン P_y とが交差する領域に四辺形の平面形状を有する下部電極 2 0 を形成するようにしたので、下部電極 2 0 を記憶層 4 0 および上部電極 5 0 に対して自己整合的

50

に形成し、下部電極 20 と記憶層 40 および上部電極 50 とのアライメントずれを極めて小さくすることが可能となる。また、下部電極 20 のボイドに起因する製品不良を抑えると共に、下部電極 20 の大きさや間隔を小さくすることが可能となり、微細化・高密度化に極めて有利である。

【0044】

本実施の形態の記憶素子 1 では、四辺形の平面形状を有する下部電極 20 の上に、四辺形の対向する二辺を延長した二本の線 L1, L2 を輪郭線として記憶層 40 を設け、この記憶層 40 の上に、上部電極 50 を記憶層 40 と同一の形状に設けるようにしたので、下部電極 20 の上面全体に記憶層 40 が接触しており、良好な特性が得られている。よって、この記憶素子 1 を複数集積した記憶装置では、均一な素子特性を得ることが可能となる。

10

【0045】

本実施の形態の記憶装置は、上述のように各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能な P R O M (Programmable Read Only Memory)、電氣的に消去が可能な E E P R O M (Erasable Programmable Read Only Memory)、或いは、高速に書き込み・消去・再生が可能な、いわゆる R A M 等、いずれのメモリ形態でも適用することが可能である。

【0046】

(第2の実施の形態)

図 13 は、本発明の第 2 の実施の形態に係る記憶装置の製造方法を工程順に表したものである。この製造方法は、イオン源層 42 および上部電極 50 に絶縁材料よりなる側壁 (サイドウォール) 70 を設けることにより、抵抗変化層 41 の側壁部の短絡不良を抑えるようにした点において第 1 の実施の形態と異なるものである。よって、第 1 の実施の形態と同一の構成要素については同一の符号を付して説明する。また、第 1 の実施の形態と重複する工程については図 1 ないし図 6、および図 12 を参照して説明する。

20

【0047】

まず、第 1 の実施の形態と同様にして、図 1 に示した工程により、基板 10 にトランジスタアレイ 11 を形成する。

【0048】

次いで、第 1 の実施の形態と同様にして、図 2 に示した工程により、基板 10 に下部電極材料膜 20A を形成し、この下部電極材料膜 20A を第 1 の方向 (例えば x 方向) に伸びる一本の、好ましくは複数本の平行な第 1 の線状パターン Px に成形する (第 1 の工程)。

30

【0049】

続いて、第 1 の実施の形態と同様にして、図 3 に示した工程により、下部電極材料膜 20A の間の領域に絶縁膜 31 を埋め込む。あるいは、基板 10 に絶縁膜 31 を形成し、この絶縁膜 31 をエッチングすることにより溝パターンを設けたのち、溝パターンに下部電極材料膜 20A を埋め込む。

【0050】

そののち、第 1 の実施の形態と同様にして、図 13 (A) に示したように、下部電極材料膜 20A の上に、記憶層材料膜 40A および上部電極材料膜 50A をこの順に形成し、上部電極材料膜 50A の上に、第 1 の方向に垂直な第 2 の方向 (例えば y 方向) に伸びる一本の、好ましくは複数本の平行な線状のエッチングマスク 61 を形成する。

40

【0051】

上部電極材料膜 50A の上にエッチングマスク 61 を形成したのち、図 13 (B) に示したように、エッチングマスク 61 を用いたドライエッチングにより、上部電極材料膜 50A およびイオン源層材料膜 42A を、第 1 の方向に垂直な第 2 の方向 (例えば y 方向) に伸びる第 2 の線状パターン Py に成形し、イオン源層材料膜 42A と抵抗変化層材料膜 41A との界面またはその近傍でエッチングを停止する。これにより、下部電極材料膜 20A および絶縁膜 31 の上に、線状の上部電極 50 およびイオン源層 42 が同一形状で形

50

成される（第３の工程）。

【００５２】

上部電極材料膜５０Ａおよびイオン源層材料膜４２Ａを第２の線状パターンＰ_yに成形したのち、エッチングマスク６１を除去する。続いて、図１３（Ｃ）に示したように、線状の上部電極５０およびイオン源層４２の側面に、窒化シリコンまたは酸化シリコンなどの絶縁材料よりなる側壁７０を形成する。側壁７０は、例えば、基板１０の全面に上述した絶縁材料よりなる側壁材料膜を形成したのちエッチバックすることにより容易に形成することが可能である。

【００５３】

側壁７０を形成したのち、引き続き、側壁７０と上部電極５０およびイオン源層４２とをマスクとしたドライエッチングにより、図１３（Ｄ）に示したように、抵抗変化層材料膜４１Ａを第２の線状パターンＰ_yに成形する。これにより、側壁７０で覆われた上部電極５０およびイオン源層４２の下に、線状の抵抗変化層４１が形成される（第３の工程）。なお、抵抗変化層材料膜４１Ａとして例えば酸化アルミニウム膜を用い、フッ素によるドライエッチングを行うことにより、選択的に抵抗変化層材料膜４１Ａを除去することが可能である。

【００５４】

抵抗変化層４１を形成したのち、更に引き続き、側壁７０と上部電極５０およびイオン源層４２とをマスクとしたドライエッチングにより、同じく図１３（Ｄ）に示したように、下部電極材料膜２０Ａを第２の線状パターンＰ_yに成形する。これにより、図１４に示したように、第１の線状パターンＰ_xと第２の線状パターンＰ_yとが交差する領域に四辺形の平面形状を有する下部電極２０が形成される（第４の工程）。このように下部電極２０を側壁７０、記憶層４０および上部電極５０に対して自己整合的に形成することにより、下部電極２０と側壁７０、記憶層４０および上部電極５０とのアライメントずれが極めて小さくなり、下部電極２０と記憶層４０との接触面積の変動が抑えられる。よって、アライメントずれに起因する素子特性の変動が抑制され、均一な素子特性を得ることが可能となる。

【００５５】

なお、下部電極２０の平面形状は、側壁７０、第１の線状パターンＰ_xおよび第２の線状パターンＰ_yの幅に応じて、図１４に示した長方形のほか、正方形となってもよい。また、図１４では、分かりやすくするため、下部電極２０に右下がりの斜線を付し、記憶層４０および上部電極５０に右上がりの斜線を付し、側壁７０に網掛けを付している。

【００５６】

ここで、側壁７０を設けない場合には、図１５に示したように、抵抗変化層４１の厚みが数ｎｍ程度と極めて薄いことに起因して、抵抗変化層４１の側壁に絶縁不良経路ＬＰが生じやすくなるおそれがある。これは、エッチングの過程で側壁に付着した異物などを介して、下部電極２０とイオン源層４２との間にリーク電流が発生するおそれがあるからである。これに対して、本実施の形態では、上部電極５０およびイオン源層４２の側面を、絶縁材料よりなる側壁７０で覆うようにしたので、下部電極２０とイオン源層４２との間の絶縁不良経路ＬＰを長くすることができ、短絡不良を抑えることが可能となる。

【００５７】

このようにして、下部電極２０と上部電極５０との間に記憶層４０を有する記憶素子１が形成される。各下部電極２０は、トランジスタアレイ１１の対応するトランジスタＴ_rに接続される。記憶層４０および上部電極５０は、下部電極２０の上に、両側面を側壁７０に挟まれて同一の形状に設けられる。側壁７０は下部電極２０の四辺形の対向する二辺を延長した二本の線Ｌ１、Ｌ２を輪郭線として設けられている。よって、下部電極２０の上面に記憶層４０の下面全体が接触しており、素子特性が良好になる。

【００５８】

下部電極材料膜２０Ａを第２の線状パターンＰ_yに成形したのち、第１の実施の形態と同様にして、図１２に示した工程により、絶縁膜３２で記憶装置全体を覆うことが望まし

10

20

30

40

50

い。更に、第2ビット線2BLを兼ねる上部電極50の複数の第2の線状パターンPyの各々に、記憶素子1の電位を制御するための回路として、電圧パルス発生回路を接続する。各ワード線WLおよび各第1ビット線1BLにも、同様に、電圧パルス発生回路を接続する。以上により、基板10に複数の記憶素子1を有する記憶装置が完成する。

【0059】

この記憶装置では、第1の実施の形態と同様にして、電圧印加により記憶層40の抵抗値を可逆的に変化させることにより情報の書き込み、消去および読み出しを行うことが可能である。ここでは、イオン源層42および上部電極50が絶縁材料よりなる側壁70を有するので、抵抗変化層41の側面を介した短絡不良が抑えられ、特性がより向上する。

【0060】

以上、実施の形態を挙げて本発明を説明したが、本発明は、上記実施の形態に限定されるものではなく、種々変形することが可能である。

【0061】

例えば、上記実施の形態においては、第1の方向および第1の線状パターンPxをx方向、第2の方向および第2の線状パターンPyをy方向とし、第1の線状パターンPxおよび第2の線状パターンPyを垂直とした場合について説明したが、第1の線状パターンPxおよび第2の線状パターンPyは必ずしも垂直である必要はなく、互いに交差する方向に設けられていればよい。この場合、下部電極20の平面形状は、第1の線状パターンPxおよび第2の線状パターンPyの幅や交差角度により、菱形または平行四辺形など、直線の四辺を有する他の四角形となる。

【0062】

また、例えば、上記実施の形態においては、第1の線状パターンPxおよび第2の線状パターンPyが直線である場合について説明したが、第1の線状パターンPxおよび第2の線状パターンPyは必ずしも直線である必要はなく、トランジスタアレイ11の構成や記憶素子1のレイアウトに応じて、屈曲または湾曲した線状であってもよい。この場合、下部電極20の平面形状は、第1の線状パターンPxおよび第2の線状パターンPyの形状に応じて、少なくとも一辺に曲線の辺を含んでいてもよい。

【0063】

更に、例えば、上記実施の形態において説明した各層の材料、または成膜方法および成膜条件などは限定されるものではなく、他の材料としてもよく、または他の成膜方法としてもよい。例えば、記憶層40には、上記組成を崩さない範囲で、他の遷移金属元素、例えばチタン(Ti)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)、タングステン(W)を添加してもよい。また、銅(Cu)、銀(Ag)または亜鉛(Zn)以外にも、ニッケル(Ni)などを添加してもよい。

【0064】

加えて、例えば、上記実施の形態では、記憶素子1および記録装置(メモリセルアレイ)の構成を具体的に挙げて説明したが、全ての層を備える必要はなく、また、他の層を更に備えていてもよい。

【0065】

更にまた、例えば、上記実施の形態では、本発明を抵抗変化型メモリの製造に適用した場合について説明したが、本発明は、カルコゲナイドの結晶状態と非晶質状態との相変化を利用した相変化型メモリなど、他の記憶装置の製造にも適用可能である。

【符号の説明】

【0066】

1...記憶素子、20...下部電極、20A...下部電極材料膜、31, 32...絶縁膜、40...記憶層、40A...記憶層材料膜、41...抵抗変化層、41A...抵抗変化層材料膜、42...イオン源層、42A...イオン源層材料膜、50...上部電極、50A...上部電極材料膜、61...エッチングマスク、70...側壁

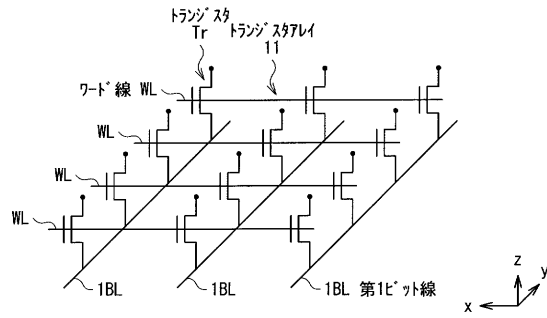
10

20

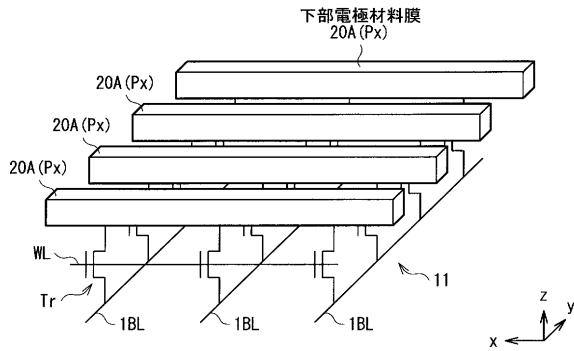
30

40

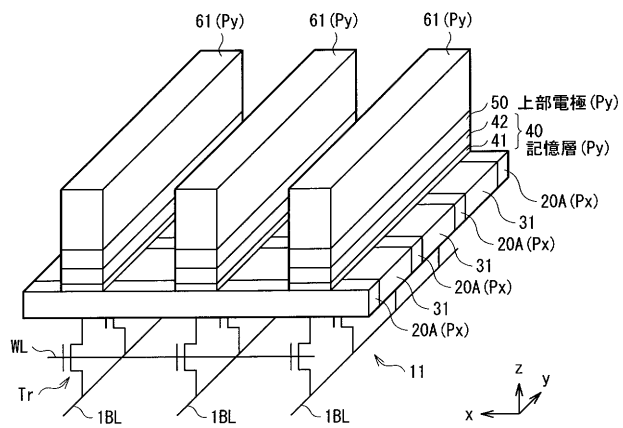
【図 1】



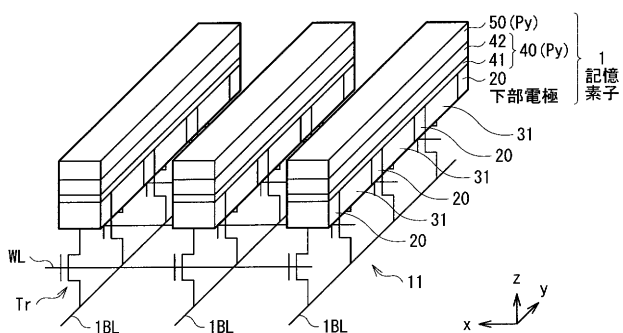
【図 2】



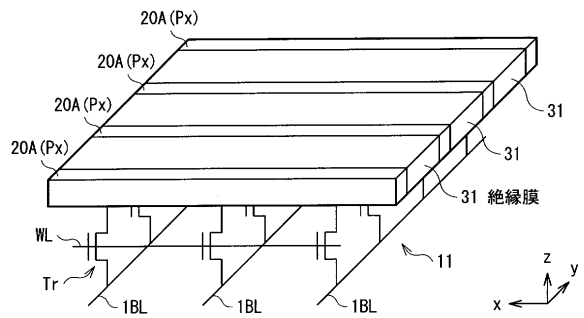
【図 5】



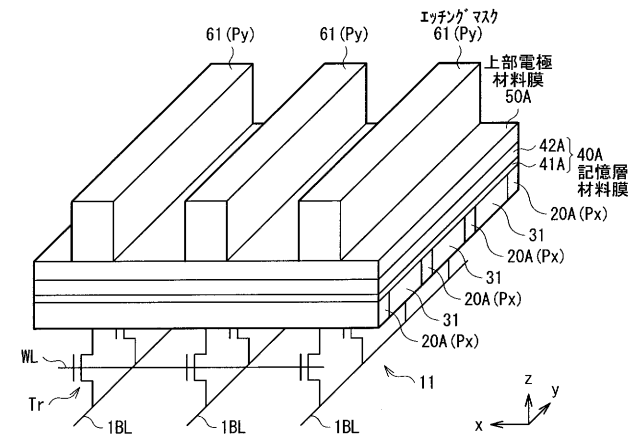
【図 6】



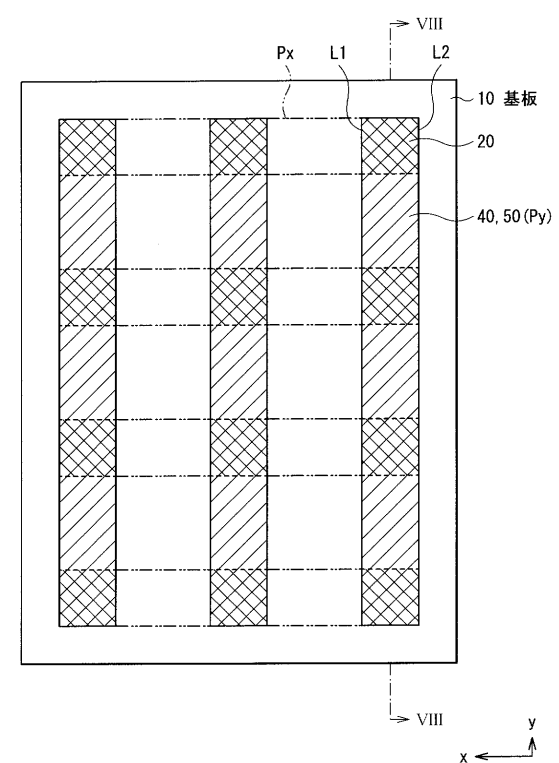
【図 3】



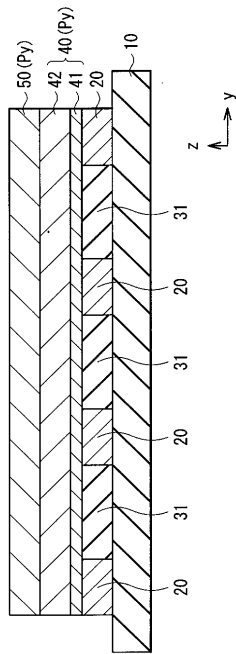
【図 4】



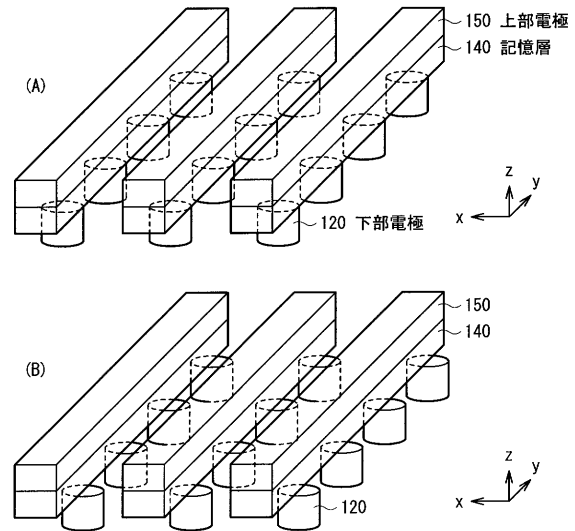
【図 7】



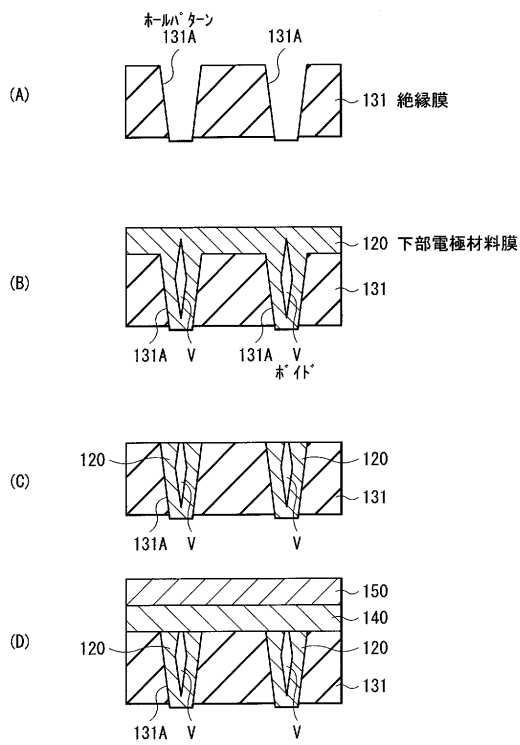
【図 8】



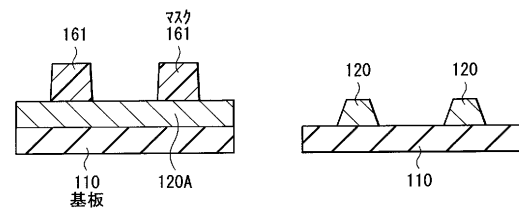
【図 9】



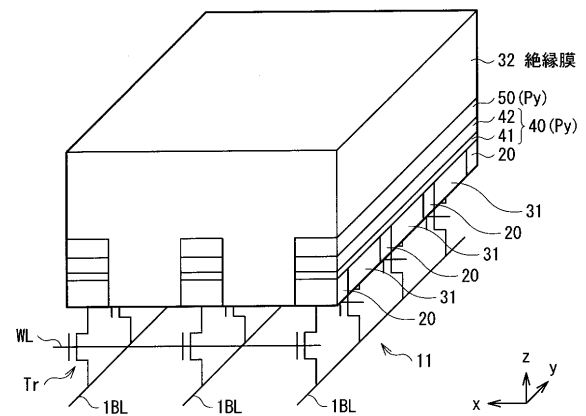
【図 10】



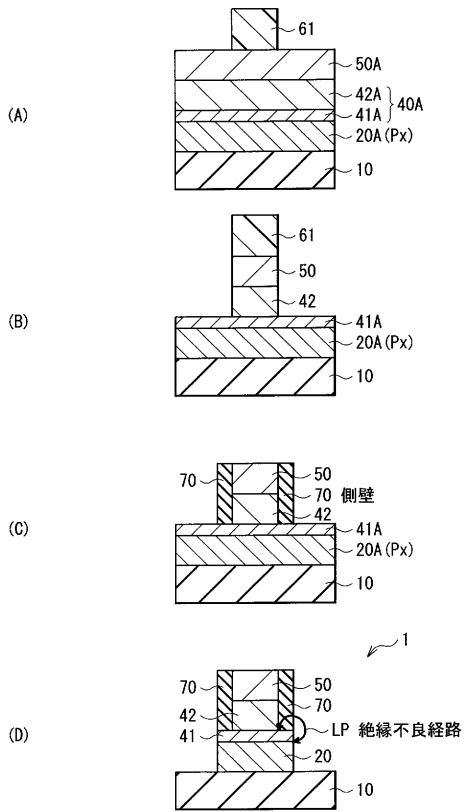
【図 11】



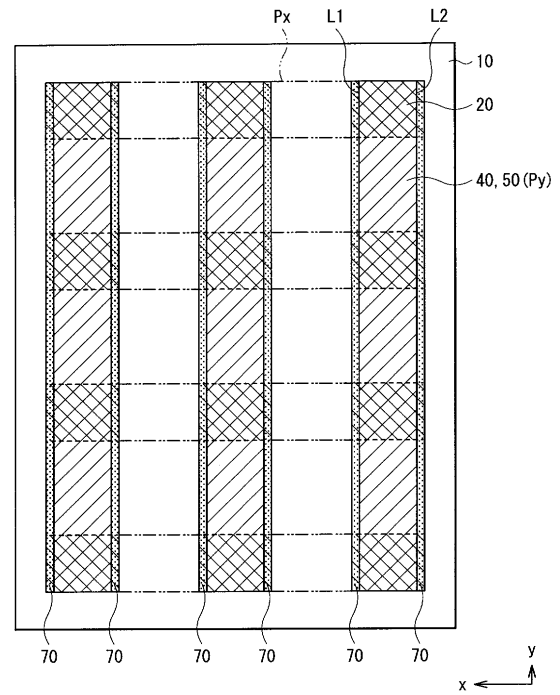
【図 12】



【図 13】



【図 14】



【図 15】

