

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年2月13日(13.02.2025)



(10) 国際公開番号

WO 2025/032416 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) **G09F 9/33** (2006.01)
G02F 1/1368 (2006.01) **G09F 9/35** (2006.01)
G09F 9/30 (2006.01)

(21) 国際出願番号: PCT/IB2024/057293

(22) 国際出願日: 2024年7月29日(29.07.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-127853 2023年8月4日(04.08.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

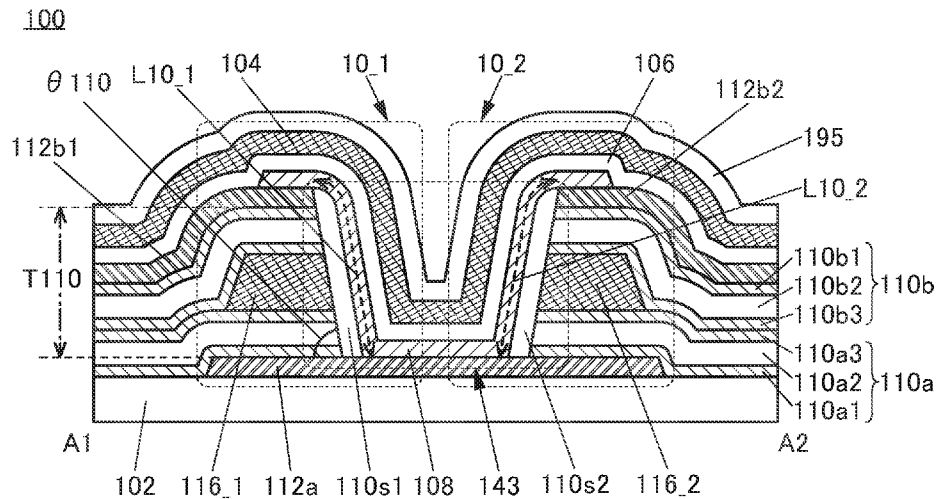
(72) 発明者: 佐藤学(SATO, Manabu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 土橋正佳(DOBASHI, Masayoshi). 神長正美(JINTYOU, Masami).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR DEVICE, DISPLAY DEVICE, AND METHOD FOR MANUFACTURING SEMI-CONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、表示装置、及び半導体装置の作製方法

図1B



(57) Abstract: The present invention provides a highly integrated semiconductor device with minute transistors. The semiconductor device has two vertical transistors and an insulating layer. The insulating layer is provided with a line-shaped aperture formed by an exposure device, and the two vertical transistors are provided opposite each other, with the opposing sidewalls of the aperture oriented in the channel length direction. The two vertical transistors share one of either the source electrode or the drain electrode, above which the gate electrode and the other of either the source electrode or the drain electrode of each transistor are superimposed in different areas. Gate insulating layers of the two transistors are each provided in contact with the sidewalls of the aperture. A semiconductor layer is provided along the sidewalls and bottom of the aperture, with the gate insulating layers interposed. The semiconductor layer is shared by the two vertical transistors.

[続葉有]

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約: 微細なトランジスタを有する集積度の高い半導体装置を提供する。半導体装置は、2つの縦型トランジスタと絶縁層を有する。絶縁層には、露光装置で形成されたライン状の開口部が設けられ、開口部の対向する側壁をそれぞれチャンネル長方向とする、2つの縦型トランジスタが対向して設けられる。2つの縦型トランジスタは、ソース電極又はドレイン電極の一方を共有し、その上の異なる領域にそれぞれのトランジスタのゲート電極、ソース電極又はドレイン電極の他方が重畳して設けられる。開口部の側壁に接して2つのトランジスタのゲート絶縁層がそれぞれ設けられる。ゲート絶縁層を介して、開口部の側壁及び底面に沿って半導体層が設けられる。半導体層は、2つの縦型トランジスタで共有する。

明細書

発明の名称

半導体装置、表示装置、及び半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、トランジスタに関する。本発明の一態様は、トランジスタを有する半導体装置に関する。本発明の一態様は、トランジスタを有する表示装置に関する。本発明の一態様は、トランジスタを有する半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、照明装置、入力装置、入出力装置、それらを有する電子機器、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。半導体装置は、半導体特性を利用することで機能し得る装置全般を指す。

背景技術

[0003]

表示装置の一つとして、液晶素子を表示素子として用いた液晶表示装置がある。例えば、画素電極をマトリクス状に配置し、画素電極の各々にスイッチング素子を接続した、アクティブマトリクス型の液晶表示装置は、スマートフォン、タブレット端末機、モニタ装置、テレビジョン装置、デジタルサイネージなど、様々な機器に用いられている。

[0004]

液晶表示装置には、大きく分けて透過型と反射型の2種類が知られている。液晶表示装置は、画素における有効表示面積比（開口率ともいう）が大きいほど、明るい表示が可能であり、消費電力の削減にもつながることから、開口率の向上が求められている。

[0005]

例えば、画素電極の各々に接続するスイッチング素子として、金属酸化物をチャネル形成領域に用いたトランジスタを用いるアクティブマトリクス型の液晶表示装置が知られている。特許文献1には、金属酸化物をチャネル形成領域に用いたトランジスタを適用し、開口率が高められた液晶表示装置が開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2018-189938号公報

発明の概要

発明が解決しようとする課題

[0007]

液晶表示装置の開口率をさらに高め、かつ、さらなる高精細化を図るためには、画素回路に用いるトランジスタのさらなる小型化が求められる。そこで、本発明の一態様は、微細化が可能なトランジスタを提供することを課題の一とする。又は、電気特性が良好なトランジスタを提供することを課題の一とする。又は、チャネル長の短いトランジスタを提供することを課題の一とする。又は、占有面積の小さいトランジスタを提供することを課題の一とする。

[0008]

また、本発明の一態様は、微細なトランジスタを有する小型の半導体装置を提供することを課題の一とする。又は、微細なトランジスタを有する集積度の高い半導体装置を提供することを課題の一とする。

[0009]

また、本発明の一態様は、開口率の高い液晶表示装置を提供することを課題の一とする。又は、高精細な液晶表示装置を提供することを課題の一とする。又は、消費電力の低い液晶表示装置を提供することを課題の一とする。又は、高速駆動が可能な液晶表示装置を提供することを課題の一とする。又は、表示品位の高い表示装置を提供することを課題の一とする。

[0010]

また、本発明の一態様は、新規な構成を有するトランジスタ、半導体装置、表示装置、電子機器、及びこれらの作製方法を提供することを課題の一とする。又は、信頼性の高いトランジスタ、半導体装置、表示装置、電子機器、及びこれらの作製方法を提供することを課題の一とする。本発明の一態様は、先行技術の問題点の少なくとも一を、少なくとも軽減することを課題の一とする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、第1のトランジスタ、第2のトランジスタ、第1の絶縁層、及び第2の絶縁層を有し、第1のトランジスタは、第1の導電層、第2の導電層、第3の導電層、第4の導電層、第3の絶縁層、第4の絶縁層、及び半導体層を有し、第2のトランジスタは、第1の導電層、第5の導電層、第6の導電層、第4の導電層、第5の絶縁層、第4の絶縁層、及び半導体層を有し、第1の絶縁層は、第1の領域と、第1の領域と離間する第2の領域と、を有し、第2の絶縁層は、第3の領域と、第3の領域と離間する第4の領域と、を有し、第1の導電層は、第5の領域と、第5の領域と離間する第6の領域と、を有し、第1の領域、第2の導電層、第3の領域、及び第3の導電層は、この順で重畳して第5の領域上に設けられ、第2の領域、第5の導電層、第4の領域、及び第6の導電層は、この順で重畳して第6の領域上に設けられ、第3の絶縁層は、第1の領域の側面、第2の導電層の側面、第3の領域の側面、及び第3の導電層の側面に接して設けられ、第5の絶縁層は、第2の領域の側面、第5の導電層の側面、第4の領域の側面、及び第6の導電層の側面に接して設けられ、半導体層は、第5の領域と第6の領域の間における第1の導電層の上面、第3の絶縁層の側面、第5の絶縁層の側面、第3の導電層の上面、及び第6の導電層の上面に接して設けられ、第4の絶縁層は、半導体層の上面及び側面、第1の導電層の上面及び側面、第3の導電層の上面及び側面、並びに、第6の導電層の上面及び側面に接して設けられ、第4の導電層は、第4の絶縁層の上面に接して設けられ、第1のトランジスタにおいて、半導体層の一部の一方の面は、第4の絶縁層の一部を介して第4の導電層の一部と対向し、半導体層の一部の他方の面は、第3の絶縁層を介して第2の導電層と対向し、第2のトランジスタにおいて、半導体層の他の一部の一方向の面は、第4の絶縁層の他の一部を介して第4の導電層の他の一部と対向し、半導体層の他の一部他方の面は、第5の絶縁層を介して第5の導電層と対向する半導体装置である。

[0013]

また上記において、半導体層は、金属酸化物を有し、第1の絶縁層、第2の絶縁層、第3の絶縁層、及び第5の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を有していることが好ましい。

[0014]

また上記において、第1の絶縁層は、第6の絶縁層と、第6の絶縁層上の第7の絶縁層と、第7の絶縁層上の第8の絶縁層と、を有し、第2の絶縁層は、第9の絶縁層と、第9の絶縁層上の第10の絶縁層と、第10の絶縁層上の第11の絶縁層と、を有し、第6の絶縁層、第8の絶縁層、第9の絶縁層、及び第11の絶縁層は、それぞれ、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を有し、第7の絶縁層及び第10の絶縁層は、それぞれ、酸化シリコン及び酸化窒化シリコンの一方又は双方を有していることが好ましい。

[0015]

また、本発明の一態様は、上記半導体装置と、第1の液晶素子及び第2の液晶素子と、を有し、第1の液晶素子は、第3の導電層と、液晶と、第7の導電層と、を有し、第2の液晶素子は、第6の導電層と、液晶と、第7の導電層と、を有し、液晶は、第3の導電層上又は第6の導電層上に設けられ、第7の導電層は、液晶上に設けられる表示装置である。

[0016]

また、本発明の一態様は、第1のトランジスタ、第2のトランジスタ、第1の絶縁層、及び第2の絶縁層を有し、第1のトランジスタは、第1の導電層、第2の導電層、第3の導電層、第3の絶縁層、第4の絶縁層、及び半導体層を有し、第2のトランジスタは、第1の導電層、第4の導電層、第3の導電層、第5の絶縁層、第4の絶縁層、及び半導体層を有し、第1の絶縁層は、第1の領域と、第1の領域と離間する第2の領域と、を有し、第2の絶縁層は、第3の領域と、第3の領域と離間する第4の領域と、を有し、第1の導電層は、第5の領域と、第5の領域と離間する第6の領域と、を有し、第1の領域、第2の導電層、及び第3の領域は、この順で重畳して第5の領域上に設けられ、第2の領域、第4の導電層、及び第4の領域は、この順で重畳して第6の領域上に設けられ、第3の絶縁層は、第1の領域の側面、第2の導電層の側面、及び第3の領域の側面に接して設けられ、第5の絶縁層は、第2の領域の側面、第4の導電層の側面、及び第4の領域の側面に接して設けられ、半導体層は、第5の領域と第6の領域の間における第1の導電層の上面、第3の絶縁層の側面、第5の絶縁層の側面、第2の絶縁層の一部の上面、及び第2の絶縁層の他の一部の上に接して設けられ、第4の絶縁層は、半導体層の上面に接して設けられ、第3の導電層は、第4の絶縁層の上面に接して設けられ、第1のトランジスタにおいて、半導体層の一部の一方の面は、第4の絶縁層の一部を介して第3の導電層の一部と対向し、半導体層の一部の他方の面は、第3の絶縁層を介して第2の導電層と対向し、第2のトランジスタにおいて、半導体層の他の一部の一方向の面は、第4の絶縁層の他の一部を介して第3の導電層の他の一部と対向し、半導体層の他の一部の一方向の面は、第5の絶縁層を介して第4の導電層と対向する半導体装置である。

[0017]

また上記において、半導体層は、金属酸化物を有し、第1の絶縁層、第2の絶縁層、第3の絶縁層、及び第5の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニ

ウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を有していることが好ましい。

[0018]

また上記において、第1の絶縁層は、第6の絶縁層と、第6の絶縁層上の第7の絶縁層と、第7の絶縁層上の第8の絶縁層と、を有し、第2の絶縁層は、第9の絶縁層と、第9の絶縁層上の第10の絶縁層と、第10の絶縁層上の第11の絶縁層と、を有し、第6の絶縁層、第8の絶縁層、第9の絶縁層、及び第11の絶縁層は、それぞれ、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を有し、第7の絶縁層及び第10の絶縁層は、それぞれ、酸化シリコン及び酸化窒化シリコンの一方又は双方を有していることが好ましい。

[0019]

また、本発明の一態様は、上記半導体装置と、液晶素子と、を有し、液晶素子は、半導体層と、液晶と、第5の導電層と、を有し、液晶は、半導体層上に設けられ、第5の導電層は、液晶上に設けられる表示装置である。

[0020]

また、本発明の一態様は、第1の導電層を形成し、第1の導電層上に、第1の絶縁膜、及び第1の導電膜をこの順で形成し、第1の導電膜を加工して、第1の導電層と重なる領域に第2の導電層を形成し、第1の絶縁膜上及び第2の導電層上に、第2の絶縁膜、及び第2の導電膜をこの順で形成し、第2の導電膜を加工して、第1の導電層及び第2の導電層と重なる領域を有する第3の導電層を形成し、第1の絶縁膜、第2の導電層、第2の絶縁膜、及び第3の導電層のそれぞれ一部を除去して、第1の導電層に達する開口部を形成するとともに、第1の絶縁膜から第1の絶縁層を、第2の導電層から第4の導電層及び第5の導電層を、第2の絶縁膜から第2の絶縁層を、第3の導電層から第6の導電層及び第7の導電層を、それぞれ形成し、開口部内における第1の導電層の上面及び側面、開口部内における第1の絶縁層の側面、開口部内における第2の絶縁層の側面、開口部内における第4の導電層の側面、開口部内における第5の導電層の側面、開口部内における第6の導電層の側面、開口部内における第7の導電層の側面、第6の導電層の上面、及び第7の導電層の上面に接して、第3の絶縁膜を形成し、第3の絶縁膜の一部を除去し、開口部内における第1の絶縁層の一方の側面、開口部内における第4の導電層の側面、開口部内における第2の絶縁層の一方の側面、及び開口部内における第6の導電層の側面に接する第3の絶縁層と、開口部内における第1の絶縁層の他方の側面、開口部内における第5の導電層の側面、開口部内における第2の絶縁層の他方の側面、及び開口部内における第7の導電層の側面に接する第4の絶縁層と、を形成し、開口部内における第1の導電層の上面及び側面、開口部内における第3の絶縁層の側面、開口部内における第4の絶縁層の側面、第6の導電層の上面及び側面、第7の導電層の上面及び側面、並びに、第2の絶縁層の上面に接する半導体層を形成する半導体装置の作製方法である。

発明の効果

[0021]

本発明の一態様により、微細化が可能なトランジスタを提供することができる。又は、電気特性が良好なトランジスタを提供することができる。又は、チャネル長の短いトランジスタを提供することができる。又は、占有面積の小さいトランジスタを提供することができる。

[0022]

また、本発明の一態様により、微細なトランジスタを有する小型の半導体装置を提供することができる。又は、微細なトランジスタを有する集積度の高い半導体装置を提供することができる。

[0023]

また、本発明の一態様により、開口率の高い液晶表示装置を提供することができる。又は、高精細な液晶表示装置を提供することができる。又は、消費電力の低い液晶表示装置を提供することができる。又は、高速駆動が可能な液晶表示装置を提供することができる。又は、表示品位の高い表示装置を提供することができる。

[0024]

また、本発明の一態様により、新規な構成を有するトランジスタ、半導体装置、表示装置、電子機器、及びこれらの作製方法を提供することができる。本発明の一態様により、信頼性の高いトランジスタ、半導体装置、表示装置、電子機器、及びこれらの作製方法を提供することができる。本発明の一態様により、先行技術の問題点の少なくとも一を、少なくとも軽減することができる。

[0025]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

図面の簡単な説明

[0026]

図1Aは、半導体装置の一例を示す平面図である。図1Bは、半導体装置の一例を示す断面図である。図2A及び図2Bは、半導体装置の一例を示す断面図である。図2Cは、半導体装置について説明する回路図である。

図3A及び図3Bは、半導体装置の一例を示す平面図である。

図4A及び図4Bは、半導体装置の一例を示す平面図である。

図5A及び図5Bは、半導体装置の一例を示す断面図である。

図6A及び図6Bは、半導体装置の一例を示す断面図である。

図7A及び図7Bは、半導体装置の一例を示す断面図である。

図8A及び図8Bは、半導体装置の一例を示す断面図である。

図9Aは、表示装置の一例を示す平面図である。図9Bは、表示装置の一例を示す断面図である。

図10Aは、半導体装置の作製方法の一例を示す平面図である。図10B乃至図10Dは、半導体装置の作製方法の一例を示す断面図である。

図11Aは、半導体装置の作製方法の一例を示す平面図である。図11B乃至図11Dは、半導体装置の作製方法の一例を示す断面図である。

図12Aは、半導体装置の作製方法の一例を示す平面図である。図12B乃至図12Dは、半導体装置の作製方法の一例を示す断面図である。

図13Aは、半導体装置の作製方法の一例を示す平面図である。図13B乃至図13Dは、半導体装置の作製方法の一例を示す断面図である。

図14Aは、半導体装置の作製方法の一例を示す平面図である。図14B乃至図14Dは、半導体装置の作製方法の一例を示す断面図である。

図15Aは、半導体装置の作製方法の一例を示す平面図である。図15B乃至図15Dは、半導体装置の作製方法の一例を示す断面図である。

図 1 6 A は、半導体装置の作製方法の一例を示す平面図である。図 1 6 B 乃至図 1 6 D は、半導体装置の作製方法の一例を示す断面図である。

図 1 7 A は、半導体装置の作製方法の一例を示す平面図である。図 1 7 B 乃至図 1 7 D は、半導体装置の作製方法の一例を示す断面図である。

図 1 8 A は、半導体装置の作製方法の一例を示す平面図である。図 1 8 B 乃至図 1 8 D は、半導体装置の作製方法の一例を示す断面図である。

図 1 9 は、表示装置の構成例である。

図 2 0 は、表示装置の構成例である。

図 2 1 A は、表示装置のブロック図である。図 2 1 B 及び図 2 1 C は、表示装置の回路図である。

図 2 2 A、図 2 2 C、及び図 2 2 D は、表示装置の回路図である。図 2 2 B は、タイミングチャートである。

図 2 3 は、タッチパネルモジュールのブロック図である。

図 2 4 A 乃至図 2 4 C は、タッチパネルモジュールの構成例である。

図 2 5 A 乃至図 2 5 F は、電子機器の構成例である。

発明を実施するための形態

[0027]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0028]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0029]

なお、本明細書で説明する各図において、各構成要素の大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

[0030]

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

[0031]

また、本明細書等において、「接続」は「電氣的接続」を含む。

[0032]

「A と B とが電氣的に接続されている」とは、A と B とが絶縁体を介さずに接続されているもの（A と B とが導電体又は半導体を介して接続されているもの。A と B とが接触しているもの）のうち、回路の動作中に、A と B の間に電気信号の授受又は電位の相互作用が発生するタイミングがあるものを意味する。すなわち、回路の動作中に、A と B の間に電気信号の授受又は電位の相互作用が発生しないタイミングがあるとしても、A と B の間に電気信号の授受又は電位の相互作用が発生するタイミングがあれば、「A と B とが電氣的に接続されている」と言える。

[0033]

「電氣的接続」には、回路素子（例えば、トランジスタ。ただし、配線は除く）を介さない接続（直接接続）と、一つ以上の回路素子を介する接続（間接接続）と、がある。

[0034]

「AとBとが電氣的に接続されている」例としては、AとBとが回路素子を介さずに接続されている場合、AとBとが一つ以上のトランジスタのソース及びドレインを介して接続されている場合などがある。ただし、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあることを前提にする。

[0035]

AとBとが絶縁体を介して接続されているため、「AとBとが電氣的に接続されている」とは言えない例としては、AとBの間に容量素子の誘電体、トランジスタのゲート絶縁膜などが介在している場合がある。

[0036]

AとBとが絶縁体を介さずに接続されているが、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングのいずれもないため、「AとBとが電氣的に接続されている」とは言えない例としては、AからBまでの経路に、電源、信号源などからの電位Vが供給されている場合（ただし、回路素子を介して電位Vが供給されている場合は含まない）、AとCとがトランジスタT_rPのソース及びドレインを介して接続され、BとCとがトランジスタT_rQのソース及びドレインを介して接続されているもののうち、トランジスタT_rP及びトランジスタT_rQの双方が同時にオン状態になるタイミングがない場合などがある。

[0037]

なお、本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、又は上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という場合がある。

[0038]

なお、本明細書等において、ある構成要素の上面形状とは、その平面視における当該構成要素の輪郭形状のことをいう。また平面視とは、当該構成要素の被形成面、又は当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

[0039]

なお、以下では「上」、「下」などの向きを示す表現は、基本的には図面の向きと合わせて用いるものとする。しかしながら、説明を容易にするためなどの目的で、明細書中の「上」又は「下」が意味する向きが、図面とは一致しない場合がある。一例としては、積層体等の積層順（又は形成順）などを説明する場合に、図面において当該積層体が設けられる側の面（被形成面、支持面、接着面、平坦面など）が当該積層体よりも上側に位置していても、被形成面が下にある、などと表現し、積層体が上にある、などと表現する場合がある。

[0040]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」又は「絶縁層」という用語は、「導電膜」又は「絶縁膜」という用語に相互に交換することが可能な場合がある。

[0041]

本明細書等において、表示装置の一態様である表示パネルは表示面に画像等を表示（出力）する機能を有するものである。したがって表示パネルは出力装置の一態様である。

[0042]

また、本明細書等では、表示パネルの基板に、例えばFPC（Flexible Printed Circuit）若しくはTCP（Tape Carrier Package）などのコネクタが取り付けられたもの、又は基板にCOG（Chip On Glass）方式等によりICが実装されたものを、表示パネルモジュール、表示モジュール、又は単に表示パネルなどと呼ぶ場合がある。

[0043]

なお、本明細書等において、表示装置の一態様であるタッチパネルは表示面に画像等を表示する機能と、表示面に指又はスタイラスなどの被検知体が触れる、押圧する、又は近づくことなどを検出するタッチセンサとしての機能と、を有する。したがってタッチパネルは入出力装置の一態様である。

[0044]

タッチパネルは、例えばタッチセンサ付き表示パネル（又は表示装置）、タッチセンサ機能つき表示パネル（又は表示装置）とも呼ぶことができる。タッチパネルは、表示パネルとタッチセンサパネルとを有する構成とすることもできる。又は、表示パネルの内部又は表面にタッチセンサとしての機能を有する構成とすることもできる。

[0045]

また、本明細書等では、タッチパネルの基板に、コネクタ又はICが実装されたものを、タッチパネルモジュール、表示モジュール、又は単にタッチパネルなどと呼ぶ場合がある。

[0046]

（実施の形態1）

本実施の形態では、本発明の一態様のトランジスタ、当該トランジスタを有する半導体装置、当該トランジスタを適用した表示装置、当該トランジスタを有する半導体装置の作製方法等について説明する。

[0047]

本発明の一態様の半導体装置は、第1のトランジスタと、第2のトランジスタと、第1の絶縁層と、第2の絶縁層と、を有する。

[0048]

第1のトランジスタ及び第2のトランジスタは、それぞれ、ソース電極とドレイン電極が基板面に対して異なる高さに重畳して設けられ、ドレイン電流が基板面に対して概略垂直な方向に流れる縦型のトランジスタである。

[0049]

第1のトランジスタのゲート電極（第1のゲート電極）、及び第2のトランジスタのゲート電極（第1のゲート電極）は、それぞれ、ソース電極及びドレイン電極に重畳して、これらの間に設けられる。すなわち、第1のトランジスタ及び第2のトランジスタは、それぞれ、ソース電極又はドレイン電極の一方、ゲート電極、及びソース電極又はドレイン電極の他方が、この順で重畳して設けられた構成を有する。

[0050]

なお、第1のトランジスタ及び第2のトランジスタそれぞれのソース電極又はドレイン電極の一

方と、ゲート電極と、の間には第1の絶縁層が設けられ、ゲート電極と、ソース電極又はドレイン電極の他方と、の間には第2の絶縁層が設けられる。

[0051]

第1のトランジスタ及び第2のトランジスタは、ソース電極又はドレイン電極の一方となる導電層を共有する。当該導電層の第1の領域上に第1のトランジスタの他の構成要素（ゲート電極、ソース電極又はドレイン電極の他方等）が設けられ、第1の領域と離間する第2の領域上に第2のトランジスタの他の構成要素（ゲート電極、ソース電極又はドレイン電極の他方等）が設けられる。また、第1の絶縁層は、第1の領域と重畳する第3の領域と、第3の領域と離間し、第2の領域と重畳する第4の領域と、を有する。第2の絶縁層は、第1の領域と重畳する第5の領域と、第5の領域と離間し、第2の領域と重畳する第6の領域と、を有する。

[0052]

本発明の一態様の半導体装置は、第1の領域上に、第3の領域、第1のトランジスタのゲート電極、第5の領域、及び第1のトランジスタのソース電極又はドレイン電極の他方が重畳して設けられ、第2の領域上に、第4の領域、第2のトランジスタのゲート電極、第6の領域、及び第2のトランジスタのソース電極又はドレイン電極の他方が重畳して設けられる。第1の領域は、第1のトランジスタのソース電極又はドレイン電極の一方として機能し、第2の領域は、第2のトランジスタのソース電極又はドレイン電極の一方として機能する。第1のトランジスタと第2のトランジスタとは、第1の領域と第2の領域の間における中間点を軸として、互いに対向して設けられているといえることができる。

[0053]

第1の領域上における第3の領域、第1のトランジスタのゲート電極、第5の領域、及び第1のトランジスタのソース電極又はドレイン電極の他方の、第2のトランジスタと対向する側の側面（第1の側面）は、概略一致している。同様に、第2の領域上における第4の領域、第2のトランジスタのゲート電極、第6の領域、及び第2のトランジスタのソース電極又はドレイン電極の他方の、第1のトランジスタと対向する側の側面（第2の側面）は、概略一致している。

[0054]

第1のトランジスタのゲート絶縁層（第1のゲート絶縁層）は、第1の側面に接して設けられる。第2のトランジスタのゲート絶縁層（第2のゲート絶縁層）は、第2の側面に接して設けられる。なお、第1のトランジスタのゲート絶縁層と第2のトランジスタのゲート絶縁層は、ひとつながりの膜であってもよい。

[0055]

第1のトランジスタ及び第2のトランジスタは、それぞれのチャネル形成領域を有する半導体層を共有する。半導体層は、それぞれのトランジスタのソース電極又はドレイン電極の一方となる導電層、それぞれのトランジスタのゲート絶縁層、及びそれぞれのトランジスタのソース電極又はドレイン電極の他方を覆うように設けられる。半導体層は、それぞれのトランジスタのソース電極又はドレイン電極の一方となる導電層の上面（第1の領域と第2の領域の間の領域における上面）、それぞれのトランジスタのゲート絶縁層の側面、及びそれぞれのトランジスタのソース電極又はドレイン電極の他方の上面に接する。

[0056]

半導体層は、第1のトランジスタのゲート絶縁層を介して、第1のトランジスタのゲート電極と対

向する領域と、第2のトランジスタのゲート絶縁層を介して、第2のトランジスタのゲート電極と対向する領域と、を有する。前者は第1のトランジスタのチャネル形成領域として機能し、後者は第2のトランジスタのチャネル形成領域として機能する。また、半導体層において、第1のトランジスタのソース電極又はドレイン電極と接する領域は、第1のトランジスタのソース領域及びドレイン領域として機能し、第2のトランジスタのソース電極又はドレイン電極と接する領域は、第2のトランジスタのソース領域及びドレイン領域として機能する。

[0057]

すなわち、第1のトランジスタ及び第2のトランジスタは、それぞれ、ソース電極とドレイン電極が基板面に対して異なる高さに設けられ、その間に位置するチャネル形成領域を介して、ドレイン電流が縦方向（基板面に対して概略垂直な方向）に流れる構造を有する。そのため、例えばプレーナ型のトランジスタと比較して、基板面内におけるトランジスタの占有面積を縮小させることができる。

[0058]

また、第1のトランジスタ及び第2のトランジスタは、それぞれ、バックゲート絶縁層（第2のゲート絶縁層）及びバックゲート電極（第2のゲート電極）を有することもできる。バックゲート絶縁層となる絶縁層、及びバックゲート電極となる導電層は、この順で半導体層を覆って設けられる。バックゲート絶縁層となる絶縁層は、半導体層の上面及び側面、並びに、それぞれのトランジスタのソース電極又はドレイン電極の他方の上面と接する領域を有する。当該絶縁層の半導体層と重なる領域のうち、第1の側面側に位置する部分は、第1のトランジスタのバックゲート絶縁層として機能し、第2の側面側に位置する部分は、第2のトランジスタのバックゲート絶縁層として機能する。また、バックゲート電極となる導電層は、バックゲート絶縁層となる絶縁層の上面に接する。当該導電層の半導体層と重なる領域のうち、第1の側面側に位置する部分は、第1のトランジスタのバックゲート電極として機能し、第2の側面側に位置する部分は、第2のトランジスタのバックゲート電極として機能する。

[0059]

第1のトランジスタ及び第2のトランジスタが2つのゲート電極を有する構成の場合、バックゲート電極の電位を、接地電位又は任意の電位とすることにより、半導体層のバックゲート電極側の領域の電位を固定することができる。そのため、ゲート電極を1つだけ有する構成の場合よりも、トランジスタのしきい値電圧をノーマリオフ化させることができる。また、トランジスタの電気特性のばらつきを抑制することができる。

[0060]

前述のように、本発明の一態様の半導体装置は、2つの縦型トランジスタ（第1のトランジスタ及び第2のトランジスタ）を有し、これらは、一部の共通の構成要素（ソース電極又はドレイン電極の一方、半導体層）に挟まれるように、他の構成要素（ゲート電極、ソース電極又はドレイン電極の他方、ゲート絶縁層）が対向して設けられた構成を有する。したがって、これら2つの対向する縦型トランジスタの間隔を狭くすることにより、基板面内におけるトランジスタの高集積化を図ることができる。また、本発明の一態様の半導体装置は、2つの対向するトランジスタがソース電極又はドレイン電極の一方となる導電層を共有することで、当該導電層を各トランジスタで個別に有する場合よりも、半導体装置全体としての小型化を図ることができる。例えば、従来のフラットパネルディスプレイの量産用の露光装置（最小線幅1.5 μm 又は1.25 μm 程度）を用いて、導電層上に積層された層（例えば、絶縁層、導電層、及び絶縁層の3層）に、ライン状の開口部を設け、当該開口部

の側壁深さ方向をチャネル長方向として利用する縦型トランジスタを形成する場合を考える。この場合、構成要素が個別に設けられるトランジスタを2つ形成する場合には、2つのトランジスタのソース電極又はドレイン電極の一方となる導電層上に積層された前述の層に対して、2つの開口部を設ける必要がある。これに対して、本発明の一態様の半導体装置のように、2つのトランジスタがソース電極又はドレイン電極の一方となる導電層を共有する構成の場合には、当該導電層上に積層された前述の層に対して1つの開口部を形成するだけで、当該開口部の対向する側壁深さ方向をチャネル長方向とする2つの縦型トランジスタを形成することができる。そのため、当該2つの縦型トランジスタの間隔を極めて狭くすることができる。例えば、当該2つの縦型トランジスタを有する半導体装置を表示装置に適用することで、2000 p p i以上の精細度を実現することもできる。

[0061]

以下では、本発明の一態様の半導体装置のより具体的な構成例について、図面を参照して説明する。

[0062]

<半導体装置の構成例1>

図1Aに、半導体装置100の平面図（上面図ともいう）を示す。図1Bに、図1Aに示す一点鎖線A1-A2における断面図を示す。図2Aに、図1Aに示す一点鎖線B1-B2における断面図を示す。図2Bに、図1Aに示す一点鎖線C1-C2における断面図を示す。また、図2Cに、半導体装置100の等価回路図を示す。なお、図1Aでは、半導体装置100の構成要素の一部（絶縁層等）を省略している。半導体装置の平面図については、以降の図面においても、図1Aと同様に、構成要素の一部を省略する場合がある。

[0063]

半導体装置100は、トランジスタ10__1と、トランジスタ10__2と、絶縁層110aと、絶縁層110bと、を有する。半導体装置100は、基板102上に設けられる。トランジスタ10__1とトランジスタ10__2とは、一部の構成要素を共有して、基板102上に対向して設けられる。トランジスタ10__1とトランジスタ10__2は、同じ構造を有するトランジスタであるといえる。トランジスタ10__1及びトランジスタ10__2は、同一材料を用いて、同一工程を経ることにより、同時に形成することができる。

[0064]

トランジスタ10__1は、導電層112aと、導電層112b1と、導電層116__1と、絶縁層110s1と、半導体層108と、絶縁層106と、導電層104と、を有する。トランジスタ10__1において、導電層112aの一部は、ソース電極又はドレイン電極の一方として機能する。導電層112b1は、ソース電極又はドレイン電極の他方として機能する。導電層116__1は、ゲート電極（第1のゲート電極）として機能する。絶縁層110s1は、ゲート絶縁層（第1のゲート絶縁層）として機能する。半導体層108の一部は、チャネル形成領域として機能する。絶縁層106の一部は、バックゲート絶縁層（第2のゲート絶縁層）として機能する。導電層104の一部は、バックゲート電極（第2のゲート電極）として機能する。

[0065]

トランジスタ10__2は、導電層112aと、導電層112b2と、導電層116__2と、絶縁層110s2と、半導体層108と、絶縁層106と、導電層104と、を有する。トランジスタ10__2において、導電層112aの他の一部は、ソース電極又はドレイン電極の一方として機能する。導電層112b2は、ソース電極又はドレイン電極の他方として機能する。導電層116__2は、ゲ

ート電極（第１のゲート電極）として機能する。絶縁層１１０s２は、ゲート絶縁層（第１のゲート絶縁層）として機能する。半導体層１０８の他の一部は、チャネル形成領域として機能する。絶縁層１０６の他の一部は、バックゲート絶縁層（第２のゲート絶縁層）として機能する。導電層１０４の他の一部は、バックゲート電極（第２のゲート電極）として機能する。

[００６６]

トランジスタ１０__１及びトランジスタ１０__２を構成する各層は、それぞれ、単層構造又は積層構造とすることができる。

[００６７]

トランジスタ１０__１とトランジスタ１０__２とは、互いが有する構成要素のうち、それぞれのソース電極又はドレイン電極の一方として機能する導電層（導電層１１２a）、それぞれのチャネル形成領域を有する半導体層（半導体層１０８）、それぞれのバックゲート絶縁層として機能する絶縁層（絶縁層１０６）、及びそれぞれのバックゲート電極として機能する導電層（導電層１０４）を共有する。それ以外の構成要素については、トランジスタ１０__１とトランジスタ１０__２とで、それぞれ個別に設けられる。

[００６８]

なお、トランジスタ１０__１及びトランジスタ１０__２は、バックゲート電極及びバックゲート絶縁層を有さない構成とすることもできる。

[００６９]

トランジスタ１０__１及びトランジスタ１０__２を覆うように、絶縁層１９５が設けられる。絶縁層１９５は、トランジスタ１０__１及びトランジスタ１０__２の保護層として機能する。

[００７０]

トランジスタ１０__１及びトランジスタ１０__２の構成について説明する。導電層１１２aは、基板１０２上に設けられる。図３Aに、導電層１１２aのみを表した平面図を示す。導電層１１２aは、平面視において、一点鎖線A１－A２に平行な方向に延伸して設けられる。また、導電層１１２aは、その一部がB１側に突出した形状を有する。図１A、図３A等では、当該突出部の中心に、一点鎖線A１－A２と一点鎖線B１－B２の交点が位置するように示している。

[００７１]

導電層１１２aの突出部は、トランジスタ１０__１及びトランジスタ１０__２のチャネル形成領域と重なる部分である。すなわち、当該突出部上に重畳して、導電層１１２b１と導電層１１２b２がそれぞれ設けられる。

[００７２]

当該突出部のA１側の領域上には、絶縁層１１０aの一部が設けられ、当該突出部のA２側の領域上には、絶縁層１１０aの他の一部が設けられる。絶縁層１１０aは、絶縁層１１０a１と、絶縁層１１０a１上の絶縁層１１０a２と、絶縁層１１０a２上の絶縁層１１０a３と、の３層積層構造を有する。絶縁層１１０aは、導電層１１２aの上面及び側面、並びに基板１０２の上面と接する領域を有する。絶縁層１１０aは、導電層１１２aの上面及び側面を覆うように設けられるともいえる。

[００７３]

絶縁層１１０aの一部の上には、導電層１１６__１が設けられ、絶縁層１１０aの他の一部の上には、導電層１１６__２が設けられる。図３Bに、導電層１１２a上に、導電層１１６__１及び導電層１１６__２を重ねた平面図を示す。導電層１１６__１は、一点鎖線B１－B２に平行な方向に延伸し、

導電層 112a の突出部の A1 側の領域と重畳して設けられる。導電層 116__1 は、絶縁層 110a を介して、導電層 112a の一部と重なる領域を有する。導電層 116__2 は、一点鎖線 B1-B2 に平行な方向に延伸し、導電層 112a の突出部の A2 側の領域と重畳して設けられる。導電層 116__2 は、絶縁層 110a を介して、導電層 112a の他の一部と重なる領域を有する。

[0074]

絶縁層 110a の一部及び導電層 116__1 上には、絶縁層 110b の一部が設けられ、絶縁層 110a の他の一部及び導電層 116__2 上には、絶縁層 110b の他の一部が設けられる。絶縁層 110b は、絶縁層 110b3 と、絶縁層 110b3 上の絶縁層 110b2 と、絶縁層 110b2 上の絶縁層 110b1 と、の 3 層積層構造を有する。絶縁層 110b の一部は、導電層 116__1 の上面及び側面、並びに絶縁層 110a の一部の上面と接する領域を有する。絶縁層 110b の一部は、導電層 116__1 の上面及び側面を覆うように設けられるともいえる。また、導電層 116__1 は、絶縁層 110a の一部と絶縁層 110b の一部とに挟まれているということもできる。同様に、絶縁層 110b の他の一部は、導電層 116__2 の上面及び側面、並びに絶縁層 110a の他の一部の上面と接する領域を有する。絶縁層 110b の他の一部は、導電層 116__2 の上面及び側面を覆うように設けられるともいえる。また、導電層 116__2 は、絶縁層 110a の他の一部と絶縁層 110b の他の一部とに挟まれているということもできる。

[0075]

なお、本明細書等では、絶縁層 110a 及び絶縁層 110b をまとめて、絶縁層 110 という場合がある。

[0076]

絶縁層 110b の一部の上には、導電層 112b1 が設けられ、絶縁層 110b の他の一部の上には、導電層 112b2 が設けられる。図 4A に、図 3B に示す平面図に、導電層 112b1 及び導電層 112b2 を重ねた平面図を示す。

[0077]

導電層 112b1 は、一点鎖線 A1-A2 方向に平行な方向のうち A1 側に延伸して設けられ、導電層 112a の一部及び導電層 116__1 と重なる領域を有する。導電層 112b1 の一点鎖線 B1-B2 側の端部は、導電層 116__1 の一点鎖線 B1-B2 側の端部と概略一致している。導電層 112b1 は、絶縁層 110b の一部を介して、導電層 116__1 と重なる領域を有する。また、導電層 112b1 は、絶縁層 110 の一部及び導電層 116__1 を介して、導電層 112a の一部と重なる領域を有する。絶縁層 110 の一部及び導電層 116__1 は、導電層 112a の一部と導電層 112b1 に挟まれる領域を有するともいえる。絶縁層 110 の一部、導電層 116__1、及び導電層 112b1 の一点鎖線 B1-B2 側におけるそれぞれの側面（以下、第 1 の側面ともいう）は、概略一致している。

[0078]

導電層 112b2 は、一点鎖線 A1-A2 方向に平行な方向のうち A2 側に延伸して設けられ、導電層 112a の他の一部及び導電層 116__2 と重なる領域を有する。導電層 112b2 の一点鎖線 B1-B2 側の端部は、導電層 116__2 の一点鎖線 B1-B2 側の端部と概略一致している。導電層 112b2 は、絶縁層 110b の他の一部を介して、導電層 116__2 と重なる領域を有する。また、導電層 112b2 は、絶縁層 110 の他の一部及び導電層 116__2 を介して、導電層 112a の他の一部と重なる領域を有する。絶縁層 110 の他の一部及び導電層 116__2 は、導電層 11

2 a の他の一部と導電層 1 1 2 b 2 に挟まれる領域を有するともいえる。絶縁層 1 1 0 の他の一部、導電層 1 1 6 __ 2、及び導電層 1 1 2 b 2 の一点鎖線 B 1 - B 2 側におけるそれぞれの側面（以下、第 2 の側面ともいう）は、概略一致している。

[0079]

ここで、導電層 1 1 2 b 1 は、導電層 1 1 2 a に対し、その突出部のみと重なるように配置することが好ましい。すなわち、導電層 1 1 2 b 1 は、当該突出部以外の領域（導電層 1 1 2 a の一点鎖線 A 1 - A 2 方向に延伸する領域）とは重ならないことが好ましい。導電層 1 1 2 a と導電層 1 1 2 b 1 との間には絶縁層 1 1 0 が設けられているため、導電層 1 1 2 a と導電層 1 1 2 b 1 とに挟まれた領域は、半導体装置 1 0 0 の寄生容量として機能し得る。そのため、当該領域の面積は、できるだけ小さい方が好ましい。導電層 1 1 2 b 1 が、導電層 1 1 2 a に対し、その突出部のみと重なる構成とすることで、前述の寄生容量を小さくすることができる。導電層 1 1 2 b 2 の、導電層 1 1 2 a に対する配置についても同様である。

[0080]

なお、第 1 の側面及び第 2 の側面は、図 1 B に示すように、絶縁層 1 1 0、導電層 1 1 6 __ 1 及び導電層 1 1 6 __ 2 となる導電層、並びに、導電層 1 1 2 b 1 及び導電層 1 1 2 b 2 となる導電層に対して、導電層 1 1 2 a に達するように設けられた開口部 1 4 3 の側壁に相当するということもできる。

[0081]

絶縁層 1 1 0 s 1 は、第 1 の側面に接して設けられる。絶縁層 1 1 0 s 1 は、絶縁層 1 1 0 の一部の側面、導電層 1 1 6 __ 1 の側面、及び導電層 1 1 2 b 1 の側面と接する領域を有する。絶縁層 1 1 0 s 2 は、第 2 の側面に接して設けられる。絶縁層 1 1 0 s 2 は、絶縁層 1 1 0 の他の一部の側面、導電層 1 1 6 __ 2 の側面、及び導電層 1 1 2 b 2 の側面と接する領域を有する。なお、断面視（図 1 B）において、絶縁層 1 1 0 s 1 及び絶縁層 1 1 0 s 2 の上端部は湾曲した形状を有する。絶縁層 1 1 0 s 1 及び絶縁層 1 1 0 s 2 は、サイドウォール、側壁絶縁層、あるいは側壁保護層などと呼ばれることがある。なお、絶縁層 1 1 0 s 1 及び絶縁層 1 1 0 s 2 は、一つの絶縁層とみなすことができる場合がある。

[0082]

半導体層 1 0 8 は、絶縁層 1 1 0 s 1 及び絶縁層 1 1 0 s 2 を介して、開口部 1 4 3 を覆うように設けられる。図 4 B に、図 4 A に示す平面図に、半導体層 1 0 8 を重ねた平面図を示す。半導体層 1 0 8 の一部は、導電層 1 1 2 a の一部、導電層 1 1 6 __ 1、及び導電層 1 1 2 b 1 と重なり、半導体層 1 0 8 の他の一部は、導電層 1 1 2 a の他の一部、導電層 1 1 6 __ 2、及び導電層 1 1 2 b 2 と重なる。また、半導体層 1 0 8 は、開口部 1 4 3 内において、導電層 1 1 2 a の上面、絶縁層 1 1 0 s 1 の側面、絶縁層 1 1 0 s 1 の湾曲部、絶縁層 1 1 0 s 2 の側面、及び絶縁層 1 1 0 s 2 の湾曲部と接する領域を有し、開口部 1 4 3 の外側において、導電層 1 1 2 b 1 の上面、及び導電層 1 1 2 b 2 の上面と接する領域を有する。半導体層 1 0 8 は、導電層 1 1 2 b 1 の上面、絶縁層 1 1 0 s 1 の湾曲部、絶縁層 1 1 0 s 1 の側面、導電層 1 1 2 a の上面、絶縁層 1 1 0 s 2 の側面、絶縁層 1 1 0 s 2 の湾曲部、及び導電層 1 1 2 b 2 の上面の形状に沿った形状を有する。

[0083]

半導体層 1 0 8 の一部は、導電層 1 1 2 b 1、導電層 1 1 6 __ 1、及び絶縁層 1 1 0 の一部を介して、導電層 1 1 2 a の一部と重なる。また、半導体層 1 0 8 の一部は、開口部 1 4 3 内において、絶

絶縁層 110s1 を介して、絶縁層 110 の一部の側面、導電層 116__1 の側面、及び導電層 112b1 の側面と対向しているということもできる。また、半導体層 108 の他の一部は、導電層 112b2、導電層 116__2、及び絶縁層 110 の他の一部を介して、導電層 112a の他の一部と重なる。また、半導体層 108 の他の一部は、開口部 143 内において、絶縁層 110s2 を介して、絶縁層 110 の他の一部の側面、導電層 116__2 の側面、及び導電層 112b2 の側面と対向しているということもできる。

[0084]

半導体層 108 は、導電層 112a と接する領域、導電層 112b1 と接する領域、及び導電層 112b2 と接する領域を有する。半導体層 108 の導電層 112a と接する領域は、トランジスタ 10__1 及びトランジスタ 10__2 のソース領域又はドレイン領域の一方として機能する。半導体層 108 の導電層 112b1 と接する領域は、トランジスタ 10__1 のソース領域又はドレイン領域の他方として機能する。半導体層 108 の導電層 112b2 と接する領域は、トランジスタ 10__2 のソース領域又はドレイン領域の他方として機能する。

[0085]

半導体装置 100 では、トランジスタ 10__1 のチャネル形成領域を有する半導体層と、トランジスタ 10__2 のチャネル形成領域を有する半導体層と、に同じ半導体層（半導体層 108）を用いている。また、トランジスタ 10__1 のソース電極又はドレイン電極の一方として機能する導電層と、トランジスタ 10__2 のソース電極又はドレイン電極の一方として機能する導電層と、に同じ導電層（導電層 112a）を用いている。したがって、トランジスタ 10__1 のソース領域又はドレイン領域の一方と、トランジスタ 10__2 のソース領域又はドレイン領域の一方と、は接続されているといえる。半導体層 108 において、トランジスタ 10__1 及びトランジスタ 10__2 のソース領域とドレイン領域との間に、それぞれのトランジスタのチャネル形成領域が設けられる。

[0086]

絶縁層 106 は、絶縁層 110s1、絶縁層 110s2、及び半導体層 108 を介して、開口部 143 を覆うように設けられる。絶縁層 106 は、半導体層 108 の上面及び側面、導電層 112b1 の上面及び側面、導電層 112b2 の上面及び側面、導電層 112a の上面及び側面、絶縁層 110 の上面、並びに基板 102 の上面と接する領域を有する。絶縁層 106 は、半導体層 108 の上面及び側面、導電層 112b1 の上面及び側面、導電層 112b2 の上面及び側面、導電層 112a の上面及び側面、絶縁層 110 の上面、並びに基板 102 の上面の形状に沿った形状を有する。

[0087]

導電層 104 は、絶縁層 106 上に設けられ、絶縁層 106 の上面と接する領域を有する。導電層 104 は、絶縁層 106 を介して、半導体層 108 と重なる領域を有する。また、導電層 104 は、開口部 143 内において、絶縁層 106 を介して、半導体層 108 と対向する領域を有する。図 1B 等では、導電層 104 が、絶縁層 106 の上面の形状に沿った形状を有する例を示している。導電層 104 は、一部が開口部 143 に埋め込まれるように設けられてもよい。

[0088]

トランジスタ 10__1 及びトランジスタ 10__2 は、被形成面である基板 102 の表面に対してソース電極とドレイン電極とが異なる高さに位置し、基板 102 の表面に対して垂直方向、又は概略垂直方向にドレイン電流が流れる。トランジスタ 10__1 及びトランジスタ 10__2 において、縦方向、又は概略縦方向にドレイン電流が流れるということもできる。そのため、本発明の一態様のトラ

ンジスタは、縦型トランジスタ、縦チャンネル型トランジスタ、又はVFET (Vertical Field Effect Transistor) といふことができる。

[0089]

トランジスタ10__1は、導電層112aと導電層112b1の間に設けられる導電層116__1及び絶縁層110の厚さでチャンネル長を制御することができる。同様に、トランジスタ10__2は、導電層112aと導電層112b2の間に設けられる導電層116__2及び絶縁層110の厚さでチャンネル長を制御することができる。したがって、トランジスタの作製に用いる露光装置の最小寸法よりも小さなチャンネル長を有するトランジスタを精度良く作製することができる。また、これにより、半導体装置が有する複数のトランジスタ間の特性ばらつきも低減される。よって、当該トランジスタを含む半導体装置の動作が安定し、信頼性を高めることができる。また、複数のトランジスタ間の特性ばらつきが減ると、回路設計の自由度が高くなり、半導体装置の動作電圧を低くすることができる。よって、半導体装置の消費電力を低くすることができる。

[0090]

トランジスタ10__1及びトランジスタ10__2は、それぞれ、ソース電極、チャンネル形成領域を有する層、及びドレイン電極を、重ねて設けることができるため、チャンネル形成領域を有する層を平面状に配置した、いわゆるプレーナ型トランジスタと比較して、占有面積を大幅に縮小することができる。

[0091]

導電層112a、導電層112b1、導電層112b2、導電層116__1、導電層116__2、及び導電層104は、それぞれ、配線として機能することができ、トランジスタ10__1及びトランジスタ10__2をこれらの配線が重なる領域に設けることができる。つまり、トランジスタ10__1、トランジスタ10__2、及び配線を有する回路において、トランジスタ10__1、トランジスタ10__2、及び配線の占有面積を縮小することができる。したがって、回路の占有面積を縮小することができ、小型の半導体装置とすることができる。

[0092]

トランジスタ10__1は、開口部143内において、半導体層108の一部の一方の面が、絶縁層106の一部を介して導電層104の一部と対向し、半導体層108の一部の他方の面が、絶縁層110s1を介して導電層116__1と対向する。前述したように、トランジスタ10__1において、導電層104の一部はバックゲート電極として機能し、導電層116__1はゲート電極として機能する。同様に、トランジスタ10__2は、開口部143内において、半導体層108の他の一部の一方向の面が、絶縁層106の他の一部を介して導電層104の他の一部と対向し、半導体層108の他の一部の一方向の面が、絶縁層110s2を介して導電層116__2と対向する。前述したように、トランジスタ10__2において、導電層104の他の一部はバックゲート電極として機能し、導電層116__2はゲート電極として機能する。

[0093]

半導体装置100では、トランジスタ10__1のバックゲート電極として機能する導電層と、トランジスタ10__2のバックゲート電極として機能する導電層と、に同じ導電層(導電層104)を用いている。また、前述したように、トランジスタ10__1のソース電極又はドレイン電極の一方として機能する導電層と、トランジスタ10__2のソース電極又はドレイン電極の一方として機能する導電層と、にも同じ導電層(導電層112a)を用いている。したがって、半導体装置100は、図

2 Cに示すように、ソース電極又はドレイン電極の一方（導電層112a）同士が接続され、バックゲート電極（導電層104）同士も接続されたトランジスタ10__1及びトランジスタ10__2を有するということができる。

[0094]

バックゲート電極の電位は、接地電位又は任意の電位とすることができる。これにより、半導体層108のバックゲート電極と対向する側の領域の電位を固定することができるため、トランジスタ10__1及びトランジスタ10__2のそれぞれのしきい値電圧をノーマリオフ化させることができる。また、トランジスタ10__1及びトランジスタ10__2のそれぞれの電気特性のばらつきを抑制することができる。

[0095]

なお、バックゲート電極の電位を接地電位又は任意の電位とする場合において、複数のトランジスタ10__1及びトランジスタ10__2のバックゲート電極と接続する共通の配線を設け、共通の配線に電位を与えてもよい。

[0096]

前述したように、トランジスタ10__1及びトランジスタ10__2は、極めてチャネル長の短いトランジスタとすることができる。したがって、短チャネル効果などの不具合が顕在化しやすいトランジスタであるともいえる。トランジスタ10__1及びトランジスタ10__2がバックゲート電極を有することで、バックゲート電極を有さない場合よりもしきい値電圧を制御することが容易となるため、短チャネル効果が顕在化することを抑制することができる。

[0097]

また、バックゲート電極を有する構成とすることにより、半導体装置100が有する複数のトランジスタ間の特性のばらつきを低減することができる場合がある。例えば、複数のトランジスタ間のしきい値のばらつきを低減することができる場合がある。

[0098]

また、半導体装置100を液晶表示装置等の表示装置に適用する場合、トランジスタ10__1及びトランジスタ10__2のバックゲート電極を、例えば、容量電極などとしても機能させることもできる。この場合、容量電極を別途形成する必要がないため、表示装置作製にかかる工程数を削減させることができる。

[0099]

また、半導体装置100では、トランジスタ10__1とトランジスタ10__2とが、開口部143を挟んで対向して設けられる。したがって、開口部143の平面視における一点鎖線A1-A2方向の幅（図1Aに示す幅D143に相当）を狭めることによって、トランジスタ10__1とトランジスタ10__2との間隔を短くすることができる。例えば、従来のフラットパネルディスプレイの量産用の露光装置（最小線幅1.5 μm 又は1.25 μm 程度）を用いて、導電層112a上に積層された層（具体的には、絶縁層110a、導電層116__1及び導電層116__2となる導電層、並びに絶縁層110bの積層構造）に対して、露光装置の最小線幅の幅D143を有する開口部143を形成し、当該開口部内に上述した構成のトランジスタ10__1及びトランジスタ10__2を設けることで、極めて小型かつ集積度の高い半導体装置100を実現することができる。当該半導体装置100を表示装置に適用することで、例えば、2000 p p i以上の精細度を実現することもできる。

[0100]

以下では、トランジスタ 10__1 及びトランジスタ 10__2 の詳細な構成について説明する。

[0101]

半導体層 108 に用いる半導体材料は、特に限定されない。例えば、単体元素よりなる半導体、又は化合物半導体を用いることができる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、窒化物半導体、及び酸化物半導体 (OS: Oxide Semiconductor) が挙げられる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0102]

半導体層 108 に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶半導体、又は単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、又は一部に結晶領域を有する半導体）のいずれかを用いることができる。単結晶半導体又は結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制することができるため好ましい。

[0103]

半導体層 108 には、シリコンを用いることができる。シリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン (LTPS: Low Temperature Poly Silicon) が挙げられる。チャネル形成領域に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成することができ、低コストで作製することができる。チャネル形成領域に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、チャネル形成領域に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0104]

半導体層 108 は、半導体特性を示す金属酸化物（酸化物半導体ともいう）を有することが好ましい。

[0105]

半導体層 108 に用いる金属酸化物のバンドギャップは、2.0 eV 以上が好ましく、2.5 eV 以上がより好ましい。

[0106]

金属酸化物のバンドギャップの評価には、分光光度計による光学評価、分光エリプソメトリ、フォトルミネッセンス法、X線光電子分光法 (XPS: X-ray Photoelectron Spectrometry、又は ESCA: Electron Spectrometry for Chemical Analysis)、又は X線吸収微細構造 (XAFS: X-ray Absorption Fine Structure) を用いることができる。また、これらの手法を複数組み合わせ合わせて分析を行うことができる。電子親和力又は伝導帯下端は、真空準位と価電子帯上端のエネルギーとの差であるイオン化ポテンシャルと、バンドギャップから求めることができる。イオン化ポテンシャルの評価には、例えば、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectrometry) を用いることができる。

[0107]

酸化物半導体を用いたトランジスタ（以下、OS トランジスタと記す）は、非晶質シリコンを用い

たトランジスタと比較して、電界効果移動度が極めて高い。また、OSトランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間にわたって保持することが可能である。また、OSトランジスタを適用することで、半導体装置の消費電力を低減することができる。

[0108]

絶縁層110として、無機絶縁層及び有機絶縁層の一方又は双方を用いることができる。有機絶縁層に用いることができる材料として、例えば、アクリル樹脂、及びポリイミド樹脂が挙げられる。絶縁層110は、1層以上の無機絶縁層を有することが好ましい。無機絶縁層に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。酸化物として、例えば、酸化シリコン、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、酸化セリウム、ガリウム亜鉛酸化物、及びハフニウムアルミネートが挙げられる。窒化物として、例えば、窒化シリコン、及び窒化アルミニウムが挙げられる。酸化窒化物として、例えば、酸化窒化シリコン、酸化窒化アルミニウム、酸化窒化ガリウム、酸化窒化イットリウム、及び酸化窒化ハフニウムが挙げられる。窒化酸化物として、例えば、窒化酸化シリコン、及び窒化酸化アルミニウムが挙げられる。

[0109]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0110]

絶縁層110は、積層構造を有することが好ましい。図1B等では、絶縁層110が、絶縁層110a1と、絶縁層110a1上の絶縁層110a2と、絶縁層110a2上の絶縁層110a3と、絶縁層110a3上の絶縁層110b3と、絶縁層110b3上の絶縁層110b2と、絶縁層110b2上の絶縁層110b1と、を有する例を示している。これらの絶縁層には、それぞれ、絶縁層110に用いることができる材料を用いることができる。

[0111]

絶縁層110a1、絶縁層110a2、絶縁層110a3、絶縁層110b1、絶縁層110b2、及び絶縁層110b3の形成には、それぞれ、例えば、スパッタリング法、又はプラズマ化学気相堆積(PECVD: Plasma Enhanced Chemical Vapor Deposition)法を好適に用いることができる。これらの形成に用いる成膜ガス全体に対する水素を含むガス(例えば、水素ガス及びアンモニアガス)の流量が少ない、又は成膜装置の処理室内の当該ガスの分圧が低いことが好ましい。これにより、絶縁層110a1、絶縁層110a2、絶縁層110a3、絶縁層110b1、絶縁層110b2、及び絶縁層110b3に含まれる水素の含有量を少なくすることができる。また、水素を含むガスを用いない方法で形成することで、これらに含まれる水素の含有量を極めて少なくすることができる。これらの形成には、スパッタリング法を好適に用いることができる。絶縁層110a1、絶縁層110a2、絶縁層110a3、絶縁層110b1、絶縁層110b2、及び絶縁層110b3の水素の含有量を少なくすることにより、半導体層108のチャネル形成領域に水素が供給されることを抑制し、トランジスタ10_1及びトランジスタ10_2の電気特性を安定にすることができる。

[0112]

絶縁層 110s1 及び絶縁層 110s2 は、半導体層 108 と接する領域を有する。半導体層 108 において、絶縁層 110s1 と接する領域はトランジスタ 10__1 のチャネル形成領域として、絶縁層 110s2 と接する領域はトランジスタ 10__2 のチャネル形成領域として、それぞれ機能し得る。したがって、半導体層 108 に金属酸化物を用いる場合、絶縁層 110s1 及び絶縁層 110s2 は、酸素を有することが好ましい。これにより、半導体層 108 と絶縁層 110s1 との界面特性、及び半導体層 108 と絶縁層 110s2 との界面特性を向上させることができる。また、絶縁層 110s1 及び絶縁層 110s2 は、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ 10__1 及びトランジスタ 10__2 の作製工程中に加わる熱により、絶縁層 110s1 及び絶縁層 110s2 が酸素を放出することで、半導体層 108 に酸素を供給することができる。絶縁層 110s1 及び絶縁層 110s2 から半導体層 108、特にチャネル形成領域に酸素を供給することで、酸素欠損 (V_O : Oxygen Vacancy) が修復され、酸素欠損 (V_O) を低減することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタ 10__1 及びトランジスタ 10__2 とすることができる。絶縁層 110s1 及び絶縁層 110s2 には、例えば、絶縁層 110 に用いることができる酸化物及び酸化窒化物の一以上を好適に用いることができる。具体的には、絶縁層 110s1 及び絶縁層 110s2 はシリコンと酸素を有することが好ましく、酸化シリコン及び酸化窒化シリコンの一方又は双方を好適に用いることができる。

[0113]

絶縁層 110 のうち、絶縁層 110a1 と絶縁層 110a3 に挟まれた絶縁層 110a2、及び絶縁層 110b1 と絶縁層 110b3 に挟まれた絶縁層 110b2 は、酸素を有することが好ましい。また、絶縁層 110a2 及び絶縁層 110b2 には、加熱により酸素を放出する膜を用いるとより好ましい。すなわち、絶縁層 110a2 及び絶縁層 110b2 には、絶縁層 110s1 及び絶縁層 110s2 に用いることができる材料と同じ材料を用いることが好ましい。これにより、絶縁層 110a2 及び絶縁層 110b2 が有する酸素を、絶縁層 110s1 又は絶縁層 110s2 を介して、半導体層 108 のチャネル形成領域に供給することができる。また、絶縁層 110s1 又は絶縁層 110s2 が有する酸素と、絶縁層 110a2 及び絶縁層 110b2 が有する酸素の双方を、半導体層 108 のチャネル形成領域に供給することができるため、トランジスタ 10__1 及びトランジスタ 10__2 の信頼性をより高めることができる。

[0114]

例えば、絶縁層 110s1、絶縁層 110s2、絶縁層 110a2、又は絶縁層 110b2 に対して、酸素を含む雰囲気における加熱処理、又は酸素を含む雰囲気におけるプラズマ処理を行うことで、当該絶縁層に酸素を供給することができる。また、絶縁層 110a2 又は絶縁層 110b2 の上面に、スパッタリング法により酸素を含む雰囲気で酸化物膜を形成することで、当該絶縁層に酸素を供給することができる。その後、当該酸化物膜を除去してもよい。

[0115]

絶縁層 110s1、絶縁層 110s2、絶縁層 110a2、及び絶縁層 110b2 において、物質（例えば、原子、分子、及びイオン）が拡散しやすいことが好ましい。絶縁層 110s1、絶縁層 110s2、絶縁層 110a2、及び絶縁層 110b2 における物質の拡散係数が大きいことが好ましいともいえる。特に、絶縁層 110s1、絶縁層 110s2、絶縁層 110a2、及び絶縁層 110b2 は、酸素が拡散しやすいことが好ましい。つまり、絶縁層 110s1、絶縁層 110s2、絶縁層 110a2、及び絶縁層 110b2 における酸素の拡散係数が大きいことが好ましい。絶縁層 11

0 s 1に含まれる酸素は、絶縁層110 s 1中を拡散し、絶縁層110 s 1と半導体層108の界面を介して、半導体層108に供給される。同様に、絶縁層110 s 2に含まれる酸素は、絶縁層110 s 2中を拡散し、絶縁層110 s 2と半導体層108の界面を介して、半導体層108に供給される。また、絶縁層110 a 2に含まれる酸素は、絶縁層110 a 2中を拡散して絶縁層110 s 1及び絶縁層110 s 2に供給され、絶縁層110 s 1と半導体層108の界面、及び絶縁層110 s 2と半導体層108の界面を介して、半導体層108に供給される。同様に、絶縁層110 b 2に含まれる酸素は、絶縁層110 b 2中を拡散して絶縁層110 s 1及び絶縁層110 s 2に供給され、絶縁層110 s 1と半導体層108の界面、及び絶縁層110 s 2と半導体層108の界面を介して、半導体層108に供給される。このように、酸素が拡散しやすい絶縁層110 s 1、絶縁層110 s 2、絶縁層110 a 2、及び絶縁層110 b 2とすることにより、当該絶縁層に含まれる酸素を、効率よく半導体層108（特に、チャネル形成領域）へ供給することができる。

[0116]

半導体層108の導電層112 aと接する領域は、トランジスタ10__1及びトランジスタ10__2のソース領域又はドレイン領域の一方として機能し、半導体層108の導電層112 b 1と接する領域は、トランジスタ10__1のソース領域又はドレイン領域の他方として機能し、半導体層108の導電層112 b 2と接する領域は、トランジスタ10__2のソース領域又はドレイン領域の他方として機能する。ソース領域及びドレイン領域は、チャネル形成領域と比較して、電気抵抗が低い領域である。ソース領域及びドレイン領域は、チャネル形成領域と比較して、キャリア濃度が高い領域、酸素欠陥密度が高い領域ともいえる。

[0117]

絶縁層110のうち、絶縁層110 a 1は、導電層112 aと絶縁層110 a 2との間に設けられる。絶縁層110 a 3は、絶縁層110 a 2と導電層116__1との間、及び絶縁層110 a 2と導電層116__2との間に設けられる。絶縁層110 b 3は、導電層116__1と絶縁層110 b 2との間、及び導電層116__2と絶縁層110 b 2との間に設けられる。絶縁層110 b 1は、絶縁層110 b 2と導電層112 b 1との間、及び絶縁層110 b 2と導電層112 b 2との間に設けられる。絶縁層110 a 1、絶縁層110 a 3、絶縁層110 b 1、及び絶縁層110 b 3は、それぞれ、自身から放出される不純物（例えば、水素及び水）の量が少ないことが好ましい。さらに、絶縁層110 a 1、絶縁層110 a 3、絶縁層110 b 1、及び絶縁層110 b 3は、それぞれ、物質が透過しにくいことが好ましい。絶縁層110 a 1、絶縁層110 a 3、絶縁層110 b 1、及び絶縁層110 b 3は、バリア膜として機能するともいえる。具体的には、絶縁層110 a 1、絶縁層110 a 3、絶縁層110 b 1、及び絶縁層110 b 3は、それぞれ、不純物が透過しにくいことが好ましい。これにより、絶縁層110 a 1、絶縁層110 a 3、絶縁層110 b 1、及び絶縁層110 b 3に含まれる不純物が、半導体層108のチャネル形成領域に拡散することを抑制することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタ10__1及びトランジスタ10__2とすることができる。

[0118]

絶縁層110 a 1、絶縁層110 a 3、絶縁層110 b 1、及び絶縁層110 b 3には、それぞれ、酸素が透過しにくい材料を用いることが好ましい。これにより、絶縁層110 a 2に含まれる酸素及び絶縁層110 b 2に含まれる酸素が、それぞれ、絶縁層110 a 1及び絶縁層110 b 3を介して、導電層112 a側に拡散することを抑制することができる。同様に、絶縁層110 a 2に含まれる酸

素及び絶縁層 110b2 に含まれる酸素が、それぞれ、絶縁層 110a3 及び絶縁層 110b1 を介して、導電層 112b1 側及び導電層 112b2 側に拡散することを抑制することができる。これにより、絶縁層 110a2 及び絶縁層 110b2 から半導体層 108 のチャネル形成領域へ供給される酸素の量が増え、チャネル形成領域の酸素欠損 (V_o)、及び酸素欠損に水素が入った欠陥 (以下、 V_oH と記す) を低減することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタ 10__1 及びトランジスタ 10__2 とすることができる。また、絶縁層 110a2 に含まれる酸素及び絶縁層 110b2 に含まれる酸素によって導電層 112a が酸化され、導電層 112a の電気抵抗が高くなることを抑制することができる。同様に、絶縁層 110a2 に含まれる酸素及び絶縁層 110b2 に含まれる酸素によって導電層 112b1 又は導電層 112b2 が酸化され、導電層 112b1 又は導電層 112b2 の電気抵抗が高くなることを抑制することができる。したがって、オン電流の大きいトランジスタ 10__1 及びトランジスタ 10__2 とすることができる。

[0119]

なお、本明細書等において、バリア膜とは、バリア性を有する膜を指す。バリア性とは、対象とする物質の拡散を抑制する機能 (透過性が低いともいう)、及び当該物質を捕獲、又は固着する (ゲッタリングともいう) 機能の一方又は双方を指すものとする。例えば、バリア性を有する絶縁層を、バリア絶縁層ということができる。

[0120]

バリア膜として機能する絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 には、それぞれ、例えば、アルミニウム及びハフニウム的一方又は双方を有する酸化物、マグネシウムを有する酸化物、ガリウムを有する酸化物、シリコンを有する窒化物、及びシリコンを有する窒化酸化物の一又は複数を有することができる。具体的には、絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 には、それぞれ、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を好適に用いることができる。なお、絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 には、それぞれ、同じ材料を用いることができる。同じ材料を用いることにより、それぞれの絶縁層の形成に用いる装置を共通にすることができるため、生産性を高め、製造コストを低くすることができる。又は絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 には、それぞれ、異なる材料を用いることもできる。

[0121]

なお、本明細書等において、異なる材料とは、構成元素の一部又は全てが異なる材料、又は構成元素が同じで組成が異なる材料をいう。

[0122]

絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 は、水素を含むガスを用いない方法で形成することがより好ましい。絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 の形成には、例えば、スパッタリング法を好適に用いることができる。絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 には、それぞれ、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、及びガリウム亜鉛酸化物の一又は複数を特に好適に用いることができる。

[0123]

絶縁層 110a2 上に設けられる絶縁層 110a3、及び絶縁層 110b2 上に設けられる絶縁層 110b1 は、それぞれ、酸素を含む雰囲気中で形成されることがより好ましい。これにより、絶縁層 110a3 を形成する際に、絶縁層 110a2 に酸素を供給することができる。同様に、絶縁層 110b1 を形成する際に、絶縁層 110b2 に酸素を供給することができる。絶縁層 110a3 及び絶縁層 110b1 には、酸素を含む材料を特に好適に用いることができる。絶縁層 110a3 の形成に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）、又は成膜装置の処理室内の酸素分圧が高いほど、絶縁層 110a2 に効率的に酸素を供給することができる。絶縁層 110b1 についても、上記と同様にすることで、絶縁層 110b2 に効率的に酸素を供給することができる。

[0124]

絶縁層 110a1 及び絶縁層 110b3 のそれぞれの厚さ（被形成面に対する膜厚）は、3 nm 以上 500 nm 以下が好ましく、さらには 5 nm 以上 400 nm 以下が好ましく、さらには 10 nm 以上 300 nm 以下が好ましく、さらには 20 nm 以上 300 nm 以下が好ましく、さらには 50 nm 以上 300 nm 以下が好ましく、さらには 100 nm 以上 300 nm 以下が好ましく、さらには 100 nm 以上 250 nm 以下が好ましく、さらには 150 nm 以上 250 nm 以下が好ましい。

[0125]

絶縁層 110a1 の厚さが薄いと、絶縁層 110a2 に含まれる酸素が絶縁層 110a1 を介して導電層 112a 側に拡散し、半導体層 108 のチャネル形成領域に供給される酸素の量が減ってしまう場合がある。同様に、絶縁層 110b3 の厚さが薄いと、絶縁層 110b2 に含まれる酸素が絶縁層 110b3 を介して導電層 112a 側に拡散し、半導体層 108 のチャネル形成領域に供給される酸素の量が減ってしまう場合がある。一方、絶縁層 110a1 の厚さが厚いと、絶縁層 110a1 から放出される不純物の量が多くなり、半導体層 108 のチャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。同様に、絶縁層 110b3 の厚さが厚いと、絶縁層 110b3 から放出される不純物の量が多くなり、半導体層 108 のチャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。絶縁層 110a1 及び絶縁層 110b3 のそれぞれの厚さを前述の範囲とすることにより、半導体層 108 のチャネル形成領域に供給される酸素の量を増やすことができ、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減することができる。また、絶縁層 110a2 及び絶縁層 110b2 のそれぞれに含まれる酸素によって導電層 112a が酸化され、導電層 112a の電気抵抗が高くなることを抑制することができる。なお、絶縁層 110a1 及び絶縁層 110b3 のそれぞれの厚さは、前述の範囲に限定されない。

[0126]

絶縁層 110a3 及び絶縁層 110b1 のそれぞれの厚さ（被形成面に対する膜厚）は、3 nm 以上 500 nm 以下が好ましく、さらには 5 nm 以上 400 nm 以下が好ましく、さらには 10 nm 以上 300 nm 以下が好ましく、さらには 20 nm 以上 300 nm 以下が好ましく、さらには 20 nm 以上 200 nm 以下が好ましく、さらには 30 nm 以上 200 nm 以下が好ましく、さらには 50 nm 以上 200 nm 以下が好ましく、さらには 50 nm 以上 150 nm 以下が好ましい。

[0127]

絶縁層 110a3 の厚さが厚いと、絶縁層 110a3 から放出される不純物の量が多くなり、半導体層 108 のチャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。同様に、絶縁層 110b1 の厚さが厚いと、絶縁層 110b1 から放出される不純物の量が多くなり、半導体層 1

08のチャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、絶縁層110a3の厚さが薄いと、絶縁層110a2に含まれる酸素が絶縁層110a3を介して、導電層112b1側及び導電層112b2側に拡散し、半導体層108のチャネル形成領域に供給される酸素の量が減ってしまう場合がある。同様に、絶縁層110b1の厚さが薄いと、絶縁層110b2に含まれる酸素が絶縁層110b1を介して、導電層112b1側及び導電層112b2側に拡散し、半導体層108のチャネル形成領域に供給される酸素の量が減ってしまう場合がある。絶縁層110a3及び絶縁層110b1のそれぞれの厚さを前述の範囲とすることにより、半導体層108のチャネル形成領域の酸素欠損(V_o)及び V_oH を低減することができる。また、絶縁層110a2及び絶縁層110b2のそれぞれに含まれる酸素によって導電層112b1又は導電層112b2が酸化され、導電層112b1又は導電層112b2の電気抵抗が高くなることを抑制することができる。なお、絶縁層110a3及び絶縁層110b1のそれぞれの厚さは、前述の範囲に限定されない。

[0128]

なお、トランジスタ10__1及びトランジスタ10__2のチャネル長が短い場合、チャネル形成領域に拡散する不純物の、それぞれのトランジスタの電気特性に及ぼす影響がより大きくなる。したがって、絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3には、それぞれ、自身から放出される不純物（特に、水素）の量がより少ない材料を用いることが好ましい。さらに、絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3の厚さが薄いことがより好ましい。これにより、チャネル形成領域に拡散する不純物の量を少なくすることができる。チャネル長が短い場合においても良好な電気特性を示し、かつ信頼性の高いトランジスタ10__1及びトランジスタ10__2とすることができる。例えば、チャネル長を500nm以下とする場合、絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3の厚さは、それぞれ、3nm以上100nm以下が好ましく、さらには3nm以上50nm以下が好ましく、さらには3nm以上30nm以下が好ましく、さらには3nm以上20nm以下が好ましく、さらには3nm以上10nm以下が好ましく、さらには5nm以上10nm以下が好ましい。

[0129]

なお、ここでは、絶縁層110が6層の積層構造を有する構成を示したが、本発明の一態様はこれに限られない。絶縁層110を単層、2層積層構造、3層積層構造、4層積層構造、5層積層構造、又は7層以上の積層構造とすることもできる。

[0130]

トランジスタ10__1及びトランジスタ10__2のそれぞれのチャネル長及びチャネル幅について、図1A及び図1Bを用いて説明する。ここでは、半導体層108の絶縁層110s1と接する領域が、トランジスタ10__1のチャネル形成領域として機能し、半導体層108の絶縁層110s2と接する領域が、トランジスタ10__2のチャネル形成領域として機能する場合を例に挙げて、説明する。

[0131]

図1Bでは、トランジスタ10__1のチャネル長L10__1及びトランジスタ10__2のチャネル長L10__2を、それぞれ破線の両矢印で示している。なお、以下ではトランジスタ10__1のチャネル長L10__1について説明するが、導電層112b1を導電層112b2に、絶縁層110s1を絶縁層110s2に、導電層116__1を導電層116__2にそれぞれ置き換えることによって、トランジスタ10__2のチャネル長L10__2に対しても適用することができる。トランジスタ

10__1のチャンネル長L10__1は、半導体層108において、導電層112aの上面と、導電層112b1の上面と、の間における絶縁層110s1に沿った距離に相当する。

[0132]

なお、トランジスタ10__1のチャンネル長L10__1として、半導体層108において、導電層112aの上面と導電層112b1の下面とに挟まれる領域における絶縁層110a1の厚さ、絶縁層110a2の厚さ、絶縁層110a3の厚さ、導電層116__1の厚さ、絶縁層110b3の厚さ、絶縁層110b2の厚さ、及び絶縁層110b1の厚さの合計の厚さT110（図1Bにおいて、厚さT110を一点鎖線の両矢印で示している）を用いる場合がある。あるいは、トランジスタ10__1のチャンネル長L10__1として、厚さT110と、導電層112b1の厚さと、の和を用いる場合がある。

[0133]

チャンネル長L10__1は、厚さT110、導電層112b1の厚さ、及び絶縁層110s1の被形成面（ここでは、絶縁層110a1の側面、絶縁層110a2の側面、絶縁層110a3の側面、導電層116__1の側面、絶縁層110b3の側面、絶縁層110b2の側面、絶縁層110b1の側面、及び導電層112b1の側面）と絶縁層110a1の被形成面（ここでは、導電層112a1の上面）とのなす角（角度 θ 110）、等により決められ、トランジスタの作製に用いる露光装置の性能に影響されない。したがって、チャンネル長L10__1を露光装置の最小寸法よりも小さくすることができ、微細なサイズのトランジスタを実現することができる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば、最小寸法1.5 μ m又は1.25 μ m程度）では実現できなかった、極めて短いチャンネル長のトランジスタを実現することができる。また、最先端のLSI技術で用いられる極めて高額な露光装置を用いることなく、チャンネル長が10nm未満のトランジスタを実現することもできる。

[0134]

チャンネル長L10__1は、例えば、5nm以上3 μ m未満、7nm以上2.5 μ m以下、10nm以上2 μ m以下、10nm以上1.5 μ m以下、10nm以上1.2 μ m以下、10nm以上1 μ m以下、10nm以上500nm以下、10nm以上300nm以下、10nm以上200nm以下、10nm以上100nm以下、10nm以上50nm以下、10nm以上30nm以下、又は10nm以上20nm以下とすることができる。例えば、チャンネル長L10__1を、100nm以上1 μ m以下とすることもできる。

[0135]

チャンネル長L10__1を短くすることにより、トランジスタ10__1のオン電流を大きくすることができる。トランジスタ10__1を用いることにより、高速動作が可能な回路を作製することができる。さらには回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置とすることができる。例えば、本発明の一態様の半導体装置を大型の表示装置、又は高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減することができ、表示ムラを抑制することができる。また、回路の占有面積を縮小することができるため、表示装置の額縁を狭くすることができる。

[0136]

厚さT110、及び角度 θ 110等を調整することにより、チャンネル長L10__1を制御することができる。

[0137]

厚さ T_{110} は、例えば、 5 nm 以上 $3\text{ }\mu\text{ m}$ 未満、 7 nm 以上 $2.5\text{ }\mu\text{ m}$ 以下、 10 nm 以上 $2\text{ }\mu\text{ m}$ 以下、 10 nm 以上 $1.5\text{ }\mu\text{ m}$ 以下、 10 nm 以上 $1.2\text{ }\mu\text{ m}$ 以下、 10 nm 以上 $1\text{ }\mu\text{ m}$ 以下、 10 nm 以上 500 nm 以下、 10 nm 以上 300 nm 以下、 10 nm 以上 200 nm 以下、 10 nm 以上 100 nm 以下、 10 nm 以上 50 nm 以下、 10 nm 以上 30 nm 以下、又は 10 nm 以上 20 nm 以下とすることができる。

[0138]

絶縁層 110 の開口部 143 側の側面は、テーパ形状であることが好ましい。角度 θ_{110} は、 90 度未満であることが好ましい。角度 θ_{110} を小さくすることにより、絶縁層 110 上に形成される層（例えば、半導体層 108 ）の被覆性を高めることができる。また、角度 θ_{110} が小さいほど、チャンネル長 L_{10_1} を長くすることができ、角度 θ_{110} が大きいほど、チャンネル長 L_{10_1} を短くすることができる。

[0139]

角度 θ_{110} は、例えば、 30 度以上 90 度以下、 35 度以上 85 度以下、 40 度以上 80 度以下、 45 度以上 80 度以下、 50 度以上 80 度以下、 55 度以上 80 度以下、 60 度以上 80 度以下、 65 度以上 80 度以下、又は 70 度以上 80 度以下とすることができる。

[0140]

なお、図 $1B$ 等では、角度 θ_{110} を 90 度未満で示しているが、本発明の一態様はこれに限られない。角度 θ_{110} を 90 度又は概略 90 度とすることもできる。これにより、トランジスタ 10_1 のチャンネル長 L_{10_1} を短くすることができる。

[0141]

また、図 $1B$ 等では、開口部 143 の側壁（絶縁層 $110a1$ の側面、絶縁層 $110a2$ の側面、絶縁層 $110a3$ の側面、導電層 116_1 の側面、絶縁層 $110b3$ の側面、絶縁層 $110b2$ の側面、絶縁層 $110b1$ の側面、及び導電層 $112b1$ の側面）が一直線状に形成されている例を示しているが、本発明の一態様はこれに限られない。例えば、絶縁層 $110a1$ 、絶縁層 $110a2$ 、及び絶縁層 $110a3$ のそれぞれの側面と導電層 $112a$ の上面とのなす角と、導電層 116_1 の側面と絶縁層 $110a3$ の上面とのなす角と、絶縁層 $110b3$ 、絶縁層 $110b2$ 、及び絶縁層 $110b1$ のそれぞれの側面と導電層 116_1 の上面とのなす角と、導電層 $112b1$ の側面と絶縁層 $110b1$ の上面とのなす角と、がそれぞれ異なる構成とすることもできる。

[0142]

図 $1A$ では、トランジスタ 10_1 のチャンネル幅 W_{10_1} 及びトランジスタ 10_2 のチャンネル幅 W_{10_2} を、それぞれ実線の両矢印で示している。チャンネル幅 W_{10_1} は、平面視において、導電層 116_1 の開口部 143 側の端部と、半導体層 108 と、が重なる領域の長さに相当する。当該長さは、半導体層 108 と、導電層 $112a$ （トランジスタ 10_1 のソース電極又はドレイン電極の一方）又は導電層 $112b1$ （トランジスタ 10_1 のソース電極又はドレイン電極の他方）の少なくともいずれかと、が重なる領域の長さにも相当する。したがって、当該長さは、平面視において、トランジスタ 10_1 のドレイン電流が流れ得る領域の長さであるということが出来る。また、当該長さ方向は、トランジスタ 10_1 のチャンネル長 L_{10_1} に対して概略垂直な方向でもある。そのため、当該長さを、トランジスタ 10_1 のチャンネル幅 W_{10_1} とみなすことができる。上記は、導電層 116_1 を導電層 116_2 に、導電層 $112b1$ を導電層 $112b2$ にそれぞれ置き

換えることによって、トランジスタ 10__2 のチャネル幅 W10__2 に対しても適用することができる。

[0143]

なお、トランジスタ 10__1 のチャネル幅 W10__1 として、半導体層 108 と、導電層 112 a (トランジスタ 10__1 のソース電極又はドレイン電極の一方) 及び導電層 112 b 1 (トランジスタ 10__1 のソース電極又はドレイン電極の他方) の双方と、が重なる領域の長さを用いる場合もある。同様に、トランジスタ 10__2 のチャネル幅 W10__2 として、半導体層 108 と、導電層 112 a (トランジスタ 10__2 のソース電極又はドレイン電極の一方) 及び導電層 112 b 2 (トランジスタ 10__2 のソース電極又はドレイン電極の他方) の双方と、が重なる領域の長さを用いる場合もある。

[0144]

図 5 A に、図 1 B に示す半導体装置 100 から、トランジスタ 10__2 側のみを切り出した構造物の断面図を示す。図 5 A では、当該構造物の断面を XZ 平面として示している。図 5 B に、図 5 A に示す構造物を YZ 平面側から見た図を示している。なお、見やすさのため、図 5 B では、導電層 112 a、導電層 112 b 2、導電層 116__2、及び半導体層 108 のみを示している。

[0145]

図 5 B において、トランジスタ 10__2 のチャネル幅 W10__2 を、半導体層 108 と、導電層 112 a 又は導電層 112 b 2 の少なくともいずれかと、が重なる領域の長さとする場合、チャネル幅 W10__2 は、図 5 B に示す幅 W10__2 A に相当する。一方、トランジスタ 10__2 のチャネル幅 W10__2 を、半導体層 108 と、導電層 112 a 及び導電層 112 b 2 の双方と、が重なる領域の長さとする場合、チャネル幅 W10__2 は、図 5 B に示す幅 W10__2 B に相当する。

[0146]

開口部 143 の幅 D143 は、深さ方向で変化する場合がある。開口部 143 の幅 D143 として、例えば、断面視における開口部 143 の最も高い位置の径、最も低い位置の径、及びこれらの中間点の位置の径の 3 つの平均値を用いることができる。

[0147]

フォトリソグラフィ法を用いて開口部 143 を形成する場合、開口部 143 の幅 D143 は露光装置の最小寸法以上となる。幅 D143 は、例えば、200 nm 以上 5 μ m 未満、300 nm 以上 4.5 μ m 以下、400 nm 以上 4 μ m 以下、500 nm 以上 3.5 μ m 以下、500 nm 以上 3 μ m 以下、500 nm 以上 2.5 μ m 以下、500 nm 以上 2 μ m 以下、500 nm 以上 1.5 μ m 以下、又は 500 nm 以上 1 μ m 以下とすることができる。

[0148]

[半導体層 108]

半導体層 108 に用いることができる金属酸化物について、具体的に説明する。金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム又は亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素 M と、亜鉛と、の中から選ばれる一又は二以上を有することが好ましい。なお、元素 M は、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素 M として、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、

モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、ガリウム、アルミニウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウム、アルミニウム、及びスズの一種又は複数種がさらに好ましい。これらの元素は、酸素との結合エネルギーが高い上、インジウム又は亜鉛とイオン半径が同程度であるため、より好ましい。また、スズは4価であることから、キャリア移動度を高めることができ、より好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0149]

半導体層108は、例えば、インジウム亜鉛酸化物（In-Zn酸化物、IZO（登録商標）とも記す）、インジウムスズ酸化物（In-Sn酸化物、ITOとも記す）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムタングステン酸化物（In-W酸化物、IWOとも記す）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物、IGTOとも記す）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物、ITZO（登録商標）とも記す）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO、IGZAO、又はIAGZOとも記す）などを用いることができる。又は、シリコンを含むインジウムスズ酸化物（ITSOとも記す）、ガリウムスズ酸化物（Ga-Sn酸化物）、アルミニウムスズ酸化物（Al-Sn酸化物）などを用いることができる。

[0150]

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有する構成とすることができる。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、元素周期表における周期番号が大きい金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、ユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0151]

金属酸化物は、非金属元素の一種又は複数種を有する構成とすることができる。金属酸化物が非金属元素を有することで、キャリア濃度の増加、又はバンドギャップの縮小などが生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、水素などが挙げられる。

[0152]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流が大きいトランジスタを実現することができる。

[0153]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。元素Mとして複数の元素を有する場合は、含有される全ての金属元素の原子数の和に対する元素Mの原子数の割合の和を、元素Mの含有率とすることができる。

[0154]

金属酸化物における亜鉛の含有率を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制することができる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0155]

金属酸化物における元素Mの含有率を高くすることにより、バンドギャップの大きい金属酸化物とすることができる。また、金属酸化物に酸素欠損 (V_O) が形成されることが抑制されることにより、酸素欠損 (V_O) に起因するキャリア生成が抑制され、トランジスタのしきい値電圧がシフトすることを抑制することができる。これにより、カットオフ電流を小さくすることができ、ノーマリオフのトランジスタとすることができる。また、オフ電流が小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0156]

半導体層108に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0157]

金属酸化物が $In-M-Zn$ 酸化物の場合、当該 $In-M-Zn$ 酸化物における In の原子数比は元素Mの原子数比以上であることが好ましい。このような $In-M-Zn$ 酸化物の金属元素の原子数比として、例えば、 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 、 $In:M:Zn=2:1:3$ 、 $In:M:Zn=3:1:1$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=4:2:3$ 、 $In:M:Zn=4:2:4.1$ 、 $In:M:Zn=5:1:3$ 、 $In:M:Zn=5:1:6$ 、 $In:M:Zn=5:1:7$ 、 $In:M:Zn=5:1:8$ 、 $In:M:Zn=5:1:9$ 、 $In:M:Zn=6:1:6$ 、 $In:M:Zn=10:1:1$ 、 $In:M:Zn=10:1:3$ 、 $In:M:Zn=10:1:4$ 、 $In:M:Zn=10:1:6$ 、 $In:M:Zn=10:1:7$ 、 $In:M:Zn=10:1:8$ 、 $In:M:Zn=5:2:5$ 、 $In:M:Zn=10:1:10$ 、 $In:M:Zn=20:1:10$ 、 $In:M:Zn=40:1:10$ 、及びこれらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、又は電界効果移動度を高めることができる。

[0158]

$In-M-Zn$ 酸化物における In の原子数比は、元素Mの原子数比未満とすることもできる。こ

のような I_n-M-Z_n 酸化物の金属元素の原子数比として、例えば、 $I_n:M:Z_n=1:3:2$ 、 $I_n:M:Z_n=1:3:3$ 、 $I_n:M:Z_n=1:3:4$ 、 $I_n:M:Z_n=1:3:6$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中のMの原子数の割合を大きくすることで、酸素欠損 (V_o) の生成を抑制することができる。

[0159]

半導体層108にインジウムの含有率が高い材料を用いることで、トランジスタのオン電流、又は電界効果移動度を高めることができる。さらに、元素Mを有することで、酸素欠損 (V_o) の生成を抑制することができる。元素Mの含有率 (含有される全ての金属元素の原子数の和に対する元素Mの原子数の割合) は、0.1%以上25%以下が好ましく、さらには0.1%以上20%以下が好ましく、さらには0.1%以上10%以下が好ましく、さらには0.1%以上8%以下が好ましく、さらには0.1%以上6%以下が好ましく、さらには0.1%以上4%以下が好ましい。これにより、電気特性が良好なトランジスタとすることができる。例えば、 $I_n:M:Z_n=40:1:10$ 、及びその近傍の金属酸化物を用いることが好ましい。元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましい。具体的には、 $I_n:Sn:Z_n=40:1:10$ 、及びその近傍の金属酸化物を好適に用いることができる。又は $I_n:Al:Z_n=40:1:10$ 、及びその近傍の金属酸化物を好適に用いることができる。

[0160]

ここで、半導体層108に多結晶構造の金属酸化物を用いると、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。また、半導体層108に多結晶構造の金属酸化物を用いると、半導体層108表面の凹凸が大きくなる場合がある。これにより、半導体層108上に形成される層 (例えば、絶縁層106) の被形成面の段差が大きくなり、当該層に段切れ又は鬆といった不具合が発生する場合がある。半導体層108に多結晶構造になりやすい組成の金属酸化物を用いる場合、結晶化を阻害する元素を含むことが好ましい。これにより、半導体層108が多結晶構造となることが抑制され、オン電流の大きいトランジスタとすることができる。また、半導体層108上に形成される層 (例えば、絶縁層106) の被覆性を高めることができ、当該層に段切れ又は鬆といった不具合が発生することを抑制することができる。

[0161]

例えば、インジウムスズ酸化物 (ITO) と比較して、シリコンを含むインジウムスズ酸化物 (ITSO) は多結晶構造になりづらいため、半導体層108に好適に用いることができる。ITSOを用いる場合、シリコンの含有率 (含有される全ての金属元素の原子数の和に対するシリコンの原子数の割合) は、1%以上20%以下が好ましく、さらには3%以上20%以下が好ましく、さらには3%以上15%以下が好ましく、さらには5%以上15%以下が好ましい。具体的には、 $I_n:Sn:Si=45:5:4$ 、 $I_n:Sn:Si=95:5:8$ 、及びこれらの近傍の金属酸化物を好適に用いることができる。半導体層108にシリコンを含むインジウムスズ酸化物 (ITSO) を用いる場合、結晶性を有することが好ましい。なお、半導体層108が、非晶質の領域を有する、又は非晶質である構成とすることもできる。

[0162]

半導体層108に元素Mを含まない金属酸化物を適用することができる。当該金属酸化物が I_n

—Zn酸化物の場合、金属元素の原子数比として、例えば、 $I_n : Z_n = 1 : 1$ 、 $I_n : Z_n = 2 : 1$ 、 $I_n : Z_n = 1 : 2$ 、 $I_n : Z_n = 3 : 1$ 、 $I_n : Z_n = 3 : 2$ 、 $I_n : Z_n = 2 : 3$ 、 $I_n : Z_n = 4 : 1$ 、 $I_n : Z_n = 4 : 3$ 、 $I_n : Z_n = 5 : 1$ 、 $I_n : Z_n = 5 : 2$ 、 $I_n : Z_n = 5 : 3$ 、 $I_n : Z_n = 5 : 4$ 、 $I_n : Z_n = 5 : 6$ 、 $I_n : Z_n = 5 : 7$ 、 $I_n : Z_n = 5 : 8$ 、 $I_n : Z_n = 5 : 9$ 、 $I_n : Z_n = 7 : 1$ 、 $I_n : Z_n = 10 : 1$ 、 $I_n : Z_n = 10 : 3$ 、 $I_n : Z_n = 10 : 7$ 、及びこれらの近傍の組成が挙げられる。さらに、 I_n の原子数比は Z_n の原子数比以上であるとより好ましい。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流又は電界効果移動度を高めることができる。

[0163]

半導体層108の組成の分析には、例えば、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray Spectrometry)、X線光電子分光法(XPS又はESCA)、誘導結合プラズマ質量分析法(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry)、又は誘導結合高周波プラズマ発光分光法(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)を用いることができる。また、これらの手法を複数組み合わせることで分析を行うことができる。分析によって得られたスペクトルのピーク分離を行い、元素の同定及び定量を行うことが好ましい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率とが異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる、定量が困難となる、又は検出下限未満となる場合がある。

[0164]

金属酸化物の形成には、スパッタリング法、又は原子層堆積(ALD: Atomic Layer Deposition)法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0165]

半導体層108には、結晶性を有する金属酸化物を用いることが好ましい。結晶性を有する金属酸化物の構造として、例えば、CAAC(C-Axis Aligned Crystal)構造、多結晶(poly-crystal)構造、及び微結晶(nc: nano-crystal)構造が挙げられる。結晶性を有する金属酸化物を用いることにより、半導体層108中の欠陥準位密度を低減することができ、信頼性の高い半導体装置を実現することができる。なお、CAAC構造とは、複数の微結晶(代表的には、複数のIGZOの微結晶)がc軸配向を有し、かつa-b面においては、当該複数の微結晶が配向せずに連結した結晶構造である。CAAC構造は、多結晶構造よりもa-b面において結晶粒界及びグレインが少ないため、信頼性の高い半導体装置を実現することができる。

[0166]

半導体層108には、CAAC-OS又はnc-OSを用いることが好ましい。

[0167]

CAAC-OSは、複数の層状結晶を有する。当該結晶のc軸は、被形成面の法線方向に配向している。半導体層108は、被形成面に対して平行又は概略平行な層状結晶を有することが好ましい。

例えば、半導体層 108 は、導電層 112b1 の上面、及び導電層 112b2 の上面と接する領域においては当該上面に対して平行又は概略平行な層状結晶を有し、絶縁層 110s1 の側面、及び絶縁層 110s2 の側面と接する領域においては当該側面に対して平行又は概略平行な層状結晶を有することが好ましい。特に、半導体層 108 は、開口部 143 内において、被形成面である絶縁層 110s1 の側面、及び絶縁層 110s2 の側面に対して平行又は概略平行な層状結晶を有することが好ましい。このような構成とすることにより、トランジスタ 10__1 のチャネル長方向、及びトランジスタ 10__2 のチャネル長方向に対して、半導体層 108 の層状結晶が概略平行に形成されるため、オン電流の大きいトランジスタ 10__1 及びトランジスタ 10__2 とすることができる。

[0168]

チャネル形成領域に結晶性が高い金属酸化物を用いることで、チャネル形成領域中の欠陥準位密度を低減することができる。一方、結晶性の低い金属酸化物を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

[0169]

金属酸化物の形成時の基板温度が高いほど、結晶性の高い金属酸化物を形成することができる。形成時の基板温度は、例えば、形成時に基板が置かれるステージの温度により調整することができる。また、形成に用いる成膜ガスの酸素流量比、又は処理室内の酸素分圧が高いほど、結晶性の高い金属酸化物を形成することができる。

[0170]

半導体層 108 の結晶性は、例えば、X線回折 (XRD: X-Ray Diffraction)、透過型電子顕微鏡 (TEM: Transmission Electron Microscope)、又は電子線回折 (ED: Electron Diffraction) により解析することができる。また、これらの手法を複数組み合わせることで分析を行うことができる。

[0171]

半導体層 108 に金属酸化物を用いる場合、チャネル形成領域の V_{OH} をできる限り低減し、高純度真性又は実質的に高純度真性にするのが好ましい。このように、 V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある）と、金属酸化物に酸素を供給して酸素欠損 (V_O) を修復することが重要である。 V_{OH} などの欠陥が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、金属酸化物に酸素を供給して酸素欠損 (V_O) を修復することを、加酸素化処理と記す場合がある。

[0172]

半導体層 108 に金属酸化物を用いる場合、チャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域のキャリア濃度の下限値について限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0173]

OS トランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射し得る環境においても好適に用いることができる。OS トランジスタは、放射線に対する信頼性が高いともいえる。例えば、X線のフラットパネルディテクタの画素回路に、OS

トランジスタを好適に用いることができる。また、OSトランジスタは、宇宙空間で使用する半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、X線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

[0174]

半導体層108は、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流が大きいトランジスタを提供することができる。

[0175]

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化物などが挙げられる。カルコゲン化物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。トランジスタのチャネル形成領域として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0176]

半導体層108は、2以上の金属酸化物層を有する積層構造とすることができる。半導体層108が有する2以上の金属酸化物層の組成が互いに同じ、又は概略同じ構成とすることができる。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成することができるため、製造コストを削減することができる。半導体層108が有する2以上の金属酸化物層の組成が同じ、又は概略同じである場合、これらの金属酸化物層の境界（界面）を明確に確認できない場合がある。

[0177]

[導電層112a、導電層112b1、導電層112b2、導電層116__1、導電層116__2、導電層104]

導電層112a、導電層112b1、導電層112b2、導電層116__1、導電層116__2、及び導電層104は、それぞれ、単層構造又は積層構造とすることができる。導電層112a、導電層112b1、導電層112b2、導電層116__1、導電層116__2、及び導電層104に用いることができる材料として、それぞれ、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの一又は複数、並びに前述した金属の一又は複数を成分とする合金が挙げられる。導電層112a、導電層112b1、導電層112b2、導電層116__1、導電層116__2、及び導電層104には、それぞれ、銅、銀、金、及びアルミニウムのうち一又は複数を含む、電気抵抗率の低い導電材料を好適に用いることができる。特に、銅又はアルミニウムは量産性に優れるため好ましい。

[0178]

導電層 112a、導電層 112b1、導電層 112b2、導電層 116__1、導電層 116__2、及び導電層 104には、それぞれ、導電性を有する金属酸化物（酸化物導電体）を用いることができる。酸化物導電体（OC:Oxide Conductor）として、例えば、酸化インジウム、酸化亜鉛、In-Sn酸化物（ITO）、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、In-Sn-Si酸化物（シリコンを含むITO、ITSOともいう）、ガリウムを添加した酸化亜鉛、及びIn-Ga-Zn酸化物が挙げられる。特にインジウムを含む酸化物導電体は、導電性が高いため好ましい。

[0179]

半導体特性を有する金属酸化物に酸素欠損（ V_o ）を形成し、当該酸素欠損（ V_o ）に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

[0180]

導電層 112a、導電層 112b1、導電層 112b2、導電層 116__1、導電層 116__2、及び導電層 104は、それぞれ、前述の酸化物導電体を含む導電膜と、金属又は合金を含む導電膜と、の積層構造とすることができる。金属又は合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。

[0181]

導電層 112a、導電層 112b1、導電層 112b2、導電層 116__1、導電層 116__2、及び導電層 104には、それぞれ、Cu-X合金膜（Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、又はTi）を適用することができる。Cu-X合金膜を用いることで、ウェットエッチング法により加工することができるため、製造コストを削減することができる。

[0182]

なお、導電層 112a、導電層 112b1、導電層 112b2、導電層 116__1、導電層 116__2、及び導電層 104には、互いに同じ材料を用いることができる。又は、これらの一部又は全てに異なる材料を用いることができる。

[0183]

導電層 112a、導電層 112b1、及び導電層 112b2は、半導体層 108と接する領域を有する。半導体層 108に金属酸化物を用いる場合、導電層 112a、導電層 112b1、及び導電層 112b2に酸化されやすい金属（例えば、アルミニウム）を用いると、導電層 112aと半導体層 108との間、導電層 112b1と半導体層 108との間、及び導電層 112b2と半導体層 108との間に絶縁性の酸化物（例えば、酸化アルミニウム）が形成され、これらの導通を妨げる恐れがある。そのため、導電層 112a、導電層 112b1、及び導電層 112b2には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、又は酸化物導電材料を用いることが好ましい。

[0184]

導電層 112a、導電層 112b1、及び導電層 112b2には、それぞれ、例えば、チタン、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物を用いることが好ましい。これらは、酸化されにくい導電材料、又は酸化されても電気抵抗が低く保たれる材料であるため、好ましい。

[0185]

導電層112a、導電層112b1、及び導電層112b2には、それぞれ、前述の酸化物導電体を用いることができる。具体的には、酸化インジウム、酸化亜鉛、ITO、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、シリコンを含むIn-Sn酸化物、ガリウムを添加した酸化亜鉛などの金属酸化物を用いることができる。

[0186]

導電層112a、導電層112b1、及び導電層112b2には、それぞれ、窒化物導電体を用いることができる。窒化物導電体として、例えば、窒化タンタル、及び窒化チタンが挙げられる。

[0187]

導電層112a、導電層112b1、導電層112b2、導電層116__1、導電層116__2、及び導電層104は、それぞれ、積層構造を有する構成とすることができる。導電層112aが積層構造である場合、少なくとも半導体層108と接する層に、酸化されにくい導電材料を用いることが好ましい。導電層112b1及び導電層112b2についても同様である。

[0188]

[絶縁層106]

絶縁層106は、1層以上の無機絶縁層を有することが好ましい。絶縁層106には、絶縁層110、絶縁層110s1、及び絶縁層110s2に用いることができる材料を用いることができる。

[0189]

絶縁層106は、半導体層108、導電層112b1、導電層112b2、導電層104、及び絶縁層110と接する領域を有する。半導体層108に金属酸化物を用いる場合、絶縁層106を構成する膜のうち、少なくとも半導体層108と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。絶縁層106が単層構造の場合、絶縁層106には、酸化シリコン、酸化窒化シリコン、又は酸化アルミニウムを好適に用いることができる。

[0190]

なお、微細なトランジスタにおいて、ゲート絶縁層の厚さが薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料(high-k材料ともいう)を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層106に用いることができるhigh-k材料として、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びにシリコン及びハフニウムを有する窒化物が挙げられる。また、ゲート絶縁層として、強誘電性を有し得る材料を用いることができる。強誘電性を有し得る材料として、酸化ハフニウム、酸化ジルコニウム、 HfZrO_x (Xは0よりも大きい実数とする)などの金属酸化物が挙げられる。また、強誘電性を有し得る材料として、酸化ハフニウムに元素J1(ここでの元素J1は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つ又は複数)を添加した材料が挙げられる。例えば、ハフニウムの原子数と元素J1の原子数の比を1:1又はその近傍にすればよい。また、強誘電性を有し得る材料として、酸化ジルコニウムに元素J2(ここでの元素J2は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、ストロンチウムなどから選ばれた一つ又は複数)を添加した材料、などが挙げられる。例えば、ジルコニウムの原子数と元素J2の原子数の比を1:1又はその近傍にすればよい。また、強誘電性を有

し得る材料として、チタン酸鉛 (PbTiO_x)、チタン酸バリウムストロンチウム (BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (PZT)、タンタル酸ビスマス酸ストロンチウム (SBT)、ビスマスフェライト (BFO)、チタン酸バリウム、などのペロブスカイト構造を有する圧電性セラミックスを用いることができる。

[0191]

図1B等では、絶縁層106を単層構造で示しているが、本発明の一態様はこれに限られない。絶縁層106を積層構造とすることができる。

[0192]

[絶縁層195]

保護層として機能する絶縁層195には、不純物が拡散しにくい材料を用いることが好ましい。絶縁層195を設けることにより、トランジスタ10_1及びトランジスタ10_2に外部から不純物が拡散することを効果的に抑制することができ、半導体装置100の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。

[0193]

絶縁層195は、無機材料を有する絶縁層、又は有機材料を有する絶縁層とすることができる。絶縁層195には、例えば、酸化物、酸化窒化物、窒化酸化物、又は窒化物の無機材料を好適に用いることができる。より具体的には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一又は複数を用いることができる。有機材料として、例えば、アクリル樹脂、及びポリイミド樹脂の一又は複数を用いることができる。有機材料は感光性の材料を用いることができる。また、上述の絶縁膜を2以上積層して用いることができる。絶縁層195は、無機材料を有する絶縁層と、有機材料を有する絶縁層と、の積層構造とすることができる。

[0194]

[基板102]

基板102の材質に大きな制限はないが、少なくとも、後の熱処理に耐え得る程度の耐熱性を有している必要がある。例えば、シリコン、又は炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板、ガラス基板、石英基板、サファイア基板、セラミック基板、又は有機樹脂基板を、基板102として用いることができる。また、基板102には、半導体素子が設けられている構成とすることができる。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0195]

基板102として、可撓性基板を用い、可撓性基板上に直接、半導体装置100等を形成することができる。又は、基板102と半導体装置100等の間に剥離層を設けることができる。剥離層を設けることにより、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載することができる。その際、半導体装置100等を耐熱性の低い基板、又は可撓性基板にも転載することができる。

[0196]

<半導体装置の構成例2>

図6Aに、本発明の一態様の半導体装置100Aの構成例を示す。図6Aは、図1Aに示す半導体装置100の平面図における一点鎖線A1-A2に対応する、半導体装置100Aの断面図である。

[0197]

半導体装置100Aは、トランジスタ10A__1と、トランジスタ10A__2と、絶縁層110aと、絶縁層110bと、を有する。半導体装置100Aは、トランジスタ10__1ではなくトランジスタ10A__1を、トランジスタ10__2ではなくトランジスタ10A__2を有する点で、図1Bに示す半導体装置100と異なる。

[0198]

トランジスタ10A__1は、絶縁層110s1が、絶縁層110s1aと、絶縁層110s1a上の絶縁層110s1bと、の積層構造を有する点で、トランジスタ10__1と異なる。絶縁層110s1aは、導電層112aの上面、絶縁層110の側面、導電層116__1の側面、及び導電層112b1の側面に接して設けられる。絶縁層110s1bは、絶縁層110s1aを介して、導電層112aの上面、絶縁層110の側面、導電層116__1の側面、及び導電層112b1の側面と対向するように設けられる。

[0199]

トランジスタ10A__2は、絶縁層110s2が、絶縁層110s2aと、絶縁層110s2a上の絶縁層110s2bと、の積層構造を有する点で、トランジスタ10__2と異なる。絶縁層110s2aは、導電層112aの上面、絶縁層110の側面、導電層116__2の側面、及び導電層112b2の側面に接して設けられる。絶縁層110s2bは、絶縁層110s2aを介して、導電層112aの上面、絶縁層110の側面、導電層116__2の側面、及び導電層112b2の側面と対向するように設けられる。

[0200]

絶縁層110s1a及び絶縁層110s2aとして、例えば、絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3に用いる材料、作製方法、等を適用することができる。また、絶縁層110s1b及び絶縁層110s2bとして、例えば、絶縁層110a2、及び絶縁層110b2に用いる材料、作製方法、等を適用することができる。すなわち、絶縁層110s1a及び絶縁層110s2aには、酸素が透過しにくい材料を用い、絶縁層110s1b及び絶縁層110s2bには、酸素を有し、加熱により酸素を放出する材料を用いることができる。

[0201]

トランジスタ10__1のように、酸素を放出する絶縁層110s1が、導電層112a及び導電層112b1と接する構成の場合には、絶縁層110s1から放出された酸素によって導電層112a及び導電層112b1が酸化され、絶縁層110s1から半導体層108へ供給される酸素量が減少する懸念がある。トランジスタ10A__1のように、絶縁層110s1を絶縁層110s1aと、絶縁層110s1bと、の積層構造とすることにより、酸素を放出する絶縁層110s1bと、導電層112a及び導電層112b1と、が接しない構成とすることができる。これにより、絶縁層110s1bから放出された酸素によって導電層112a及び導電層112b1が酸化されることを抑制することができる。また、絶縁層110s1bから半導体層108へ供給される酸素の量が減少することを抑制することができる。

[0202]

同様に、トランジスタ10__2のように、酸素を放出する絶縁層110s2が、導電層112a及び導電層112b2と接する構成の場合には、絶縁層110s2から放出された酸素によって導電層112a及び導電層112b2が酸化され、絶縁層110s2から半導体層108へ供給される

酸素量が減少する懸念がある。トランジスタ10A__2のように、絶縁層110s2を絶縁層110s2aと、絶縁層110s2bと、の積層構造とすることにより、酸素を放出する絶縁層110s2bと、導電層112a及び導電層112b2と、が接しない構成とすることができる。これにより、絶縁層110s2bから放出された酸素によって導電層112a及び導電層112b2が酸化されることを抑制することができる。また、絶縁層110s2bから半導体層108へ供給される酸素の量が減少することを抑制することができる。

[0203]

半導体装置100Aに関し、上記以外については、半導体装置100で説明した内容を参照することができる。

[0204]

<半導体装置の構成例3>

図6Bに、本発明の一態様の半導体装置100Bの構成例を示す。図6Bは、図1Aに示す半導体装置100の平面図における一点鎖線A1-A2に対応する、半導体装置100Bの断面図である。

[0205]

半導体装置100Bは、トランジスタ10B__1と、トランジスタ10B__2と、絶縁層110aと、絶縁層110bと、を有する。半導体装置100Bは、トランジスタ10__1ではなくトランジスタ10B__1を、トランジスタ10__2ではなくトランジスタ10B__2を有する点で、図1Bに示す半導体装置100と異なる。

[0206]

トランジスタ10B__1は、導電層116__1と、絶縁層110s1と、の間に絶縁層110g1を有する点で、トランジスタ10__1と異なる。トランジスタ10B__2は、導電層116__2と、絶縁層110s2と、の間に絶縁層110g2を有する点で、トランジスタ10__2と異なる。

[0207]

絶縁層110g1及び絶縁層110g2は、例えば、それぞれ、導電層116__1及び導電層116__2が有する元素の酸化物を有する。導電層116__1及び導電層116__2が金属である場合には、例えば、絶縁層110g1及び絶縁層110g2は当該金属の酸化物である。また、導電層116__1及び導電層116__2がシリコンである場合には、例えば、絶縁層110g1及び絶縁層110g2はシリコン酸化物である。絶縁層110g1及び絶縁層110g2として、例えば、酸化アルミニウム、酸化タンタル、等の金属酸化物を用いることができ、特に、酸化アルミニウムを用いることが好ましい。

[0208]

また、絶縁層110g1は、トランジスタ10B__1のゲート絶縁層として機能することができる。図6Bに示す構成において、例えば、絶縁層110s1と絶縁層110g1の積層構造が、トランジスタ10B__1のゲート絶縁層として機能する。同様に、絶縁層110g2は、トランジスタ10B__2のゲート絶縁層として機能することができる。図6Bに示す構成において、例えば、絶縁層110s2と絶縁層110g2の積層構造が、トランジスタ10B__2のゲート絶縁層として機能する。

[0209]

なお、トランジスタ10B__1においては、ゲート絶縁層として絶縁層110s1と絶縁層110g1の積層構造を用いるため、絶縁層110g1の絶縁性が絶縁層110s1の絶縁性と比較して低くても、絶縁層110s1と積層することにより十分な絶縁性が得られる場合には、トランジスタ

10B__1の電気特性及び信頼性を十分に確保することができる場合がある。同様に、トランジスタ10B__2においては、ゲート絶縁層として絶縁層110s2と絶縁層110g2の積層構造を用いるため、絶縁層110g2の絶縁性が絶縁層110s2の絶縁性と比較して低くても、絶縁層110s2と積層することにより十分な絶縁性が得られる場合には、トランジスタ10B__2の電気特性及び信頼性を十分に確保することができる場合がある。

[0210]

トランジスタ10B__1が絶縁層110g1を有することにより、絶縁層110s1の膜厚を薄くすることができる場合がある。絶縁層110s1の膜厚を薄くすることにより、トランジスタ10B__1のゲート電極（導電層116__1）から半導体層108に印加される電界の効きを強めることができる。同様に、トランジスタ10B__2が絶縁層110g2を有することにより、絶縁層110s2の膜厚を薄くすることができる場合がある。絶縁層110s2の膜厚を薄くすることにより、トランジスタ10B__2のゲート電極（導電層116__2）から半導体層108に印加される電界の効きを強めることができる。絶縁層110g1及び絶縁層110g2として、例えば、絶縁層110s1及び絶縁層110s2に用いる材料よりも、比誘電率の高い材料を好適に用いることができる。

[0211]

絶縁層110g1は、例えば、導電層116__1の表面に接するように酸素を供給可能な層を成膜し、当該層を介した絶縁層110a2及び絶縁層110b2からの酸素供給によって導電層116__1の表面を酸化させることによって、自己整合的に形成することができる。絶縁層110s1の形成時のエッチングにおいて、絶縁層110s1の上端部の高さが導電層116__1の上面の高さよりも低くなる場合、あるいは、絶縁層110s1の上端部の高さが導電層116__1の上面の高さよりも高いもののその差が小さい場合においては、半導体層108と、導電層116__1と、の間にリーク電流が流れ、トランジスタ10B__1の電気特性が低下する懸念がある。このような場合においても、トランジスタ10B__1は、絶縁層110g1を有することにより、半導体層108と、導電層116__1と、の間のリークを抑制することができる。

[0212]

同様に、絶縁層110g2は、例えば、導電層116__2の表面に接するように酸素を供給可能な層を成膜し、当該層を介した絶縁層110a2及び絶縁層110b2からの酸素供給によって導電層116__2の表面を酸化させることによって、自己整合的に形成することができる。絶縁層110s2の形成時のエッチングにおいて、絶縁層110s2の上端部の高さが導電層116__2の上面の高さよりも低くなる場合、あるいは、絶縁層110s2の上端部の高さが導電層116__2の上面の高さよりも高いもののその差が小さい場合においては、半導体層108と、導電層116__2と、の間にリーク電流が流れ、トランジスタ10B__2の電気特性が低下する懸念がある。このような場合においても、トランジスタ10B__2は、絶縁層110g2を有することにより、半導体層108と、導電層116__2と、の間のリークを抑制することができる。

[0213]

半導体装置100Bに関し、上記以外については、半導体装置100で説明した内容を参照することができる。

[0214]

<半導体装置の構成例4>

図7Aに、本発明の一態様の半導体装置100Cの構成例を示す。図7Aは、図1Aに示す半導体

装置 100 の平面図における一点鎖線 A1－A2 に対応する、半導体装置 100C の断面図である。

[0215]

半導体装置 100C は、トランジスタ 10C__1 と、トランジスタ 10C__2 と、絶縁層 110a と、絶縁層 110b と、を有する。半導体装置 100C は、トランジスタ 10__1 ではなくトランジスタ 10C__1 を、トランジスタ 10__2 ではなくトランジスタ 10C__2 を有する点で、図 1B に示す半導体装置 100 と異なる。

[0216]

トランジスタ 10C__1 は、絶縁層 110s1 の構成が、トランジスタ 10__1 と異なる。トランジスタ 10C__2 は、絶縁層 110s2 の構成が、トランジスタ 10__2 と異なる。

[0217]

具体的には、トランジスタ 10C__1 では、絶縁層 110s1 の底面が、絶縁層 110a1 の上面に接し、絶縁層 110a1 の側面が、半導体層 108 に接する構成を有している。すなわち、トランジスタ 10C__1 では、絶縁層 110s1 が、導電層 112a に接しない構成を有する。同様に、トランジスタ 10C__2 では、絶縁層 110s2 の底面が、絶縁層 110a1 の上面に接し、絶縁層 110a1 の側面が、半導体層 108 に接する構成を有している。すなわち、トランジスタ 10C__2 では、絶縁層 110s2 が、導電層 112a に接しない構成を有する。

[0218]

前述のように、絶縁層 110s1 及び絶縁層 110s2 は、絶縁層 110a2 及び絶縁層 110b2 とともに、半導体層 108 に酸素を供給する機能を有し得る。そのため、トランジスタ 10__1 及びトランジスタ 10__2 等のように、絶縁層 110s1 及び絶縁層 110s2 の底面が、導電層 112a に接する構成の場合、絶縁層 110s1 及び絶縁層 110s2 から拡散した酸素によって、導電層 112a の上面の一部が酸化されて高抵抗化し、トランジスタのオン電流を低下させる不具合を誘発する恐れがある。これに対して、トランジスタ 10C__1 及びトランジスタ 10C__2 のように、絶縁層 110s1 と導電層 112a とが、及び絶縁層 110s2 と導電層 112a とが、それぞれ接しない構成とすることで、上記不具合を誘発する恐れを低減することができる。

[0219]

半導体装置 100C に関し、上記以外については、半導体装置 100 で説明した内容を参照することができる。

[0220]

<半導体装置の構成例 5>

図 7B に、本発明の一態様の半導体装置 100D の構成例を示す。図 7B は、図 1A に示す半導体装置 100 の平面図における一点鎖線 A1－A2 に対応する、半導体装置 100D の断面図である。

[0221]

半導体装置 100D は、トランジスタ 10D__1 と、トランジスタ 10D__2 と、絶縁層 110a と、絶縁層 110b と、を有する。トランジスタ 10D__1 及びトランジスタ 10D__2 については、それぞれ、先のトランジスタ 10A__1 及びトランジスタ 10A__2 で説明した内容を適用することができる。半導体装置 100D は、絶縁層 110 の構成が、図 1B に示す半導体装置 100 と異なる。

[0222]

具体的には、半導体装置 100D では、絶縁層 110a 及び絶縁層 110b が、それぞれ単層構造

である点が、半導体装置 100 とは異なる。単層の絶縁層 110a 及び絶縁層 110b には、それぞれ、絶縁層 110a1、絶縁層 110a3、絶縁層 110b1、及び絶縁層 110b3 に用いることができる材料を用いることが好ましい。すなわち、酸素及び水素に対するブロッキング性の高い材料を用いることが好ましい。これにより、絶縁層 110a 及び絶縁層 110b の外側からの酸素の拡散によって、導電層 116__1 及び導電層 116__2 が酸化されることを抑制することができる。また、半導体層 108 中の酸素が、絶縁層 110a 及び絶縁層 110b 側に拡散し、半導体層 108 中に酸素欠損 (V_O) が形成されることを抑制することができる。前述のように、絶縁層 110s1 及び絶縁層 110s2 が酸素を放出する機能を有しているため、絶縁層 110 が上記構成であっても、半導体層 108 への酸素供給を行うことができる。半導体装置 100D では、絶縁層 110 を構成する絶縁層の数を大幅に減らすことができるため、半導体装置 100 等に比べて、絶縁層 110 の形成に係る工程数を削減することができる。

[0223]

半導体装置 100D に関し、上記以外については、半導体装置 100 で説明した内容を参照することができる。

[0224]

<半導体装置の構成例 6>

図 8A に、本発明の一態様の半導体装置 100E の構成例を示す。図 8A は、図 1A に示す半導体装置 100 の平面図における一点鎖線 A1-A2 に対応する、半導体装置 100E の断面図である。

[0225]

半導体装置 100E は、トランジスタ 10E__1 と、トランジスタ 10E__2 と、絶縁層 110a と、絶縁層 110b と、を有する。半導体装置 100E は、トランジスタ 10__1 ではなくトランジスタ 10E__1 を、トランジスタ 10__2 ではなくトランジスタ 10E__2 を有する点で、図 1B に示す半導体装置 100 と異なる。

[0226]

トランジスタ 10E__1 は、導電層 112b1 を有さない点、及び半導体層 108 の A1 側の端部が、導電層 116__1 及び導電層 112a の外側まで延伸している点で、トランジスタ 10__1 と異なる。トランジスタ 10E__2 は、導電層 112b2 を有さない点、及び半導体層 108 の A2 側の端部が、導電層 116__2 及び導電層 112a の外側まで延伸している点で、トランジスタ 10__2 と異なる。

[0227]

トランジスタ 10E__1 では、半導体層 108 は、導電層 112a の上面、絶縁層 110s1 の側面、絶縁層 110s1 の湾曲部、及び絶縁層 110 の上面に接する領域を有する。トランジスタ 10E__1 において、半導体層 108 は、チャネル形成領域を有する半導体層としての機能と、ソース電極又はドレイン電極の他方としての機能と、を兼ねることができる。例えば、半導体層 108 のうち、絶縁層 110s1 と重なる領域は、チャネル形成領域として機能することができる。また、開口部 143 の外側に位置する領域は、ソース電極又はドレイン電極の他方として機能することができる。

[0228]

トランジスタ 10E__2 では、半導体層 108 は、導電層 112a の上面、絶縁層 110s2 の側面、絶縁層 110s2 の湾曲部、及び絶縁層 110 の上面に接する領域を有する。トランジスタ 10E__2 において、半導体層 108 は、チャネル形成領域を有する半導体層としての機能と、ソース電

極又はドレイン電極の他方としての機能と、を兼ねることができる。例えば、半導体層 108 のうち、絶縁層 110s2 と重なる領域は、チャンネル形成領域として機能することができる。また、開口部 143 の外側に位置する領域は、ソース電極又はドレイン電極の他方として機能することができる。

[0229]

例えば、半導体層 108 に対して、基板面に対して垂直な方向から、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理等を用いて、ホウ素等の不純物を供給することで、半導体層 108 を低抵抗化することができる。又は半導体層 108 に酸化物半導体を用いる場合、半導体層 108 の開口部 143 と重ならない領域上に窒化シリコン膜等を形成することで、当該領域を酸化物導電体 (OC) とし、半導体層 108 に低抵抗な領域を形成することができる。このようにして、半導体層 108 のソース領域及びドレイン領域に対応する領域を、チャンネル形成領域よりも低抵抗化させることができる。そのため、半導体層 108 に、チャンネル形成領域と、チャンネル形成領域よりも低抵抗なソース領域及びドレイン領域と、を作り分けることができる。これにより、トランジスタ 10E__1 及びトランジスタ 10E__2 では、それぞれ導電層 112b1 及び導電層 112b2 を設けなくても、半導体層 108 内にソース電極及びドレイン電極に相当する領域を形成することができる。よって、トランジスタ 10E__1 及びトランジスタ 10E__2 では、それぞれ導電層 112b1 及び導電層 112b2 を設けない分、トランジスタの作製に係る工程数を削減することができる。

[0230]

半導体装置 100E に関し、上記以外については、半導体装置 100 で説明した内容を参照することができる。

[0231]

<半導体装置の構成例 7>

図 8B に、本発明の一態様の半導体装置 100F の構成例を示す。図 8B は、図 1A に示す半導体装置 100 の平面図における一点鎖線 A1-A2 に対応する、半導体装置 100F の断面図である。

[0232]

半導体装置 100F は、トランジスタ 10F__1 と、トランジスタ 10F__2 と、絶縁層 110a と、絶縁層 110b と、を有する。半導体装置 100F は、トランジスタ 10__1 ではなくトランジスタ 10F__1 を、トランジスタ 10__2 ではなくトランジスタ 10F__2 を有する点で、図 1B に示す半導体装置 100 と異なる。

[0233]

トランジスタ 10F__1 及びトランジスタ 10F__2 は、バックゲート電極として機能する導電層 104 を有さない点で、それぞれ、トランジスタ 10__1 及びトランジスタ 10__2 と異なる。すなわち、トランジスタ 10F__1 は、ゲート電極として機能する導電層を 1 つ (導電層 116__1) だけ有するトランジスタであるといえる。同様に、トランジスタ 10F__2 は、ゲート電極として機能する導電層を 1 つ (導電層 116__2) だけ有するトランジスタであるといえる。よって、トランジスタ 10F__1 及びトランジスタ 10F__2 では、導電層 104 を設けない分、トランジスタの作製に係る工程数を削減することができる。

[0234]

半導体装置 100F に関し、上記以外については、半導体装置 100 で説明した内容を参照することができる。

[0235]

前述のように、本発明の一態様の半導体装置は、表示装置に適用することができる。例えば、液晶表示装置に適用することができる。以下では、図1A及び図1B等にした半導体装置100を液晶表示装置に適用する場合の具体的な構成例について、説明する。なお、本発明の一態様の半導体装置を表示装置に適用する場合の構成例については、実施の形態2でも詳述する。

[0236]

図9Aに、表示装置の画素の一部の平面図を示す。図9Bに、図9Aに示す一点鎖線P1-P2における断面図を示す。なお、図9Aでは、表示装置の構成要素の一部（絶縁層等）を省略している。

[0237]

本発明の一態様の表示装置は、基板102と基板12との間に、半導体装置100と、液晶素子30と、を有する液晶表示装置である。

[0238]

図9Aに示すように、半導体装置100の一部は、導電層116_1と導電層112aとの交差部と重なり、半導体装置100の他の一部は、導電層116_2と導電層112aとの交差部と重なる領域を有して設けられている。トランジスタ10_1のゲート電極として機能する導電層116_1、及びトランジスタ10_2のゲート電極として機能する導電層116_2は、それぞれ、走査線として機能する。トランジスタ10_1及びトランジスタ10_2のソース電極又はドレイン電極の一方として機能する導電層112aは、信号線として機能する。

[0239]

なお、半導体装置100が有するトランジスタ10_1、トランジスタ10_2、絶縁層110a（絶縁層110a1、絶縁層110a2、及び絶縁層110a3）、及び絶縁層110b（絶縁層110b1、絶縁層110b2、及び絶縁層110b3）の詳細については、先に説明した内容を参照することができる。半導体装置100の構成に係る記載については、先に説明した内容を参照することができるため、以下では説明を省略する場合がある。

[0240]

液晶素子30は、画素電極として機能する導電層112b1及び導電層112b2（それぞれ、トランジスタ10_1及びトランジスタ10_2のソース電極又はドレイン電極の他方としても機能）のいずれか一方、共通電極として機能する導電層32、容量電極として機能する導電層104（トランジスタ10_1及びトランジスタ10_2のバックゲート電極としても機能）、及び液晶33等を有する。図9Bに示す液晶素子30は、VAモードが適用された液晶素子である。

[0241]

図9Bでは、導電層112b2、液晶33、及び導電層32で構成される液晶素子30のみを示しているが、半導体装置100はトランジスタを2つ有する構成であるため、1つの半導体装置100につき、液晶素子を2つ有する構成とすることができる。すなわち、上述した液晶素子に加え、導電層112b1、液晶33、及び導電層32で構成された液晶素子（図示しない）を有することができる。

[0242]

絶縁層195の半導体装置100と重なる領域上には、スペーサとして機能する絶縁層46が設けられている。絶縁層46としては、感光性の樹脂を用いることができる。例えば、絶縁層195上に感光性の樹脂を形成し、露光、現像を行うことで絶縁層46を形成することができる。感光性樹脂

としては、ネガ型又はポジ型のいずれかの感光性を有する樹脂を用いることができる。

[0243]

絶縁層46は、基板102と基板12との間の距離を制御し、液晶33の厚さを制御する機能を有する。さらに絶縁層46は、開口部143に起因する絶縁層195の上面の窪みを埋めるように設けることが好ましい。絶縁層46を、半導体装置100と重ねて設けることにより、絶縁層46を設けることによる開口率の低下を防ぐことができる。

[0244]

ここで、平面視における半導体装置100の面積を極めて小さくすることができるため、半導体装置100と重なる領域に配置する絶縁層46もまた、面積が小さくなる。そのため、スペーサとしての強度が不足する場合は、全ての副画素に絶縁層46を配置することが好ましい。これにより、小さい面積の絶縁層46であっても、十分な強度を確保することができる。

[0245]

なお、ここでは絶縁層46を基板102側に設ける構成としたが、基板12側に設けてもよい。このとき、絶縁層195の半導体装置100と重なる部分に接して、配向膜41が設けられる構成とすることができる。また、絶縁層46を、基板102側と基板12側の両方に設けてもよい。

[0246]

容量電極として機能する導電層104は、絶縁層106を介して、導電層112b1又は導電層112b2と重なる領域を有する。導電層104、絶縁層106、及び導電層112b1（又は導電層112b2）が積層される領域は、画素の保持容量として機能する。このとき、導電層104と導電層112b1（又は導電層112b2）は、容量の一对の電極として機能し、絶縁層106は、容量の誘電体として機能する。

[0247]

絶縁層46及び絶縁層195を覆って、配向膜41が設けられている。

[0248]

本発明の一態様では、半導体装置100の導電層104が、トランジスタ10__1及びトランジスタ10__2のバックゲート電極としての機能と、液晶素子30の容量電極としての機能と、を兼ねる構成を有する。半導体装置100の絶縁層106が、トランジスタ10__1及びトランジスタ10__2のバックゲート絶縁層としての機能と、液晶素子30の容量の誘電体としての機能と、を兼ねる構成を有する。このような構成とすることで、これらを別々に形成する場合と比較して、作製工程を大幅に簡略化することができ、作製コストを低減することができる。また、必要な層間絶縁膜の数も削減することができるため、バックライトからの光の散乱を軽減することができ、電力効率が高まり消費電力を削減することができる。

[0249]

ここで、液晶素子30の画素電極は、透光性を有することが要求される。そのため、半導体装置100の導電層112b1及び導電層112b2には、可視光に対して透光性を有する導電体を用いることが好ましい。例えば、酸化インジウム、酸化亜鉛、In-Sn酸化物、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、シリコンを含むIn-Sn酸化物、ガリウムを添加した酸化亜鉛などの導電性酸化物を用いることができる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0250]

また、画素電極と重なる領域を有する容量電極も、透光性を有することが要求される。そのため、半導体装置 100 の導電層 104 には、可視光に対して透光性を有する導電体を用いることが好ましい。例えば、上述した導電層 112b1 及び導電層 112b2 に対して用いることができる透光性を有する導電性材料を用いることができる。

[0251]

基板 12 の基板 102 側の面には、着色層 43、遮光層 44、絶縁層 45、導電層 32、及び配向膜 42 が設けられている。配向膜 42 は、絶縁層 46 と重なる部分において配向膜 41 と接する部分を有していてもよい。なお、配向膜 41 及び配向膜 42 のいずれか一方、又は両方は、不要であれば設けなくてもよい。

[0252]

遮光層 44 が設けられる部分が、非発光領域となる。本発明の一態様では、半導体装置 100 を覆う領域に遮光層 44 を設けることができる。本発明の一態様では、画素電極と、半導体装置 100 が有するトランジスタ（トランジスタ 10_1 及びトランジスタ 10_2）と、を接続するコンタクトホールがないため、遮光層 44 を設ける非発光領域の面積を従来よりも大幅に縮小することができる。

[0253]

着色層 43 は、カラーフィルタとも呼ぶことができ、バックライト等の光源からの光を特定の色を呈する光に変換する。例えば、着色層として画素（副画素）ごとに赤色、緑色、青色に対応した着色層 43 を適用することにより、フルカラーの表示を行うことができる。なお、これら 3 色に加えて、黄色、白色などの色に対応した画素（副画素）を設けると、消費電力を低減することができるため好ましい。白色の画素とする場合には、画素にカラーフィルタを設けない構成とすればよい。

[0254]

また、光源として青色又は紫色の光を用い、着色層 43 に当該青色又は紫色の光を他の色（例えば、赤色、緑色など）に変換する、色変換材料を適用する構成としてもよい。色変換材料としては、蛍光材料、燐光材料、又は量子ドットが分散された樹脂材料などを用いることができる。なお、このとき、色変換材料を透過した光を吸収するように、着色層 43 として、バックライト側から色変換材料と、カラーフィルタと、の積層構造とすることが好ましい。

[0255]

絶縁層 45 は、着色層 43 等に含まれる成分が、液晶 33 に拡散することを防ぐオーバーコートとして機能する。また、絶縁層 45 は、平坦化膜として機能する。絶縁層 45 は、透光性を有する有機樹脂を用いて形成することができる。

[0256]

共通電極として機能する導電層 32 は、透光性を有することが要求される。例えば、導電層 32 としては、上述した導電層 112b1、導電層 112b2、及び導電層 104 に対して用いることができる透光性を有する導電性材料を用いることができる。

[0257]

基板 102 と基板 12 とは、表示部よりも外側に設けられる接着層（図示しない）によって貼り合されている。基板 102 と基板 12 との距離は、スペーサとして機能する絶縁層 46 により制御される。

[0258]

ここでは、液晶素子 30 として、画素電極を基板 102 側に配置し、液晶 33 に対して厚さ方向に垂直な方向に電界をかける方式を示している。なお、電極の配置方法としてはこれに限られず、液晶 33 に対して厚さ方向に平行な方向に電界をかける方式を適用してもよい。

[0259]

液晶素子 30 としては、様々な構成の素子を用いることができる。代表的には、VA (Vertical Alignment) モード、FFS (Fringe Field Switching) モード、又は IPS (In-Plane-Switching) モード等が挙げられる。上記液晶素子を表示装置に適用することで、透過型の液晶表示装置とすることができる。また、透過型だけでなく、反射型又は半透過型の液晶表示装置としてもよい。

[0260]

液晶素子 30 に用いることができる VA モードとしては、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどが挙げられる。

[0261]

また、液晶素子 30 には、上記以外にも、様々なモードが適用された液晶素子を用いることができる。例えば、TN (Twisted Nematic) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、ゲストホストモード等が適用された液晶素子を用いることができる。

[0262]

ここで、液晶表示装置は、偏光と液晶の光学的変調作用を利用して、光の透過又は非透過を制御する表示装置である。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。液晶素子に用いることのできる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、高分子ネットワーク型液晶 (PNLC: Polymer Network Liquid Crystal)、強誘電性液晶、反強誘電性液晶などを用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相などを示す。また、液晶材料としては、ポジ型の液晶、又はネガ型の液晶のいずれを用いてもよく、適用するモード又は設計に応じて最適な液晶材料を用いればよい。

[0263]

図 9B では図示していないが、透過型の液晶の場合、基板 102 の外側の面、及び基板 12 の外側の面に、それぞれ偏光板を設ける構成とする。さらに、基板 102 よりも外側にバックライトを設ける。この場合、基板 12 側が表示面側となる。

[0264]

ここで、導電層 112a 及び導電層 104 のいずれか一方に遮光性の導電性材料を用いることに

より、半導体装置100が有するトランジスタ（トランジスタ10__1及びトランジスタ10__2）のチャネル形成領域へ到達する光を遮光することができるため、当該トランジスタの信頼性を高めることができる。特に、NB T I S試験におけるしきい値電圧の変動を小さくすることができる。導電層112a及び導電層104のうち、少なくともバックライトが設けられる側の導電層には、遮光性の導電性材料を用いることが好ましい。

[0265]

本発明の一態様の表示装置は、このような構成を有することにより、極めて高い開口率を実現された液晶表示装置とすることができる。

[0266]

半導体装置100が有するトランジスタ10__1及びトランジスタ10__2は、それぞれ、画素の画素電極と接続するトランジスタに適用することができる。また、半導体装置100が有するトランジスタ10__1及びトランジスタ10__2は、それぞれ、走査線駆動回路、信号線駆動回路、保護回路、その他、画素回路以外の回路に適用することもできる。

[0267]

上述のように、本発明の一態様の半導体装置は、例えば、表示装置に適用することができる。本発明の一態様の半導体装置は、構成要素の一部（ソース電極又はドレイン電極の一方、半導体層等）を共有する2つの縦型トランジスタが対向して設けられた構成を有する。したがって、当該トランジスタの間隔を狭くすることにより、構成要素が個別に設けられた縦型トランジスタを複数形成する場合よりも、基板面内におけるトランジスタの高集積化を図ることができる。例えば、従来のフラットパネルディスプレイの量産用の露光装置（最小線幅1.5 μ m又は1.25 μ m程度）を用いて、導電層上に積層された層（例えば、絶縁層、導電層、及び絶縁層の3層）に、ライン状の開口部を設け、当該開口部の対向する側壁深さ方向をチャネル長方向として利用する2つの縦型トランジスタを形成することにより、2つの縦型トランジスタの間隔を極めて狭くすることができる。これにより、極めて小型かつ集積度の高い半導体装置を実現することができる。そのため、当該2つの縦型トランジスタを有する半導体装置を表示装置に適用することで、例えば、2000ppi以上の精細度を実現することもできる。

[0268]

<半導体装置の作製方法例>

以下では、本発明の一態様の半導体装置の作製方法について、図面を参照して説明する。ここでは、図1A乃至図2Bに示した半導体装置100を例に挙げて、説明する。

[0269]

なお、半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（CVD:Chemical Vapor Deposition）法、真空蒸着法、パルスレーザ堆積（PLD:Pulsed Laser Deposition）法、原子層堆積（ALD）法等を用いて形成することができる。

[0270]

スパッタリング法には、スパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらに、パルスの電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は、主に、絶縁膜を成膜する場合に用いられ、DCスパッタリング法は、主に、金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタ

リング法は、主に、酸化物、窒化物、又は炭化物等の化合物をリアクティブスパッタリング法で成膜する際に用いられる。

[0271]

CVD法は、プラズマを利用するプラズマCVD (PECVD) 法、熱を利用する熱CVD (TCVD: Thermal CVD) 法、光を利用する光CVD (Photo CVD) 法等に分類することができる。さらに、用いる原料ガスによって、金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0272]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量等）等は、プラズマから電荷を受け取ることで、チャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、又は素子等が破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0273]

ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法等を用いることができる。

[0274]

CVD法及びALD法は、ターゲット等から放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、例えば、アスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0275]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0276]

また、ALD法では、異なる複数種のプリカーサを同時に導入することで、任意の組成の膜を成膜することができる。又は、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで、任意の組成の膜を成膜することができる。

[0277]

半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ、スリットコート、ロールコート、カーテンコート、ナイフコート等の方法により形成することができる。

[0278]

半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いて加工することが

できる。それ以外に、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0279]

フォトリソグラフィ法は、代表的には、以下の2つの方法がある。1つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を形成した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0280]

フォトリソグラフィ法において、露光に用いる光は、例えば、i線（波長365nm）、g線（波長436nm）、h線（波長405nm）、又は、これらを混合させた光を用いることができる。その他、紫外線、KrFレーザ光、又はArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultra-Violet）光又はX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線、又は電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0281]

薄膜のエッチングには、例えば、ドライエッチング法、ウェットエッチング法、又はサンドブラスト法を用いることができる。

[0282]

図10A乃至図18Dに示す各図は、半導体装置100の作製方法を説明する図である。各図のAは、図1Aに対応する平面図を示している。各図のBは、図1Aに示す平面図の一点鎖線A1-A2における断面図を示している。各図のCは、図1Aに示す平面図の一点鎖線B1-B2における断面図を示している。各図のDは、図1Aに示す平面図の一点鎖線C1-C2における断面図を示している。

[0283]

まず、基板102上に、導電層112aとなる導電膜を形成し、当該導電膜の一部を除去することにより、導電層112aを形成する（図10A乃至図10D）。当該導電膜の形成には、例えば、スパッタリング法を用いることができる。また、当該導電膜の加工には、ウェットエッチング法及びドライエッチング法の一方又は双方を用いればよい。

[0284]

続いて、導電層112a上及び基板102上に、絶縁膜110a1fを形成し、絶縁膜110a1f上に、絶縁膜110a2fを形成し、絶縁膜110a2f上に、絶縁膜110a3fを形成する。

[0285]

絶縁膜110a1f及び絶縁膜110a3fには、先に記載の絶縁層110a1及び絶縁層110a3に用いることができる材料を適宜、用いることができる。

[0286]

絶縁膜110a1f及び絶縁膜110a3fとして、例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、又は酸化ハフニウム等を好適に用いることができる。

[0287]

具体的には、絶縁膜110a1f及び絶縁膜110a3fとして、例えば、スパッタリング法を用いて、窒化シリコンを成膜することができる。又は、例えば、PEALD法を用いて、窒化シリコンを成膜することができる。又は、例えば、スパッタリング法を用いて、酸化アルミニウムを成膜することができる。

[0288]

また、例えば、酸化アルミニウムと、窒化シリコンと、を積層した構成を用いることができる。例えば、スパッタリング法を用いて成膜した酸化アルミニウムと、PEALD法を用いて成膜した窒化シリコンと、を積層して用いることができる。

[0289]

絶縁膜110a2fには、先に記載の絶縁層110a2に用いることができる材料を適宜、用いることができる。

[0290]

絶縁膜110a2fとして、例えば、酸化シリコン、酸化窒化シリコン等を好適に用いることができる。

[0291]

具体的には、絶縁膜110a2fとして、例えば、スパッタリング法を用いて、酸化シリコンを成膜することができる。又は、例えば、PECVD法を用いて、酸化シリコンを成膜することができる。又は、例えば、PECVD法を用いて、酸化窒化シリコンを成膜することができる。

[0292]

また、例えば、スパッタリング法を用いて成膜した酸化シリコンと、PECVD法を用いて成膜した酸化シリコンあるいは酸化窒化シリコンと、を積層して用いることができる。

[0293]

絶縁膜110a2fを形成した後に、加熱処理を行ってもよい。加熱処理を行うことで、絶縁膜110a2fの表面及び膜中から、水及び水素を脱離させることができる。

[0294]

加熱処理の温度は、150℃以上基板の歪み点未満が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましく、さらには350℃以上400℃以下が好ましい。加熱処理は、貴ガス、窒素又は酸素の一以上を含む雰囲気で行うことができる。窒素を含む雰囲気、又は、酸素を含む雰囲気として、乾燥空気(CDA: Clean Dry Air)を用いてもよい。なお、当該雰囲気に水素、水などの含有量が極力少ないことが好ましい。当該雰囲気として、露点が-60℃以下、好ましくは-100℃以下の高純度ガスを用いることが好ましい。水素、水などの含有量が極力少ない雰囲気を用いることで、絶縁膜110a2fに水素、水などが取り込まれることを可能な限り防ぐことができる。加熱処理には、例えば、オープン又は急速加熱(RTA: Rapid Thermal Annealing)装置を用いることができる。RTA装置を用いることで、加熱処理時間を短縮することができる。

[0295]

上記加熱処理の後に、絶縁膜110a2fに酸素を供給する工程を行ってもよい。例えば、絶縁膜110a2fの形成後、絶縁膜110a2f上に金属酸化物層を形成することにより、絶縁膜110

a 2 f に酸素を供給してもよい。また、当該金属酸化物層を形成後、加熱処理を行ってもよい。当該金属酸化物層を形成した後に加熱処理を行うことで、当該金属酸化物層から絶縁膜 1 1 0 a 2 f に効果的に酸素を供給し、絶縁膜 1 1 0 a 2 f 中に酸素を含有させることができる。絶縁膜 1 1 0 a 2 f に供給された酸素が、後の工程において、半導体層 1 0 8 に供給されることにより、半導体層 1 0 8 中の酸素欠損 (V_O) 及び V_OH を低減することができる。

[0296]

当該金属酸化物層を形成した後、又は前述の加熱処理の後に、さらに、当該金属酸化物層を介して、絶縁膜 1 1 0 a 2 f に酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理を用いることができる。当該プラズマ処理として、酸素ガスを高周波電力によってプラズマ化させる装置を好適に用いることができる。ガスを高周波電力によってプラズマ化させる装置として、例えば、プラズマエッチング装置及びプラズマアッシング装置が挙げられる。

[0297]

当該金属酸化物層は、絶縁層でもよく、また導電層であってもよい。当該金属酸化物層は、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、インジウム酸化物、インジウムスズ酸化物 (ITO)、又は、シリコンを含有したインジウムスズ酸化物 (ITSO) を用いることもできる。

[0298]

当該金属酸化物層として、半導体層 1 0 8 と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、半導体層 1 0 8 に適用可能な酸化物半導体材料を用いることが好ましい。

[0299]

当該金属酸化物層に、インジウム及びガリウムを含む金属酸化物材料を用いる場合、半導体層 1 0 8 よりもガリウムの組成 (含有率) が高い材料を用いることができる。ガリウムの組成 (含有率) が高い材料を当該金属酸化物層に用いることにより、酸素に対するブロッキング性をより高めることができる。これにより、絶縁膜 1 1 0 a 2 f に供給された酸素が、当該金属酸化物層を介して外部に放出されてしまうことを抑制することができるため、好ましい。

[0300]

当該金属酸化物層は、例えば、酸素を含む雰囲気で形成することが好ましい。特に、酸素を含む雰囲気、スパッタリング法により形成することが好ましい。これにより、当該金属酸化物層の形成の際、絶縁膜 1 1 0 a 2 f に酸素を好適に供給することができる。

[0301]

続いて、当該金属酸化物層を除去する。当該金属酸化物層には、例えば、ウェットエッチング法を好適に用いることができる。

[0302]

絶縁膜 1 1 0 a 2 f に対して酸素を供給する処理は、前述の方法に限定されない。例えば、絶縁膜 1 1 0 a 2 f に対して、イオンドーピング法、イオン注入法、プラズマ処理等により、酸素ラジカル、酸素原子、酸素原子イオン、酸素分子イオン等を供給する。また、絶縁膜 1 1 0 a 2 f 上に酸素の脱離を抑制する膜を形成した後、当該膜を介して、絶縁膜 1 1 0 a 2 f に酸素を供給してもよい。当該膜は、酸素を供給した後に除去することが好ましい。上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、スズ、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、

鉄、コバルト、又はタングステンの1以上を有する導電膜あるいは半導体膜を用いることができる。

[0303]

続いて、絶縁膜110a3f上に、導電膜116fを形成する(図11A乃至図11D)。導電膜116fの形成には、例えば、スパッタリング法を好適に用いることができる。

[0304]

続いて、導電膜116fを加工して、導電層112aと重なる領域を有するように、絶縁膜110a3f上に導電層116eを形成する(図12A乃至図12D)。導電層116eの形成には、例えば、ウェットエッチング法を好適に用いることができる。

[0305]

続いて、絶縁膜110a3f上及び導電層116e上に、絶縁膜110b3fを成膜し、絶縁膜110b3f上に、絶縁膜110b2fを成膜し、絶縁膜110b2f上に、絶縁膜110b1fを成膜する。

[0306]

絶縁膜110b2fには、先に記載の絶縁層110b2に用いることができる材料を適宜、用いることができる。また、絶縁膜110b1f及び絶縁膜110b3fには、先に記載の絶縁層110b1及び絶縁層110b3に用いることができる材料を適宜、用いることができる。

[0307]

絶縁膜110b2fに用いることができる材料及び成膜方法は、絶縁膜110a2fの記載を参照することができる。また、絶縁膜110b1f及び絶縁膜110b3fに用いることができる材料及び成膜方法は、絶縁膜110a1f及び絶縁膜110a3fの記載を参照することができる。

[0308]

なお、絶縁膜110b2fの成膜後に、絶縁膜110b2fに酸素を供給する工程を行ってもよい。当該工程については、前述の絶縁膜110a2fに酸素を供給する工程に係る記載を参照することができる。

[0309]

続いて、絶縁膜110b1f上に、導電膜112bfを成膜する(図13A乃至図13D)。導電膜112bfの形成には、例えば、スパッタリング法を好適に用いることができる。導電膜112bfには、先に記載の導電層112b1及び導電層112b2に用いることができる材料を適宜、用いることができる。

[0310]

続いて、導電膜112bfを加工して、導電層112beを形成する(図14A乃至図14D)。導電層112beは、導電層116e及び導電層112aと重なる領域を有するように形成する。導電層112beの形成には、例えば、ウェットエッチング法を好適に用いることができる。

[0311]

続いて、導電層112be、絶縁膜110b1f、絶縁膜110b2f、絶縁膜110b3f、導電層116e、絶縁膜110a3f、絶縁膜110a2f、及び絶縁膜110a1fの一部を除去し、導電層112a及び基板102に達する開口部143を形成する(図15A乃至図15D)。開口部143は、平面視にて一点鎖線B1-B2と平行な方向に、ライン状に形成される。また、これにより、導電層112beから導電層112b1及び導電層112b2が、絶縁膜110b1fから絶縁層110b1が、絶縁膜110b2fから絶縁層110b2が、絶縁膜110b1fから絶縁層11

0 b 1 が、導電層 1 1 6 e から導電層 1 1 6 __ 1 及び導電層 1 1 6 __ 2 が、絶縁膜 1 1 0 a 3 f から絶縁層 1 1 0 a 3 が、絶縁膜 1 1 0 a 2 f から絶縁層 1 1 0 a 2 が、絶縁膜 1 1 0 a 1 f から絶縁層 1 1 0 a 1 が、それぞれ形成される。開口部 1 4 3 の形成には、例えば、ドライエッチング法を好適に用いることができる。

[0 3 1 2]

なお、図 1 B 等では、開口部 1 4 3 の底部が、導電層 1 1 2 a の上面と一致している例を示しているが、本発明の一態様はこの限りではない。例えば、導電層 1 1 2 a が、開口部 1 4 3 と重なる領域に凹部を有する構成とすることもできる。これにより、当該凹部内にまで半導体層 1 0 8 及び導電層 1 0 4 を設けることができるため、導電層 1 1 2 a 近傍における半導体層 1 0 8 にかかるバックゲート電極の電界を強くすることができる。そのため、トランジスタ 1 0 __ 1 及びトランジスタ 1 0 __ 2 のオン電流を大きくすることができる。例えば、開口部 1 4 3 の形成時に、導電層 1 1 2 a の上面の一部が除去されるようにエッチングを行うことで、上述の凹部を有する導電層 1 1 2 a を形成することができる。

[0 3 1 3]

続いて、開口部 1 4 3 を覆うように、絶縁膜 1 1 0 s f を形成する（図 1 6 A 乃至図 1 6 D）。絶縁膜 1 1 0 s f は、導電層 1 1 2 b 1 の上面、導電層 1 1 2 b 2 の上面、開口部 1 4 3 内における導電層 1 1 2 b 1 の側面、開口部 1 4 3 内における導電層 1 1 2 b 2 の側面、開口部 1 4 3 内における絶縁層 1 1 0（絶縁層 1 1 0 a 及び絶縁層 1 1 0 b）の側面、開口部 1 4 3 内における導電層 1 1 6 __ 1 の側面、開口部 1 4 3 内における導電層 1 1 6 __ 2 の側面、開口部 1 4 3 内における導電層 1 1 2 a の上面、開口部 1 4 3 内における導電層 1 1 2 a の側面、及び開口部 1 4 3 内における基板 1 0 2 の上面に接して設けられる。

[0 3 1 4]

絶縁膜 1 1 0 s f には、先に記載の絶縁層 1 1 0 s 1 及び絶縁層 1 1 0 s 2 に用いることができる材料を適宜、用いることができる。

[0 3 1 5]

CVD 法、ALD 法、等を用いて絶縁膜 1 1 0 s f を成膜することにより、絶縁膜 1 1 0 s f を、開口部 1 4 3 の側壁に良好に被覆することができるため、好ましい。

[0 3 1 6]

続いて、エッチングによって絶縁膜 1 1 0 s f の一部を除去することにより、絶縁層 1 1 0 s 1 及び絶縁層 1 1 0 s 2 を形成する（図 1 7 A 乃至図 1 7 D）。具体的には、エッチングによって絶縁膜 1 1 0 s f の導電層 1 1 2 a の上面に接する領域、導電層 1 1 2 b 1 の上面に接する領域、導電層 1 1 2 b 2 の上面に接する領域、及び基板 1 0 2 の上面に接する領域を除去し、開口部 1 4 3 内における導電層 1 1 2 b 1 の側面、開口部 1 4 3 内における絶縁層 1 1 0（絶縁層 1 1 0 a 及び絶縁層 1 1 0 b）の一方の側面、及び開口部 1 4 3 内における導電層 1 1 6 __ 1 の側面に接する絶縁層 1 1 0 s 1 と、開口部 1 4 3 内における導電層 1 1 2 b 2 の側面、開口部 1 4 3 内における絶縁層 1 1 0 の他方の側面、及び開口部 1 4 3 内における導電層 1 1 6 __ 2 の側面に接する絶縁層 1 1 0 s 2 と、を形成する。

[0 3 1 7]

絶縁膜 1 1 0 s f のエッチングには、例えば、異方性エッチングを用いることができる。より具体的には、例えば、ドライエッチングにおいて、異方性の高いエッチングを行うことにより、絶縁層 1

10s1及び絶縁層110s2を形成することができる。

[0318]

なお、図示していないが、絶縁膜110sfのエッチング条件によっては、絶縁膜110sfの一部が、開口部143の外側における導電層112b1及び導電層112b2の段差部側面等に残存する場合がある。

[0319]

続いて、開口部143を覆うように、半導体層108となる半導体膜を形成する。当該半導体膜は、開口部143内における導電層112aの上面及び側面、開口部143内における基板102の上面、開口部143内における絶縁層110s1の側面、開口部143内における絶縁層110s2の側面、絶縁層110s1の湾曲部、絶縁層110s2の湾曲部、導電層112b1の上面及び側面、導電層112b2の上面及び側面、並びに絶縁層110の上面に接して設けられる。

[0320]

半導体層108となる半導体膜は、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。又は、当該半導体膜は、ALD法により形成することが好ましい。ALD法は被覆性が高いため、開口部143を覆って設けられる当該半導体膜の形成に、好適に用いることができる。ALD法を用いることにより、絶縁層110s1の側面及び絶縁層110s2の側面にも被覆性良く当該半導体膜を形成することができる。また、ALD法は成膜速度を制御しやすいため、厚さが薄い膜を歩留り良く形成することができる。

[0321]

半導体層108となる半導体膜は、可能な限り欠陥の少ない緻密な膜とすることが好ましい。また、当該半導体膜は、可能な限り水素元素を含む不純物が低減され、高純度の膜であることが好ましい。特に、当該半導体膜として、結晶性を有する金属酸化物膜を用いることが好ましい。

[0322]

半導体層108となる半導体膜を形成する際に、酸素ガスを用いることが好ましい。酸素ガスを用いることで、絶縁層110s1中及び絶縁層110s2中に好適に酸素を供給することができる。例えば、絶縁層110s1及び絶縁層110s2に酸化物又は酸化窒化物を用いる場合、絶縁層110s1中及び絶縁層110s2中に好適に酸素を供給することができる。

[0323]

絶縁層110s1及び絶縁層110s2に酸素を供給することにより、後の工程で半導体層108のチャンネル形成領域に酸素が供給され、チャンネル形成領域中の酸素欠損(V_o)及び V_oH を低減することができる。

[0324]

半導体層108となる半導体膜を形成する際に、酸素ガスと、不活性ガス(例えば、ヘリウムガス、アルゴンガス、キセノンガスなど)と、を混合させることができる。なお、当該半導体膜として金属酸化物膜を用いる場合、金属酸化物膜を形成する際の成膜ガスの酸素流量比、又は処理室内の酸素分圧が高いほど、金属酸化物膜の結晶性を高めることができ、信頼性の高いトランジスタを実現することができる。一方、酸素流量比又は酸素分圧が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができ、オン電流が大きいトランジスタとすることができる。

[0325]

ここで、酸素流量比又は酸素分圧が高いと、金属酸化物膜が多結晶構造となる場合がある。多結晶

構造の金属酸化物膜の場合、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。したがって、半導体層 108 となる半導体膜が多結晶構造とならないよう、酸素流量比又は酸素分圧を調整することが好ましい。金属酸化物膜の組成によって多結晶構造へのなりやすさが異なるため、当該半導体膜の組成に応じて、酸素流量比又は酸素分圧を調整すればよい。

[0326]

金属酸化物膜を形成する際の基板温度が高いほど、結晶性が高く、緻密な金属酸化物膜とすることができる。一方、基板温度が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができる。

[0327]

半導体層 108 となる半導体膜の形成時の基板温度は、室温以上 250℃以下が好ましく、室温以上 200℃以下がより好ましく、室温以上 140℃以下がさらに好ましい。例えば、基板温度を、室温以上 140℃以下とすると、生産性が高くなり好ましい。また、基板温度を室温とする、又は基板を加熱しない状態で、当該半導体膜を形成することにより、結晶性を低くすることができる。

[0328]

基板温度が高いと、金属酸化物膜が多結晶構造となる場合がある。半導体層 108 となる半導体膜が多結晶構造とならないよう、基板温度を調整することが好ましい。当該半導体膜に適用する組成に応じて、基板温度を調整すればよい。

[0329]

ALD法を用いる場合、熱ALD法、又はPEALD(Plasma Enhanced ALD)法等の成膜方法を用いることが好ましい。熱ALD法は、極めて高い被覆性を示すため好ましい。PEALD法は、高い被覆性を示すことに加え、低温成膜が可能であるため好ましい。

[0330]

金属酸化物膜は、例えば、構成する金属元素を含むプリカーサと、酸化剤と、を用いてALD法により形成することができる。

[0331]

例えば、In-Ga-Zn酸化物を形成する場合には、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、及び亜鉛を含むプリカーサの、3つのプリカーサを用いることができる。又はインジウムを含むプリカーサと、ガリウム及び亜鉛を含むプリカーサの2つのプリカーサを用いることができる。

[0332]

インジウムを含むプリカーサとして、例えば、トリエチルインジウム、トリメチルインジウム、トリス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸)インジウム、シクロペンタジエニルインジウム、塩化インジウム(III)、(3-(ジメチルアミノ)プロピル)ジメチルインジウム、及び[1, 1, 1-トリメチル-N-(トリメチルシリル)アミド]-インジウムが挙げられる。

[0333]

ガリウムを含むプリカーサとして、例えば、トリメチルガリウム、トリエチルガリウム、三塩化ガリウム、トリス(ジメチルアミド)ガリウム(III)、ガリウム(III)アセチルアセトナート、トリス(2, 2, 6, 6-テトラメチル-3, 5-ヘプタンジオン酸)ガリウム、ジメチルクロロガリウム、及びジエチルクロロガリウムが挙げられる。

[0334]

アルミニウムを含むプリカーサとして、例えば、塩化アルミニウム、及びトリメチルアルミニウムが挙げられる。

[0335]

スズを含むプリカーサとして、例えば、塩化スズ（IV）、及びテトラキス（ジメチルアミド）スズが挙げられる。

[0336]

亜鉛を含むプリカーサとして、例えば、ジメチル亜鉛、ジエチル亜鉛、ビス（2, 2, 6, 6-テトラメチルー3, 5-ヘプタンジオン酸）亜鉛、及び塩化亜鉛が挙げられる。

[0337]

酸化剤として、例えば、オゾン、酸素、及び水が挙げられる。

[0338]

得られる膜の組成を制御する方法として、原料ガスの種類、原料ガスの流量比、原料ガスを流す時間、及び原料ガスを流す順番の一又は複数を調整することが挙げられる。これらを調整することにより、半導体層108となる半導体膜の組成を制御することができる。また、これらを調整することで、組成が連続して変化する膜を形成することもできる。当該半導体膜の組成が連続して変化する構成とすることもできる。

[0339]

半導体層108となる半導体膜を成膜する前に、絶縁層110s1及び絶縁層110s2の表面に吸着した水、水素、有機物等を脱離させるための処理、並びに絶縁層110s1及び絶縁層110s2に酸素を供給する処理のうち、少なくとも一方を行うことが好ましい。例えば、減圧雰囲気にて70℃以上200℃以下の温度で加熱処理を行うことができる。又は、酸素を含む雰囲気におけるプラズマ処理を行うことができる。又は、一酸化二窒素（N₂O）などの酸化性気体を含む雰囲気におけるプラズマ処理により、絶縁層110s1及び絶縁層110s2に酸素を供給することができる。一酸化二窒素ガスを含むプラズマ処理を行うと、絶縁層110s1及び絶縁層110s2の表面の有機物を好適に除去しつつ、絶縁層110s1及び絶縁層110s2に酸素を供給することができる。このような処理の後、絶縁層110s1及び絶縁層110s2の表面を大気に暴露することなく、連続して半導体層108となる半導体膜を成膜することが好ましい。

[0340]

なお、半導体層108を積層構造とする場合には、先に形成する半導体膜を成膜した後に、その表面を大気に曝すことなく連続して、次の半導体膜を成膜することが好ましい。

[0341]

半導体層108を積層構造とする場合には、半導体層108を構成する全ての層を同じ成膜方法（例えば、スパッタリング法又はALD法）で形成することができる。又は、層によって異なる成膜方法を用いることもできる。例えば、第1の半導体層をスパッタリング法で成膜し、第1の半導体層上の第2の半導体層をALD法で成膜することができる。また、例えば、第1の半導体層をALD法で成膜し、第1の半導体層上の第2の半導体層をスパッタリング法で成膜し、第2の半導体層上の第3の半導体層をALD法で成膜することができる。

[0342]

続いて、半導体層108となる半導体膜を島状に加工し、半導体層108を形成する（図18A乃

至図18D)。半導体層108は、開口部143内において、導電層112a、導電層112b1、及び導電層112b2と重なる領域を有するように形成する。半導体層108は、開口部143内における導電層112aの上面及び側面、開口部143内における基板102の上面、開口部143内における絶縁層110s1の側面、開口部143内における絶縁層110s2の側面、絶縁層110s1の湾曲部、絶縁層110s2の湾曲部、導電層112b1の上面及び側面、導電層112b2の上面及び側面、並びに絶縁層110の上面に接して設けられる。

[0343]

半導体層108の形成には、ウェットエッチング法を好適に用いることができる。このとき、半導体層108と重ならない領域の基板102、絶縁層110、導電層112b1、及び導電層112b2の一部がエッチングされ、厚さが薄くなる場合がある。なお、半導体層108となる半導体膜のエッチングにおいて、基板102、絶縁層110、導電層112b1、及び導電層112b2のそれぞれに選択比の高い材料を用いることで、これらの厚さが薄くなることを抑制することができ、好ましい。

[0344]

半導体層108となる半導体膜の成膜後、又は当該半導体膜を半導体層108に加工した後に、加熱処理を行うことが好ましい。加熱処理により、当該半導体膜中、又は半導体層108中に含まれる、又は表面に吸着した水素及び水を除去することができる。また、加熱処理により、当該半導体膜、又は半導体層108の膜質が向上する（例えば、欠陥が低減する、又は結晶性が向上する）場合がある。

[0345]

加熱処理により、絶縁層110s1及び絶縁層110s2から半導体層108となる半導体膜、又は半導体層108に、酸素を供給することもできる。これにより、トランジスタ10__1及びトランジスタ10__2のチャネル形成領域の酸素欠損（ V_o ）を低減することができる。このとき、半導体層108となる半導体膜を半導体層108に加工する前に、加熱処理を行うことがより好ましい。加熱処理については、前述の記載を参照することができるため、詳細な説明は省略する。なお、当該加熱処理に限定されず、半導体層108となる半導体膜の形成以降の熱が加わる工程（例えば、絶縁層106の形成工程）においても、チャネル形成領域への酸素の供給が行われる場合がある。

[0346]

なお、当該加熱処理は不要であれば行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねることができる。また、後の工程での高温下の処理（例えば、成膜工程）が、当該加熱処理を兼ねることができる場合もある。

[0347]

続いて、半導体層108、導電層112b1、導電層112b2、絶縁層110、導電層112a、及び基板102を覆って、絶縁層106を形成する。絶縁層106の形成には、例えば、PECVD法又はALD法を好適に用いることができる。

[0348]

半導体層108に金属酸化物を用いる場合、絶縁層106は、酸素が拡散することを抑制するバリア膜として機能することが好ましい。絶縁層106が酸素の拡散を抑制する機能を有することにより、半導体層108に含まれる酸素が絶縁層106より上側に拡散することが抑制され、半導体層108に酸素欠損（ V_o ）が増加することを抑制することができる。その結果、良好な電気特性を示し、かつ信頼性の高いトランジスタ10__1及びトランジスタ10__2を実現することができる。

[0349]

絶縁層106の形成時の温度を高くすることにより、欠陥の少ない絶縁層106とすることができる。しかしながら、絶縁層106の形成時の温度が高いと半導体層108から酸素が脱離し、半導体層108中の酸素欠損(V_o)及びV_oHが増加してしまう場合がある。絶縁層106の形成時の基板温度は、180℃以上450℃以下が好ましく、さらには200℃以上450℃以下が好ましく、さらには250℃以上450℃以下が好ましく、さらには300℃以上450℃以下が好ましく、さらには300℃以上400℃以下が好ましい。絶縁層106の形成時の基板温度を前述の範囲とすることで、絶縁層106の欠陥を少なくするとともに、半導体層108から酸素が脱離することを抑制することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタ10__1及びトランジスタ10__2を実現することができる。

[0350]

絶縁層106を形成する前に、半導体層108の表面に対してプラズマ処理を行うことができる。当該プラズマ処理により、半導体層108の表面に吸着する不純物(例えば、水)を低減することができる。そのため、半導体層108と絶縁層106との界面における不純物を低減することができ、信頼性の高いトランジスタ10__1及びトランジスタ10__2を実現することができる。特に、半導体層108の形成から、絶縁層106の形成までの間に半導体層108の表面が大気に曝される場合に好適である。プラズマ処理は、例えば、酸素、オゾン、窒素、一酸化二窒素、アルゴンなどの雰囲気で行うことができる。また、プラズマ処理と絶縁層106の形成とは、大気に曝すことなく連続して行われることが好ましい。

[0351]

続いて、絶縁層106上に、導電層104となる導電膜を形成する。当該導電膜の形成には、例えば、スパッタリング法、CVD法、MBE法、PLD法、又はALD法を好適に用いることができる。ここで、当該導電膜は、開口部143内において、絶縁層110s1の側面及び絶縁層110s2の側面と対向する絶縁層106に接して形成されることが好ましい。よって、当該導電膜の成膜は、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、CVD法又はALD法などを用いることがより好ましい。

[0352]

続いて、導電層104となる導電膜を加工することにより、導電層104を形成する。導電層104は、導電層112a、導電層112b1、及び導電層112b2と重なる領域を有するように形成する。導電層104の形成は、フォトリソグラフィ法を用いて行えばよい。上記加工は、ドライエッチング法又はウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0353]

続いて、導電層104及び絶縁層106を覆って、絶縁層195を形成する(図1A乃至図2B)。

[0354]

絶縁層195は、例えば、絶縁層110a1、絶縁層110a3、絶縁層110b1、及び絶縁層110b3と同様の材料及び方法で形成することができる。

[0355]

以上の工程により、半導体装置100を作製することができる。

[0356]

以上のように、本発明の一態様では、半導体装置100が有する2つのトランジスタ（トランジスタ10__1及びトランジスタ10__2）を、同一材料を用いて、同一工程を経ることにより、同時に形成することができる。

[0357]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせで実施することができる。

[0358]

（実施の形態2）

本発明の一態様の半導体装置は、例えば、表示装置に適用することができる。本実施の形態では、本発明の一態様の表示装置の構成例について説明する。

[0359]

本実施の形態の表示装置は、高解像度の表示装置又は大型の表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型若しくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、及びパチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び音響再生装置の表示部に用いることができる。

[0360]

また、本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型及びブレスレット型などの情報端末機（ウェアラブル機器）の表示部、並びにヘッドマウントディスプレイ（HMD）などのVR向け機器、及びメガネ型のAR向け機器などの頭部に装着可能なウェアラブル機器の表示部に用いることができる。

[0361]

本発明の一態様の半導体装置は、表示装置、又は当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとしては、当該表示装置にフレキシブルプリント回路基板（以下、FPCと記す）若しくはTCP等のコネクタが取り付けられたモジュール、COG方式若しくはCOF（Chip On Film）方式等により集積回路（IC）が実装されたモジュール等が挙げられる。

[0362]

<表示装置の構成例>

図19に、表示装置50の斜視図を示す。

[0363]

表示装置50は、基板152と基板151とが貼り合わされた構成を有する。図19では、基板152を破線で示している。

[0364]

表示装置50は、表示部162、接続部140、回路部164、配線165等を有する。図19では、表示装置50にIC173及びFPC172が実装されている例を示している。そのため、図19に示す構成は、表示装置50と、ICと、FPCと、を有する表示モジュールということもできる。

[0365]

接続部140は、表示部162の外側に設けられる。接続部140は、表示部162の一辺又は複

数の辺に沿って設けることができる。接続部140は、単数であっても複数であってもよい。図19では、表示部の四辺を囲むように接続部140が設けられている例を示す。接続部140では、表示素子の共通電極と、導電層と、が接続されており、共通電極に電位を供給することができる。なお、共通電極を基板151側に設ける場合など、接続部140が不要であれば設けなくてもよい。

[0366]

回路部164は、例えば、走査線駆動回路（ゲートドライバともいう）を有する。また、回路部164は、走査線駆動回路及び信号線駆動回路（ソースドライバともいう）の双方を有していてもよい。

[0367]

配線165は、表示部162及び回路部164に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC172を介して外部から配線165に入力される、又はIC173から配線165に入力される。

[0368]

図19では、COG方式又はCOF方式等により、基板151にIC173が設けられている例を示す。IC173には、例えば、走査線駆動回路及び信号線駆動回路のうち一方又は双方を有するICを適用することができる。なお、表示装置50及び表示モジュールは、ICを設けない構成としてもよい。また、ICを、COF方式等により、FPCに実装してもよい。

[0369]

本発明の一態様の半導体装置が有する縦型トランジスタは、例えば、表示装置50の表示部162及び回路部164の一方又は双方に適用することができる。また、本発明の一態様の半導体装置が有する縦型トランジスタは、IC173に適用することもできる。例えば、シリコンウェハ上に本発明の一態様の半導体装置が有する縦型トランジスタを設ける構成とすることができる。このとき、単結晶シリコンを半導体層に用いたトランジスタと、その上方に本発明の一態様の半導体装置が有する縦型トランジスタを積層して設け、2種類のトランジスタにより回路を構成することが好ましい。

[0370]

例えば、本発明の一態様の半導体装置が有する縦型トランジスタを表示装置の画素回路に適用する場合、プレーナ型のトランジスタを用いた場合と比較して画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置が有する縦型トランジスタを表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方）に適用する場合、プレーナ型のトランジスタを用いた場合と比較して駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、本発明の一態様の半導体装置が有する縦型トランジスタは、電気特性が良好であるため、表示装置に用いることで表示装置の信頼性を高めることができる。

[0371]

表示部162は、表示装置50における画像を表示する領域であり、周期的に配列された複数の画素210を有する。図19には、1つの画素210の拡大図を示している。

[0372]

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列としては、例えば、ストライプ配列、Sストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。

[0373]

図19に示す画素210は、赤色の光を呈する副画素210R、緑色の光を呈する副画素210G、及び、青色の光を呈する副画素210Bを有する。副画素210R、副画素210G、及び副画素210Bは、それぞれ、表示素子と、当該表示素子の駆動を制御する回路と、を有する。

[0374]

表示素子としては、例えば、液晶素子を用いることができる。これにより、例えば、透過型の液晶表示装置、反射型の液晶表示装置、又は半透過型の液晶表示装置とすることができる。

[0375]

また、表示素子としては、液晶素子以外にも様々な素子(例えば発光素子)を用いることができる。発光素子としては、例えば、LED(Light Emitting Diode)、OLED(Organic LED)、半導体レーザなどの、自発光型の発光素子が挙げられる。LEDとして、例えば、ミニLED、マイクロLEDなどを用いることができる。

[0376]

その他、シャッター方式又は光干渉方式のMEMS(Micro Electro Mechanical Systems)素子、マイクロカプセル方式、電気泳動方式、エレクトロウェットティング方式、又は電子粉流体(登録商標)方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたQLED(Quantum-dot LED)を用いてもよい。

[0377]

図20に、表示装置50の、FPC172を含む領域の一部、回路部164の一部、表示部162の一部、接続部140の一部、及び端部を含む領域の一部を、それぞれ切断したときの断面の一例を示す。

[0378]

図20は、VAモードの液晶素子が適用された場合の断面概略図である。

[0379]

基板151と基板152とは、接着層141によって貼り合されている。また基板151、基板152、及び接着層141に囲まれた領域に、液晶122が封止されている。また、基板152の外側の面には偏光板130aを有する。また基板151の外側の面には、偏光板130bを有する。

[0380]

また、図示しないが、偏光板130aよりも外側、又は偏光板130bよりも外側に、バックライトを設けることができる。

[0381]

基板151には、液晶素子60の画素電極として機能する半導体層108、半導体装置201、複数の半導体装置202、接続部204、配線206、スペーサ124などが設けられている。半導体装置202に、先の実施の形態で説明した半導体装置100等を適用することができる。すなわち、半導体装置202は、2つの縦型トランジスタで構成される半導体装置である。半導体装置201は、回路部164に設けられる半導体装置であり、半導体装置202は、表示部162に設けられる半導体装置である。

[0382]

なお、図20では、半導体装置201が導電層116__1及び導電層116__2を有さず、導電層104をゲート電極とする縦型トランジスタを有する構成を示しているが、この限りではない。半導

体装置 201 が、導電層 116__1 及び導電層 116__2 と同じ材料で形成されたバックゲート電極を有する縦型トランジスタを適用する構成とすることもできる。

[0383]

なお、半導体装置 201 及び半導体装置 202 を、図 20 に示す構成とする場合、半導体装置 201 が有する縦型トランジスタの方が、半導体装置 202 が有する 2 つの縦型トランジスタよりもチャネル長が短い。したがって、半導体装置 201 が有する縦型トランジスタの方が、半導体装置 202 が有する縦型トランジスタよりも、オン電流の大きいトランジスタとすることができ、高速動作が可能な表示装置とすることができる。一方、半導体装置 201 が有する縦型トランジスタがゲート電極を 1 つ（導電層 104）しか有さない構成であるのに対して、半導体装置 202 が有する縦型トランジスタは、ゲート電極を 2 つ（導電層 116__1 及び導電層 104、又は導電層 116__2 及び導電層 104）有する。したがって、半導体装置 202 が有する縦型トランジスタの方が、半導体装置 201 が有する縦型トランジスタよりも、半導体層 108 のバックゲート電極側の電位を固定することができるため、しきい値電圧のノーマリオフ化を図ることができる。また、半導体装置 202 が有するトランジスタの電気特性のばらつきを抑制することができる。

[0384]

基板 152 には、着色層 131、遮光層 132、絶縁層 123、共通電極 113 などが設けられている。

[0385]

基板 151 上には、絶縁層 110a1、絶縁層 110a2、絶縁層 110a3、絶縁層 110b3、絶縁層 110b2、絶縁層 110b1、絶縁層 106、絶縁層 195 等の絶縁層が設けられている。絶縁層 110a1、絶縁層 110a2、絶縁層 110a3、絶縁層 110b3、絶縁層 110b2、及び絶縁層 110b1 は、層間絶縁層（又はスペーサ）として機能する。絶縁層 106 は、その一部が、半導体装置 201 が有するトランジスタ、又は半導体装置 202 が有するトランジスタのゲート絶縁層として機能する。絶縁層 195 は、半導体装置 201 及び半導体装置 202 の保護層として機能する。

[0386]

半導体装置 202 は、導電層 112a、導電層 112b1、導電層 112b2、絶縁層 110s1、絶縁層 110s2、導電層 116__1、導電層 116__2、半導体層 108、絶縁層 106 の一部、及び導電層 104 を有する。半導体装置 202 の導電層 112b2 は、画素電極の一部として機能する。導電層 112a は、半導体装置 201 が有するトランジスタ、又は半導体装置 202 が有するトランジスタのソース電極又はドレイン電極の一方として機能し、導電層 112b1 及び導電層 112b2 は、半導体装置 201 が有するトランジスタ、又は半導体装置 202 が有するトランジスタのソース電極又はドレイン電極の他方として機能する。絶縁層 110s1 及び絶縁層 110s2 は、半導体装置 202 が有するトランジスタのゲート絶縁層（第 1 のゲート絶縁層）として機能する。導電層 116__1 及び導電層 116__2 は、半導体装置 202 が有するトランジスタのゲート電極（第 1 のゲート電極）として機能する。絶縁層 106 の一部は、上述したように、半導体装置 201 が有するトランジスタ、又は半導体装置 202 が有するトランジスタのゲート絶縁層（第 2 のゲート絶縁層）として機能する。導電層 104 は、半導体装置 201 が有するトランジスタ、又は半導体装置 202 が有するトランジスタのゲート電極（第 2 のゲート電極）として機能する。

[0387]

ここで、導電層 112a1 上に接して、導電層 112a2 が設けられている。導電層 112a2 は、導電層 112a1 よりも導電性の高い導電材料を含み、補助配線として機能する。導電層 112a1 に導電性酸化物を用いた場合、抵抗が高く配線として用いることが難しい場合がある。このような場合には、導電層 112a1 よりも導電性の高い導電層 112a2 を設けることで、導電層 112a1 の導電性を補助することができる。導電層 112a1 と導電層 112a2 とを合わせた積層構造が、前述した半導体装置 100 等における導電層 112a に対応するといえる。なお、ここでは導電層 112a1 上に導電層 112a2 を設ける構成としたが、導電層 112a1 よりも下側に導電層 112a2 を設けてもよい。また、ここでは図示しないが、同様の導電層を、導電層 112b1 及び導電層 112b2 に接して設けることが好ましい。

[0388]

液晶素子 60 は、画素電極として機能する導電層 112b2 の一部と、共通電極 113 と、これらの間に挟持される液晶 122 と、を有する。

[0389]

また、図 20 では、表示部 162 の例として、2 つの副画素の断面を示している。1 つの副画素は、少なくとも半導体装置 202 と、液晶素子 60 と、着色層 131 と、を有する。例えば、着色層 131 を選択的に形成して赤色を呈する副画素、緑色を呈する副画素、青色を呈する副画素を配列することで、フルカラーの表示を行うことができる。ここで、半導体装置 202、導電層 112b2 の画素電極として機能する部分、配線等により、画素回路（副画素回路）が構成されている。

[0390]

上述のように、ここでは回路部 164 が有する半導体装置 201 と、表示部 162 が有する半導体装置 202 と、が異なる構造である場合を示したが、同じ構造であってもよい。また、回路部 164 が有する複数の半導体装置は、全て同じ構造であってもよいし、異なる構造の半導体装置（例えば、半導体装置 100、半導体装置 100A 乃至半導体装置 100F のいずれか）を組み合わせる用いてもよい。

[0391]

半導体装置 201 及び半導体装置 202 を覆う絶縁層 195 は、水又は水素などの不純物が拡散しにくい材料を用いることが好ましい。すなわち、絶縁層 195 はバリア膜として機能させることができる。このような構成とすることで、半導体装置 201 及び半導体装置 202 に対して、外部から不純物が拡散することを効果的に抑制することが可能となる。そのため、例えば、表示装置 50 をタッチパネルに適用する場合、信頼性の高いタッチパネルとすることができる。

[0392]

基板 152 側において、着色層 131、遮光層 132 を覆って絶縁層 123 が設けられている。絶縁層 123 は、平坦化膜としての機能を有していてもよい。絶縁層 123 により、共通電極 113 の表面を概略平坦にすることができるため、液晶 122 の配向状態を均一にすることができる。

[0393]

なお、共通電極 113、絶縁層 195 等において、液晶 122 と接する面には、液晶 122 の配向を制御するための配向膜が設けられていてもよい。

[0394]

液晶素子 60 において、導電層 112b2、及び共通電極 113 は、可視光を透過する機能を有する。このような構成により、液晶素子 60 が適用された表示装置を、透過型の液晶表示装置とするこ

とができる。例えば、バックライトを基板 1 5 2 側に配置した場合、偏光板 1 3 0 a により偏光されたバックライトからの光は、基板 1 5 2 及び共通電極 1 1 3、液晶 1 2 2、導電層 1 1 2 b 2、基板 1 5 1 等を透過し、偏光板 1 3 0 b に達する。このとき、導電層 1 1 2 b 2 と共通電極 1 1 3 との間に与える電圧によって液晶 1 2 2 の配向を制御し、光の光学変調を制御することができる。すなわち、偏光板 1 3 0 b を介して射出される光の強度を制御することができる。また、入射される光は、着色層 1 3 1 によって特定の波長領域以外の光が吸収されることにより、取り出される光は、例えば、赤色を呈する光となる。

[0 3 9 5]

ここで、偏光板 1 3 0 b として直線偏光板を用いてもよいが、円偏光板を用いることもできる。円偏光板としては、例えば、直線偏光板と 1 / 4 波長位相差板を積層したものをを用いることができる。偏光板 1 3 0 b に円偏光板を用いることで、外光反射を抑制することができる。

[0 3 9 6]

なお、偏光板 1 3 0 b として円偏光板を用いた場合、偏光板 1 3 0 a にも円偏光板を用いてもよいし、通常の直線偏光板を用いることもできる。偏光板 1 3 0 a、偏光板 1 3 0 b に適用する偏光板の種類に応じて、液晶素子 6 0 に用いる液晶素子のセルギャップ、配向、駆動電圧等を調整することで、所望のコントラストが実現されるようにすればよい。

[0 3 9 7]

共通電極 1 1 3 は、接続部 1 4 0 において、基板 1 5 1 側に設けられた導電層と接続体 2 4 3 により接続されている。これにより、基板 1 5 1 側に配置される F P C 又は I C から共通電極 1 1 3 に、電位又は信号を供給することができる。

[0 3 9 8]

接続体 2 4 3 としては、例えば、導電性の粒子を用いることができる。導電性の粒子としては、有機樹脂又はシリカなどの粒子の表面を金属材料で被覆したものをを用いることができる。金属材料としてニッケル又は金を用いると接触抵抗を低減することができるため好ましい。またニッケルをさらに金で被覆するなど、2 種類以上の金属材料を層状に被覆させた粒子を用いることが好ましい。また、接続体 2 4 3 として、弾性変形、又は塑性変形する材料を用いることが好ましい。このとき、導電性の粒子は、図 2 0 に示すように上下方向に潰れた形状となる場合がある。こうすることで、接続体 2 4 3 と、これと接続する導電層と、の接触面積が増大し、接触抵抗が低減することができる他、接続不良などの不具合の発生を抑制することができる。

[0 3 9 9]

接続体 2 4 3 は、接着層 1 4 1 に覆われるように配置することが好ましい。例えば、硬化前の接着層 1 4 1 に接続体 2 4 3 を分散させておけばよい。接着層 1 4 1 が設けられる部分に接続体 2 4 3 を配置することで、例えば、固体封止構造又は中空封止構造の表示装置等、接着層 1 4 1 を周辺に用いる構成であれば同様に適用することができる。

[0 4 0 0]

基板 1 5 1 の端部に近い領域には、接続部 2 0 4 が設けられている。接続部 2 0 4 では、配線 2 0 6 が接続層 2 4 2 を介して、F P C 1 7 2 と接続されている。図 2 0 に示す構成では、配線 2 0 6 は、導電層 1 1 2 a 1 及び導電層 1 1 2 a 2 と同様の積層構造を有する例を示している。

[0 4 0 1]

導電層 1 1 2 b 1 及び導電層 1 1 2 b 2 には、導電性酸化物を用いることが好ましい。これにより、

半導体層 108 との良好な接続特性を実現することができる。さらに、接続部 140 において接続体 243 と接続する電極、及び接続部 204 において接続層 242 と接続する電極は、導電層 112b1 及び導電層 112b2 と同一の導電膜を用いて、同一工程で形成されることが好ましい。これにより、接続部 140 及び接続部 204 の露出した部分が酸化して絶縁被膜が形成されることによる接触不良の発生を防ぐことができ、信頼性の高い表示装置を実現することができる。

[0402]

以上が、断面構成例の説明である。

[0403]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせで実施することができる。

[0404]

(実施の形態 3)

本実施の形態では、本発明の一態様のトランジスタ（例えば、半導体装置 100、半導体装置 100A 乃至半導体装置 100F のいずれかが有するトランジスタ）を有する表示装置について説明する。

[0405]

図 21A に示す表示装置は、画素部 502 と、駆動回路部 504 と、保護回路 506 と、端子部 507 と、を有する。なお、保護回路 506 は、設けない構成としてもよい。

[0406]

画素部 502 及び駆動回路部 504 の一方又は双方が有するトランジスタに、本発明の一態様のトランジスタを適用することができる。また、保護回路 506 にも、本発明の一態様のトランジスタを適用してもよい。

[0407]

画素部 502 は、X 行 Y 列（X、Y は、それぞれ独立に 2 以上の自然数）に配置された複数の画素回路 501 を有する。各画素回路 501 は、それぞれ表示素子を駆動する回路を有する。

[0408]

駆動回路部 504 は、ゲート線 GL__1 乃至ゲート線 GL__X に走査信号を出力するゲートドライバ 504a、データ線 DL__1 乃至データ線 DL__Y にデータ信号を供給するソースドライバ 504b などの駆動回路を有する。ゲートドライバ 504a は、少なくともシフトレジスタを有する構成とすればよい。また、ソースドライバ 504b は、シフトレジスタ、デジタルアナログ変換回路、ラッチ回路などを用いて構成することができる。

[0409]

端子部 507 は、外部の回路から表示装置に電源、制御信号、画像信号等を入力するための端子が設けられた部分である。

[0410]

保護回路 506 は、自身が接続する配線に一定の範囲外の電位が与えられたときに、当該配線と別の配線とを導通状態にする回路である。図 21A に示す保護回路 506 は、例えば、ゲート線 GL、データ線 DL などの各種配線に接続される。なお図 21A では、保護回路 506 と画素回路 501 とを区別するため、保護回路 506 にハッチングパターンを付している。

[0411]

また、ゲートドライバ504aとソースドライバ504bは、それぞれ画素部502と同じ基板上に設けられていてもよいし、ゲートドライバ回路又はソースドライバ回路が別途形成されたICを、COG法などを用いて、画素部502が設けられる基板に実装する構成としてもよい。又は、ICが実装されたFPCをACF (Anisotropic Conductive Film) などを用いて基板に貼りつけてもよい。

[0412]

特に、画素部502とゲートドライバ504aとが、同一基板上に、同一工程を経て作製されることが好ましい。このとき、画素部502とゲートドライバ504aとに、それぞれ本発明の一態様のトランジスタを設けることが好ましい。また、ソースドライバ504bにICを用いた場合、当該基板上にデマルチプレクサ回路を設けると、ICの端子数を削減することができるため好ましい。このとき、デマルチプレクサ回路に、本発明の一態様のトランジスタを適用することが好ましい。

[0413]

図21Bに、画素回路501に適用することのできる画素回路の構成の一例を示す。

[0414]

図21Bに示す画素回路501は、液晶素子570と、トランジスタ550と、容量素子560と、を有する。また、画素回路501には、データ線DL_n、ゲート線GL_m、電位供給線VL等が接続されている。

[0415]

トランジスタ550に、本発明の一態様の縦型トランジスタを適用することができる。なお、図21Bでは、トランジスタ550が2つのゲートを有する構成を示しており、一方（第1のゲート）はゲート線GL_mに接続し、他方（第2のゲート、バックゲート）は接続先を明示していない。トランジスタ550における第1のゲートは、図1B等 to 示す半導体装置100が有するトランジスタ10₁又はトランジスタ10₂における導電層116₁又は導電層116₂に相当し、第2のゲートは、導電層104に相当する。トランジスタ550の第2のゲートは、接続先を明示していないが、実施の形態1で説明したように、接地電位又は任意の電位を与えることができる。トランジスタ550の第2のゲート電極は、例えば、容量電極としての機能を有することができる。

[0416]

液晶素子570の一对の電極の一方の電位は、画素回路501の仕様に応じて適宜設定される。液晶素子570は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路501のそれぞれが有する液晶素子570の一对の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路501の液晶素子570の一对の電極の一方に異なる電位を与えてもよい。

[0417]

また、図21Cに示す画素回路501は、トランジスタ552と、トランジスタ554と、容量素子562と、発光素子572と、を有する。また画素回路501には、データ線DL_n、ゲート線GL_m、電位供給線VL_a、電位供給線VL_b等が接続されている。

[0418]

なお、電位供給線VL_a及び電位供給線VL_bの一方には、高電源電位VDDが与えられ、他方には、低電源電位VSSが与えられる。トランジスタ554のゲートに与えられる電位に応じて、発光素子572に流れる電流が制御されることにより、発光素子572からの発光輝度が制御される。

[0419]

トランジスタ552及びトランジスタ554の一方又は双方に、本発明の一態様の縦型トランジスタを適用することができる。なお、図21Cでは、トランジスタ552及びトランジスタ554がともに第2のゲート有する構成を示しているが、第2のゲートの接続先を明示していない。トランジスタ552及びトランジスタ554の第2のゲートについては、上述のトランジスタ550の第2のゲートに係る記載を参照することができる。

[0420]

続いて、画素に表示される階調を補正するためのメモリを備える画素回路と、これを有する表示装置について説明する。

[0421]

図22Aに、画素回路400の回路図を示す。画素回路400は、トランジスタM1、トランジスタM2、容量C1、及び回路401を有する。また、画素回路400には、配線S1、配線S2、配線G1、及び配線G2が接続される。

[0422]

トランジスタM1及びトランジスタM2に、本発明の一態様の縦型トランジスタを適用することができる。なお、図22Aでは、トランジスタM1及びトランジスタM2がともに第2のゲートを有する構成を示しているが、第2のゲートの接続先を明示していない。トランジスタM1及びトランジスタM2の第2のゲートについては、上述のトランジスタ550の第2のゲートに係る記載を参照することができる。図22C及び図22Dに示すトランジスタM1、トランジスタM2、及びトランジスタM3についても、同様である。

[0423]

トランジスタM1は、ゲートが配線G1と、ソース又はドレインの一方が配線S1と、他方が容量C1の一方の電極と、それぞれ接続する。トランジスタM2は、ゲートが配線G2と、ソース又はドレインの一方が配線S2と、他方が容量C1の他方の電極、及び回路401と、それぞれ接続する。

[0424]

回路401は、少なくとも一の表示素子を含む回路である。ここでは、表示素子として液晶素子を有する。

[0425]

トランジスタM1と容量C1とを接続するノードをノードN1、トランジスタM2と回路401とを接続するノードをノードN2とする。

[0426]

画素回路400は、トランジスタM1をオフ状態とすることで、ノードN1の電位を保持することができる。また、トランジスタM2をオフ状態とすることで、ノードN2の電位を保持することができる。また、トランジスタM2をオフ状態とした状態で、トランジスタM1を介してノードN1に所定の電位を書き込むことで、容量C1を介した容量結合により、ノードN1の電位の変位に応じてノードN2の電位を変化させることができる。

[0427]

ここで、トランジスタM1、トランジスタM2のうちの一方又は両方に、実施の形態1で例示した、酸化物半導体が適用されたトランジスタを適用することができる。そのため、極めて低いオフ電流により、ノードN1又はノードN2の電位を長期間にわたって保持することができる。なお、各ノード

の電位を保持する期間が短い場合(具体的には、フレーム周波数が30Hz以上である場合等)には、シリコン等の半導体を適用したトランジスタを用いてもよい。

[0428]

[駆動方法例]

続いて、図22Bを用いて、画素回路400の動作方法の一例を説明する。図22Bは、画素回路400の動作に係るタイミングチャートである。なお、ここでは説明を容易にするため、配線抵抗などの各種抵抗、寄生容量、トランジスタのしきい値電圧などの影響は考慮しない。

[0429]

図22Bに示す動作では、1フレーム期間を期間T1と期間T2とに分ける。期間T1はノードN2に電位を書き込む期間であり、期間T2はノードN1に電位を書き込む期間である。

[0430]

[期間T1]

期間T1では、配線G1と配線G2の両方に、トランジスタをオン状態にする電位を与える。また、配線S1には固定電位である電位 V_{ref} を供給し、配線S2には第1データ電位 V_w を供給する。

[0431]

ノードN1には、トランジスタM1を介して配線S1から電位 V_{ref} が与えられる。また、ノードN2には、トランジスタM2を介して配線S2から第1データ電位 V_w が与えられる。したがって、容量C1には電位差 $V_w - V_{ref}$ が保持された状態となる。

[0432]

[期間T2]

続いて期間T2では、配線G1にはトランジスタM1をオン状態とする電位を与え、配線G2にはトランジスタM2をオフ状態とする電位を与える。また、配線S1には第2データ電位 V_{data} を供給する。配線S2には所定の定電位を与える、又はフローティング状態としてもよい。

[0433]

ノードN1には、トランジスタM1を介して配線S1から第2データ電位 V_{data} が与えられる。このとき、容量C1による容量結合により、第2データ電位 V_{data} に応じてノードN2の電位が電位dVだけ変化する。すなわち、回路401には、第1データ電位 V_w と電位dVを足した電位が入力されることとなる。なお、図22Bでは電位dVが正の値であるように示しているが、負の値であってもよい。すなわち、第2データ電位 V_{data} が電位 V_{ref} より低くてもよい。

[0434]

ここで、電位dVは、容量C1の容量値と、回路401の容量値によって概ね決定される。容量C1の容量値が回路401の容量値よりも十分に大きい場合、電位dVは第2データ電位 V_{data} に近い電位となる。

[0435]

このように、画素回路400は、2種類のデータ信号を組み合わせる表示素子を含む回路401に供給する電位を生成することができるため、画素回路400内で階調の補正を行うことが可能となる。

[0436]

また画素回路400は、配線S1及び配線S2に接続されるソースドライバが供給可能な最大電位を超える電位を生成することも可能となる。例えば発光素子を用いた場合では、ハイダイナミック

レンジ（HDR）表示等を行うことができる。また、液晶素子を用いた場合では、オーバードライブ駆動等を実現することができる。

[0437]

[適用例]

[液晶素子を用いた例]

図22Cに示す画素回路400LCは、回路401LCを有する。回路401LCは、液晶素子LCと、容量C2とを有する。

[0438]

液晶素子LCは、一方の電極が、ノードN2及び容量C2の一方の電極と、他方の電極が、電位 V_{com2} が与えられる配線と接続する。容量C2は、他方の電極が、電位 V_{com1} が与えられる配線と接続する。

[0439]

容量C2は、保持容量として機能する。なお、容量C2は、不要であれば省略することができる。

[0440]

画素回路400LCは、液晶素子LCに高い電圧を供給することができるため、例えば、オーバードライブ駆動により高速な表示を実現すること、駆動電圧の高い液晶材料を適用することなどができる。また、配線S1又は配線S2に補正信号を供給することで、使用温度、液晶素子LCの劣化状態等に応じて階調を補正することもできる。

[0441]

[発光素子を用いた例]

図22Dに示す画素回路400ELは、回路401ELを有する。回路401ELは、発光素子EL、トランジスタM3、及び容量C2を有する。

[0442]

トランジスタM3は、ゲートが、ノードN2及び容量C2の一方の電極と、ソース又はドレインの一方が、電位 V_H が与えられる配線と、他方が、発光素子ELの一方の電極と、それぞれ接続される。容量C2は、他方の電極が、電位 V_{com} が与えられる配線と接続する。発光素子ELは、他方の電極が、電位 V_L が与えられる配線と接続する。

[0443]

トランジスタM3は、発光素子ELに供給する電流を制御する機能を有する。容量C2は、保持容量として機能する。容量C2は、不要であれば省略することができる。

[0444]

なお、ここでは発光素子ELのアノード側がトランジスタM3と接続する構成を示しているが、カソード側にトランジスタM3を接続してもよい。そのとき、電位 V_H と電位 V_L の値を適宜変更することができる。

[0445]

画素回路400ELは、トランジスタM3のゲートに高い電位を与えることで、発光素子ELに大きな電流を流すことができるため、例えば、HDR表示などを実現することができる。また、配線S1又は配線S2に補正信号を供給することで、トランジスタM3、発光素子ELなどの電気特性のばらつきを補正することもできる。

[0446]

なお、図 2 2 C 及び図 2 2 D で例示した回路に限られず、別途、トランジスタ、容量などを追加した構成としてもよい。

[0447]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせで実施することができる。

[0448]

(実施の形態 4)

本実施の形態では、本発明の一態様の表示装置を適用することができるタッチパネルと、IC と、を有するタッチパネルモジュールの構成例について説明する。

[0449]

図 2 3 に、タッチパネルモジュール 6 5 0 0 のブロック図を示す。タッチパネルモジュール 6 5 0 0 は、タッチパネル 6 5 1 0 と、IC 6 5 2 0 を有する。

[0450]

タッチパネル 6 5 1 0 は、表示部 6 5 1 1 と、入力部 6 5 1 2 と、走査線駆動回路 6 5 1 3 と、センサ駆動回路 6 5 0 3 と、検出回路 6 5 0 4 と、を有する。表示部 6 5 1 1 は、複数の画素、複数の信号線、複数の走査線を有し、画像を表示する機能を有する。入力部 6 5 1 2 は、被検知体のタッチパネル 6 5 1 0 への接触、又は近接を検知する複数のセンサ素子を有し、タッチセンサとしての機能を有する。走査線駆動回路 6 5 1 3 は、表示部 6 5 1 1 が有する走査線に、走査信号を出力する機能を有する。

[0451]

センサ駆動回路 6 5 0 3 は、入力部 6 5 1 2 が有するセンサ素子を駆動する信号を出力する機能を有する。センサ駆動回路 6 5 0 3 としては、例えば、シフトレジスタ回路とバッファ回路を組み合わせた構成を用いることができる。

[0452]

検出回路 6 5 0 4 は、入力部 6 5 1 2 が有するセンサ素子からの出力信号を増幅し、AD変換回路 6 5 0 7 に出力する機能を有する。

[0453]

ここでは説明を容易にするため、タッチパネル 6 5 1 0 の構成として、表示部 6 5 1 1 と入力部 6 5 1 2 を分けて明示しているが、画像を表示する機能と、タッチセンサとしての機能の両方の機能を有する、いわゆるインセル型のタッチパネルとしてもよい。

[0454]

入力部 6 5 1 2 として用いることのできるタッチセンサの方式としては、例えば、静電容量方式を適用することができる。静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また、投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

[0455]

なお、これに限られず、指、スタイラスなどの被検知体が近づくこと、接触すること、又は押圧することを検知することのできる様々な方式のセンサを入力部 6 5 1 2 に適用することもできる。例えばセンサの方式としては、静電容量方式以外にも、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式など様々な方式を用いることができる。

[0456]

インセル型のタッチパネルとしては、代表的にはハイブリッドインセル型と、フルインセル型とがある。ハイブリッドインセル型は、表示素子を支持する基板と対向基板の両方、又は対向基板に、タッチセンサを構成する電極等が設けられた構成をいう。一方、フルインセル型は、表示素子を支持する基板に、タッチセンサを構成する電極等を設けた構成をいう。フルインセル型のタッチパネルとすることで、対向基板の構成を簡略化することができるため好ましい。特にフルインセル型として、表示素子を構成する電極が、タッチセンサを構成する電極を兼ねる構成とすると、作製工程を簡略化でき、作製コストを低減することができるため好ましい。

[0457]

表示部6511は、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）、8K（画素数7680×4320）といった極めて高い解像度を有していることが好ましい。特に4K、8K、又はそれ以上の解像度とすることが好ましい。また、表示部6511に設けられる画素の画素密度（精細度）が、300ppi以上、好ましくは500ppi以上、より好ましくは800ppi以上、より好ましくは1000ppi以上、より好ましくは1200ppi以上であることが好ましい。このように高い解像度でかつ高い精細度を有する表示部6511により、より臨場感、奥行き感などを高めることが可能となる。

[0458]

IC6520は、回路ユニット6501、信号線駆動回路6502、及びAD変換回路6507を有する。回路ユニット6501は、タイミングコントローラ6505と、画像処理回路6506等を有する。

[0459]

信号線駆動回路6502は、表示部6511が有する信号線に、アナログ信号である映像信号（ビデオ信号ともいう）を出力する機能を有する。例えば、信号線駆動回路6502として、シフトレジスタ、デジタルアナログ変換回路（DAC: Digital-Analog Converter）、ラッチ回路、バッファ回路などを組み合わせた構成を有することができる。また、タッチパネル6510は、信号線に接続するデマルチプレクサ回路を有していてもよい。

[0460]

AD変換回路6507は、検出回路6504から入力されたアナログ信号をデジタル信号に変換して、回路ユニット6501に出力する機能を有する。例えばAD変換回路6507は、アナログデジタル変換回路（ADC: Analog-Digital Converter）に加えて、増幅回路を有する構成を用いることができる。

[0461]

回路ユニット6501が有する画像処理回路6506は、タッチパネル6510の表示部6511を駆動する信号を生成して出力する機能と、入力部6512を駆動する信号を生成して出力する機能と、入力部6512から出力された信号を解析して、CPU6540に出力する機能と、を有する。

[0462]

より具体的な例としては、画像処理回路6506は、CPU6540からの命令に従い、映像信号を生成する機能を有する。また画像処理回路6506は、表示部6511の仕様に合わせて映像信号

に信号処理を施し、アナログ映像信号に変換し、信号線駆動回路6502に供給する機能を有する。また画像処理回路6506は、CPU6540からの命令に従い、センサ駆動回路6503に出力する駆動信号を生成する機能を有する。また、画像処理回路6506は、検出回路6504からAD変換回路6507を介して入力された信号を解析し、位置情報としてCPU6540に出力する機能を有する。

[0463]

また、タイミングコントローラ6505は、画像処理回路6506が処理を施した映像信号等に含まれる同期信号を基に、走査線駆動回路6513及びセンサ駆動回路6503に出力する信号（クロック信号、スタートパルス信号などの信号）を生成し、出力する機能を有する。また、タイミングコントローラ6505は、検出回路6504が信号を出力するタイミングを規定する信号を生成し、出力する機能を有していてもよい。ここで、タイミングコントローラ6505は、走査線駆動回路6513に出力する信号と、センサ駆動回路6503に出力する信号とに、それぞれ同期させた信号を出力することが好ましい。特に、表示部6511の画素のデータを書き換える期間と、入力部6512でセンシングする期間を、それぞれ分けることが好ましい。例えば、1フレーム期間を、画素のデータを書き換える期間と、センシングする期間とに分けてタッチパネル6510を駆動することができる。また、例えば1フレーム期間中に2以上のセンシングの期間を設けることで、検出感度及び検出精度を高めることができる。

[0464]

画像処理回路6506としては、例えばプロセッサを有する構成とすることができる。例えば、DSP (Digital Signal Processor)、GPU (Graphics Processing Unit) 等のマイクロプロセッサを用いることができる。またこれらマイクロプロセッサをFPGA (Field Programmable Gate Array)、FPAA (Field Programmable Analog Array) などのPLD (Programmable Logic Device) によって実現した構成としてもよい。画像処理回路6506は、プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理、プログラム制御などを行う。プロセッサにより実行し得るプログラムは、プロセッサが有するメモリ領域に格納されていてもよいし、別途設けられる記憶装置に格納されていてもよい。

[0465]

なお、タッチパネル6510が有する表示部6511、入力部6512、走査線駆動回路6513、センサ駆動回路6503、検出回路6504のうち、一以上に、チャネル形成領域に酸化物半導体を用い、極めて低いオフ電流が実現されたトランジスタを利用することが好ましい。当該トランジスタは、オフ電流が極めて低いため、当該トランジスタを記憶素子として機能する容量素子に流入した電荷（データ）を保持するためのスイッチとして用いることで、データの保持期間を長期にわたり確保することができる。また、IC6520が有する回路ユニット6501、信号線駆動回路6502、AD変換回路6507、又は外部に設けられるCPU6540等に、当該トランジスタを適用してもよい。例えばこの特性を画像処理回路6506のレジスタ、キャッシュメモリなどに用いることで、必要なときだけ画像処理回路6506を動作させ、他の場合には直前の処理の情報を当該記憶素子に待避させることにより、使用しないときには画像処理回路6506の電源を遮断する、いわゆるノーマリーオフコンピューティングが可能となり、タッチパネルモジュール6500、及びこれが実装される電子機器の低消費電力化を図ることができる。

[0466]

なお、ここでは回路ユニット6501がタイミングコントローラ6505と画像処理回路6506を有する構成としたが、画像処理回路6506自体、又は画像処理回路6506の一部の機能を有する回路を、IC6520の外部に設けてもよい。又は、画像処理回路6506の機能、又は一部の機能をCPU6540が担ってもよい。例えば、回路ユニット6501が信号線駆動回路6502、タイミングコントローラ6505、及びAD変換回路6507を有する構成とすることもできる。

[0467]

また、ここではIC6520が回路ユニット6501を含む例を示したが、回路ユニット6501はIC6520に含まれない構成とすることもできる。このとき、IC6520は信号線駆動回路6502及びAD変換回路6507を有する構成とすることができる。例えばタッチパネルモジュール6500にICを複数実装する場合には、回路ユニット6501を含むICを別途設け、回路ユニット6501を有さないIC6520を複数配置することもできるし、IC6520と、信号線駆動回路6502のみを有するICを組み合わせ配置することもできる。

[0468]

このように、タッチパネル6510の表示部6511を駆動する機能と、入力部6512を駆動する機能と、を1つのICに組み込んだ構成とすることで、タッチパネルモジュール6500に実装するICの数を減らすことができるため、コストを低減することができる。

[0469]

図24A乃至図24Cは、IC6520を実装したタッチパネルモジュール6500の概略図である。

[0470]

図24Aに示すタッチパネルモジュール6500は、基板6531、対向基板6532、複数のFPC6533、IC6520、IC6530等を有する。また基板6531と対向基板6532との間に表示部6511、入力部6512、走査線駆動回路6513、センサ駆動回路6503、及び検出回路6504を有している。IC6520及びIC6530は、COG方式などの実装方法により基板6531に実装されている。

[0471]

IC6530は、上述したIC6520において、信号線駆動回路6502のみ、又は信号線駆動回路6502及び回路ユニット6501を有するICである。IC6520及びIC6530には、FPC6533を介して外部から信号が供給される。また、FPC6533を介してIC6520又はIC6530から外部に信号を出力することができる。

[0472]

図24Aでは、表示部6511を挟むように走査線駆動回路6513を2つ設ける構成の例を示している。またIC6520に加えてIC6530を有する構成を示している。このような構成は、表示部6511として極めて高解像度の場合に、好適に用いることができる。

[0473]

図24Bは、1つのIC6520と1つのFPC6533を実装した例を示している。このように、機能を1つのIC6520に集約させることで、部品点数を減らすことができるため好ましい。また図24Bでは、走査線駆動回路6513を表示部6511の2つの短辺のうち、FPC6533に近い側の辺に沿って配置した例を示している。

[0474]

図24Cは、画像処理回路6506等が実装されたPCB(Printed Circuit Board)6534を有する構成の例を示している。基板6531上のIC6520及びIC6530と、PCB6534とは、FPC6533によって接続されている。ここで、IC6520には、上述の画像処理回路6506を有さない構成を適用することができる。

[0475]

なお図24A乃至図24Cにおいて、IC6520及びIC6530は、基板6531ではなくFPC6533に実装されていてもよい。例えば、IC6520及びIC6530をCOF方式又はTAB方式などの実装方法により、FPC6533に実装すればよい。

[0476]

図24A及び図24Bに示すように、表示部6511の短辺側にFPC6533、IC6520(及びIC6530)などを配置する構成は狭額縁化が可能であるため、例えばスマートフォン、携帯電話、又はタブレット端末などの電子機器に好適に用いることができる。また、図24Cに示すようなPCB6534を用いる構成は、例えばテレビジョン装置、モニタ装置、タブレット端末、又はノート型のパーソナルコンピュータなどに好適に用いることができる。

[0477]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[0478]

(実施の形態5)

本実施の形態では、本発明の一態様の電子機器について説明する。

[0479]

本実施の形態の電子機器は、表示部に本発明の一態様の表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易である。したがって、様々な電子機器の表示部に用いることができる。

[0480]

また、本発明の一態様の半導体装置は、電子機器の表示部以外に適用することもできる。例えば、電子機器の制御部等に、本発明の一態様の半導体装置を用いることで、低消費電力化が可能となり好ましい。

[0481]

電子機器としては、例えば、テレビジョン装置、デスクトップ型若しくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

[0482]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機(ウェアラブル機器)、並びに、ヘッドマウントディスプレイなどのVR向け機器、メガネ型のAR向け機器、及び、MR向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

[0483]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの）を有してもよい。

[0484]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0485]

図25Aに示す電子機器7000は、スマートフォンとして用いることのできる携帯情報端末機である。

[0486]

電子機器7000は、筐体7001、表示部7002、電源ボタン7003、ボタン7004、スピーカ7005、マイク7006、カメラ7007、及び光源7008等を有する。表示部7002は、タッチパネル機能を備える。

[0487]

表示部7002に、本発明の一態様の表示装置を適用することができる。

[0488]

図25Bは、筐体7001のマイク7006側の端部を含む断面概略図である。

[0489]

筐体7001の表示面側には、透光性を有する保護部材7010が設けられ、筐体7001と保護部材7010に囲まれた空間内に、表示パネル7011、光学部材7012、タッチセンサパネル7013、プリント基板7017、バッテリー7018等が配置されている。

[0490]

保護部材7010には、表示パネル7011、光学部材7012、及びタッチセンサパネル7013が接着層（図示しない）により固定されている。

[0491]

表示部7002よりも外側の領域において、表示パネル7011の一部が折り返されており、当該折り返された部分にFPC7015が接続されている。FPC7015には、IC7016が実装されている。FPC7015は、プリント基板7017に設けられた端子に接続されている。

[0492]

表示パネル7011には、本発明の一態様の表示装置を適用することができる。そのため、極めて軽量の電子機器を実現することができる。また、表示パネル7011が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー7018を搭載することもできる。また、表示パネル7011の一部を折り返して、表示部7002の裏側にFPC7015との接続部を配置することにより、狭額縁の電子機器を実現することができる。

[0493]

図25Cにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7002が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成を示

している。

[0494]

表示部7002に、本発明の一態様の表示装置を適用することができる。

[0495]

図25Cに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチ、及び、別体のリモコン操作機7111により行うことができる。又は、表示部7002にタッチセンサを備えていてもよく、指等で表示部7002に触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、当該リモコン操作機7111から出力する情報を表示する表示部を有してもよい。リモコン操作機7111が備える操作キー又はタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部7002に表示される映像を操作することができる。

[0496]

なお、テレビジョン装置7100は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間など）の情報通信を行うことも可能である。

[0497]

図25Dに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、外部接続ポート7214等を有する。筐体7211に、表示部7002が組み込まれている。

[0498]

表示部7002に、本発明の一態様の表示装置を適用することができる。

[0499]

図25E及び図25Fに、デジタルサイネージの一例を示す。

[0500]

図25Eに示すデジタルサイネージ7300は、筐体7301、表示部7002、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー（電源スイッチ、又は操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0501]

図25Fは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7002を有する。

[0502]

図25E及び図25Fにおいて、表示部7002に、本発明の一態様の表示装置を適用することができる。

[0503]

表示部7002が広いほど、一度に提供することができる情報量を増やすことができる。また、表示部7002が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0504]

表示部7002にタッチパネルを適用することで、表示部7002に画像又は動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報若しくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めること

ができる。

[0505]

図25E及び図25Fに示すように、デジタルサイネージ7300又はデジタルサイネージ7400は、使用者が所持するスマートフォン等の情報端末機7311又は情報端末機7411と無線通信により連携可能であることが好ましい。例えば、表示部7002に表示される広告の情報を、情報端末機7311又は情報端末機7411の画面に表示させることができる。また、情報端末機7311又は情報端末機7411を操作することで、表示部7002の表示を切り替えることができる。

[0506]

デジタルサイネージ7300又はデジタルサイネージ7400に、情報端末機7311又は情報端末機7411の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0507]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせで実施することができる。

[符号の説明]

[0508]

10__1：トランジスタ、10__2：トランジスタ、10A__1：トランジスタ、10A__2：トランジスタ、10B__1：トランジスタ、10B__2：トランジスタ、10C__1：トランジスタ、10C__2：トランジスタ、10D__1：トランジスタ、10D__2：トランジスタ、10E__1：トランジスタ、10E__2：トランジスタ、10F__1：トランジスタ、10F__2：トランジスタ、12：基板、30：液晶素子、32：導電層、33：液晶、41：配向膜、42：配向膜、43：着色層、44：遮光層、45：絶縁層、46：絶縁層、50：表示装置、60：液晶素子、100A：半導体装置、100B：半導体装置、100C：半導体装置、100D：半導体装置、100E：半導体装置、100F：半導体装置、100：半導体装置、102：基板、104：導電層、106：絶縁層、108：半導体層、110a：絶縁層、110a1：絶縁層、110a1f：絶縁膜、110a2：絶縁層、110a2f：絶縁膜、110a3：絶縁層、110a3f：絶縁膜、110b：絶縁層、110b1：絶縁層、110b1f：絶縁膜、110b2：絶縁層、110b2f：絶縁膜、110b3：絶縁層、110b3f：絶縁膜、110g1：絶縁層、110g2：絶縁層、110s1：絶縁層、110s1a：絶縁層、110s1b：絶縁層、110s2：絶縁層、110s2a：絶縁層、110s2b：絶縁層、110sf：絶縁膜、110：絶縁層、112a：導電層、112a1：導電層、112a2：導電層、112b1：導電層、112b2：導電層、112be：導電層、112bf：導電膜、113：共通電極、116__1：導電層、116__2：導電層、116e：導電層、116f：導電膜、122：液晶、123：絶縁層、124：スペーサ、130a：偏光板、130b：偏光板、131：着色層、132：遮光層、140：接続部、141：接着層、143：開口部、151：基板、152：基板、162：表示部、164：回路部、165：配線、172：FPC、173：IC、195：絶縁層、201：半導体装置、202：半導体装置、204：接続部、206：配線、210B：副画素、210G：副画素、210R：副画素、210：画素、242：接続層、243：接続体、400EL：画素回路、400LC：画素回路、400：画素回路、401EL：回路、401LC：回路、401：回路、501：画素回路、502：画素部、504a：ゲートドライバ、504b：ソースドライバ、504：駆動回路部、506：保護回路、507：

端子部、550：トランジスタ、552：トランジスタ、554：トランジスタ、560：容量素子、562：容量素子、570：液晶素子、572：発光素子、6500：タッチパネルモジュール、6501：回路ユニット、6502：信号線駆動回路、6503：センサ駆動回路、6504：検出回路、6505：タイミングコントローラ、6506：画像処理回路、6507：AD変換回路、6510：タッチパネル、6511：表示部、6512：入力部、6513：走査線駆動回路、6520：IC、6531：基板、6532：対向基板、6533：FPC、6534：PCB、6540：CPU、7000：電子機器、7001：筐体、7002：表示部、7003：電源ボタン、7004：ボタン、7005：スピーカ、7006：マイク、7007：カメラ、7008：光源、7010：保護部材、7011：表示パネル、7012：光学部材、7013：タッチセンサパネル、7015：FPC、7017：プリント基板、7018：バッテリー、7100：テレビジョン装置、7101：筐体、7103：スタンド、7111：リモコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、7401：柱、7411：情報端末機

請求の範囲

[請求項 1]

第 1 のトランジスタ、第 2 のトランジスタ、第 1 の絶縁層、及び第 2 の絶縁層を有し、

前記第 1 のトランジスタは、第 1 の導電層、第 2 の導電層、第 3 の導電層、第 4 の導電層、第 3 の絶縁層、第 4 の絶縁層、及び半導体層を有し、

前記第 2 のトランジスタは、前記第 1 の導電層、第 5 の導電層、第 6 の導電層、前記第 4 の導電層、第 5 の絶縁層、前記第 4 の絶縁層、及び前記半導体層を有し、

前記第 1 の絶縁層は、第 1 の領域と、前記第 1 の領域と離間する第 2 の領域と、を有し、

前記第 2 の絶縁層は、第 3 の領域と、前記第 3 の領域と離間する第 4 の領域と、を有し、

前記第 1 の導電層は、第 5 の領域と、前記第 5 の領域と離間する第 6 の領域と、を有し、

前記第 1 の領域、前記第 2 の導電層、前記第 3 の領域、及び前記第 3 の導電層は、この順で重畳して前記第 5 の領域上に設けられ、

前記第 2 の領域、前記第 5 の導電層、前記第 4 の領域、及び前記第 6 の導電層は、この順で重畳して前記第 6 の領域上に設けられ、

前記第 3 の絶縁層は、前記第 1 の領域の側面、前記第 2 の導電層の側面、前記第 3 の領域の側面、及び前記第 3 の導電層の側面に接して設けられ、

前記第 5 の絶縁層は、前記第 2 の領域の側面、前記第 5 の導電層の側面、前記第 4 の領域の側面、及び前記第 6 の導電層の側面に接して設けられ、

前記半導体層は、前記第 5 の領域と前記第 6 の領域の間における前記第 1 の導電層の上面、前記第 3 の絶縁層の側面、前記第 5 の絶縁層の側面、前記第 3 の導電層の上面、及び前記第 6 の導電層の上面に接して設けられ、

前記第 4 の絶縁層は、前記半導体層の上面及び側面、前記第 1 の導電層の上面及び側面、前記第 3 の導電層の上面及び側面、並びに、前記第 6 の導電層の上面及び側面に接して設けられ、

前記第 4 の導電層は、前記第 4 の絶縁層の上面に接して設けられ、

前記第 1 のトランジスタにおいて、前記半導体層の一部の一方の面は、前記第 4 の絶縁層の一部を介して前記第 4 の導電層の一部と対向し、前記半導体層の一部の他方の面は、前記第 3 の絶縁層を介して前記第 2 の導電層と対向し、

前記第 2 のトランジスタにおいて、前記半導体層の他の一部の一方向の面は、前記第 4 の絶縁層の他の一部を介して前記第 4 の導電層の他の一部と対向し、前記半導体層の他の一部他方の面は、前記第 5 の絶縁層を介して前記第 5 の導電層と対向する、

半導体装置。

[請求項 2]

請求項 1 において、

前記半導体層は、金属酸化物を有し、

前記第 1 の絶縁層、前記第 2 の絶縁層、前記第 3 の絶縁層、及び前記第 5 の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を有する、

半導体装置。

[請求項 3]

請求項 1 又は請求項 2 において、

前記第 1 の絶縁層は、第 6 の絶縁層と、前記第 6 の絶縁層上の第 7 の絶縁層と、前記第 7 の絶縁層上の第 8 の絶縁層と、を有し、

前記第 2 の絶縁層は、第 9 の絶縁層と、前記第 9 の絶縁層上の第 10 の絶縁層と、前記第 10 の絶縁層上の第 11 の絶縁層と、を有し、

前記第 6 の絶縁層、前記第 8 の絶縁層、前記第 9 の絶縁層、及び前記第 11 の絶縁層は、それぞれ、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を有し、

前記第 7 の絶縁層及び前記第 10 の絶縁層は、それぞれ、酸化シリコン及び酸化窒化シリコンの一方又は双方を有する、

半導体装置。

[請求項 4]

請求項 1 又は請求項 2 に記載の半導体装置と、第 1 の液晶素子及び第 2 の液晶素子と、を有し、

前記第 1 の液晶素子は、前記第 3 の導電層と、液晶と、第 7 の導電層と、を有し、

前記第 2 の液晶素子は、前記第 6 の導電層と、前記液晶と、前記第 7 の導電層と、を有し、

前記液晶は、前記第 3 の導電層上又は前記第 6 の導電層上に設けられ、

前記第 7 の導電層は、前記液晶上に設けられる、

表示装置。

[請求項 5]

第 1 のトランジスタ、第 2 のトランジスタ、第 1 の絶縁層、及び第 2 の絶縁層を有し、

前記第 1 のトランジスタは、第 1 の導電層、第 2 の導電層、第 3 の導電層、第 3 の絶縁層、第 4 の絶縁層、及び半導体層を有し、

前記第 2 のトランジスタは、前記第 1 の導電層、第 4 の導電層、前記第 3 の導電層、第 5 の絶縁層、前記第 4 の絶縁層、及び前記半導体層を有し、

前記第 1 の絶縁層は、第 1 の領域と、前記第 1 の領域と離間する第 2 の領域と、を有し、

前記第 2 の絶縁層は、第 3 の領域と、前記第 3 の領域と離間する第 4 の領域と、を有し、

前記第 1 の導電層は、第 5 の領域と、前記第 5 の領域と離間する第 6 の領域と、を有し、

前記第 1 の領域、前記第 2 の導電層、及び前記第 3 の領域は、この順で重畳して前記第 5 の領域上に設けられ、

前記第 2 の領域、前記第 4 の導電層、及び前記第 4 の領域は、この順で重畳して前記第 6 の領域上に設けられ、

前記第 3 の絶縁層は、前記第 1 の領域の側面、前記第 2 の導電層の側面、及び前記第 3 の領域の側面に接して設けられ、

前記第 5 の絶縁層は、前記第 2 の領域の側面、前記第 4 の導電層の側面、及び前記第 4 の領域の側面に接して設けられ、

前記半導体層は、前記第 5 の領域と前記第 6 の領域の間における前記第 1 の導電層の上面、前記第 3 の絶縁層の側面、前記第 5 の絶縁層の側面、前記第 2 の絶縁層の一部の上面、及び前記第 2 の絶縁層の他の一部の上に接して設けられ、

前記第 4 の絶縁層は、前記半導体層の上面に接して設けられ、

前記第 3 の導電層は、前記第 4 の絶縁層の上面に接して設けられ、

前記第1のトランジスタにおいて、前記半導体層の一部の一方の面は、前記第4の絶縁層の一部を介して前記第3の導電層の一部と対向し、前記半導体層の一部の他方の面は、前記第3の絶縁層を介して前記第2の導電層と対向し、

前記第2のトランジスタにおいて、前記半導体層の他の一部の一方向の面は、前記第4の絶縁層の他の一部を介して前記第3の導電層の他の一部と対向し、前記半導体層の他の一部他方の面は、前記第5の絶縁層を介して前記第4の導電層と対向する、

半導体装置。

[請求項6]

請求項5において、

前記半導体層は、金属酸化物を有し、

前記第1の絶縁層、前記第2の絶縁層、前記第3の絶縁層、及び前記第5の絶縁層は、それぞれ、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を有する、

半導体装置。

[請求項7]

請求項5又は請求項6において、

前記第1の絶縁層は、第6の絶縁層と、前記第6の絶縁層上の第7の絶縁層と、前記第7の絶縁層上の第8の絶縁層と、を有し、

前記第2の絶縁層は、第9の絶縁層と、前記第9の絶縁層上の第10の絶縁層と、前記第10の絶縁層上の第11の絶縁層と、を有し、

前記第6の絶縁層、前記第8の絶縁層、前記第9の絶縁層、及び前記第11の絶縁層は、それぞれ、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンの一又は複数を有し、

前記第7の絶縁層及び前記第10の絶縁層は、それぞれ、酸化シリコン及び酸化窒化シリコンの一方又は双方を有する、

半導体装置。

[請求項8]

請求項5又は請求項6に記載の半導体装置と、液晶素子と、を有し、

前記液晶素子は、前記半導体層と、液晶と、第5の導電層と、を有し、

前記液晶は、前記半導体層上に設けられ、

前記第5の導電層は、前記液晶上に設けられる、

表示装置。

[請求項9]

第1の導電層を形成し、

前記第1の導電層上に、第1の絶縁膜、及び第1の導電膜をこの順で形成し、

前記第1の導電膜を加工して、前記第1の導電層と重なる領域に第2の導電層を形成し、

前記第1の絶縁膜上及び前記第2の導電層上に、第2の絶縁膜、及び第2の導電膜をこの順で形成し、

前記第2の導電膜を加工して、前記第1の導電層及び前記第2の導電層と重なる領域を有する第

3の導電層を形成し、

前記第1の絶縁膜、前記第2の導電層、前記第2の絶縁膜、及び前記第3の導電層のそれぞれ一部を除去して、前記第1の導電層に達する開口部を形成するとともに、前記第1の絶縁膜から第1の絶縁層を、前記第2の導電層から第4の導電層及び第5の導電層を、前記第2の絶縁膜から第2の絶縁層を、前記第3の導電層から第6の導電層及び第7の導電層を、それぞれ形成し、

前記開口部内における第1の導電層の上面及び側面、前記開口部内における前記第1の絶縁層の側面、前記開口部内における前記第2の絶縁層の側面、前記開口部内における前記第4の導電層の側面、前記開口部内における前記第5の導電層の側面、前記開口部内における前記第6の導電層の側面、前記開口部内における前記第7の導電層の側面、前記第6の導電層の上面、及び前記第7の導電層の上面に接して、第3の絶縁膜を形成し、

前記第3の絶縁膜の一部を除去し、前記開口部内における前記第1の絶縁層の一方の側面、前記開口部内における前記第4の導電層の側面、前記開口部内における前記第2の絶縁層の一方の側面、及び前記開口部内における前記第6の導電層の側面に接する第3の絶縁層と、前記開口部内における前記第1の絶縁層の他方の側面、前記開口部内における前記第5の導電層の側面、前記開口部内における前記第2の絶縁層の他方の側面、及び前記開口部内における前記第7の導電層の側面に接する第4の絶縁層と、を形成し、

前記開口部内における前記第1の導電層の上面及び側面、前記開口部内における前記第3の絶縁層の側面、前記開口部内における前記第4の絶縁層の側面、前記第6の導電層の上面及び側面、前記第7の導電層の上面及び側面、並びに、前記第2の絶縁層の上面に接する半導体層を形成する、

半導体装置の作製方法。

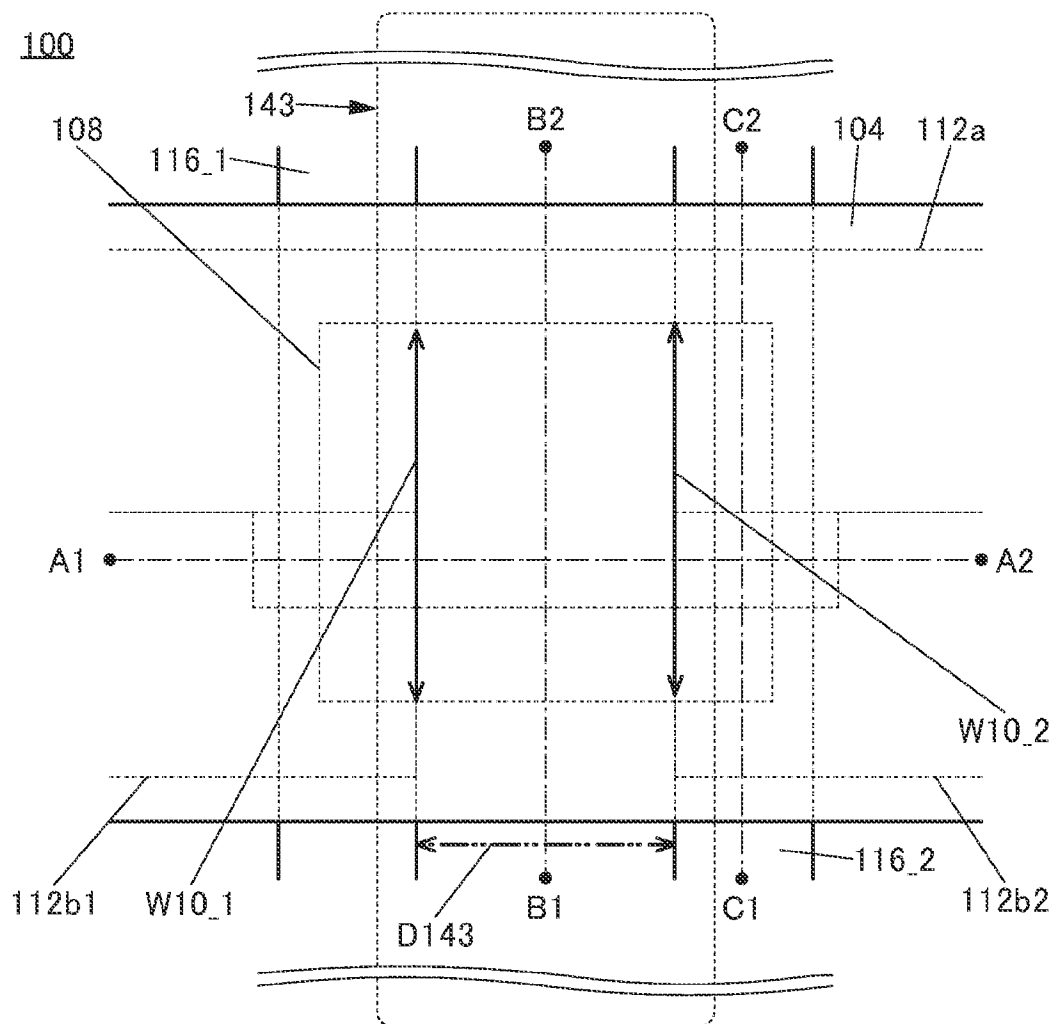


图 1B

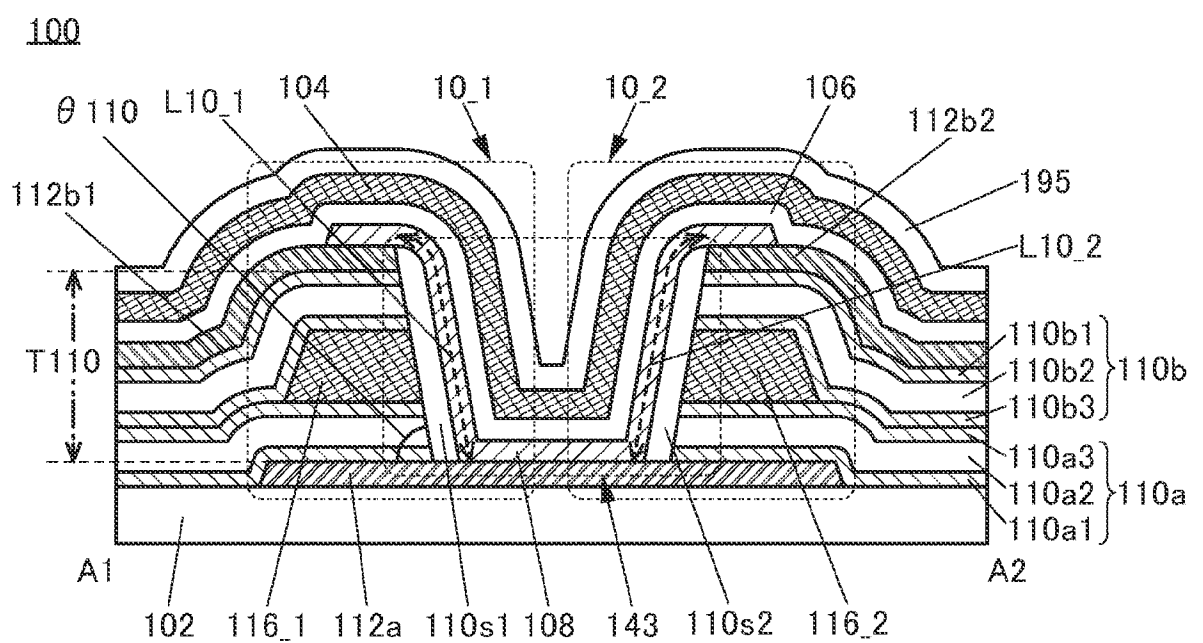


図2A

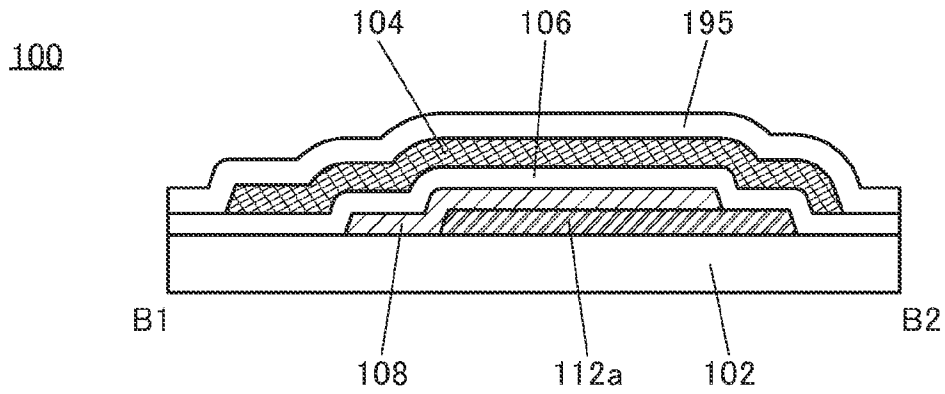


図2B

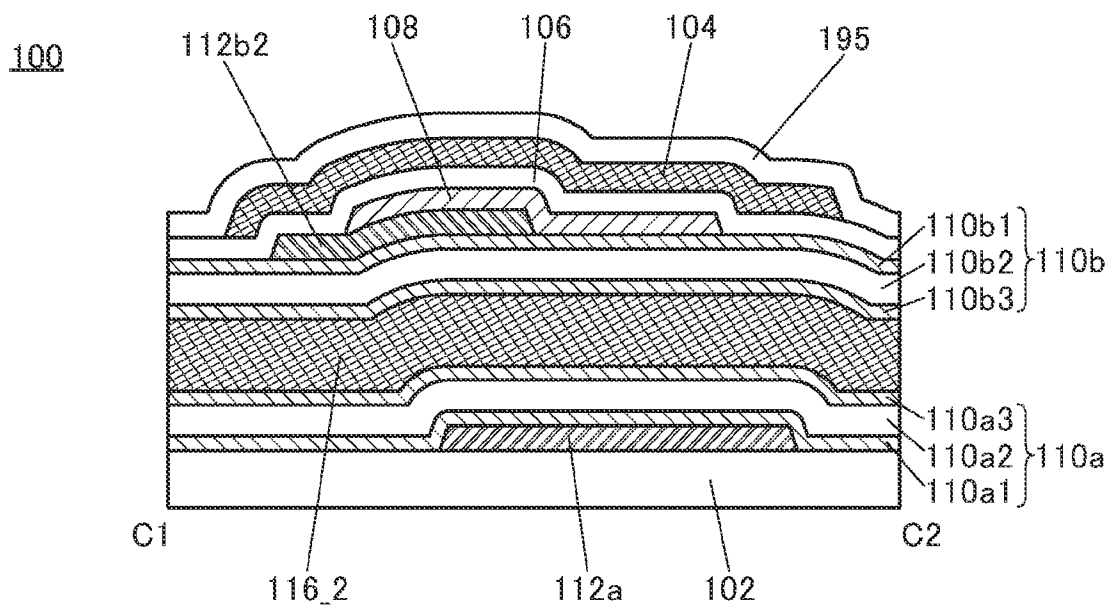


図2C

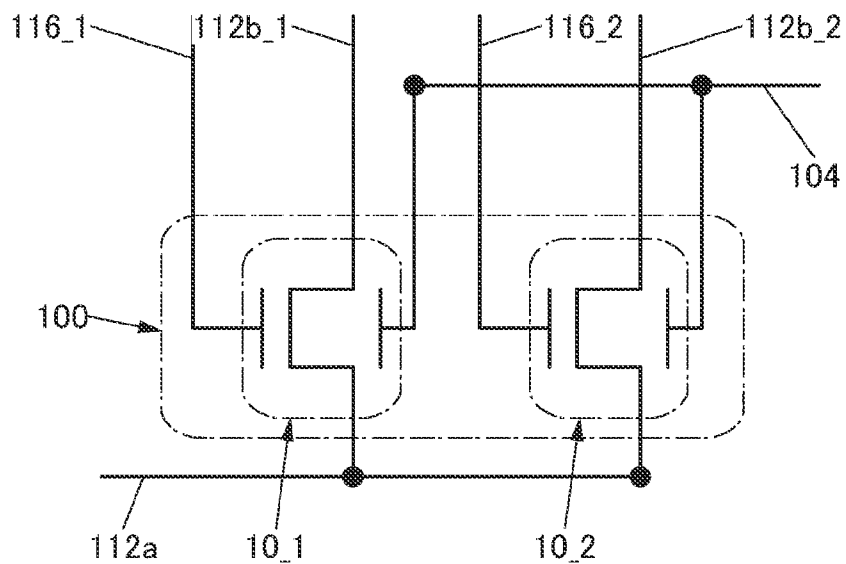


図3A

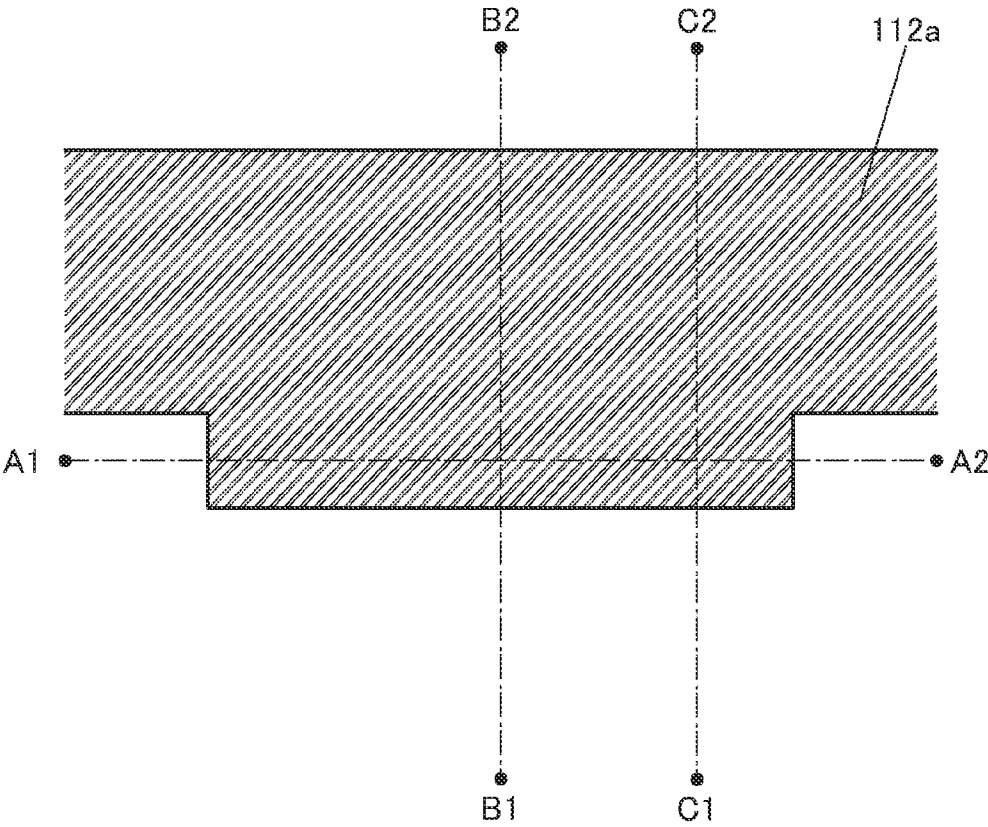


図3B

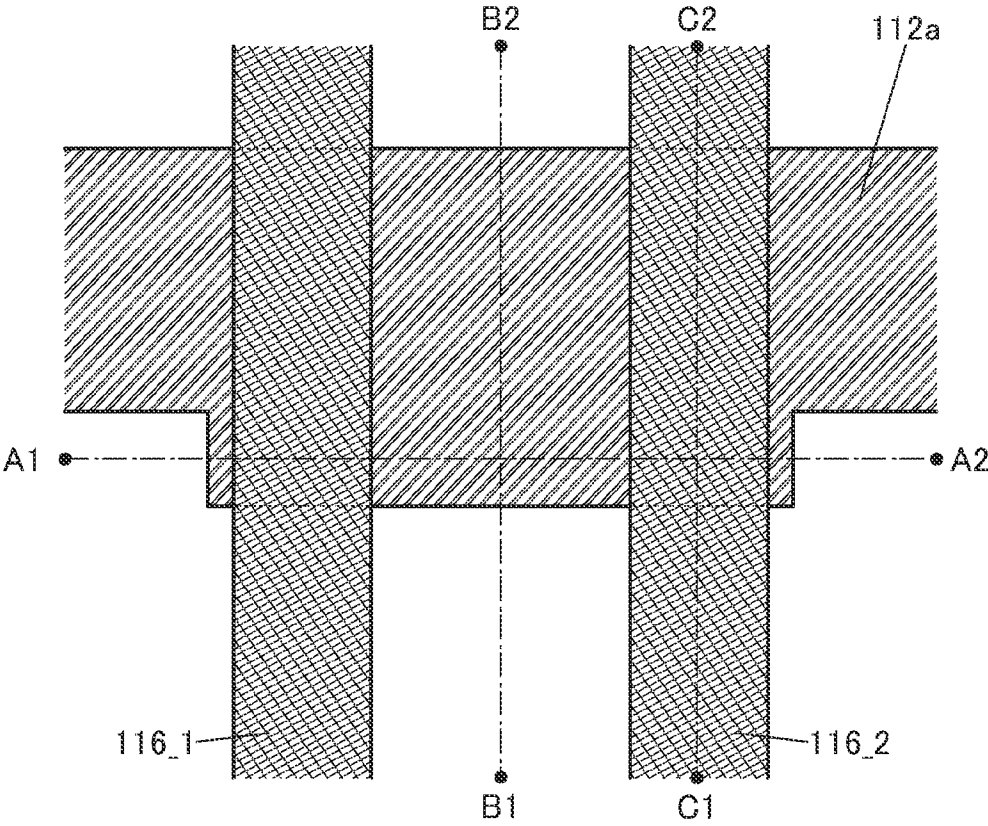


図4A

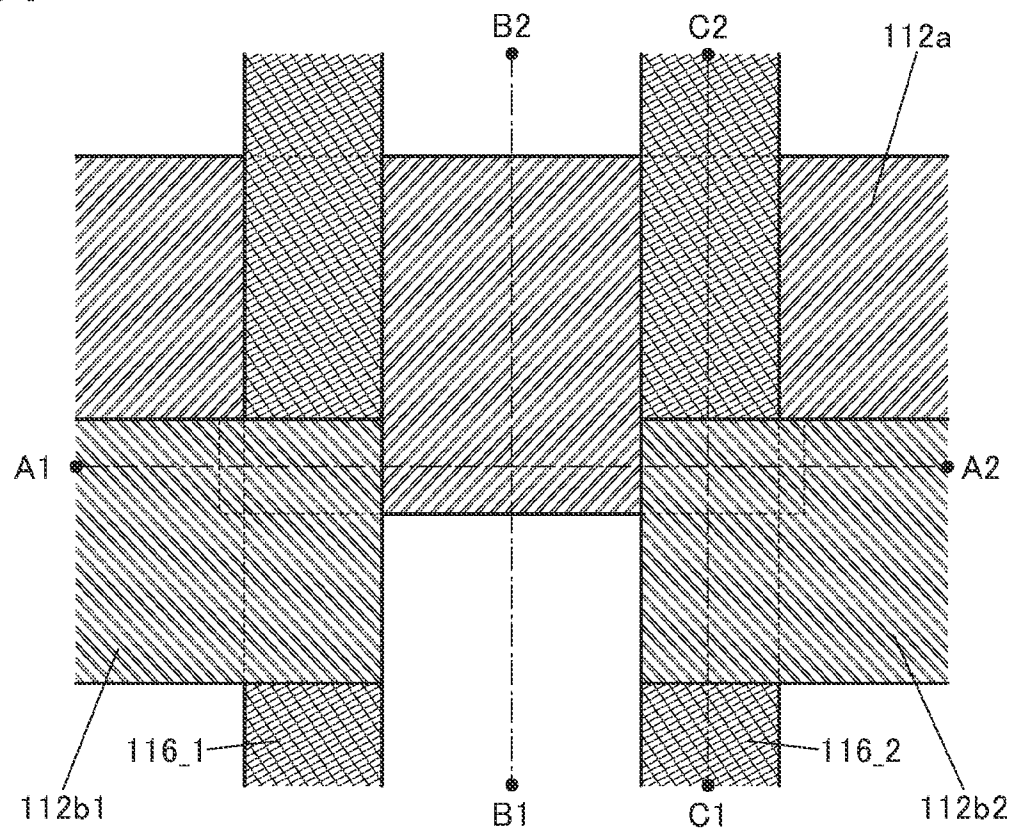


図4B

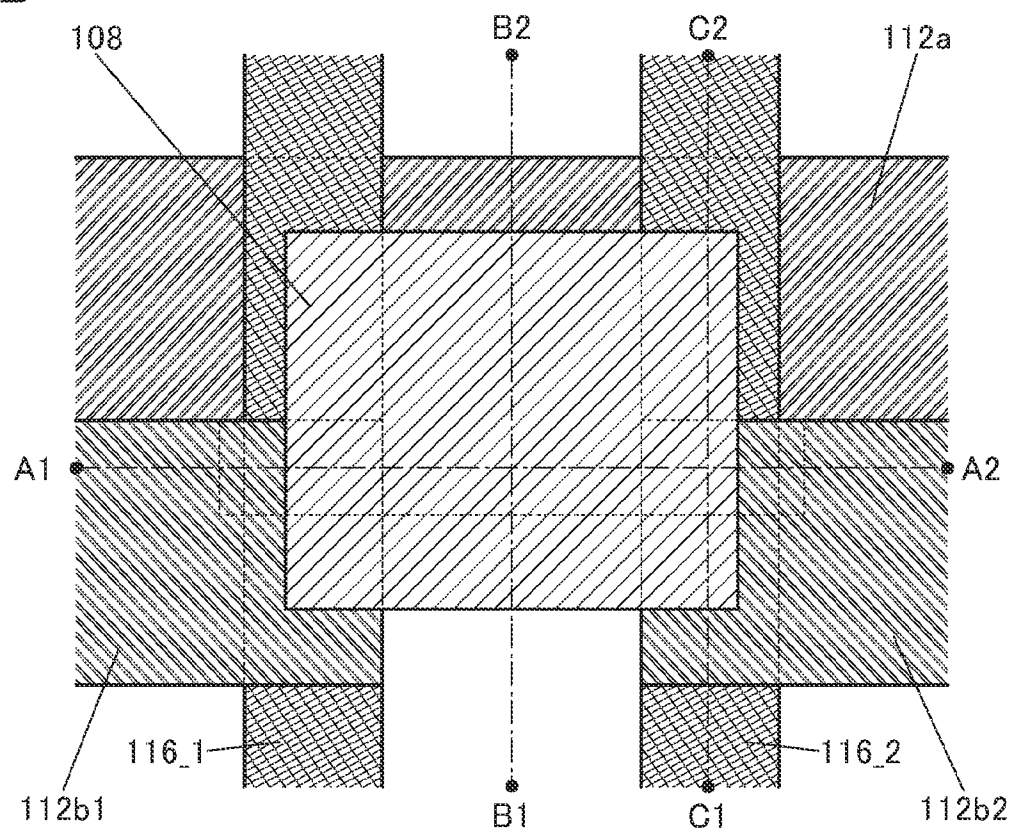


図5A

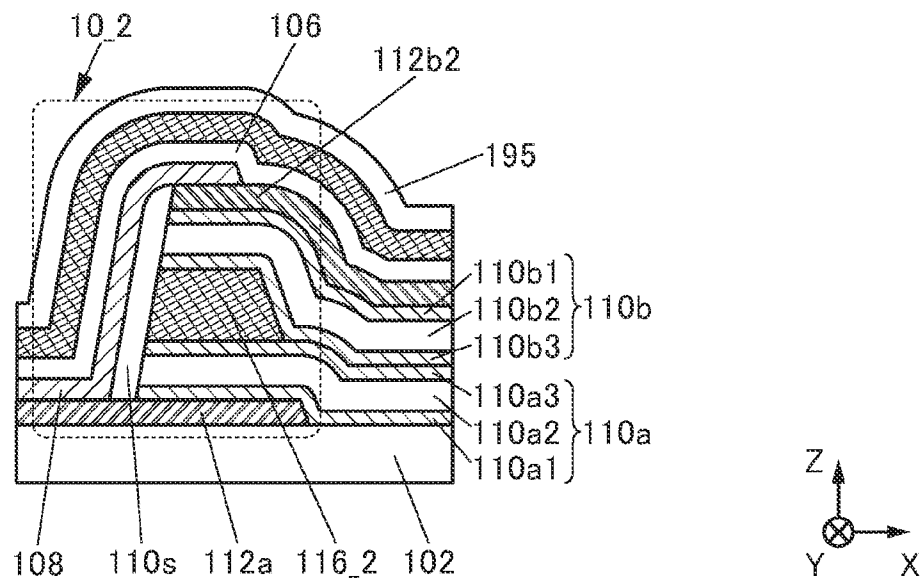
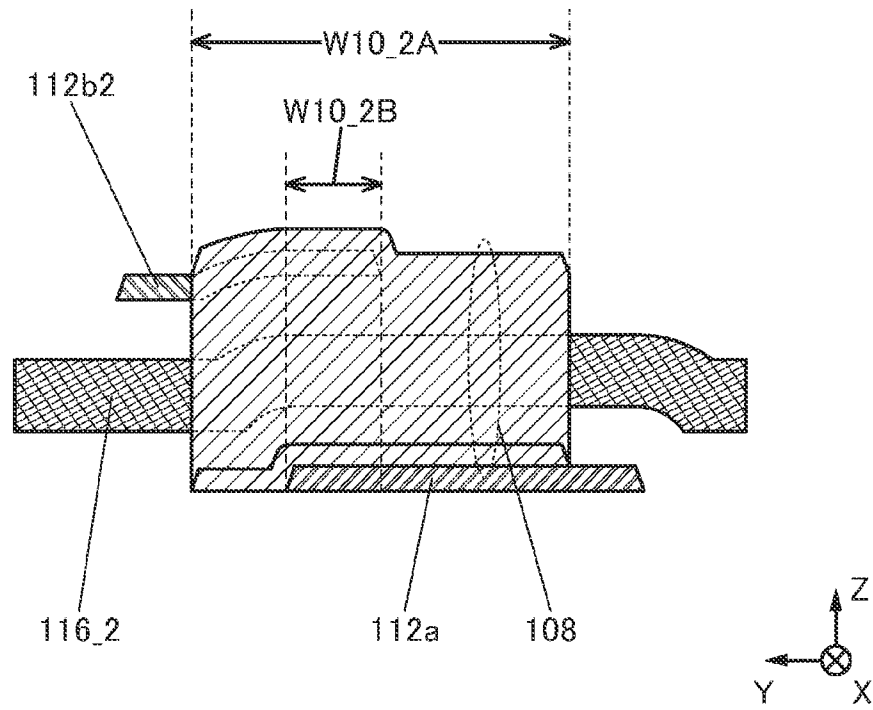


図5B



100A

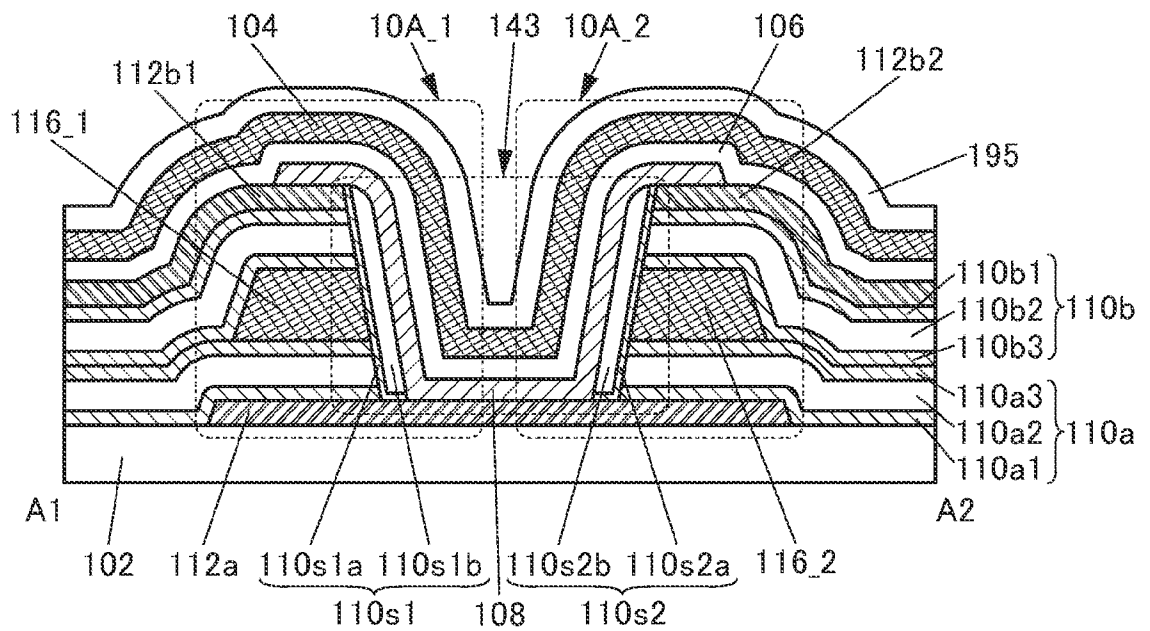
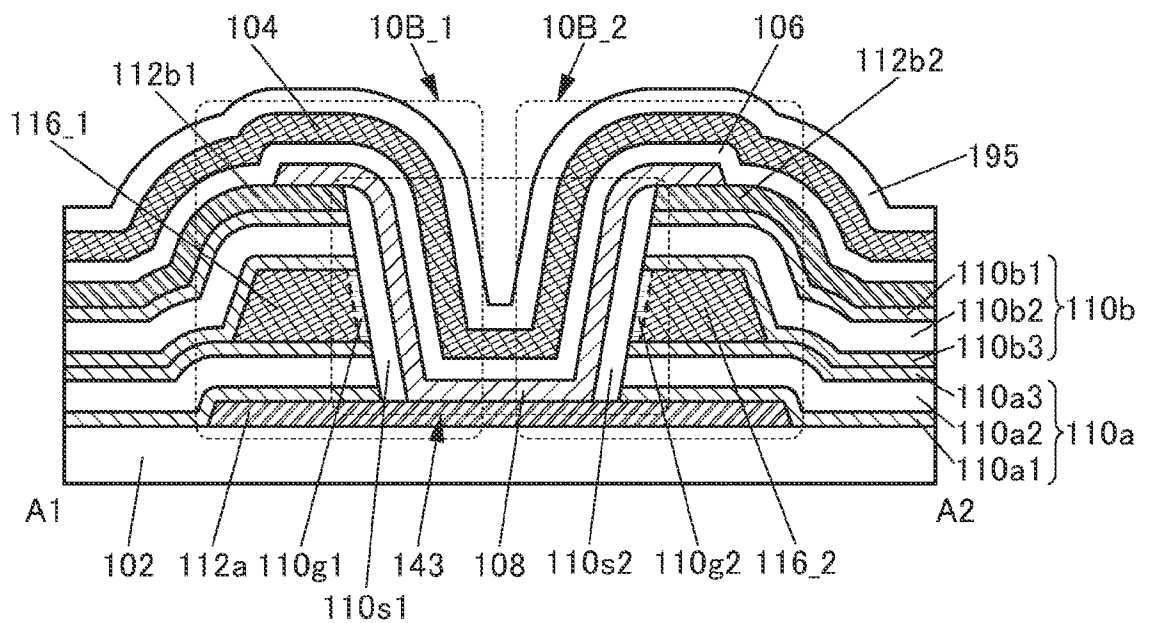
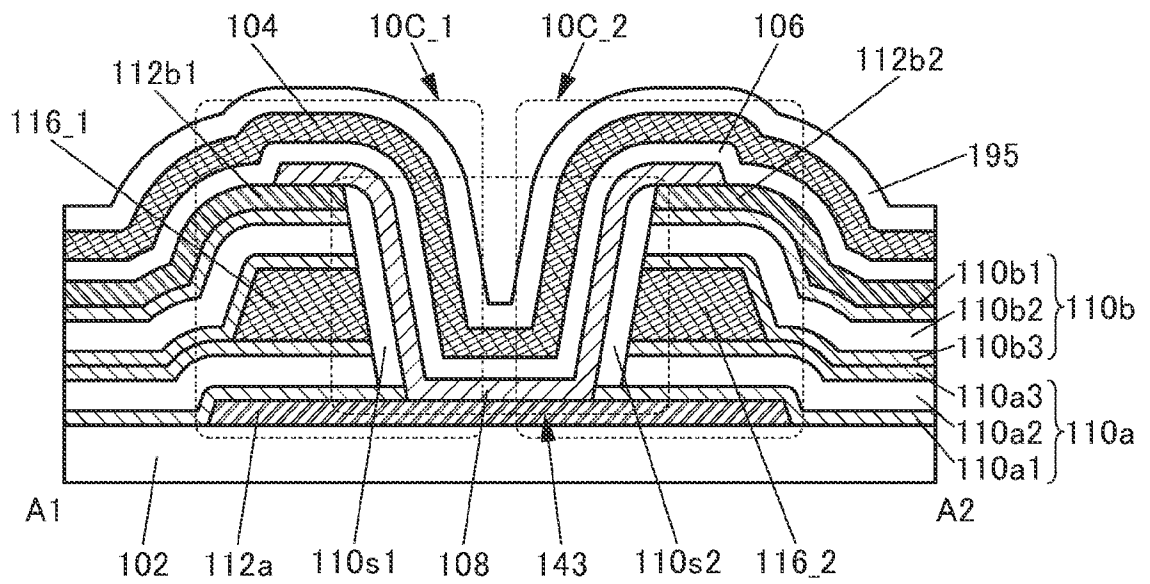


Figure 6B shows a 3D coordinate system with axes labeled x, y, and z. A small cube is depicted in the first octant, with its edges aligned with the axes. The axes are labeled with 'x', 'y', and 'z' at their ends.

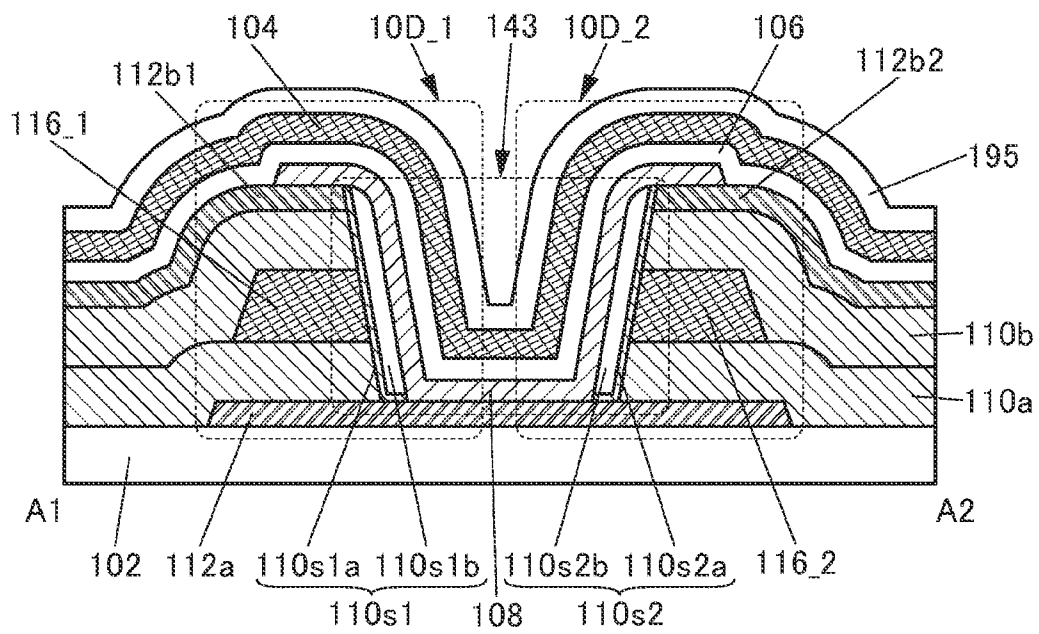
100B



 7A

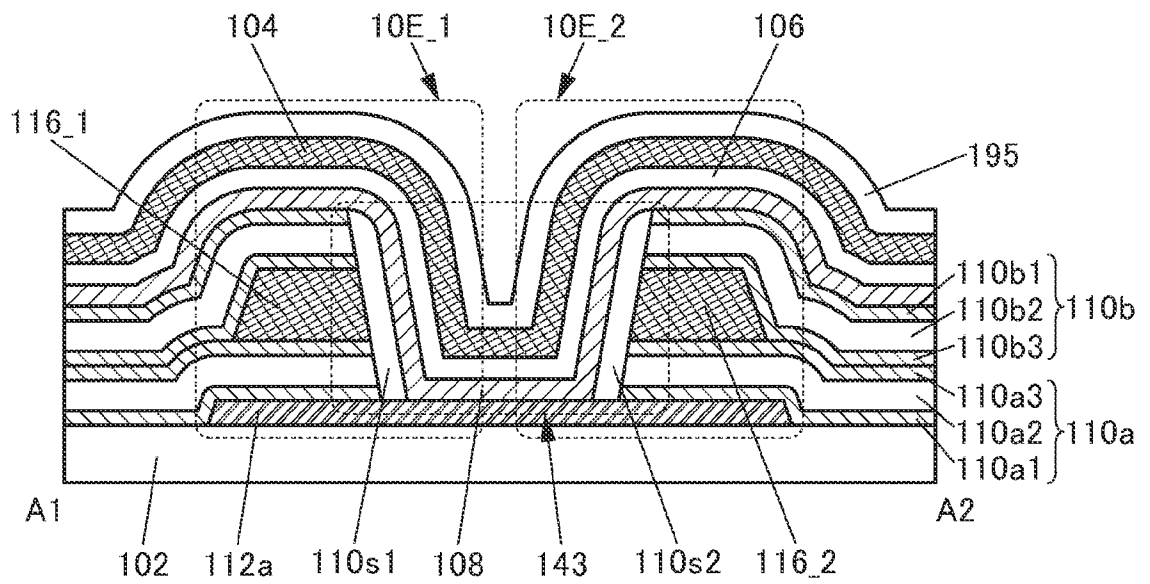
100C

100D



8A

100E



8B

100E

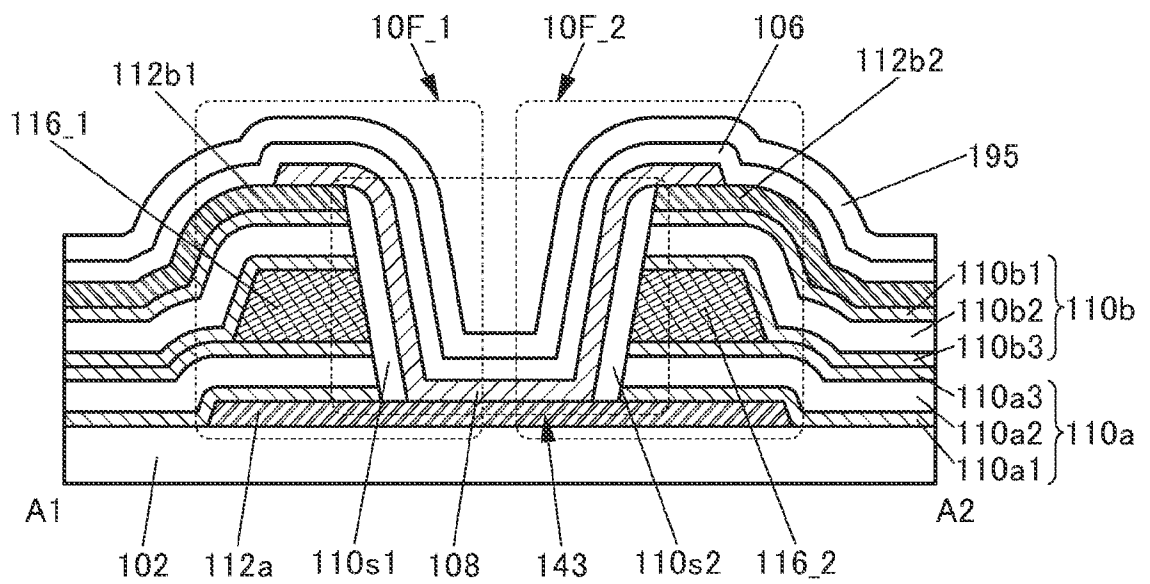


图9A

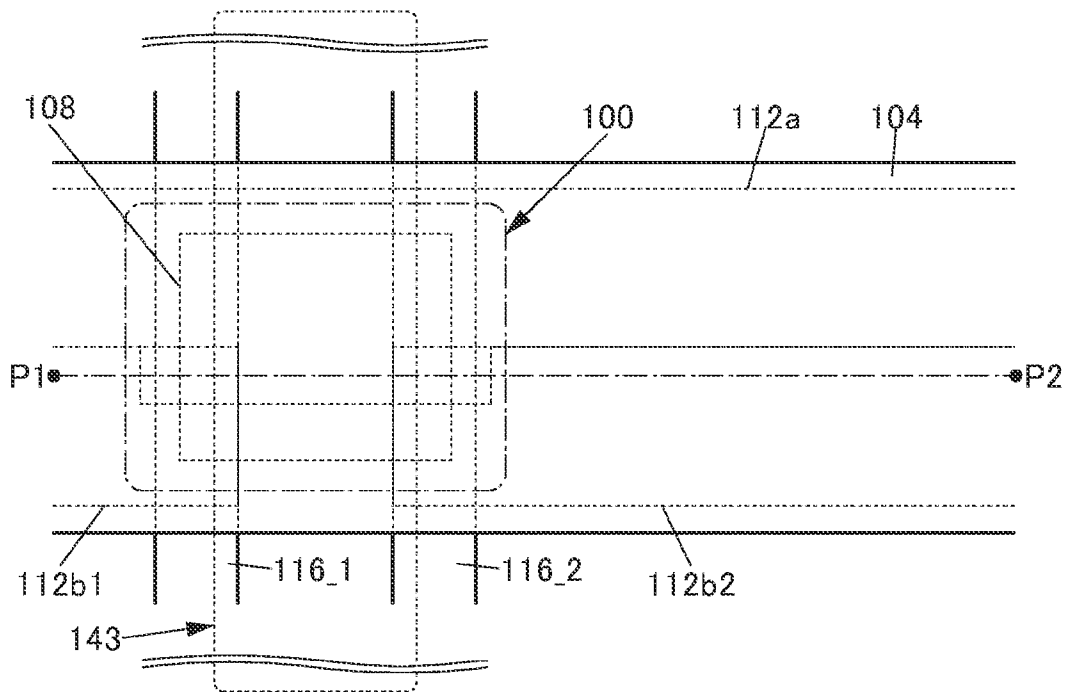


图9B

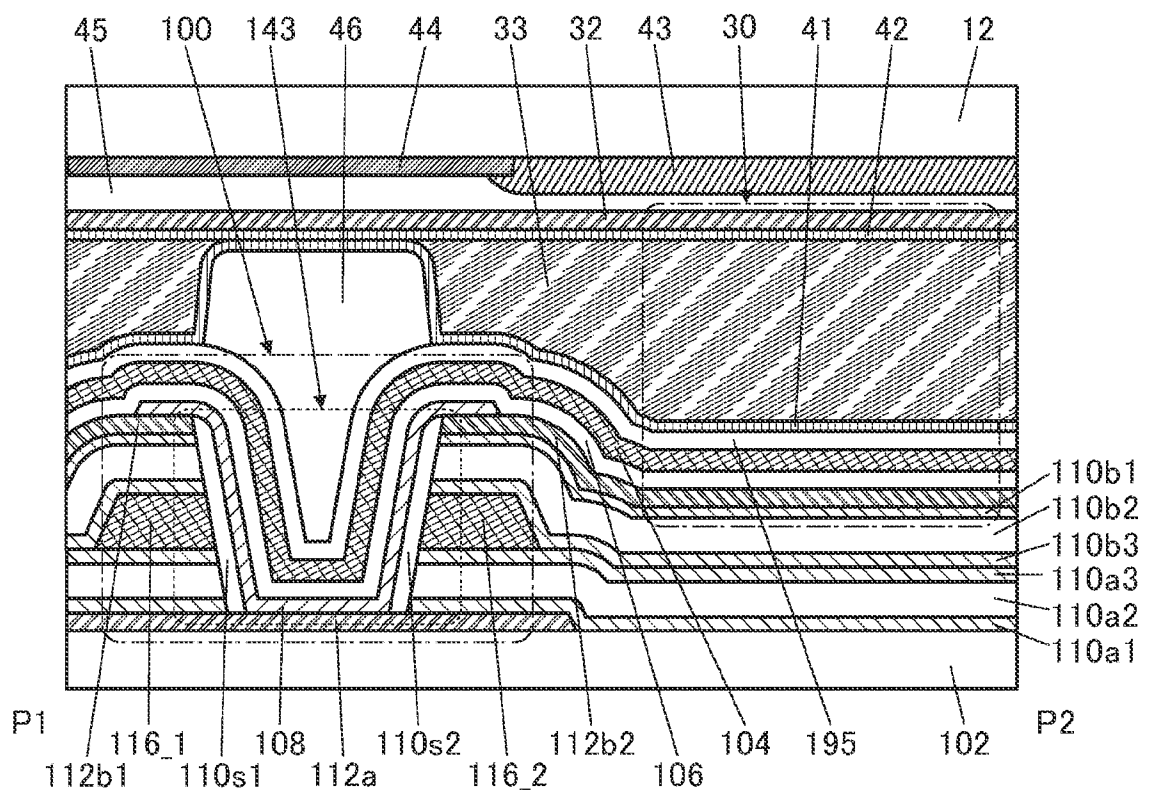


FIG. 10A

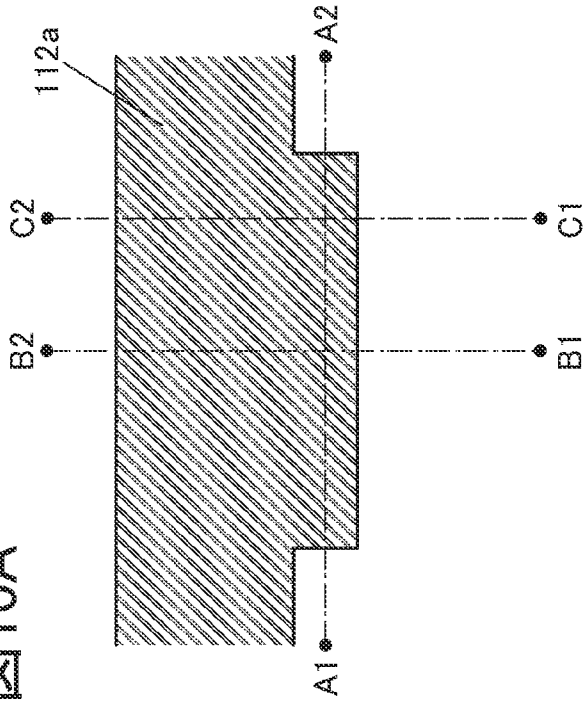


FIG. 10B

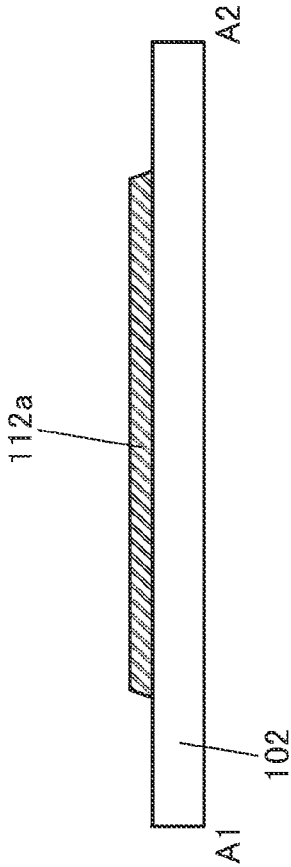


FIG. 10C

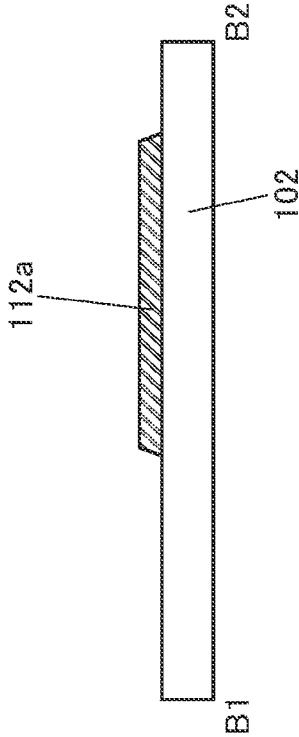


FIG. 10D

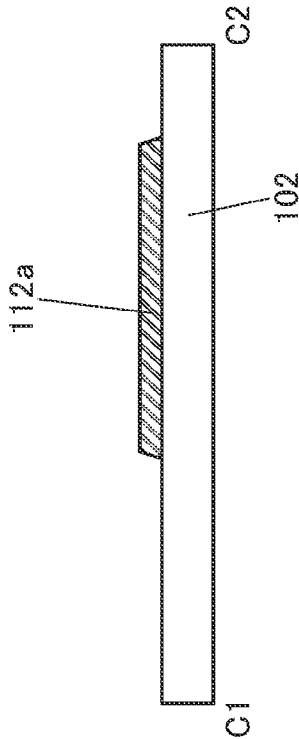


FIG 11A

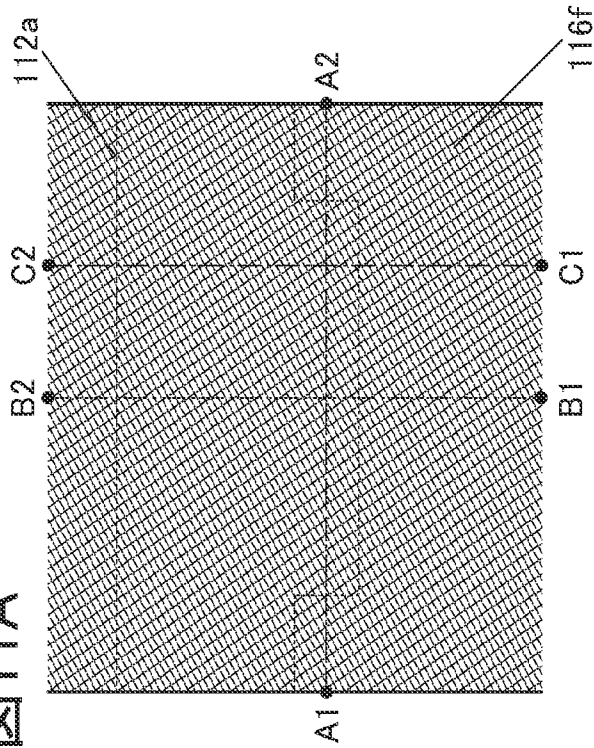


FIG 11B

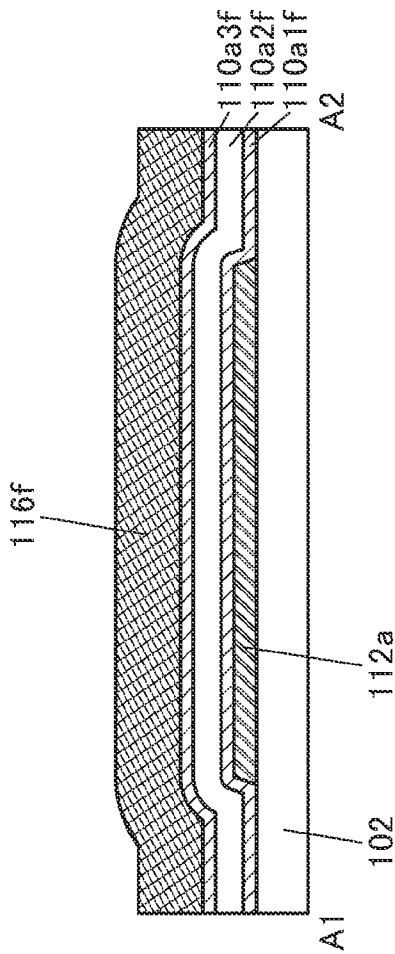


FIG 11C

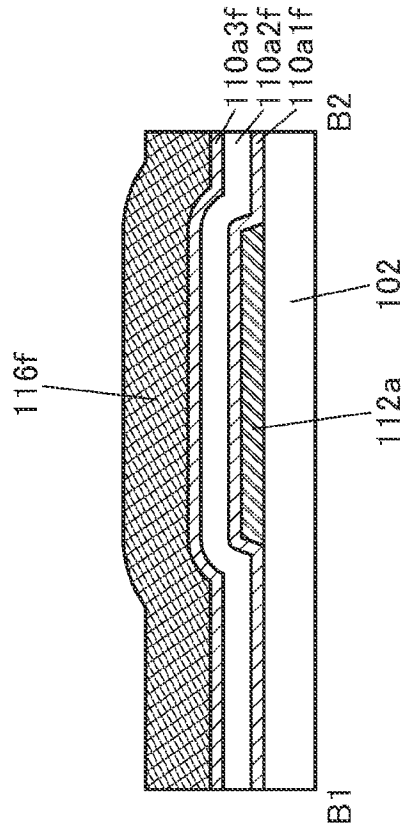


FIG 11D

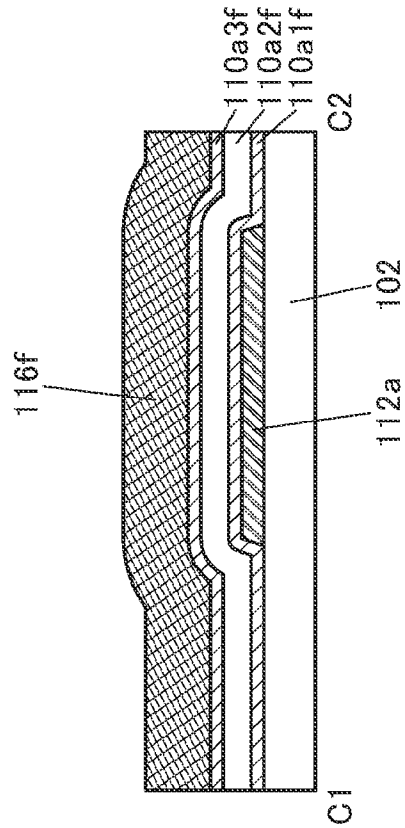


FIG 12A

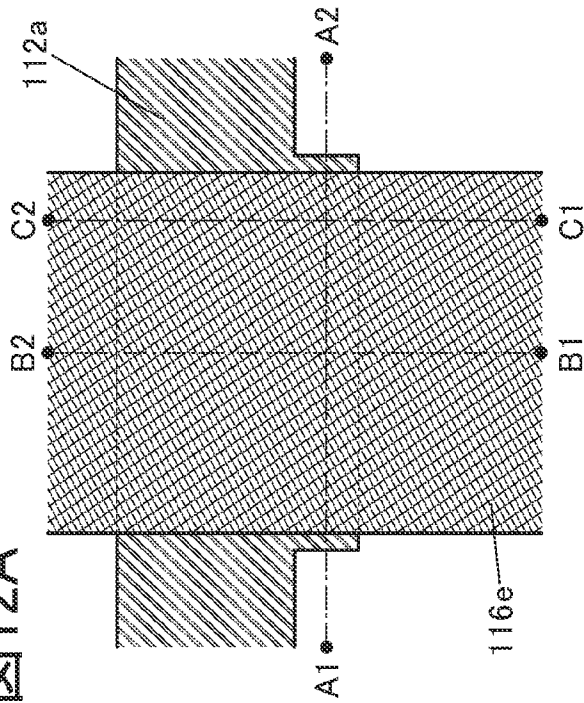


FIG 12B

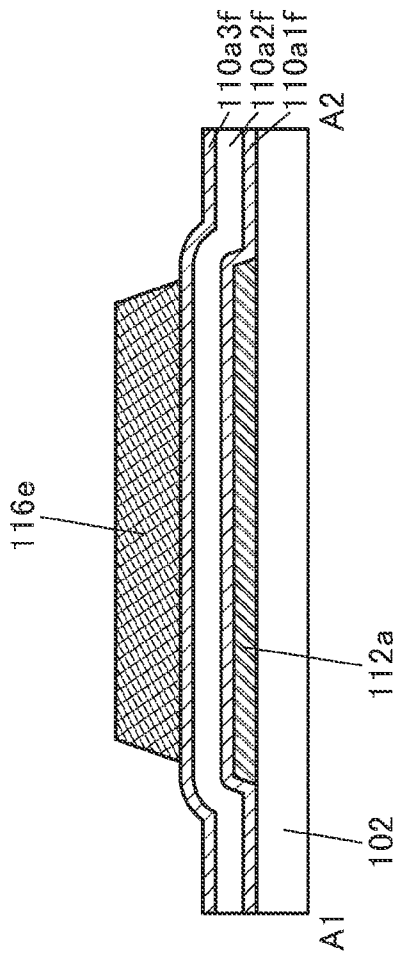


FIG 12C

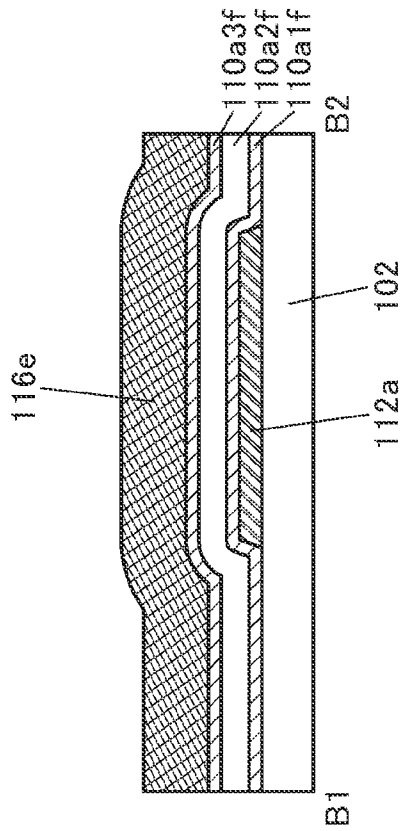


FIG 12D

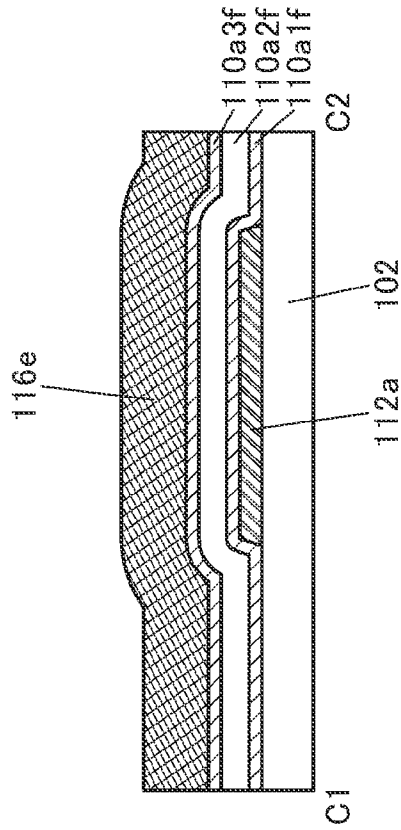


FIG 13A

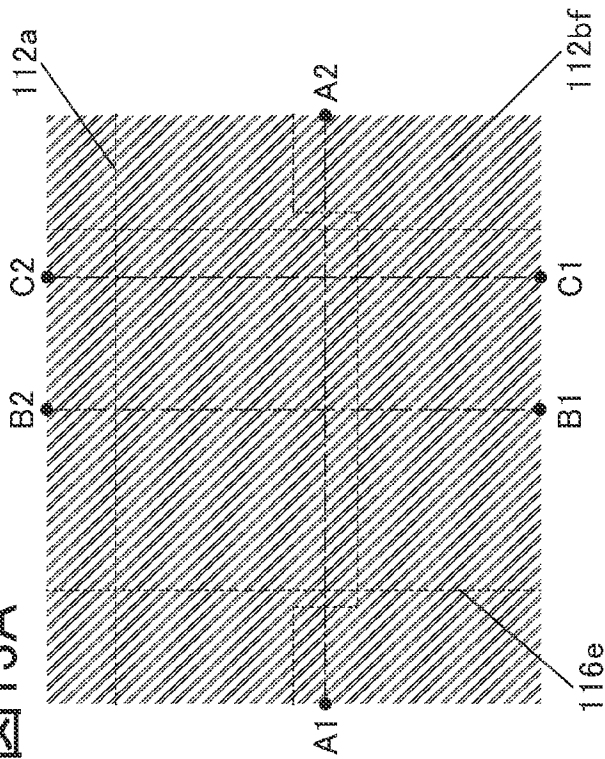


FIG 13B

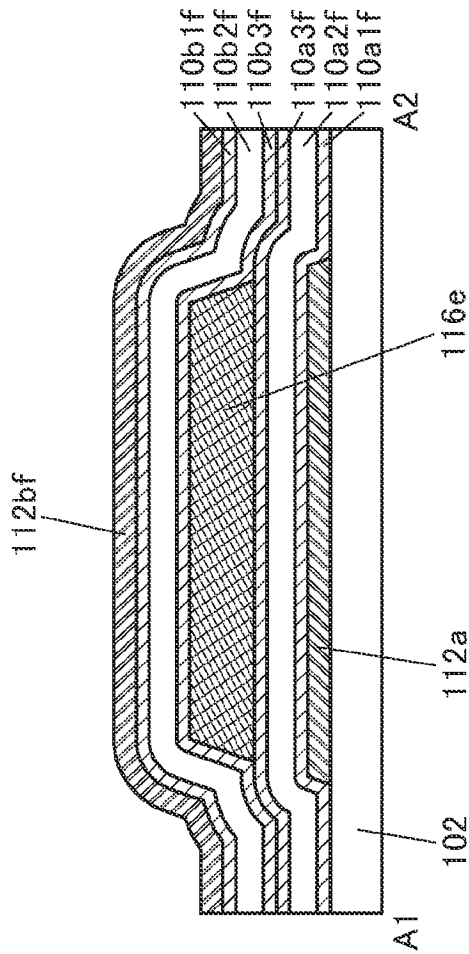


FIG 13C

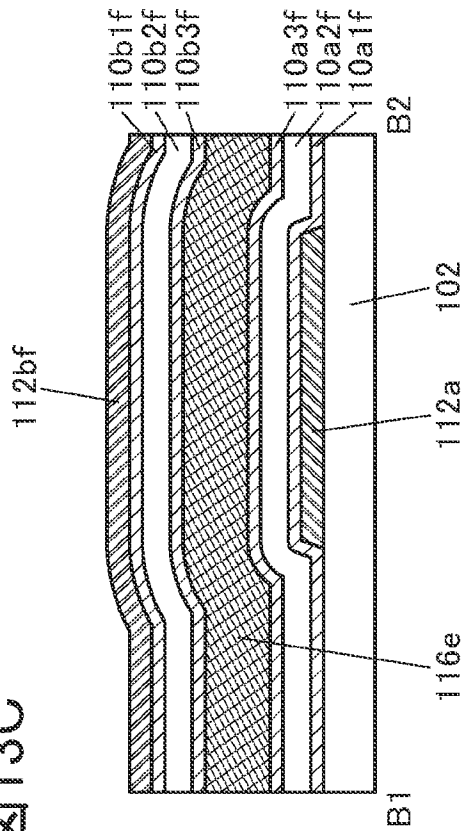


FIG 13D

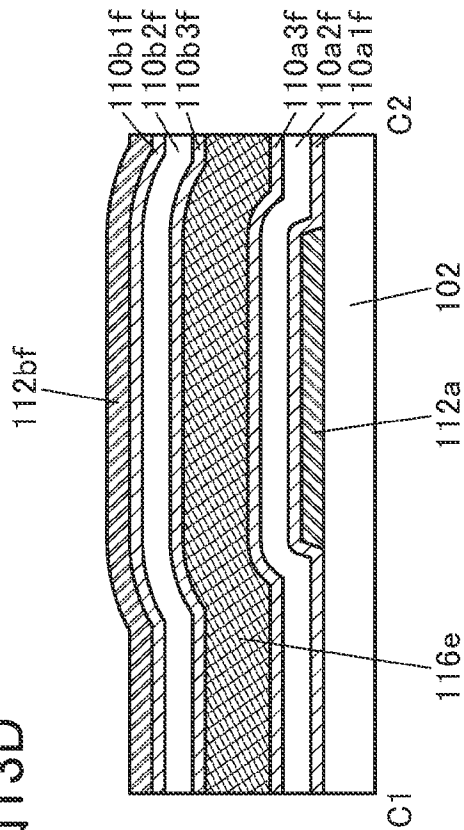


FIG 14A

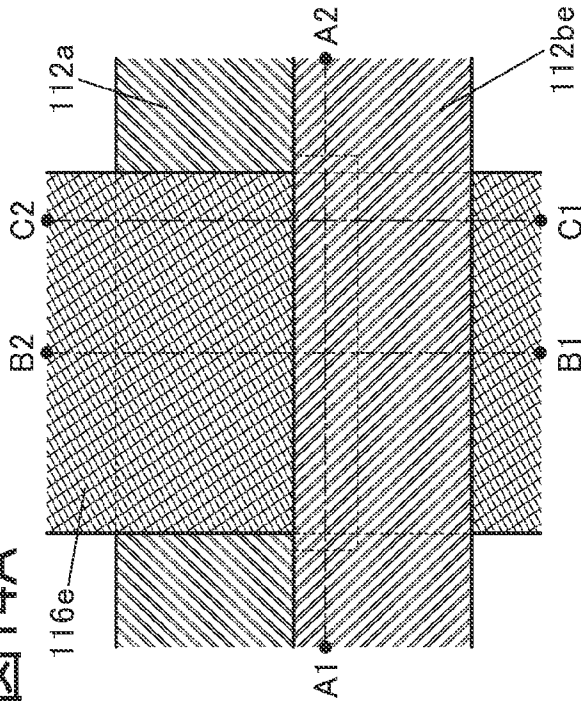


FIG 14B

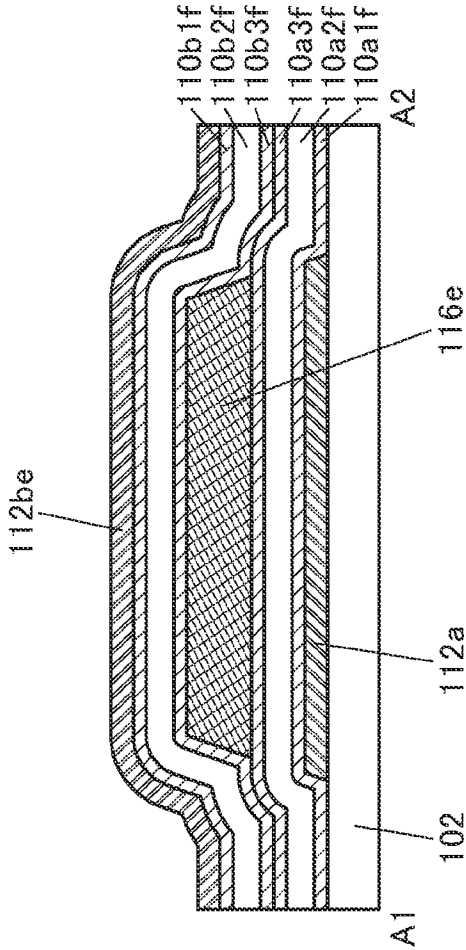


FIG 14C

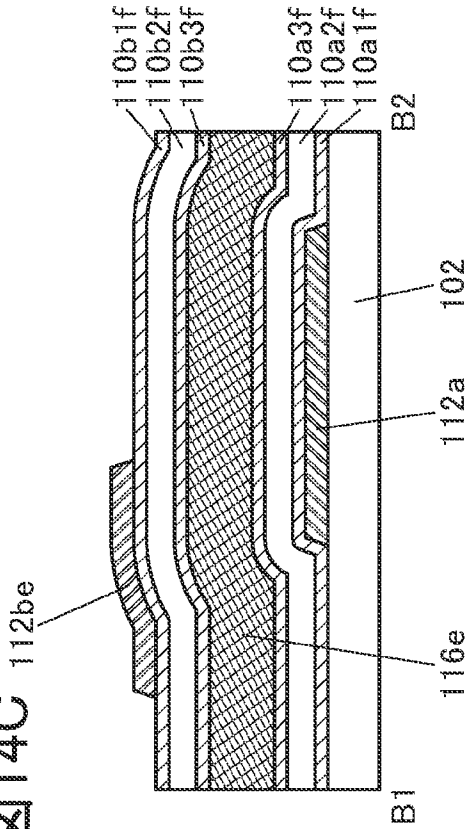


FIG 14D

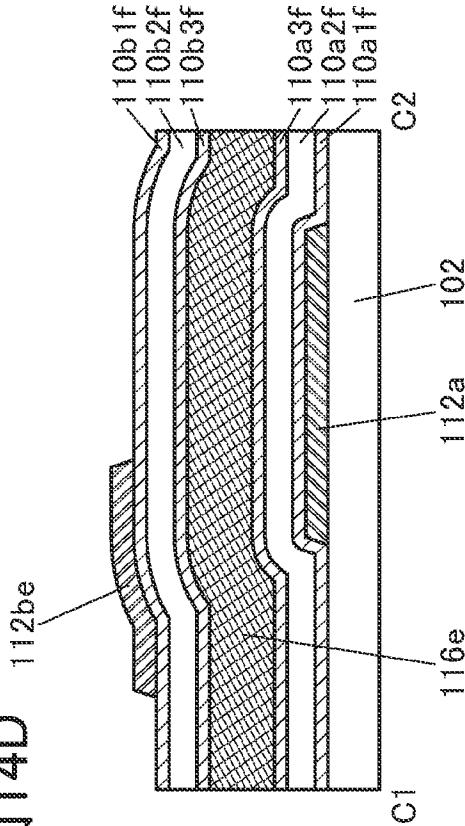


FIG 16A

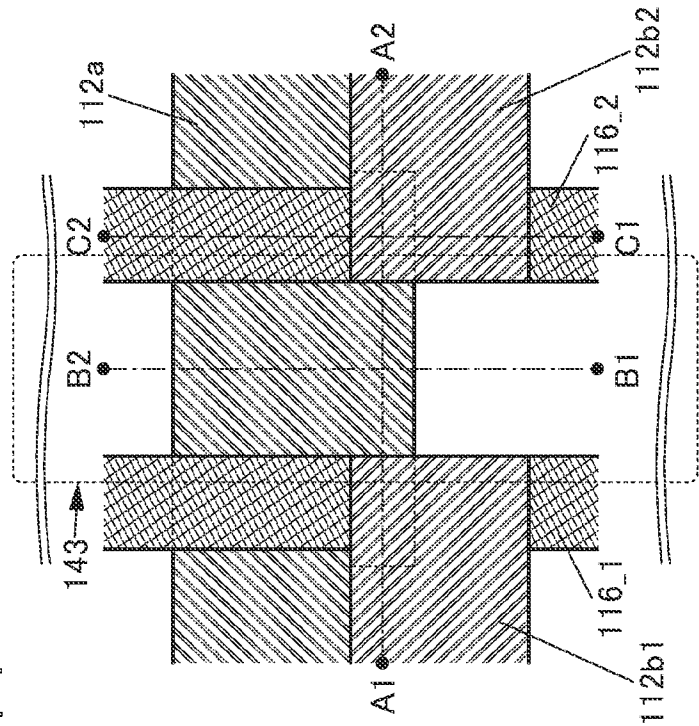


FIG 16B

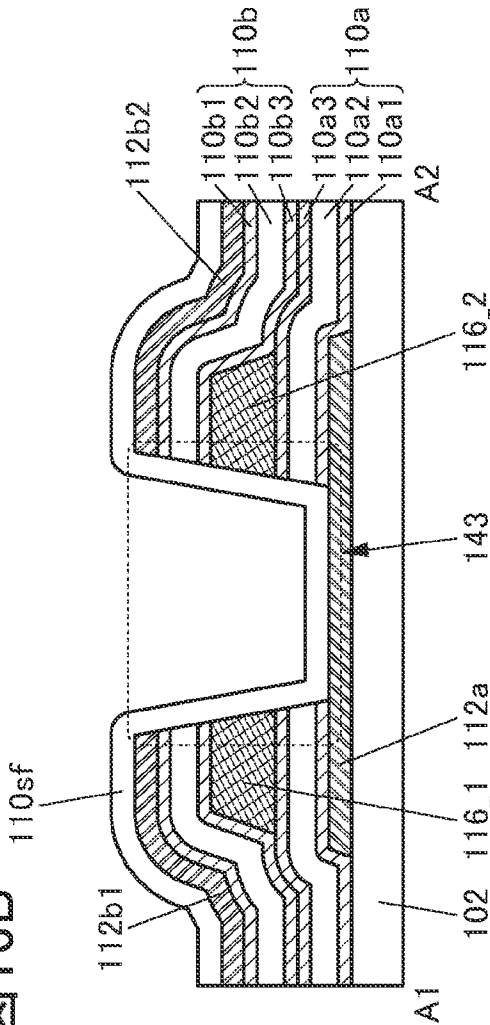


FIG 16D

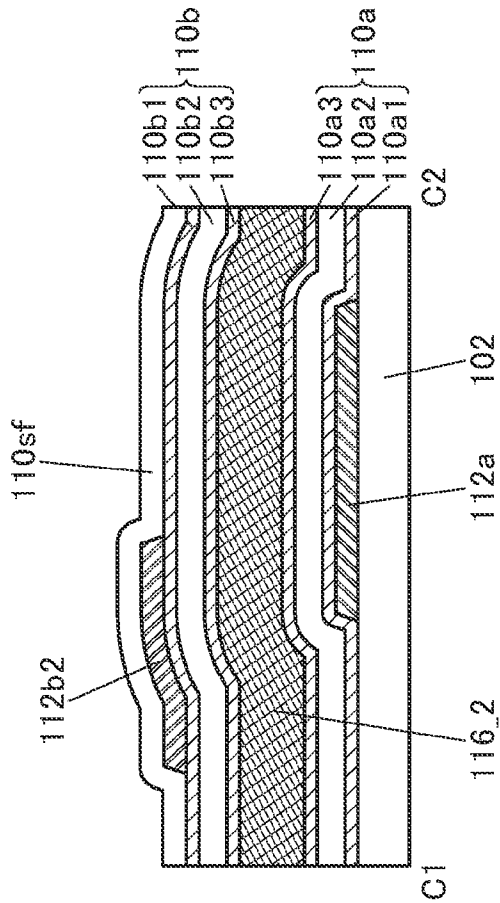


FIG 16C

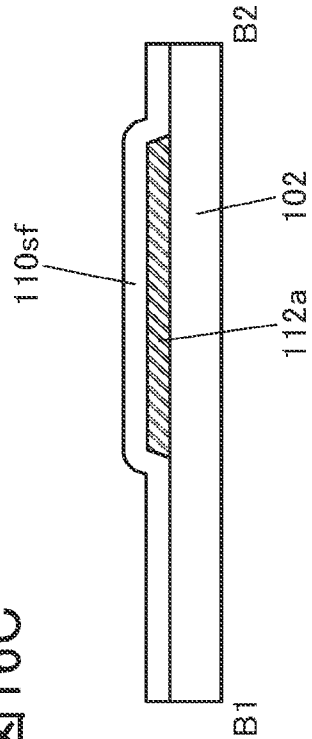


FIG 17A

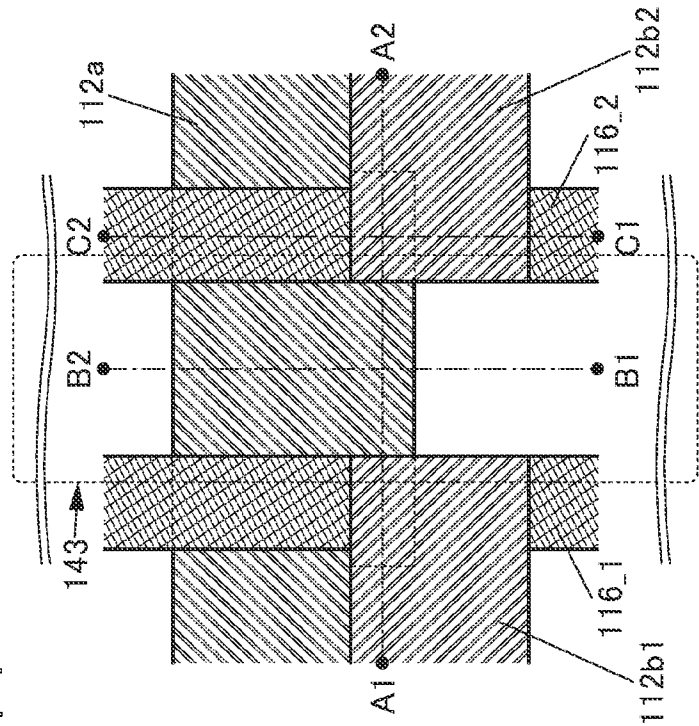


FIG 17B

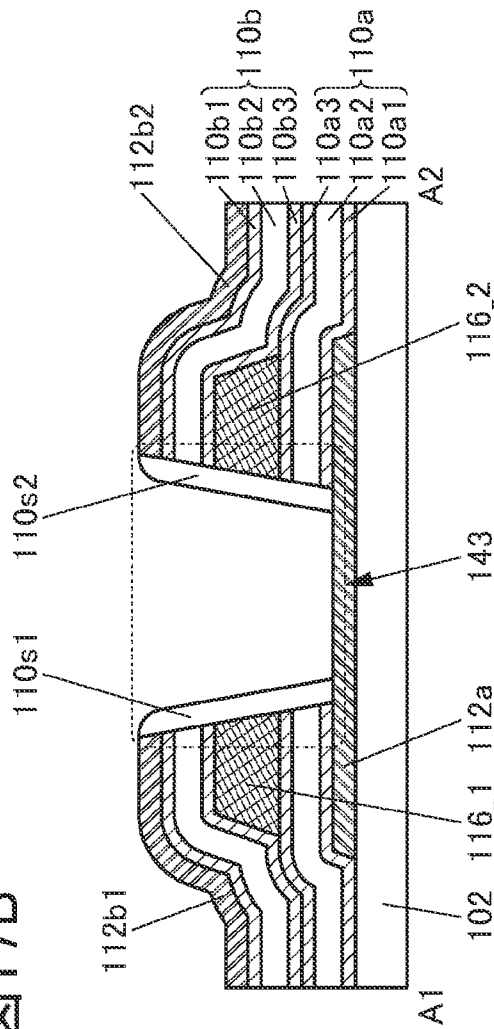


FIG 17D

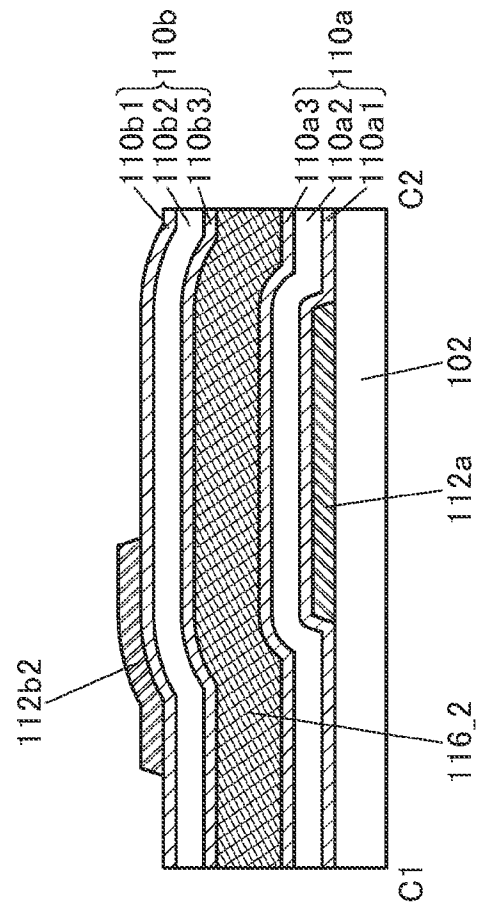


FIG 17C

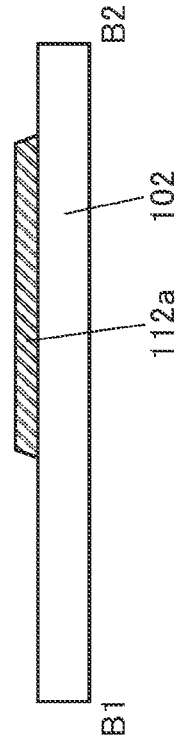


FIG 18A

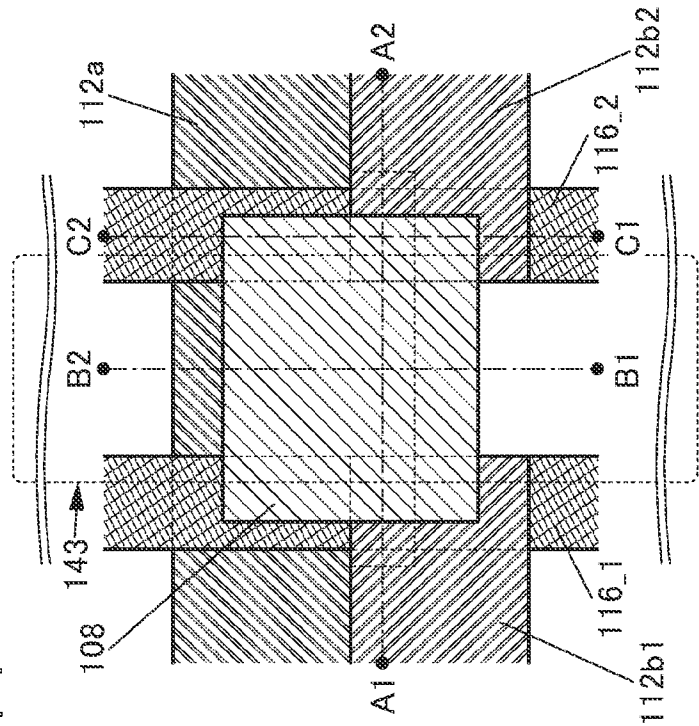


FIG 18B

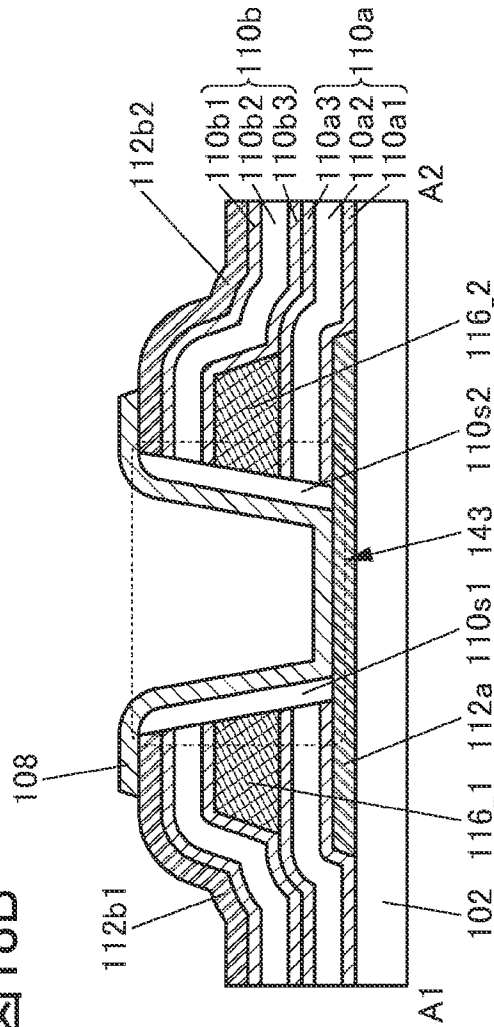


FIG 18D

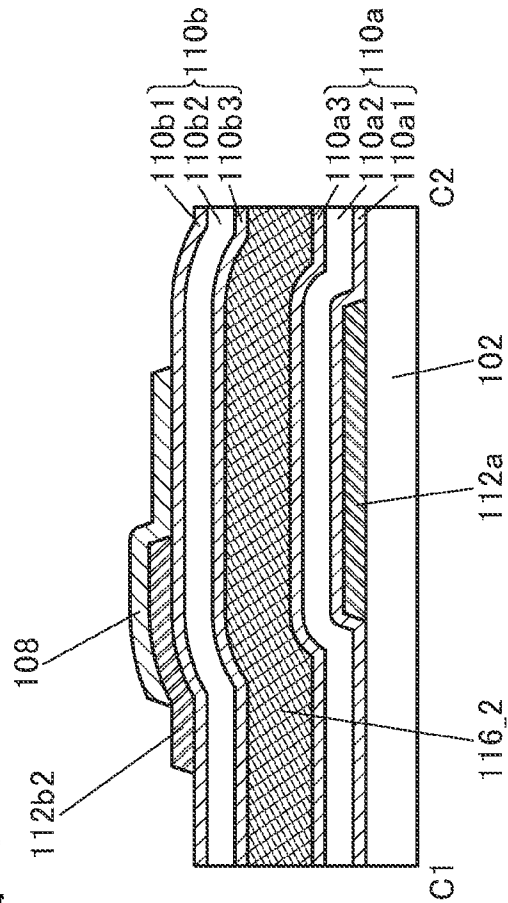
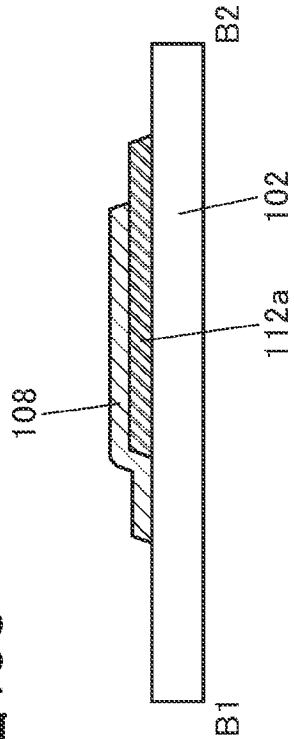
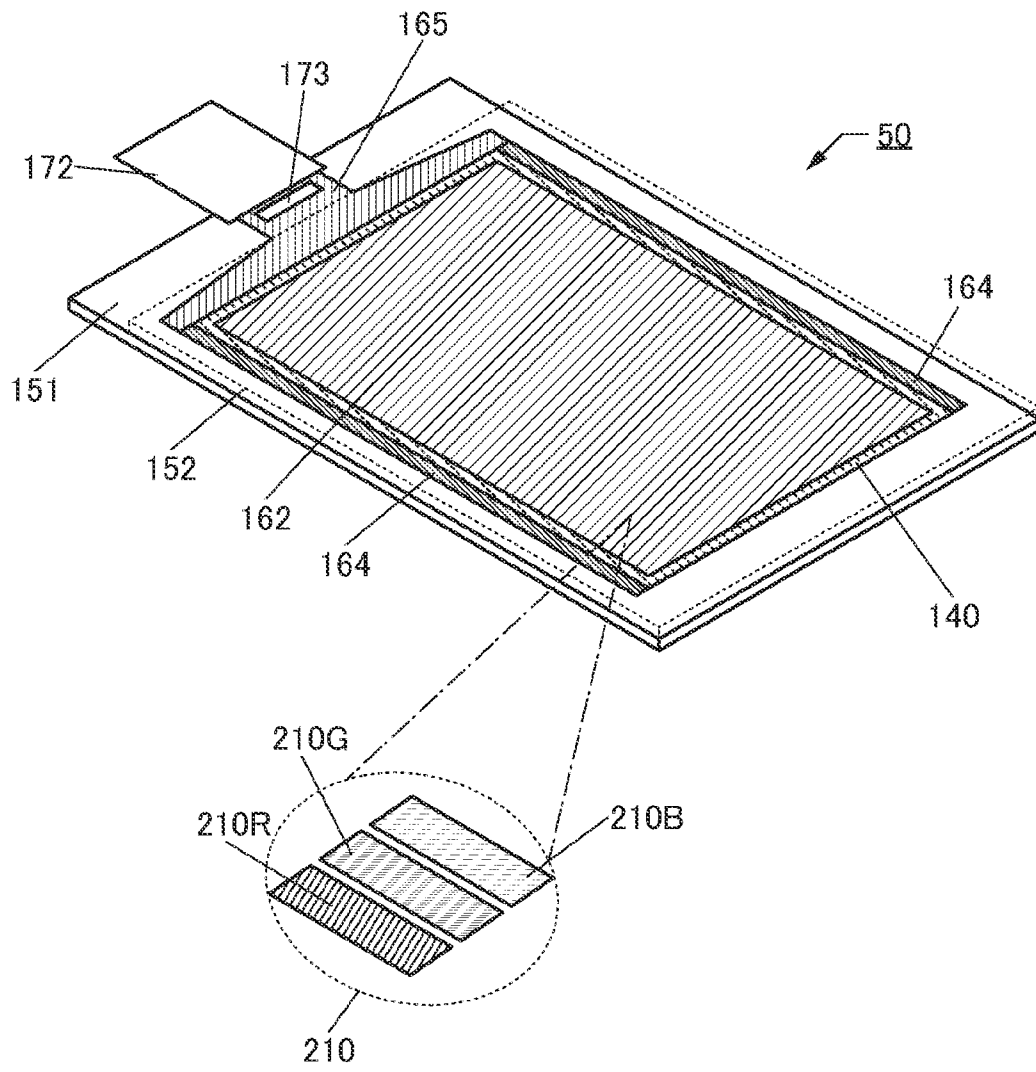


FIG 18C



19



20
50

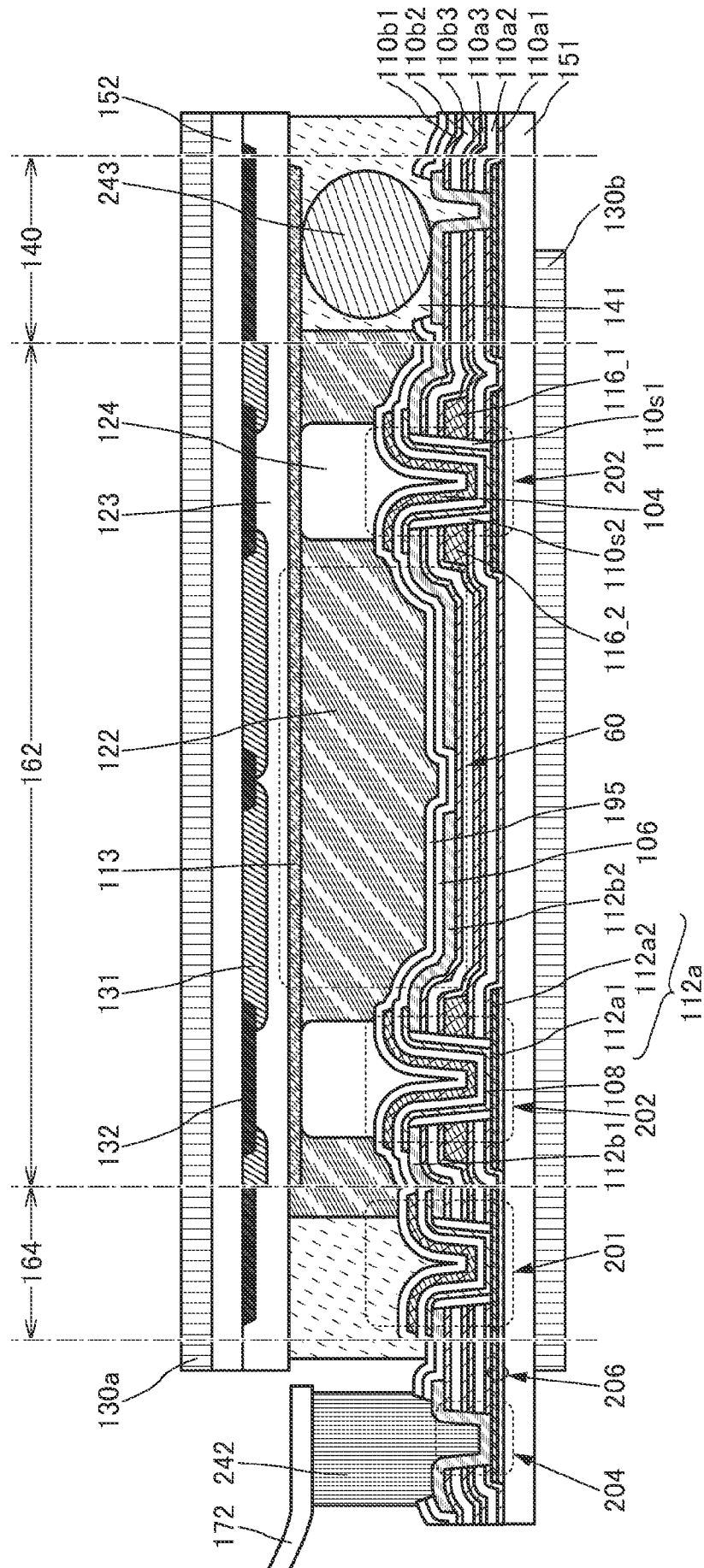


図21A

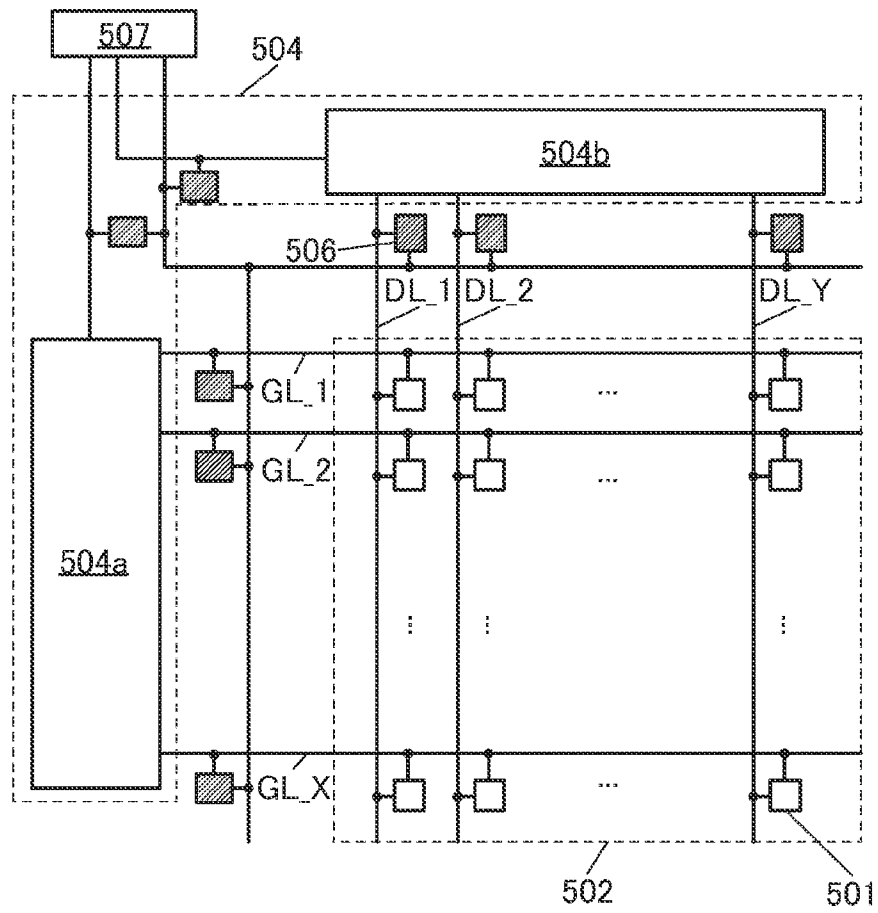


図21B

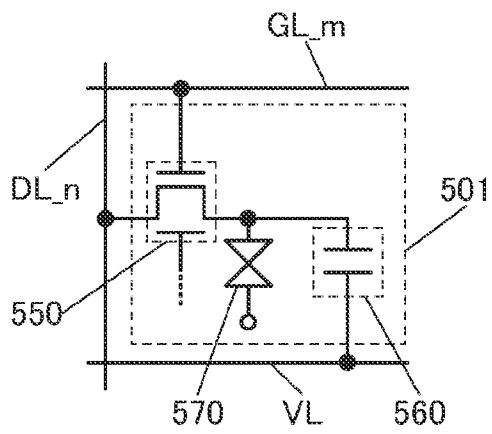
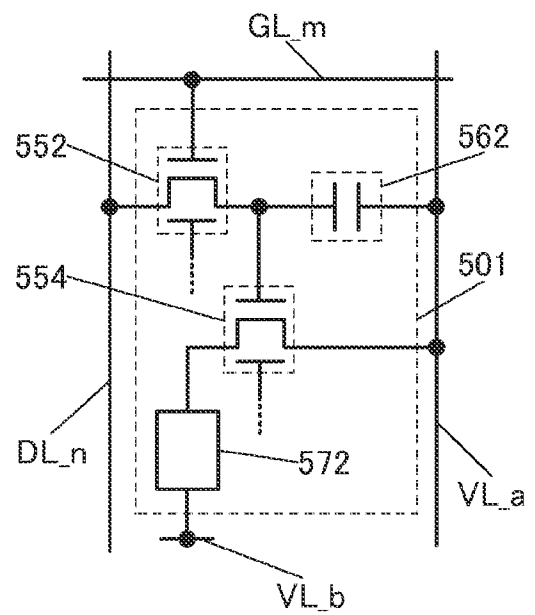
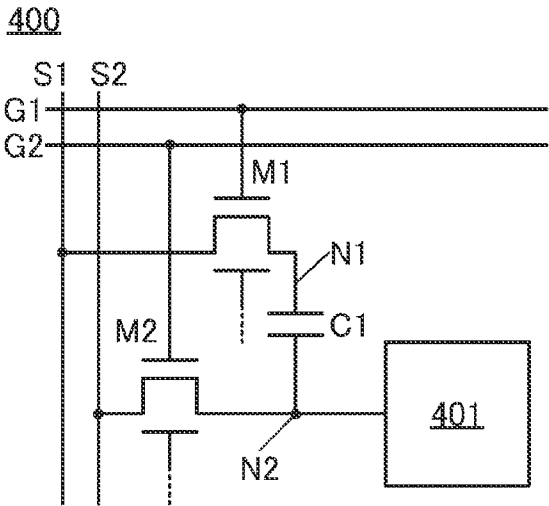


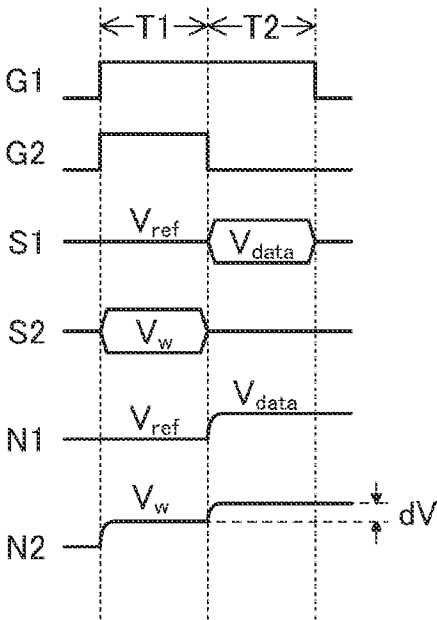
図21C



22A

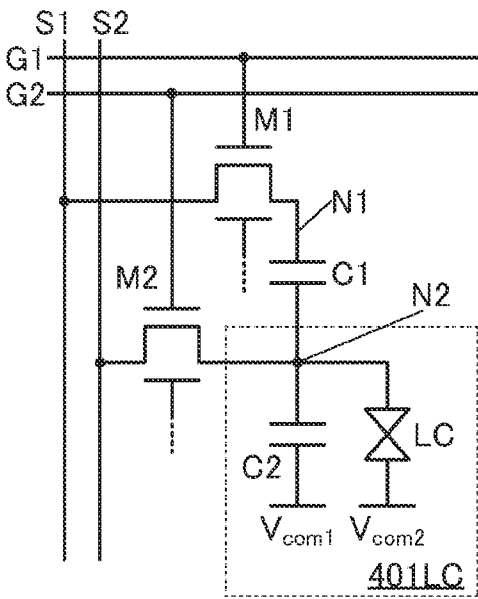


22B



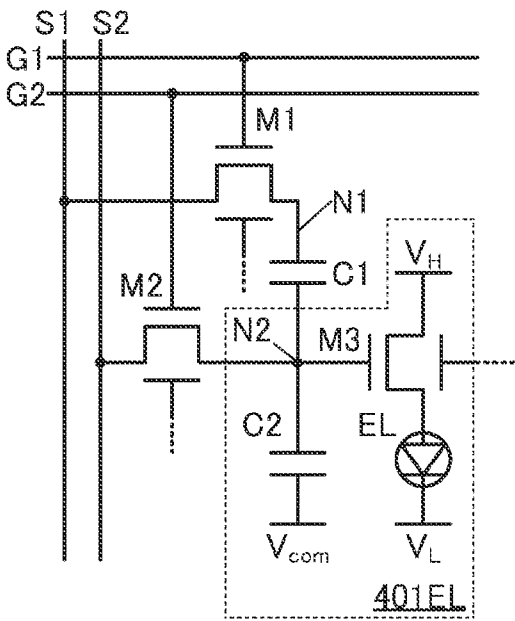
22C

400LC



22D

400EL



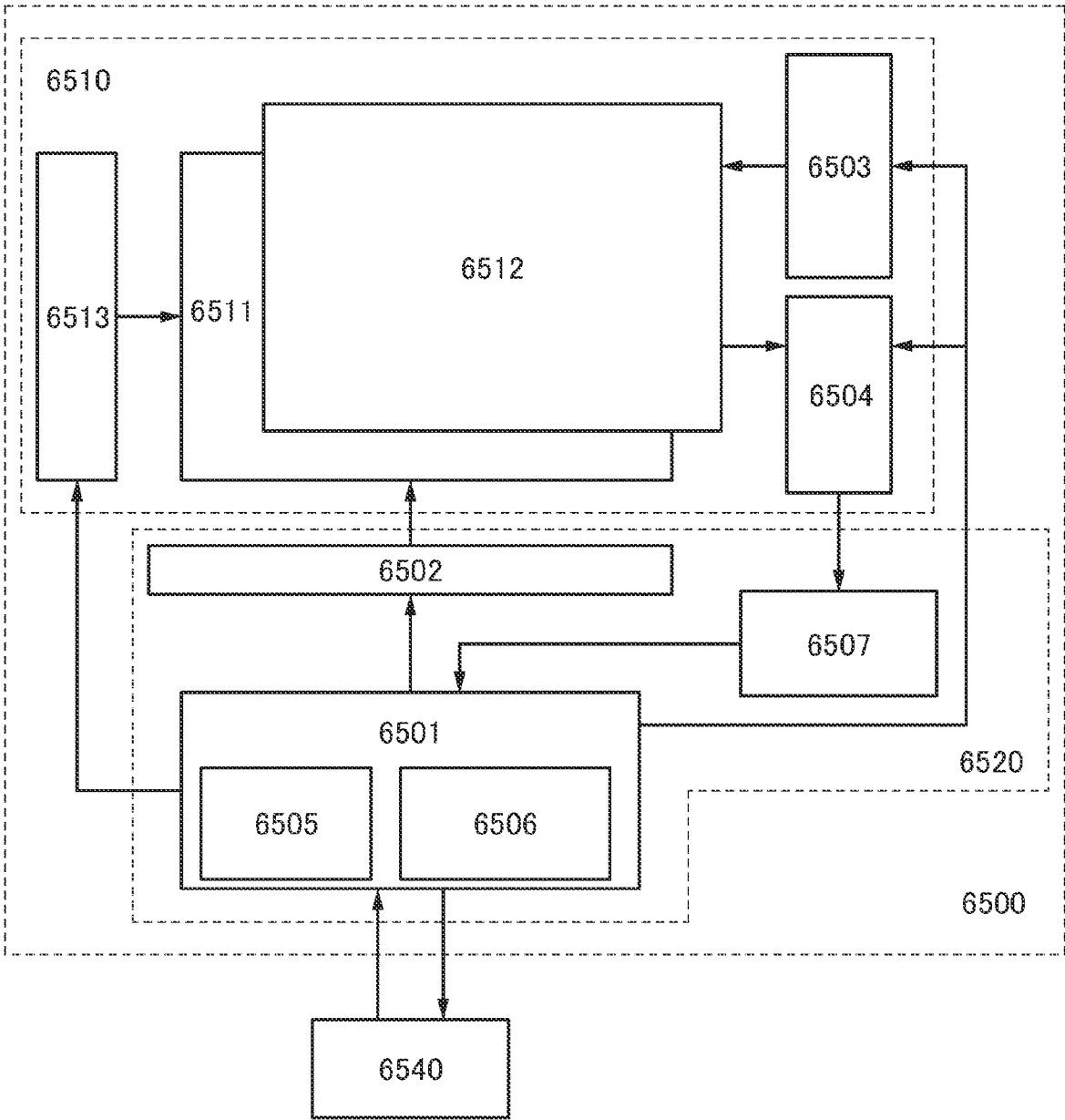


图24A
6500

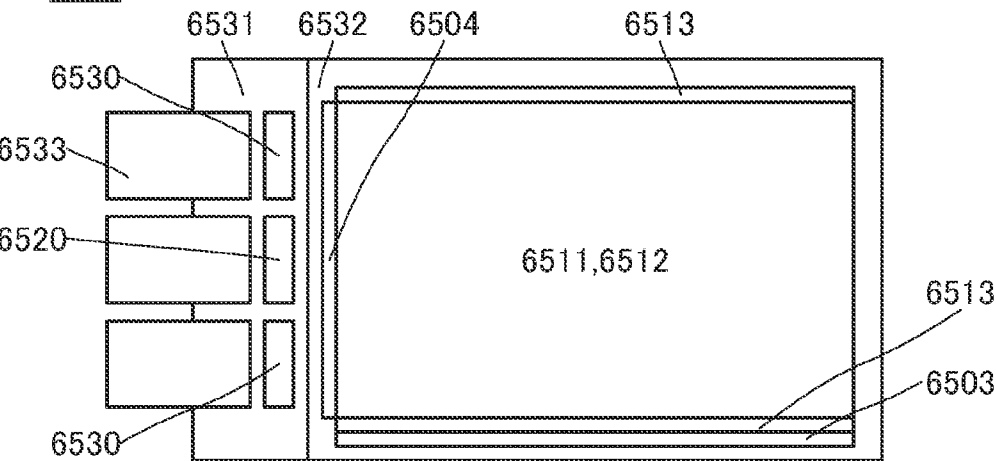


图24B
6500

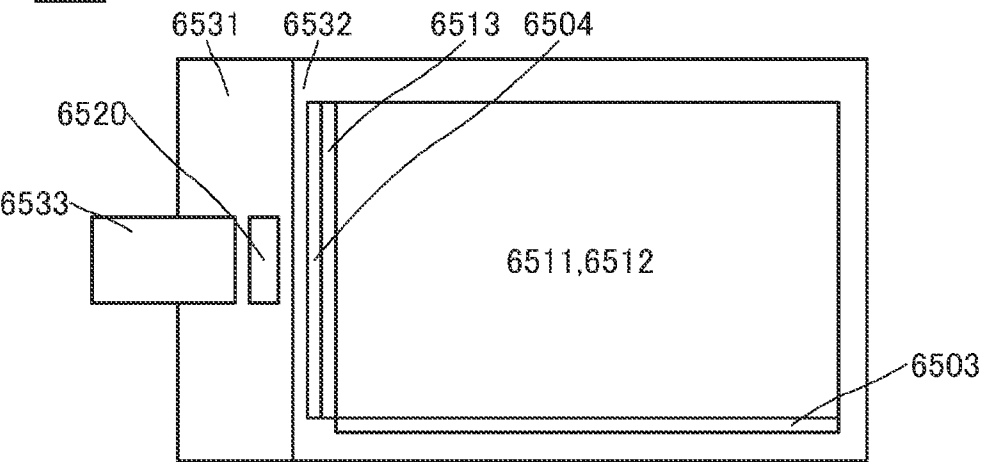


图24C
6500

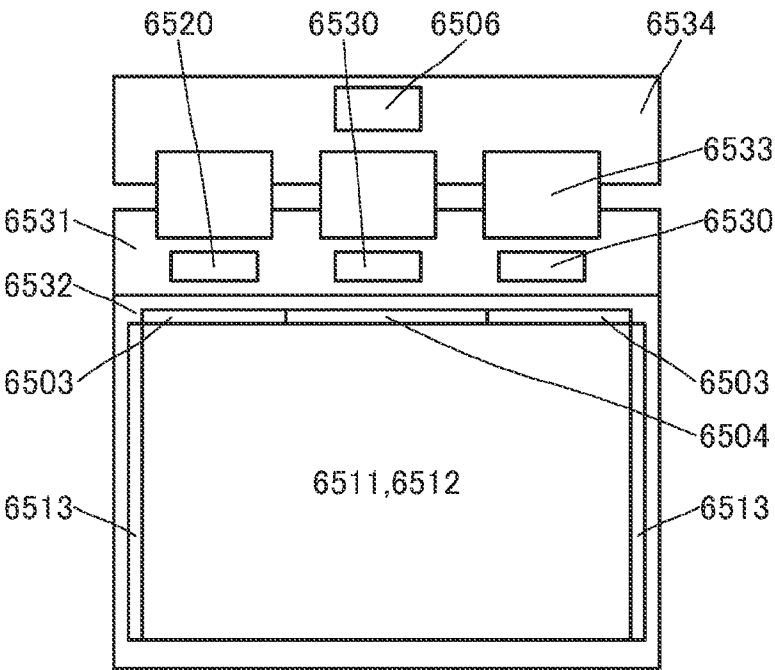


図25A

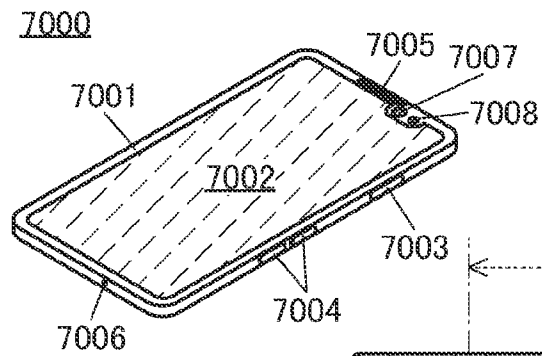


図25B

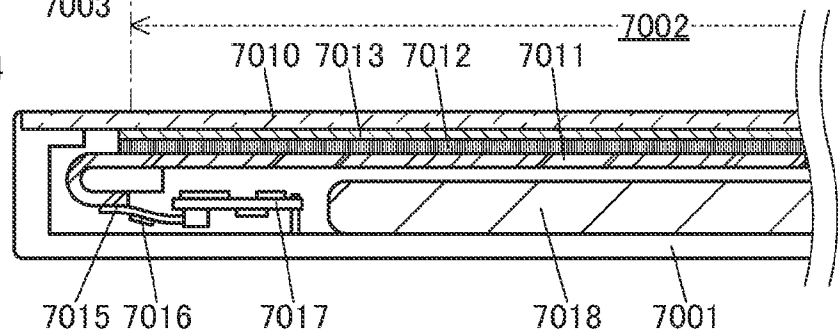


図25C

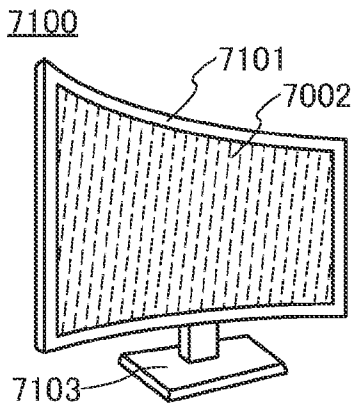


図25D

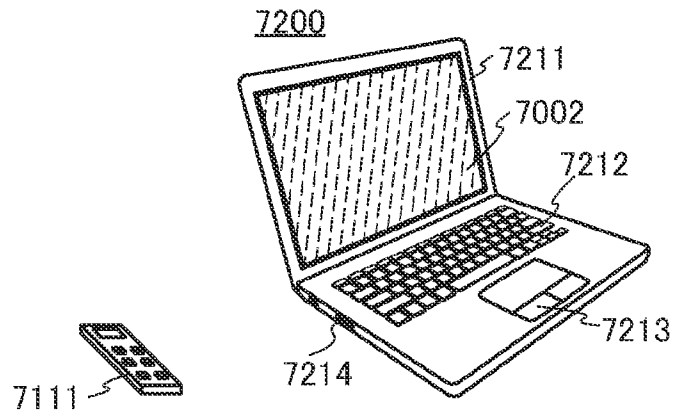


図25E

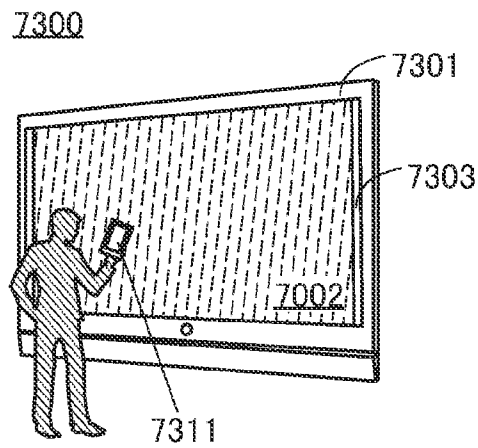
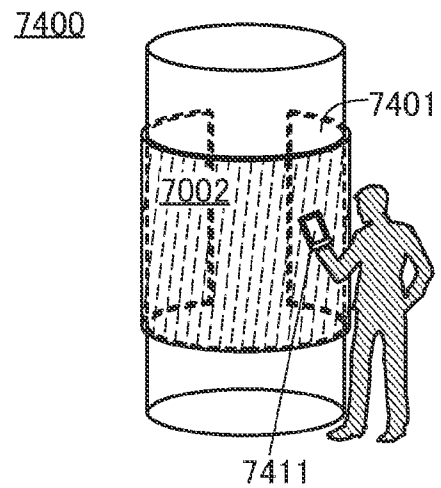


図25F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/057293

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; **G02F 1/1368**(2006.01)i; **G09F 9/30**(2006.01)i; **G09F 9/33**(2006.01)i; **G09F 9/35**(2006.01)i
FI: H01L29/78 618B; H01L29/78 626A; H01L29/78 612B; H01L29/78 613Z; H01L29/78 617K; H01L29/78 617N;
G09F9/30 348A; G09F9/35; G09F9/33; G09F9/30 338; G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; G02F1/1368; G09F9/30; G09F9/33; G09F9/35

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-174836 A (FUJITSU LIMITED) 10 September 2012 (2012-09-10) entire text	1-9
A	JP 2022-49605 A (KIOXIA CORP.) 29 March 2022 (2022-03-29) entire text	1-9
A	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) entire text	1-9
A	CN 114792735 A (HUAWEI TECHNOLOGIES CO., LTD.) 26 July 2022 (2022-07-26) entire text	1-9

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family
--	--

Date of the actual completion of the international search

18 September 2024

Date of mailing of the international search report

01 October 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2024/057293

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2012-174836	A	10 September 2012	(Family: none)			
JP	2022-49605	A	29 March 2022	US	2022/0085212	A1	
				CN	114267740	A	
				TW	202213649	A	
JP	2016-149552	A	18 August 2016	US	2016/0233343	A1	
				TW	201640683	A	
CN	114792735	A	26 July 2022	JP	2024-504425	A	
				US	2023/0371229	A1	
				EP	4261907	A1	
				KR	10-2023-0124090	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; G02F 1/1368(2006.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i;
G09F 9/35(2006.01)i
FI: H01L29/78 618B; H01L29/78 626A; H01L29/78 612B; H01L29/78 613Z; H01L29/78 617K; H01L29/78 617N;
G09F9/30 348A; G09F9/35; G09F9/33; G09F9/30 338; G02F1/1368

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; G02F1/1368; G09F9/30; G09F9/33; G09F9/35

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922 - 1996年
日本国公開実用新案公報	1971 - 2024年
日本国実用新案登録公報	1996 - 2024年
日本国登録実用新案公報	1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-174836 A（富士通株式会社）10.09.2012（2012 - 09 - 10） 全文	1-9
A	JP 2022-49605 A（キオクシア株式会社）29.03.2022（2022 - 03 - 29） 全文	1-9
A	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016 - 08 - 18） 全文	1-9
A	CN 114792735 A（HUAWEI TECHNOLOGIES CO., LTD.）26.07.2022（2022 - 07 - 26） 全文	1-9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

18.09.2024

国際調査報告の発送日

01.10.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

河合 俊英 5F 3238

電話番号 03-3581-1101 内線 3514

引用文献			公表日	パテントファミリー文献			公表日
JP	2012-174836	A	10.09.2012	(ファミリーなし)			
JP	2022-49605	A	29.03.2022	US	2022/0085212	A1	
				CN	114267740	A	
				TW	202213649	A	
JP	2016-149552	A	18.08.2016	US	2016/0233343	A1	
				TW	201640683	A	
CN	114792735	A	26.07.2022	JP	2024-504425	A	
				US	2023/0371229	A1	
				EP	4261907	A1	
				KR	10-2023-0124090	A	