



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I633433 B

(45)公告日：中華民國 107 (2018) 年 08 月 21 日

(21)申請案號：103104182

(22)申請日：中華民國 103 (2014) 年 02 月 07 日

(51)Int. Cl. : G06F12/02 (2006.01)

G06F9/38 (2006.01)

(30)優先權：2013/02/15 美國

13/768,215

(71)申請人：L S I 公司(美國) LSI CORPORATION (US)

美國

(72)發明人：布魯爾 克里斯多福 BREWER, CHRISTOPHER (US)；柯恩 厄爾 COHEN, EARL T. (US)

(74)代理人：陳長文

(56)參考文獻：

US 2007/0271423A1

審查人員：莊榮昌

申請專利範圍項數：12 項 圖式數：12 共 45 頁

(54)名稱

控制非易失性記憶體之系統與方法

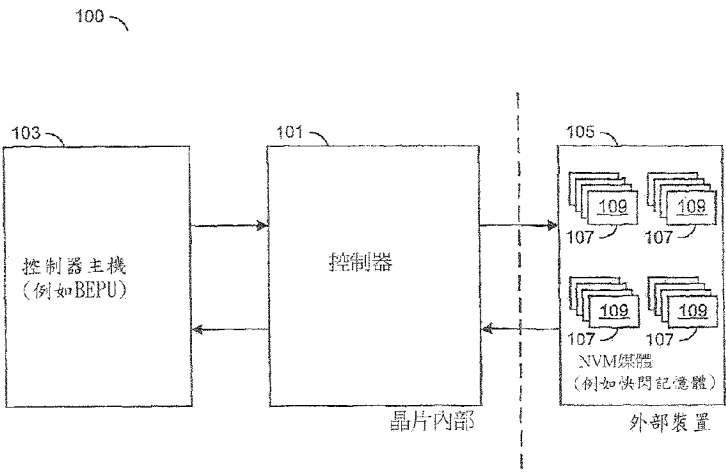
SYSTEM AND METHOD OF CONTROLLING A NON-VOLATILE MEMORY

(57)摘要

本公開涉及使用與低級可程式設計定序器結合的通用可程式設計處理器的非易失性記憶體通道控制。系統包含控制處理器、非易失性記憶體裝置介面和微定序器。控制處理器可以配置為通過命令介面接收命令和發送回應。非易失性記憶體裝置介面可以配置為將系統耦接至一個或多個非易失性記憶體裝置。微定序器一般耦接至(i)控制處理器和(ii)非易失性記憶體裝置介面。微定序器包含可由微定序器讀出並可由控制處理器寫入的控制存放裝置。回應於接收一個特定命令，控制處理器能夠使微定序器根據特定命令在控制存放裝置中的位置開始執行，微定序器能夠根據耦接至非易失性記憶體裝置介面的一個或多個非易失性記憶體裝置的協定，執行特定命令的至少一部分。

A system includes a control processor, a non-volatile memory device interface, and a micro-sequencer. The control processor may be configured to receive commands and send responses via a command interface. The non-volatile memory device interface may be configured to couple the system to one or more non-volatile memory devices. The micro-sequencer is generally coupled to (i) the control processor and (ii) the non-volatile memory device interface. The micro-sequencer includes a control store readable by the micro-sequencer and writable by the control processor. In response to receiving a particular one of the commands, the control processor is enabled to cause the micro-sequencer to begin executing at a location in the control store according to the particular command and the micro-sequencer is enabled to perform at least a portion of the particular command according to a protocol of the one or more non-volatile memory devices coupled to the non-volatile memory device interface.

指定代表圖：



第1圖

- 符號簡單說明：
- BPU . . . 後端處理單元
 - 100 . . . 系統
 - 101 . . . 控制器
 - 103 . . . 主機
 - 105 . . . 非易失性記憶體媒體
 - 107 . . . 非易失性記憶體裝置
 - 109 . . . 非易失性記憶體管芯

【發明說明書】

【中文發明名稱】 控制非易失性記憶體之系統與方法

【英文發明名稱】 System And Method of Controlling A Non-Volatile
Memory

【技術領域】

本發明一般涉及記憶體系統，更具體而言，涉及用於實現使用與低級可程式設計定序器結合的通用可程式設計處理器的非易失性記憶體通道控制的方法和/或裝置。

【先前技術】

常規的非易失性記憶體控制系統嘗試使用多個不同的協定來給予可以由系統使用的裝置的範圍靈活性。支援多個不同協定涉及用於每個預想類型的介面、以及用於每個要求的介面命令類型的專用的控制邏輯。依賴於用於每個介面協定的專用的控制邏輯不是非常靈活的方案，對於新的或者略改變的介面協定的版本需要昂貴的邏輯的重新設計。或者，中央處理器（CPU）可以被用於允許非易失性記憶體介面的一定靈活性的低級控制。然而，這對CPU施加了較高負擔，因此導致有限的性能。

理想的是實現使用與低級可程式設計定序器結合的通用可程式設計處理器的非易失性記憶體通道控制。

【發明內容】

本發明涉及的系統包含控制處理器、非易失性記憶體裝置介面和微定序器。控制處理器可以配置為通過命令介面接收命令以及發送回應。非易失性記憶體裝置介面可以配置為將系統耦接至一個或多個非易失性記憶體裝置。微定序器一般耦接至（i）控制處理器和（ii）非易失性記憶體裝置介面。微定序器包含可由微定序器讀出並可由控制處理器寫入的控制存放裝置。回應於接收一個特定命令，控制處理器能夠使微定序器根據特定命令在控制存放裝置中的位置開始執行，微定序器能夠根據耦接至非易失性記憶體裝置介面的一個或多個非易失性記憶體裝置的協定，執行特定命令的至少一部分。

本發明包括的一個方面涉及一種系統，包括控制處理器、非易失性記憶體裝置介面和微定序器。控制處理器配置為通過命令介面接收命令和發送回應。非易失性記憶體裝置介面配置為將系統耦接至一個或多個非易失性記憶體裝置。微定序器耦接至（i）控制處理器和（ii）非易失性記憶體裝置介面。微定序器包括可由微定序器讀出並可由控制處理器寫入的控制存放裝置。回應於接收命令中的特定命令，控制處理器能夠使微定序器根據特定命令在控制存放裝置中的位置開始執行，並且微定序器能夠根據耦接至非易失性記憶體裝置介面的一個或多個非易失性記憶體裝置的協定，執行特定命令的至少一部分。

在上述方面的系統的一些實施方式中，非易失性記憶體裝置介面包括多個資料I/O引腳和多個控制I/O引腳。在實現控制I/O引腳和資料I/O引腳的一些實施方式中，微定序器能夠改變控制I/O引腳和資料I/O引腳的狀態，以根據協定執行特定命令。

在上述方面的系統的一些實施方式中，控制存放裝置被控制處理器程式設計為執行與附接到非易失性記憶體裝置介面的一個或多個非易失性記憶體裝置關聯的一個或多個協議。在一些實施方式中，控制處理器進一步配置為：初始賦能控制處理器將控制存放裝置程式設計為執行與多個類型的非易失性記憶體裝置相容的低速協定；以及隨後賦能控制處理器將控制存放裝置程式設計為執行與一個或多個非易失性記憶體裝置相容的更高速協定。

在一些實施方式中，上述方面的系統還包括輸出資料介面和輸入資料介面。輸出資料介面通過微定序器耦接至非易失性記憶體裝置介面，輸出資料介面包括輸出資料緩衝，輸出資料緩衝能夠接收要發送至非易失性記憶體裝置介面的資料。輸入資料介面通過微定序器耦接至非易失性記憶體裝置介面，輸入資料介面包括輸入資料緩衝，輸入資料緩衝能夠接收從非易失性記憶體裝置介面接收的資料。在一些實施方式中，微定序器進一步能夠（i）檢測輸入資料緩衝的滿狀態（full condition），以及（ii）回應於檢測滿狀態，跳至控制存放裝置中的確定的位置。

在一些實施方式中，上述方面的系統是固態驅動器SSD裝置的一部分。

在一些實施方式中，上述方面的系統實現為一個或多個積體電路。

本發明還包括的一個方面涉及一種控制非易失性記憶體通道的方法，包括如下步驟：（i）通過耦接至控制處理器的命令介面，接收命令和發送回應；以及（ii）使用耦接至控制處理器的微定序器，開始執行在控制存放裝置中的位置處的指令，其中，位置由控制處理器根據接收的命令中的特定命令確定，其中，微定序

器根據通過非易失性記憶體裝置介面耦接至微定序器的一個或多個非易失性記憶體裝置的協定，執行特定命令的至少一部分。

在一些實施方式中，上述方面的方法還包括：使用控制處理器將控制存放裝置程式設計為執行與附接到非易失性記憶體裝置介面的一個或多個非易失性記憶體裝置關聯的一個或多個協議。

在一些實施方式中，上述方面的方法還包括：初始賦能控制處理器將控制存放裝置程式設計為執行與多個類型的非易失性記憶體裝置相容的低速協定；以及隨後賦能控制處理器將控制存放裝置程式設計為執行與一個或多個非易失性記憶體裝置相容的更高速協定。

【圖式簡單說明】

本發明的實施例可以從下面的具體實施方式、所附的申請專利範圍和附圖得知，其中：

第1圖是示出依據本發明的實施例的非易失性記憶體控制系統的圖；

第2圖是示出依據本發明的實施例的介面管理處理器的圖；

第3圖是示出第2圖的輸出資料緩衝的示例實施方式的圖；

第4圖是示出第2圖的輸入資料緩衝的示例實施方式的圖；

第5圖是示出第2圖的控制單元的示例實施方式的圖；

第6圖是示出第2圖的低級（low-level）非易失性記憶體介面的示例實施方式的圖；

第7圖是示出第6圖的低級非易失性記憶體介面定序器單元的示例實施方式的圖；

第8圖是示出第6圖的DQ捕獲方塊的示例實施方式的圖；

第9圖是示出第8圖的DQ捕獲近墊邏輯（Near pad logic，NFL）方塊的示例實施方式的圖；

第10圖是示出第8圖的DLL方塊的示例實施方式；

第11圖是示出輸出介面近墊邏輯方塊的示例實施方式的圖；

第12圖是示出依據本發明的實施例的具有多個通道的非易失性記憶體控制系統的圖。

【實施方式】

本發明的實施例包含用於使用與低級可程式設計定序器結合的通用可程式設計處理器來實現非易失性記憶體（例如快閃記憶體等）通道控制的方法和/或裝置。本發明的實施例可以（i）耦接通用中央處理器（CPU）用於高級控制，並與可程式設計微定序器調度用於非易失性記憶體介面的低級控制；（ii）以由序列程式設計定義的方式，使用微定序器來提供由非易失性記憶體介面的時鐘週期控制的時鐘週期；（iii）能使微定序器被程式設計為處理任何計畫的非易失性記憶體介面；（iv）允許還沒有預想到的將來的非易失性記憶體介面的程式設計；（v）使用微定序器來提供指令，控制非易失性記憶體引腳輸出，控制資料輸出和資料捕獲，配置介面操作模式，和/或迴圈經由定義的序列達配置的次數（沒有招致管線延遲）；（vi）使用微定序器提供能力來以可配置的方式處理資料饑餓以及資料回壓情況；（vii）實現CPU與微定序器之間的共用的記憶體來允許序列參數傳遞，以及微序列控制代碼容易更改；（viii）僅當序列完成或者遇到錯誤情況時，向微定序器傳遞請求來執行序列，並從微定序器產生回應；和/或（ix）釋放CPU以執行更高級調度、管理和決策。

參考第1圖，示出的圖例示依據本發明的實施例的非易失性記憶體控制系統100。在一些實施例中，非易失性記憶體控制系統100包括方塊101和方塊103。方塊101可以實現記憶體通道控制器，還被稱為介面管理處理器（IMP）。方塊103可以實現控制器主機。控制器101可以配置為控制一個或多個個體非易失性記憶體通道。在一些實施例中，可以實現控制器101的多個實例以控制多個非易失性記憶體通道。控制器101具有配置為接收命令並發送回應給主機103的命令介面。主機103可以包括例如後端處理單元（BEPU）。在實現多個非易失性記憶體通道的實施例中，主機103還包含多工電路，該多工電路將控制器101的多個實例耦接至BEPU。在一些實施例中，主機103是諸如固態硬碟（SSD）控制器的I/O裝置控制器，BEPU是控制器提供多個非易失性記憶體裝置（諸如NAND快閃記憶體非易失性記憶體晶片）的調度和/或資料管理的部分。在此外的實施例中，BEPU包括資料緩衝和直接記憶體訪問（DMA）引擎（engine）來儲存資料或者其他資訊，並將資料或者其他資訊在主機103和控制器101之間移動。

控制器101還具有配置為將系統100耦接至非易失性記憶體媒體105的非易失性記憶體介面。非易失性記憶體媒體105可以包括一個或多個非易失性記憶體裝置107。在一些實施例中，非易失性記憶體裝置107具有一個或多個非易失性記憶體管芯109。根據特定一個非易失性記憶體裝置107的類型，特定非易失性記憶體裝置107中的多個非易失性記憶體管芯109可選地和/或選擇性地並行可訪問。非易失性記憶體裝置107一般代表能夠通信地耦接至控制器101的存放裝置的一個類型。然而，在各種實施例中，可用任何類型的存放裝置，諸如SLC（單級單元）NAND快閃記憶體

記憶體、MLC（多級單元）NAND快閃記憶體、TLC（三級單元）NAND快閃記憶體、NOR快閃記憶體、唯讀記憶體（Rom）、靜態隨機存取記憶體（SRAM）、動態隨機存取記憶體（DRAM）、磁阻隨機存取記憶體（MRAM）、鐵磁記憶體（例如FeRAM、F-RAM、FRAM等）、相變記憶體（例如PRAM、PCRAM等）、賽道（racetrack）記憶體（或者疇壁記憶體（DWM））、電阻隨機存取記憶體（RRAM或者ReRAM）、或者任何其他類型的記憶體裝置或者儲存媒體。

在一些實施例中，控制器101和非易失性記憶體媒體105在分離的積體電路上實現。當控制器101和非易失性記憶體媒體105在分離的積體電路（或者裝置）上實現時，控制器101的非易失性記憶體介面一般能夠管理多個資料登錄/輸出（I/O）引腳和多個控制I/O引腳。資料I/O引腳和控制I/O引腳可以配置為將含有控制器101的裝置連接至外部裝置，該外部裝置形成非易失性記憶體媒體105。

參考第2圖，示出的圖例示依據本發明的實施例的控制器101的實施方式。在一些實施例中，控制器101實現介面管理處理器（IMP）。在一些實施例中，控制器101包括方塊（或者電路）110、方塊（或者電路）112、方塊（或者電路）114、方塊（或者電路）116、方塊（或者電路）118、方塊（或者電路）120、方塊（或者電路）122和方塊（或者電路）124。方塊110一般實現矽邏輯和韌體，配置為以可配置、靈活和可擴展的方式控制多個非易失性記憶體裝置。方塊112實現匯流排介面方塊（BIB）。方塊114實現命令緩衝（CB）。方塊116實現輸出資料緩衝（ODB）。方塊118實現回應緩衝（RB）。方塊120實現輸入資料緩衝（IDB）。

方塊122實現配置/狀態暫存器（CSR）方塊。方塊124實現同步方塊。

匯流排界面方塊（BIB）112處理向後端處理單元（例如主機103）以及來自後端處理單元的通信。BIB112處理通過輸出匯流排（例如OB）從BEPU接收的低級資料鏈接命令，將命令和資料傳遞給命令緩衝114和輸出資料緩衝116。BIB112還通過輸入匯流排（例如IB），將來自回應緩衝（RB）118的命令回應和來自輸入資料緩衝（IDB）120的輸入資料發送至後端處理單元。命令緩衝（CB）114將輸出匯流排字積累為硬體控制埠（HCP）雙字，並將HCP雙字饋送至CU130。術語雙字（dword，double-word）代表單個週期中的資料傳輸的單位（例如8個位元組）。回應緩衝（RB）118從CU130獲取HCP雙字，將HCP雙字拆散為多個輸入匯流排字，並將多個輸入匯流排字發送至BIB112。在一些實施例中，HCP雙字包括在BEPU與CU130之間發送的消息。例如，BEPU將消息發送至CU130，以向由CU130維持的工作的佇列增加非易失性記憶體裝置訪問操作，且CU130將表明操作完成和/或操作的狀態的消息發送回BEPU。在此外的實施例中，來自BEPU的消息包括與操作的資料傳輸關聯的各個標籤，CU130能夠使用標籤來啟動抓取要寫入至非易失性記憶體裝置的資料，或者表明用於從非易失性記憶體裝置讀出的資料的操作特定的目的地。

CSR方塊122位於系統100的CSR環上。CSR方塊122通過CSR方塊122的暫存器提供對介面管理處理器（IMP）資訊的訪問並配置IMP操作。例如，CSR方塊122的暫存器能使CU130運行，提供CU130操作的狀態，啟動控制器101的調試和/或診斷特性，以及其他管理訪問特性。CSR環可以使用任何多個匯流排規範（例如PalmBus、

AMBA、AHB等）來實現。在各種實施例中，多個（例如2個）優先順序中斷信號和停止信號（例如HALT/INTR）可以發送給後端處理單元。後端處理單元可以配置為將優先權中斷信號和停止信號同步至核心域。方塊124可以配置為將全域停止輸入（例如HALT IN）同步至控制器101的時鐘域。同步的全域停止輸入在CSR控制下，然後可以使控制器101停止。

方塊110一般包括控制單元（CU）130和低級非易失性記憶體介面（LFI）132。CU130一般包括通用中央處理器（CPU）。LFI132包括低級可程式設計微定序器。CU130和LFI132的低級可程式設計微定序器由共用的記憶體（例如由方塊134代表）緊密耦接。CU130和LFI132的低級可程式設計微定序器能夠控制連接至一個或多個非易失性記憶體裝置（例如第1圖的非易失性記憶體媒體105）的系統輸出和輸入（例如NVM I/O）。CU130可以從整個系統控制器接收命令，負責（i）做出將什麼命令發出給LFI132的低級可程式設計微定序器的決定；（ii）控制進/出中心系統資料倉庫的資料的流；（iii）處理潛在的錯誤狀況；以及（iv）發送回應給整個系統控制器以表明命令的完成。

LFI132的低級可程式設計微定序器可以配置有程式來定址並控制附接的特定類型的非易失性記憶體裝置。LFI132的低級可程式設計微定序器因此可以從CU130提取有關特定非易失性記憶體介面協定的細節，並向CU130提供更高級的序列調用。CU130、LFI132的低級可程式設計微定序器和用於它們的程式一般允許整個系統控制器向高級的非易失性記憶體控制器101發出命令。用於CU130的程式處理更高級命令的調度（例如對於一個或多個非易失性記憶體裝置而言），將更高級命令拆散為低級命令，將低級命令發

出給LFI132的低級可程式設計微定序器。當命令完成時，程式向BEPU控制器發出回應。這免除了BEPU和/或主機103的其他處理器必須處理非易失性記憶體介面的細節的操作。由於導入了新的非易失性記憶體裝置，通過僅僅開發用於CU130和LFI132的低級可程式設計微定序器的新的程式，新的裝置可使用上述靈活樣式的方案。

LFI132能夠檢測諸如由於當從非易失性記憶體媒體接收資料時的回壓導致的資料中斷，或者當發送資料給非易失性記憶體媒體時的資料缺失。LFI132的低級可程式設計微定序器還可以擺脫程式設計迴圈以進入例外狀態。在例外狀態下，LFI132的低級可程式設計微定序器可以在第一模式下，檢測資料的恢復並繼續操作；或者在第二模式下，中斷CU130以具有操作的更高級的重新開始。在第二模式下，CU130可訪問由LFI132的低級可程式設計微定序器傳輸的資料的量，並例如可以調節位址和/或長度，來從暫停了資料傳輸的點重新開始資料傳輸。

CU130解釋介面管理處理器命令並提供回應。CU130還可以訪問輸入資料緩衝和輸出資料緩衝並控制LFI132。LFI132訪問並控制非易失性記憶體I/O、序列命令、序列資料輸出，並捕獲資料返回。CU130的大部分功能以韌體實現，以允許靈活性並支持將來的非易失性記憶體類型。

參考第3圖，示出的圖例示第2圖的輸出資料緩衝（ODB）116的示例實施方式。在一些實施例中，ODB116包括方塊（或者電路）150、方塊（或者電路）152、方塊（或者電路）154、方塊（或者電路）156和方塊（或者電路）158。方塊150一般實現控制介面。方塊152一般能夠執行路由操作。方塊154實現先進先出（

FIFO) 緩衝。方塊156實現計數器。方塊158一般能夠執行奇偶性檢查。

在第一(例如通常)操作模式下,可以設置控制和路由來將傳入資料直接引導至LFI132。對於調試或者其他高級功能,可以設置控制和路由來將傳入資料直接引導至CU暫存器介面。對於CU韌體下載,可以設置控制和路由來將傳入資料直接引導至CU130的命令直譯器。在一個示例中,方塊154可以實現為8位寬、4條(entry)深的FIFO緩衝。然而,可以實現其他深度和寬度來滿足特定實施方式的設計標準。方塊154具有可配置的Hi(高)和Lo(低)電平(例如FIFO閥值),被用作序列控制的部分。典型而言,對於深為4、雙倍資料速率(DDR)系統而言,Hi會被設定為2,Lo被設定為1。對於深為4、單倍資料速率系統而言,Hi會是1,Lo是0。方塊156可以實現為CU CSR可訪問的計數器,配置為對由ODB116接收的位元組的數量計數。方塊156還可由CU130寫入,並在調試中可以是有益的,作為從寫入資料路徑接收了正確數量的位元組的檢查。方塊158能夠檢查資料介面奇偶性,並將奇偶性錯誤報告給CSR方塊122,對於諸如奇偶性錯誤的例外,能夠向BEPU發出中斷信號。

參考第4圖,示出的圖例示了第2圖的輸入資料緩衝(IDB)120的示例實施方式。在一些實施例中,IDB120包括方塊(或者電路)160、方塊(或者電路)161、方塊(或者電路)163、方塊(或者電路)165、方塊(或者電路)167和方塊(或者電路)169。方塊160一般實現控制介面。方塊161一般能夠執行路由操作。方塊163實現先進先出(FIFO)緩衝。方塊165實現差異計算器。方塊167實現奇偶性發生器。方塊169實現倒數計數器。

IDB120一般通過方塊163從LFI接收傳入資料。在一些實施例中，方塊163可以實現為8位寬、40條的FIFO緩衝。然而，可以實現其他深度和寬度，從而滿足特定實施方式的設計標準。方塊163具有可配置的Hi和Lo電平（例如FIFO閾值）用於在LFI132的流控制。方塊163允許系統100中的在快速傳輸速率下可以是顯著的（例如30ns）往返延遲，並還允許當在FIFO緩衝中緩衝傳入資料時，在傳輸的開始的時間插入來自CU130的消息頭。對於雙倍資料速率系統，Hi和Lo電平（例如FIFO閾值）的示例設定將為：Hi為22，Lo為21。

來自LFI132的資料一般被引導至將IDB120連接至BIB112的傳出FIFO緩衝（未示出）。來自LFI132的資料還可以使用控制介面160的CU暫存器介面由CU130讀出（例如，當資料由CU130消耗時，該特性可以用於非易失性記憶體裝置暫存器讀出、狀態讀出等）。CU暫存器介面還可以被用於將資料從CU130發送至BIB112（例如，該特性可以用於資料頭/尾）。

方塊165一般實現為運行差異計算器。在一些實施例中，運行差異計算器保持讀出資料流程中的1位相對於0位元的過量的帶符號的20位元總運行。示例差異計算由下面的等式1示出：

$$\text{差異} = \text{設定為1的總位} - (\text{總位} / 2) \quad \text{等式1}$$

如果差異值到達最大正或者最大負的20位值，那麼差異值飽和並固定。當從非易失性記憶體裝置讀出的資料具有已知的期待的差異時，使用差異計算，至少部分確定讀出資料是否有效。在第一示例中，如果從非易失性記憶體裝置讀出的資料是加密和/或加擾的，並具有0和1的已知的統計的50-50分佈，差異會預計為接近0。在第二示例中，諸如NAND快閃記憶體的一些非易失性記憶

體裝置具有擦除的狀態，都為1。如果差異計算表明實質上所有的資料位元讀出具有值1，那麼擦除的頁面可能已被讀出。

當資料讀出已經完成時，差異值可以由CU130讀出，並包含在資料尾，或者作為回應返回給BEPU。CU130應該在資料傳輸的開始之前通常清除差異值。傳出資料流程由方塊167進行奇偶性保護。

方塊169一般實現CSR可訪問的向下計數器。方塊169對從IDB120發送的位元組的數量向下計數。這可以被設定為傳輸的長度，並將在傳輸的期待的終止時向下計數至零。方塊169還可以由CU130的CSR暫存器程式設計，以在傳輸的開始/終止處產生第一/最後指示（例如，側帶信號，提供訊框資訊）。第二CSR暫存器被用於在計數器到達零水準後對方塊169進行預設。

當向BIB112的傳出資料由CU130產生（例如對於資料頭和尾而言）時，那麼向BIB112的第一和最後輸出也由CU130控制。在典型的讀出中，CU130初始將IDB120置於“來自CU”模式，在LFI132開始讀出命令，然後將頭部傳輸至BIB112，然後將IDB120置於“通常”模式，使得來自LFI132並在方塊163中的資料被傳送至BEPU。最終，如果需要，CU130會產生尾。

參考第5圖，示出的圖例示了第2圖的控制單元（CU）130的示例實施方式。CU130一般實現基於微處理器的控制器101的監管控制單元。CU130從輸出匯流排（OB）接收命令，執行命令調度和優先順序。在一些實施例中，CU130包括方塊（或者電路）170、方塊（或者電路）172、方塊（或者電路）174、方塊（或者電路）176、方塊（或者電路）178、方塊（或者電路）180、方塊（或者電路）182和方塊（或者電路）184。方塊170一般包括中央處

理器（CPU）核心。方塊172一般實現命令直譯器。方塊174實現仲裁器。方塊176實現用於儲存資料的隨機存取記憶體（RAM）。方塊178實現本地配置/狀態暫存器（CSR）方塊。方塊180實現到LFI132的介面。方塊182實現仲裁器。方塊184實現用於儲存指令的隨機存取記憶體（RAM）。

在啟動時，CPU170由方塊178中的CSR暫存器保持為重置。由BEPU發出IMP命令，對指令RAM184、LFI132的序列RAM和資料RAM176的初始狀態程式設計。初始狀態一般來自系統ROM（未示出）。在初始程式設計之後，重置被釋放，CPU170開始執行其初始韌體。該韌體允許CPU170回應從BEPU發出的命令。在初始操作狀態期間，BEPU可以從非易失性記憶體裝置將最終操作代碼帶到後端緩衝（未示出）。最終的操作代碼被用於配置CPU170以及系統100上的其他CPU。在一個示例中，在該階段，CU代碼可能會重新裝載以非易失性記憶體上儲存的韌體的性能優化的版本。這一般發生作為資料傳輸，IMP命令被用於將傳入IDB資料引導至指令RAM184、資料RAM176和/或LFI132的序列RAM。典型而言，在載入主要操作代碼期間，CU130會處於重置。

仲裁器182和仲裁器174可以用於CPU170的RAM介面，來允許IMP命令訪問資料RAM176、指令RAM184和LFI132的序列RAM。在一個示例中，可以使用CPU170的延遲（stall）機構，給予IMP命令直譯器172優先權。然而，可期待的是由CPU170以外訪問資料RAM176、指令RAM184和LFI132的序列RAM僅在初始配置發生。

CPU170還可以包含輸入和輸出FIFO介面，用於從BEPU傳遞消息，並用於將回應提供回BEPU。輸出FIFO介面還被用於將消息傳遞至（例如主機103的）直接記憶體訪問（DMA）引擎來開始資料傳輸

操作。

CPU170的介面被用於訪問本地CSR，並將命令發出給LFI132。在使用Tensilica CPU的一些實施例中，介面是Tensilica指令擴展（TIE）查找介面。全域停止信號（例如在發生功率故障或者其他例外狀況時從主機103發送的信號）可以被用於觸發在CPU170核心中的不可遮罩中斷（NMI）。

參考第6圖，示出的圖例示第2圖的低級非易失性記憶體介面（LFI）132的示例實施方式。LFI132提供非易失性記憶體介面的低級控制。LFI132包括可程式設計序列引擎，設計為對於任何非易失性記憶體介面協定是可配置的。使用的序列由CU130配置，進而，用由CU130給定的命令來執行。還存在可以由CU130程式設計並由序列訪問的序列資料區，通過該方式，可以設置通用序列，可以給出與序列關聯的資料，而不用修改序列其本身。

在一些實施例中，對於兩個以上物理介面，而非僅單個的物理介面提供支援。例如，在2個物理介面（例如A和B）的情況下，LFI132可以包括方塊（或者電路）190、方塊（或者電路）192a、方塊（或者電路）192b、方塊（或者電路）194a、方塊（或者電路）194b、方塊（或者電路）196和方塊（或者電路）198。方塊190一般包括低級非易失性記憶體介面（LFI）定序器單元（LSU）。方塊192a和192b一般實現DQ捕獲方塊。方塊194a和194b分別實現A和B非易失性記憶體介面。方塊196實現晶片賦能（CE）介面。方塊198實現用於在2個DQ捕獲方塊192a與192b之間選擇的多工電路。

LFI定序器單元（LSU）190執行序列並引導非易失性記憶體命令的輸出、寫入資料傳輸和讀出資料傳輸。序列RAM介面允許在序

列開始之前設置LSU190的內部序列記憶體，另外具有由CU130動態程式設計的序列。然後可以在LSU190的序列命令介面上發出序列命令。用於介面命令的介面選擇（例如包括信號I/F A EN和I/F B EN）被程式設計，並將命令引導至適當的介面。在一些實施例和/或使用場景中，每個命令被引導至單個的介面。在其他實施例和/或使用場景中，至少一些命令（例如重置命令）被引導至多個介面。晶片賦能（CE）介面（例如包括信號CEN OUTPUTS）允許CE輸出的完全控制來選擇附接至一個非易失性記憶體介面的管芯（die）。在一些實施例中，支持具有達8個CE的配置。附接的管芯可以在任何非易失性記憶體介面上。

DQ捕獲方塊192a和192b提供使用DQS的高速資料捕獲，還有用於非同步模式的順序延遲捕獲。DQ鏡像信號控制DQ輸出和捕獲的資料的鏡像。鏡像將位0與7、1與6、2與5，3與4互換。在一些設計中如此進行以簡化板佈局問題，並必須由控制器處理。在命令發出給LFI132之前，由CU130選擇鏡像模式。傳出鏡像在傳出介面處執行，在DQ捕獲mux(多工器)198中接著DQ捕獲執行傳入鏡像。

LFI132一般包含可程式設計序列引擎、一組I/O引腳輸出方塊和一組資料捕獲方塊。序列引擎典型地由附接至I/O引腳的可以執行特定非易失性記憶體裝置的非易失性記憶體協議的一組序列程式設計。該序列包括在序列記憶體中的多個位置開始的一組指令。例如，對於LFI132被程式設計執行的每個操作，有相應的開始位置。在一些實施例中，序列記憶體實現為512的32位位置。通過發出命令介面上的命令來啟動序列的執行。命令一般包含序列RAM中要跳至的位址、以及可以由序列中的一些指令使用的命令資料的位元組，儘管一些序列不使用命令資料。

還提供了使用索引暫存器間接定址的序列資料RAM。使用MODE指令來設定索引，典型被設定為由命令資料給定的值。通過該方式，與命令序列關聯的任何資料可以設定在序列資料RAM中，而序列其本身不需要被修改。示例是具有5個位元組的位址的讀出命令。位址位元組會置於序列資料RAM中的連續位置，將用序列RAM中的讀出命令序列的位址、以及序列資料RAM中位址的第一位元組的位址發出命令。序列會設定索引暫存器，進而執行要求的序列來發出位址，並對於位址的每個位元組重複位址序列。指令使索引暫存器遞增（在記憶體終止後繞回（wrap）），儘管對於WIG指令（被用於擺動（wiggle）連接至非易失性記憶體裝置的I/O引腳），遞增是可選的。

執行序列直至其遇到導致停止（halt）的指令。該停止終止序列執行，且LFI進入LFI等待下一命令到達的狀態，並不進一步執行動作。對非易失性記憶體裝置的動作的執行可以包括多個序列調用。例如，可以調用序列來選擇裝置，然後分離的序列調用可以發出讀出，最終序列可以取消選擇裝置。

參考第7圖，示出的圖例示了第6圖的低級非易失性記憶體介面（LFI）微定序器單元（LSU）190的示例實施方式。在一些實施例中，LSU190可以包括方塊（或者電路）200、方塊（或者電路）202、方塊（或者電路）204、方塊（或者電路）206、方塊（或者電路）208、方塊（或者電路）210、方塊（或者電路）212、方塊（或者電路）214、方塊（或者電路）216和方塊（或者電路）218。方塊200一般包括序列執行單元（SEU）。方塊202一般實現用於儲存序列資料（例如序列資料RAM）的隨機存取記憶體（RAM）。在一個示例中，序列資料RAM202可以實現為雙埠記憶體

。方塊204實現索引暫存器。方塊206實現多個輸出暫存器。方塊208實現零開銷迴圈（ZOL）暫存器。方塊210一般配置為執行下一個程式計數器（PC）計算。方塊212實現程式計數器（PC）暫存器。方塊214一般實現用於儲存序列的隨機存取記憶體（RAM）（例如序列RAM）。在一個示例中，序列RAM214可以實現為雙埠記憶體。方塊216實現預取暫存器。方塊218實現命令暫存器。

在可以執行任何命令之前，序列RAM214需要被初始化。序列RAM214的初始化典型地會在啟動執行初始非易失性記憶體讀出時發生一次，進而，當從非易失性記憶體裝置載入主要執行代碼時發送第二次。在一些實施例中，序列RAM214可以實現為32位寬（加ECC位）和512字深，具有雙埠以當執行序列時，允許從CU130訪問。在一些實施例中，序列地址是9位。然而，可以實現其他記憶體規範，從而滿足特定實施方式的設計標準。

序列資料RAM202允許CU130設定可以使用索引暫存器204由命令訪問的各種命令值。各種命令值的設定可以用於作為設置命令/位址序列的此類操作。在一些實施例中，序列資料RAM202被定址為來自CU130的32位元字，但是由索引暫存器204設為單個的位元組。

。在一些實施例中，序列資料RAM202實現為64位元組（16字）。然而，可以實現其他記憶體規範，從而滿足特定實施方式的設計標準。因為資料是從序列資料RAM202預取的，所以整個序列資料RAM202應該在使用之前被初始化，以防止潛在的虛假ECC錯誤。

PC暫存器212含有當前序列指針。當前序列指針通常經過遞增器210來抓取下一序列指令。ZOL暫存器208支援單級的零開銷迴圈。輸出暫存器206連接至非易失性記憶體介面並控制非易失性記憶體介面的操作。

序列RAM214和序列資料RAM202兩者都被ECC保護，並存在於CU130的記憶體映射中。ECC錯誤會使CU130中斷，然後CU130可以讀出暫存器來確定錯誤是否可校正以及哪個RAM處於錯誤中。任何可校正的錯誤通常應該導致記憶體的讀出清除。如果不可校正的錯誤在序列RAM讀出期間發生，那麼序列也將即時停止。

可以由CU130斷言外部信號（例如HALT（停止）），以在任何時間停止序列執行單元200的操作。一般而言，停止序列執行單元200的執行會在當前位置即時終止當前序列。為了開始新的序列，需要發出新的命令。序列執行單元200的內部狀態對CU130可用。

參考第8圖，示出的圖例示了DQ捕獲方塊220的示例實施方式。DQ捕獲方塊220可以被用於實現第6圖的DQ捕獲方塊192a和192b。在一些實施例中，DQ捕獲方塊220包括時鐘傳輸方塊222、多個DQ近墊邏輯方塊224、DLL方塊226、以及多個匹配單元228。近墊邏輯（near pad logic，NPL）包括矽宏方塊，位置接近墊。NPL方塊允許對介面邏輯的定時的緊密控制。每個NPL方塊可以被置於距關聯的墊固定的距離。DQS輸入經由DLL方塊226的從模組傳遞。DLL方塊226的從模組對DQS信號插入四分之一DOS週期延遲。對每個DQ NPL方塊224的DOS路徑延遲應該匹配對相同的NPL方塊的DQ延遲。DQNPL方塊224在接下來的DQS沿捕獲4個DQ值。4個DQ值被饋送至時鐘傳輸方塊 222，其中值被傳送至非易失性記憶體介面的時鐘域。

參考第9圖，示出的圖例示了第8圖的DQ捕獲近墊邏輯（DQ NPL）方塊224的示例實施方式。在一些實施例中，DQ NPL方塊224包括捕獲相位觸發器和多個DQ擷取觸發程式（例如DQ0P、DQ0N、DQ1P、DQ1N）。在開始讀出傳輸之前，信號（例如DQS EN）為LOW，

這關斷了任何DQS雜訊（glitch），並將捕獲相位觸發器保持在相位0。第一上升DQS沿將在DQ0P觸發器中被捕獲，第一下降沿將在DQ0N觸發器中被捕獲。第一下降沿還切換捕獲相位和在DQ1P和DQ1N觸發器中分別捕獲的接下來2個DQS沿。當資料傳輸時，週期每4個DQS沿重複。

參考第10圖，示出的圖例示了第8圖的DLL方塊226的示例實施方式。在一些實施例中，DLL方塊226包括延遲鎖定環路（DLL）230和控制有限狀態機（FSM）232。DLL230包括主部分和從部分。DLL230的主部分鎖定至提供的參考時鐘。DLL230的從部分由主參考時鐘的可程式設計部分延遲給定的信號（例如DQS）。在一些實施例中，傳入DQS信號需要被延遲四分之一DQS週期，以捕獲沿對齊的DQ資料。DLL方塊226鎖定至提供的參考週期。提供的參考週期可以是控制器101的時鐘（例如CLK）或者控制器時鐘的分割的版本（例如由參考時鐘分割器234產生）。典型地，參考時鐘將被設定為與傳出DQS相同的頻率，或者2x頻率。插入的延遲應該典型地被程式設計為約四分之一DQS頻率。經由DLL230的從部分的延遲（Delay）可以根據下面的等式2計算：

$$\text{Delay} = T_f + T_{ref} * ((ADO + ADJ_{off}) / MADJ) \quad \text{等式2}$$

其中 T_f 是固定的偏移延遲， T_{ref} 是參考時鐘週期，ADJ是程式設計的調節偏移， ADJ_{off} 是固定的代碼偏移（例如34），MADJ是主調節偏移，通常設定為160（但是可以改變為76……255範圍內的值）。一般而言，固定的偏移延遲 T_f 被用於DQ行上的匹配單元228匹配，因此可以忽略。因此，消除 T_f （例如通過使用匹配單元）並求出ADJ，獲得下面的等式3：

$$ADJ = MADJ * (\text{Delay} / T_{ref} - ADJ_{off}) \quad \text{等式3}$$

在具有400MT/s操作條件的示例情況下，DQS頻率為200MHz，控制器時鐘為400MHz。在一些實施例中，400MHz時鐘可以直接饋送至DLL，信號DQS可以被延遲參考時鐘的半個週期（等同於DQS週期的四分之一）。在替代的實施例中，控制器時鐘可以被分割為200MHz，信號DQS被延遲參考時鐘週期的四分之一。

還可以以軟體實現訓練方案。在具有該訓練方案的實施例，在已知的模式從非易失性記憶體裝置讀出時，ADJ值從低設定掃至高設定。最終ADJ會被設定為中值，結果導致讀出正確資料。參考時鐘分割器或者MADJ中的任何改變或者斷電會需要DLL被重置為最小1us。控制FSM232將在程式設計數量的時鐘週期（例如，對於400MHz的1us週期默認為400）將DLL230保持為重置。在DLL230被允許運行後，斷言鎖定的狀態500個參考時鐘（refclk），在讀出操作啟動之前，該狀態可以由韌體檢查。

用於DLL方塊226的控制暫存器可以通過CSR環（例如來自BEPU）或者本地從CU130訪問並設定。本地訪問用於訓練類型功能（如果需要）或者精細斷電控制。典型而言，DLL值由配置記錄設定，並不需要在正常操作中調節。為了節省功率，可以設定與DLL控制FSM232關聯的斷電請求暫存器。DLL230僅使用作讀出操作，用於使用DQS輸入的非易失性記憶體讀出模式（例如ONFI2/3的DDR模式和切換模式）。從斷電退出之後，啟動重置和鎖定序列，因此動態斷電的可能影響讀出性能。在晶片重置時DLL230一般為斷電模式。

參考第11圖，示出的圖例示了輸出介面近墊邏輯（NPL）方塊250的示例實施方式。每個傳出信號通過輸出介面NPL方塊250。NPL方塊250允許傳出信號被重定時到時鐘（例如CLK），並具有可選

的增加至傳出信號的上升和/或下降沿的半個週期延遲。用於每個傳出信號的延遲是CSR可配置的。每個NPL方塊250應該位於關聯的墊附近，跨來自每個控制器101實例的所有輸出，從NPL方塊250到墊具有匹配的延遲。在一些實施例中，NPL250包括觸發器260、觸發器262、組合（或者合併）邏輯264、以及多工器266。在一些實施例中，觸發器260和262實現為D型觸發器。在一些實施例中，組合邏輯264可以包括AND（與）、OR（或）和/或NOT（非）門。在NPL250內，到多工器266的每個可能的路徑應該盡可能密切匹配。

參考第12圖，示出的圖例示了依據本發明的實施例的包括多個通道的非易失性記憶體控制系統。在一些實施例中，非易失性記憶體系統300可以包括主機302、非易失性記憶體控制器子系統304和多個非易失性記憶體媒體306a-306n。主機302可以通過命令介面與非易失性記憶體控制器子系統304通信，該命令介面配置為在主機302和非易失性記憶體控制器子系統304之間傳輸命令和回應。每個非易失性記憶體媒體306a-306n可以連接至非易失性記憶體控制器子系統304的相應通道。

在一些實施例中，非易失性記憶體控制器子系統304可以包括方塊310、方塊312、方塊314和多個方塊316a-316n。方塊310可以包括後端處理單元（BEPU）和/或非易失性記憶體控制器子系統304的其他處理器。方塊312可以包括直接記憶體訪問（DMA）引擎或者非易失性記憶體控制器子系統304的引擎。方塊314可以實現非易失性記憶體控制器子系統304的多工子系統。方塊314可以配置為將方塊316a-316n耦接至方塊310和312。方塊316a-316n可以包括實現為類似於上述控制器101的介面管理處理器。方塊

316a-316n可以通過CSR環和相應命令介面耦合至方塊314。方塊316a-316n還可以具有配置為將每個方塊316a-316n耦接至非易失性記憶體媒體306a-306n中的相應一個的非易失性記憶體介面。

本文中使用的術語"可以"和"一般"與動詞結合時傳達的意圖是說明是示例性的，並且認為其足夠廣，以涵蓋本公開呈現的具體示例、以及可以基於本公開匯出的替代示例。本文使用的術語"可以"和"一般"不應解釋為一定隱含省略對應要素的願望或者可能性。

由第1圖至第12圖示出的功能可以使用一個或多個根據說明書的教導程式設計的常規通用處理器、數位電腦、微處理器、微控制器、RISC（精簡指令集電腦）處理器、CISC（複雜指令集電腦）處理器、SIMD（單指令多資料）處理器、信號處理器、中央處理器（CPU）、算數邏輯單位（ALU）、視訊數位訊號處理器（VDSP）和/或類似的電腦器實現（例如類比），如相關領域的技術人員可以想到的那樣。適當的軟體、韌體、編碼、常式、指令、操作碼、微碼和/或程式模組可以容易由熟練的程式師基於本公開的教導準備，如相關領域的技術人員可以想到的那樣。軟體一般通過機器實施方式的一個或多個處理器從媒體或者若干媒體執行。

本發明的實施例還可以由準備ASIC（特定應用積體電路）、平臺ASIC、FPGA（現場可程式設計閘陣列）、PLD（可程式設計邏輯裝置）、CPLD（複雜可程式設計邏輯裝置）、門海、RFIC（無線電頻率積體電路）、ASSP（特定應用標準產品）、一個或多個單片積體電路、佈置為倒裝晶片模組和/或多晶片模組的一個或多個晶片或者管芯、或者通過互連常規元件電路的適當網路來實現。

，如本文說明的那樣，其修改對本領域的技術人員而言容易想到。

因此，本發明的實施例還可以包含電腦產品，其可以是儲存媒體或者媒體和/或包含可以被用於程式機器執行依據本發明的一個或多個處理或者方法的指令的傳輸媒體或者媒體。通過機器執行含在電腦產品內的指令，連同周圍電路的操作可以將輸入資料轉換為儲存媒體上的一個或多個檔和/或代表物理物件或者物質的一個或多個輸出信號，諸如音訊和/或視覺描述。儲存媒體可以包含但是不限於任何類型的盤，包含軟碟、硬碟驅動器、磁片、光碟、CDROM、DVD和磁光碟和電路，諸如ROM（唯讀記憶體）、RAM（隨機存取記憶體）、EPROM（可擦除可程式設計ROM）、EEPROM（電可擦除可程式設計ROM）、UVPROM（紫外線可擦除可程式設計ROM）、快閃記憶體記憶體、磁卡、光學卡和/或適於儲存電子指令的任何類型的媒體。

本發明的要素可以形成一個或多個裝置、單元、元件、系統、機器和/或裝置的部分或者整體。裝置可以包含但是不限於伺服器、工作站、儲存陣列控制器、儲存系統、個人電腦、膝上型電腦、筆記本電腦、掌上電腦、個人數位助理、可攜式電子裝置、電池供電的裝置、機上盒、編碼器、解碼器、轉碼器、壓縮器、解壓縮器、前置處理器、後處理器、發射器、接收器、收發器、密碼電路、蜂巢電話、數碼照相機、定位和/或導航系統、醫療裝置、頭戴式顯示器、無線裝置、音訊記錄、音訊儲存和/或音訊重播裝置、視訊記錄、視訊儲存和/或視訊重播裝置、遊戲平臺、週邊裝置和/或多晶片模組。相關領域的技術人員應該理解本發明的要素可以以其他類型的裝置實現，以滿足特定應用的標準

。

儘管參考其實施例已具體示出並說明了本發明的例示，本領域的技術人員可以理解，可以對形式和細節做出各種改變，而不脫離本發明的範圍。

【符號說明】

BEPU：後端處理單元

BIB：匯流排界面方塊

CE：晶片賦能

CSR：配置/狀態暫存器

DMA：直接記憶體訪問

DQ NPL：捕獲近墊邏輯

FIFO：先進先出

HALT：停止

HI：高

LO：低

IMP：介面管理處理器

NMI：不可遮罩中斷

PC：程式計數器

REF CLK：參考時鐘

SEU：序列執行單元

100：系統

101：控制器

103、202、302：主機

105：非易失性記憶體媒體

107：非易失性記憶體裝置

109：非易失性記憶體管芯

110、112、124、134、150、152、154、156、158、160、161、
163、165、167、169、170、172、176、178、180、194a、194b
、196、198、216、218：方塊（或者電路）

114：命令緩衝（CB）

116：輸出資料緩衝（ODB）

118：回應緩衝（RB）

120：輸入資料緩衝（IDB）

122：CSR方塊

130：控制單元（CU）

132：低級非易失性記憶體介面（LFI）

174、182：仲裁器

184：隨機存取記憶體（RAM）

190：定序器單元（LSU）

192a、192b、220：DQ捕獲方塊

200：序列執行單元

204：索引暫存器

206：輸出暫存器

208：ZOL暫存器

210：遞增器

212：PC暫存器

214：序列RAM

222：時鐘傳輸方塊

224：DQ近墊邏輯方塊

226：DLL方塊

230：延遲鎖定環路（DLL）

232：控制有限狀態機（FSM）

234：參考時鐘分割器

250：近墊邏輯（NPL）

260、262：觸發器

264：組合（或者合併）邏輯

266：多工器

300：非易失性記憶體系統

304：非易失性記憶體控制器子系統

306a、306b、306n：非易失性記憶體媒體

310、312、314、316a、316b、316n：方塊



I633433

【發明摘要】

【中文發明名稱】 控制非易失性記憶體之系統與方法

【英文發明名稱】 System And Method of Controlling A Non-Volatile
Memory

【中文】

本公開涉及使用與低級可程式設計定序器結合的通用可程式設計處理器的非易失性記憶體通道控制。系統包含控制處理器、非易失性記憶體裝置介面和微定序器。控制處理器可以配置為通過命令介面接收命令和發送回應。非易失性記憶體裝置介面可以配置為將系統耦接至一個或多個非易失性記憶體裝置。微定序器一般耦接至（i）控制處理器和（ii）非易失性記憶體裝置介面。微定序器包含可由微定序器讀出並可由控制處理器寫入的控制存放裝置。回應於接收一個特定命令，控制處理器能夠使微定序器根據特定命令在控制存放裝置中的位置開始執行，微定序器能夠根據耦接至非易失性記憶體裝置介面的一個或多個非易失性記憶體裝置的協定，執行特定命令的至少一部分。

【英文】

A system includes a control processor, a non-volatile memory device interface, and a micro-sequencer. The control processor may be configured to receive commands and send responses via a command interface. The non-volatile memory device interface may be configured to couple the system to one or more non-volatile memory devices. The micro-sequencer

is generally coupled to (i) the control processor and (ii) the non-volatile memory device interface. The micro-sequencer includes a control store readable by the micro-sequencer and writable by the control processor. In response to receiving a particular one of the commands, the control processor is enabled to cause the micro-sequencer to begin executing at a location in the control store according to the particular command and the micro-sequencer is enabled to perform at least a portion of the particular command according to a protocol of the one or more non-volatile memory devices coupled to the non-volatile memory device interface.

【發明申請專利範圍】

1. 一種控制非易失性記憶體之系統，包括：

一控制處理器，配置為通過一命令介面接收複數個命令和發送回應；

一非易失性記憶體裝置介面，配置為將該系統耦接至一個或多個非易失性記憶體裝置；以及

一微定序器(micro-sequencer)，耦接至 (i) 該控制處理器和 (ii) 該非易失性記憶體裝置介面，該微定序器包括可由該微定序器讀出並可由該控制處理器寫入的一控制存放裝置，其中，回應於接收該等命令中的一特定命令，該控制處理器能夠使該微定序器根據該特定命令在該控制存放裝置中的一位置開始執行，並且

該微定序器能夠根據耦接至該非易失性記憶體裝置介面的該一個或多個非易失性記憶體裝置的協定，執行該特定命令的至少一部分。

2. 如申請專利範圍第1項所述的系統，其中，該非易失性記憶體裝置介面包括多個資料I/O引腳和多個控制I/O引腳。

3. 如申請專利範圍第2項所述的系統，其中，該微定序器能夠改變該控制I/O引腳和該資料I/O引腳的狀態，以根據該協定執行該特定命令。

4. 如申請專利範圍第1項所述的系統，其中，該控制存放裝置被該控制處理器程式設計為執行與附接到該非易失性記憶體裝置介面的該一個或多個非易失性記憶體裝置關聯的一個或多個協議。

5. 如申請專利範圍第4項所述的系統，其中該控制處理器進一步配置為：

初始賦能該控制處理器將該控制存放裝置程式設計為執行與多個類型的非易失性記憶體裝置相容的低速協定；以及

隨後賦能該控制處理器將該控制存放裝置程式設計為執行與該一個或多個非

易失性記憶體裝置相容的更高速協定。

6. 如申請專利範圍第1項所述的系統，還包括：

輸出資料介面，通過該微定序器耦接至該非易失性記憶體裝置介面，該輸出資料介面包括輸出資料緩衝，該輸出資料緩衝能夠接收要發送至該非易失性記憶體裝置介面的資料；以及

輸入資料介面，通過該微定序器耦接至該非易失性記憶體裝置介面，該輸入資料介面包括輸入資料緩衝，該輸入資料緩衝能夠接收從該非易失性記憶體裝置介面接收的資料。

7. 如申請專利範圍第6項所述的系統，其中，該微定序器進一步能夠（i）檢測該輸入資料緩衝的滿狀態，以及（ii）回應於檢測該滿狀態，跳至該控制存放裝置中的確定的位置。

8. 如申請專利範圍第1項所述的系統，其中，該系統是固態驅動器SSD裝置的一部分。

9. 如申請專利範圍第1項所述的系統，其中，該系統實現為一個或多個積體電路。

10. 一種控制非易失性記憶體的方法，包括如下步驟：

通過耦接至一控制處理器的一命令介面，接收複數個命令和發送回應；以及使用耦接至該控制處理器的一微定序器，開始執行在一控制存放裝置中的一位置處的指令，其中，該位置由該控制處理器根據接收的該等命令中的一特定命令確定，其中，該微定序器根據通過一非易失性記憶體裝置介面耦接至該微定序器的一個或多個非易失性記憶體裝置的協定，執行該特定命令的至少一部分。

11. 如申請專利範圍第10項所述的方法，還包括：

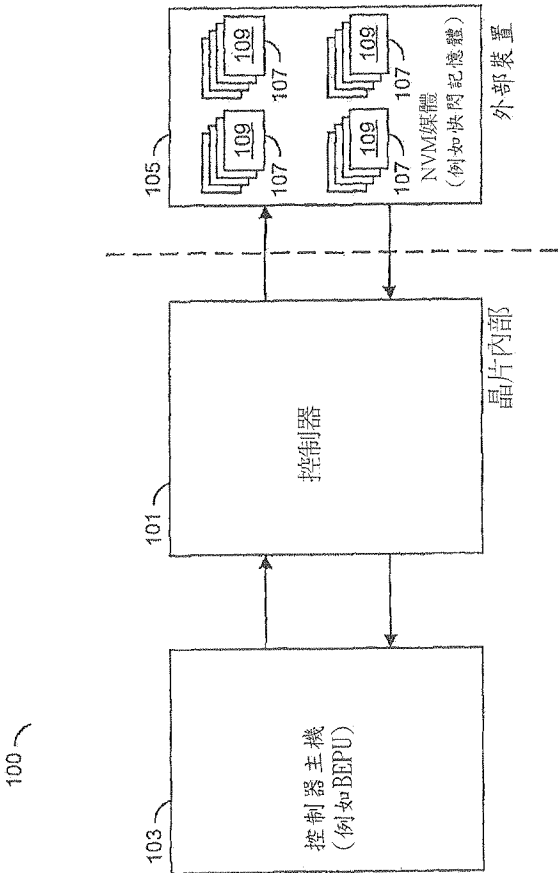
使用該控制處理器將該控制存放裝置程式設計為執行與附接到該非易失性記憶體裝置介面的該一個或多個非易失性記憶體裝置關聯的一個或多個協議。

12. 如申請專利範圍第11項所述的方法，還包括：

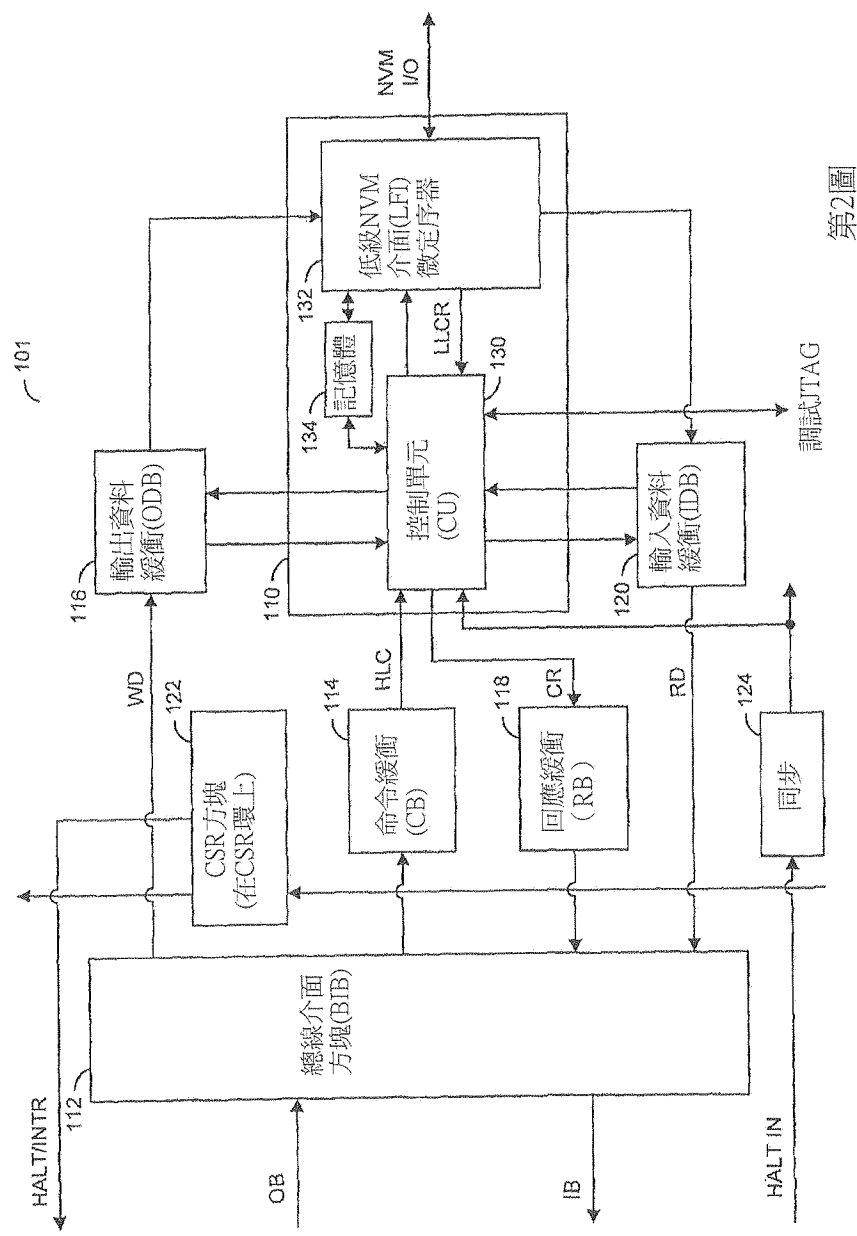
初始賦能該控制處理器將該控制存放裝置程式設計為執行與多個類型的非易失性記憶體裝置相容的低速協定；以及

隨後賦能該控制處理器將該控制存放裝置程式設計為執行與該一個或多個非易失性記憶體裝置相容的更高速協定。

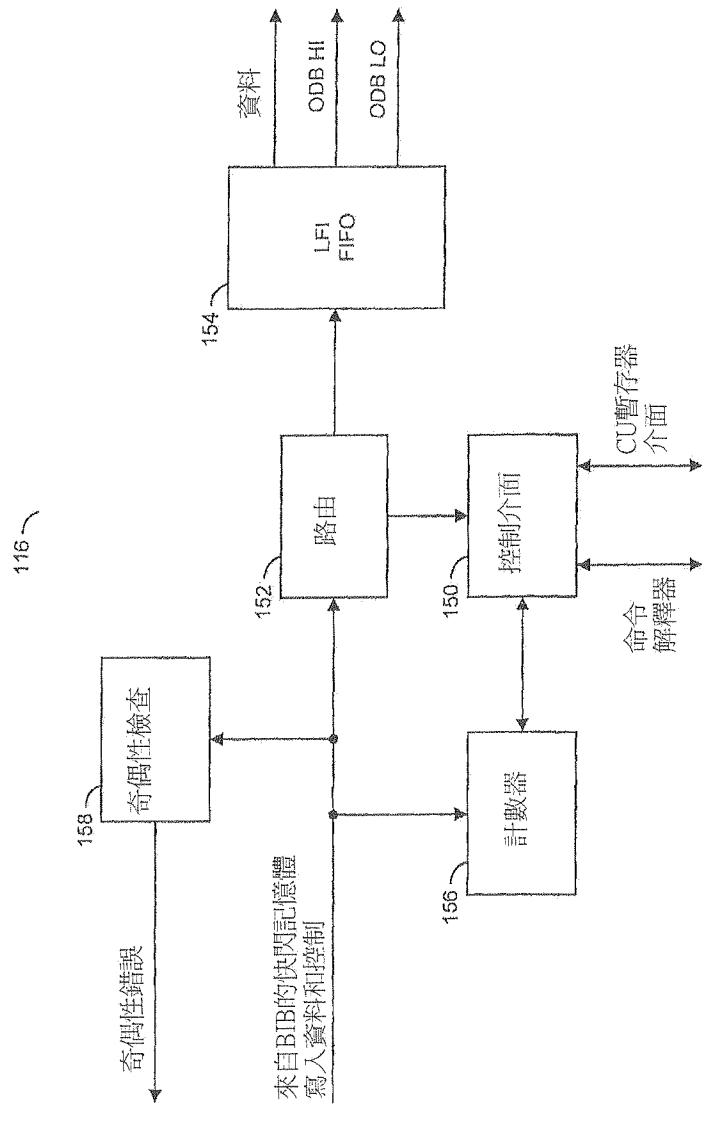
【發明圖式】



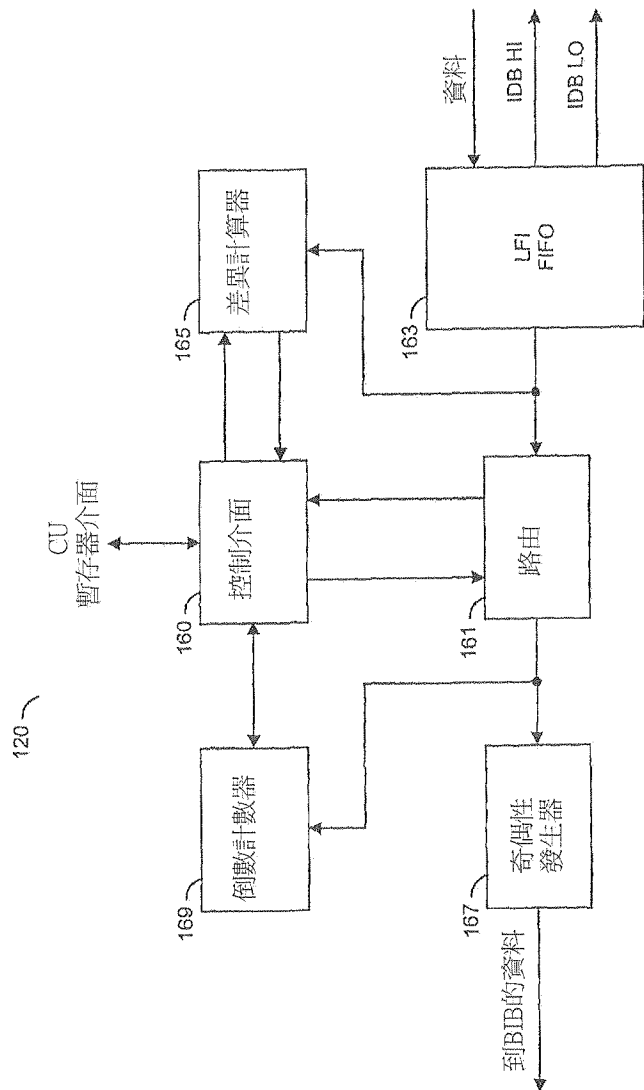
第1圖



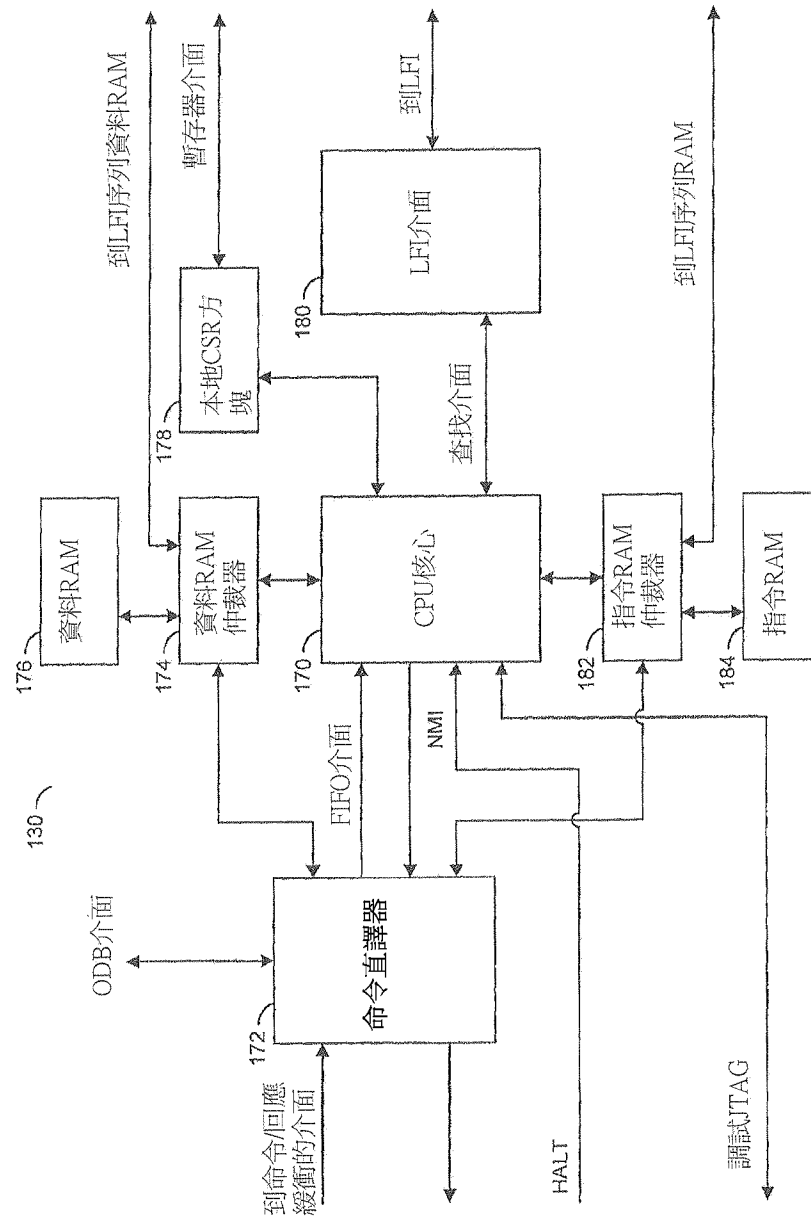
第2圖

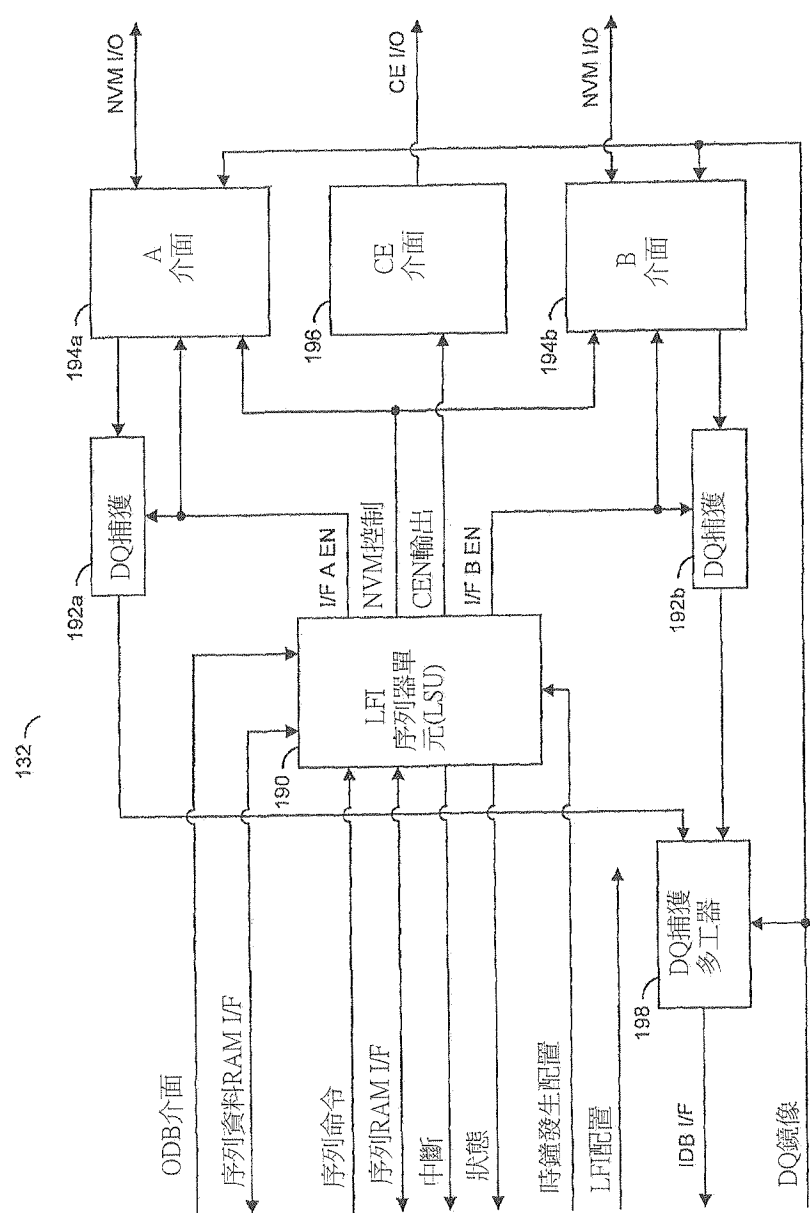


第3圖

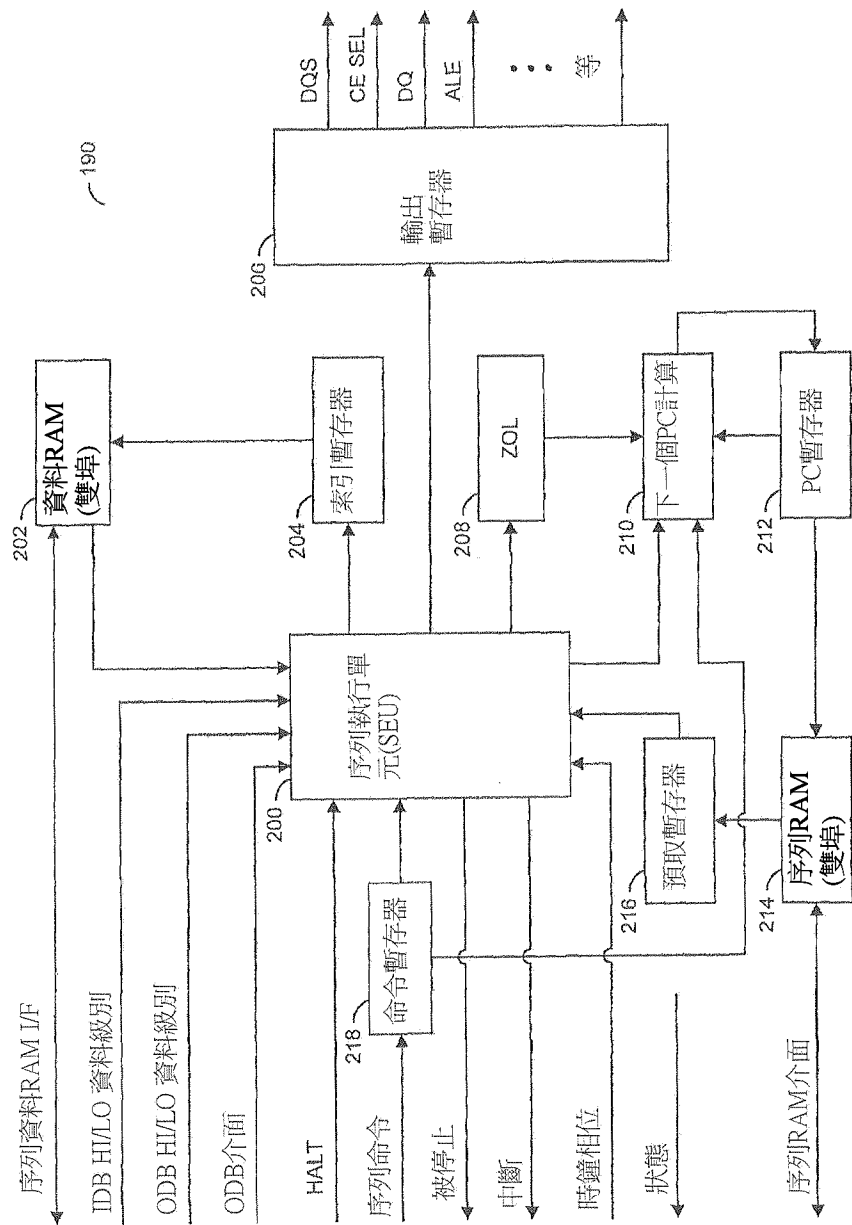


第4圖

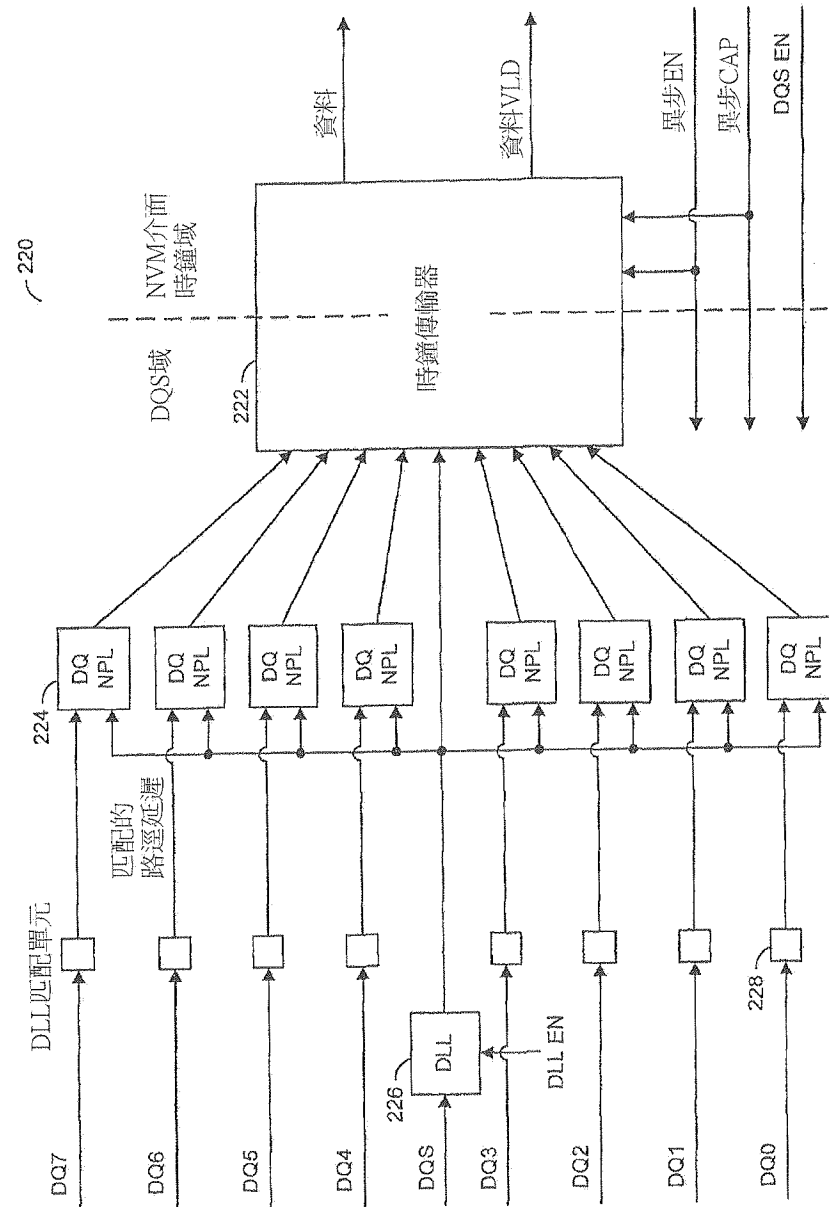


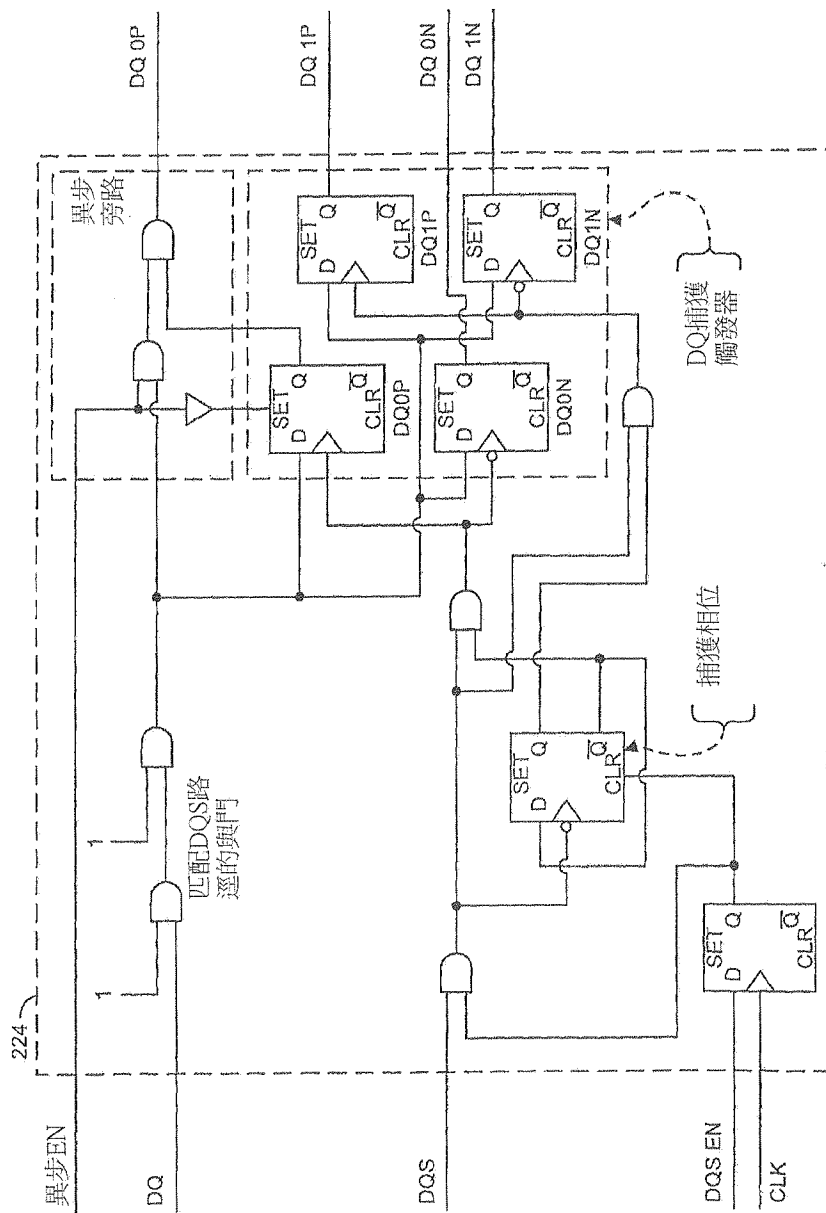


第6圖

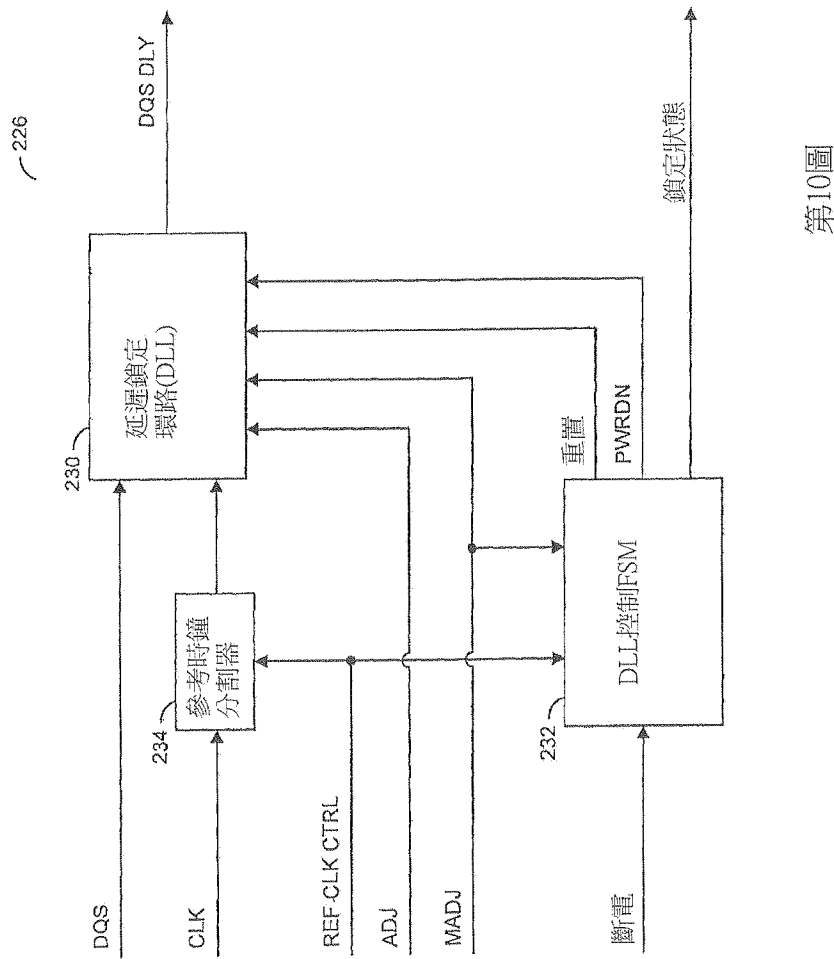


第7圖

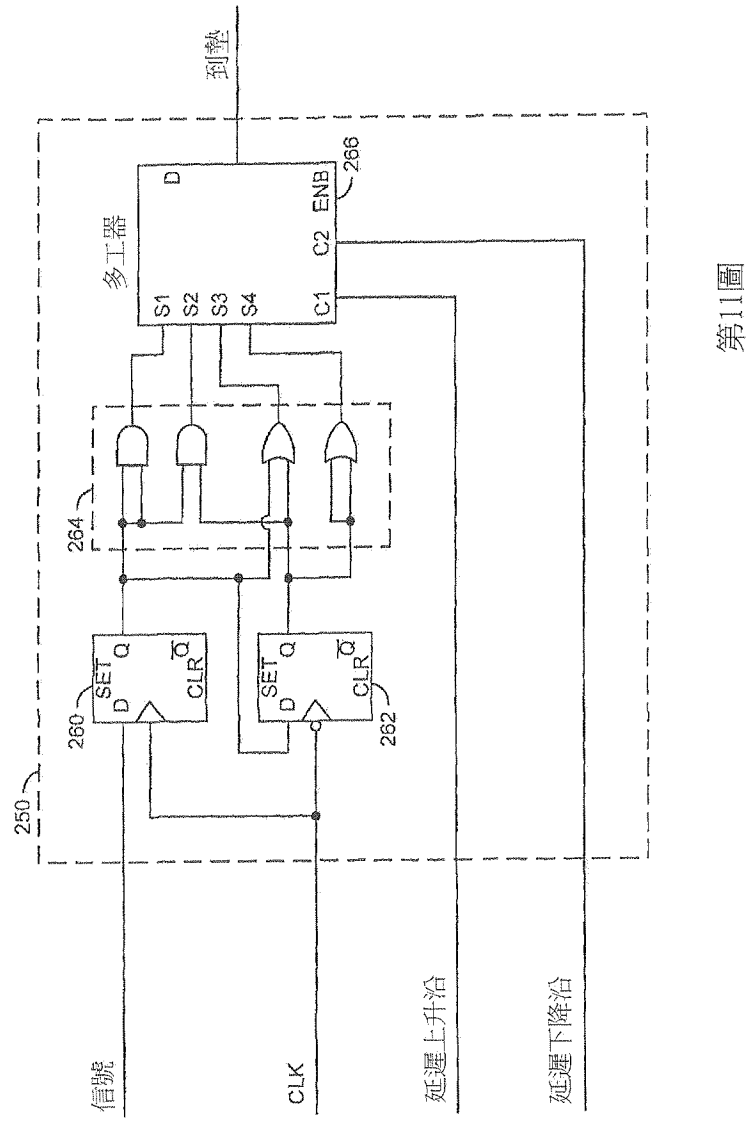




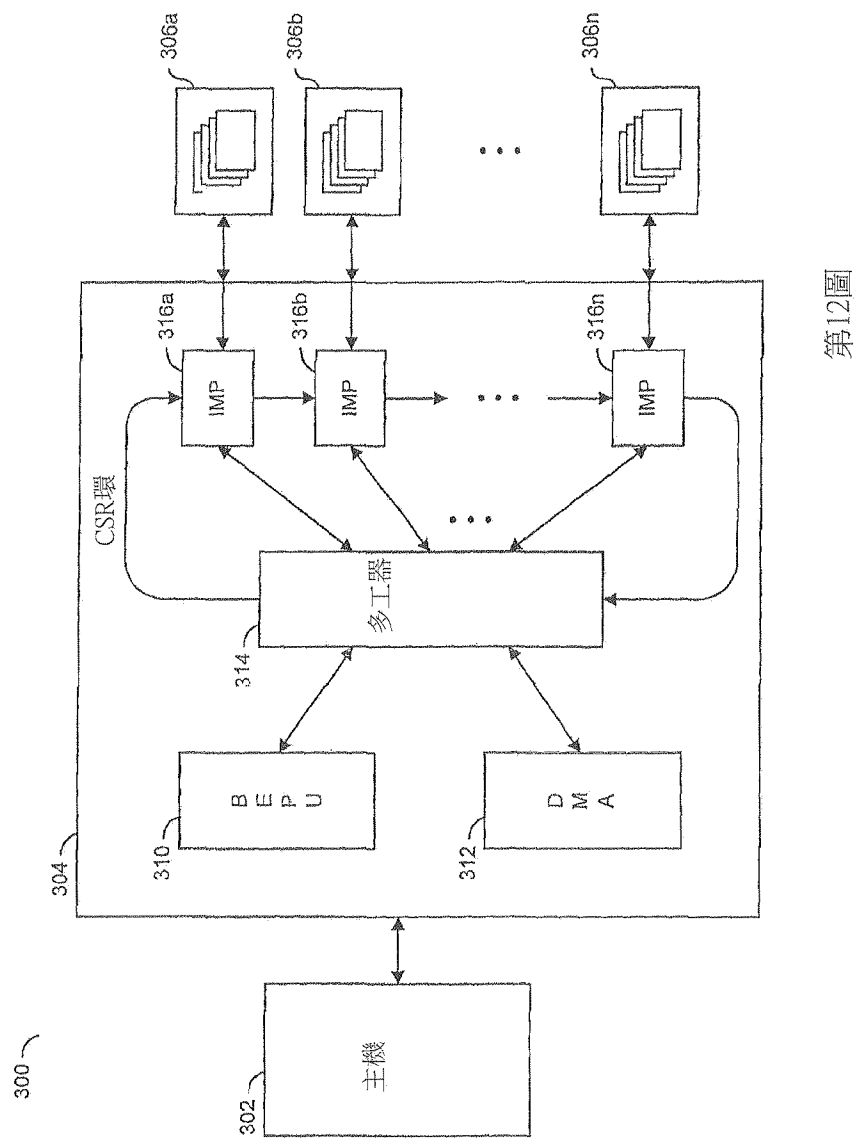
第9圖



第10圖



第11圖



第12圖

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

BEPU：後端處理單元

100：系統

101：控制器

103：主機

105：非易失性記憶體媒體

107：非易失性記憶體裝置

109：非易失性記憶體管芯