

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-509452

(P2008-509452A)

(43) 公表日 平成20年3月27日(2008.3.27)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 17/50 (2006.01)	G06F 17/50 662 G	5 B 0 4 6
	G06F 17/50 664 A	
	G06F 17/50 652 A	

審査請求 未請求 予備審査請求 未請求 (全 13 頁)

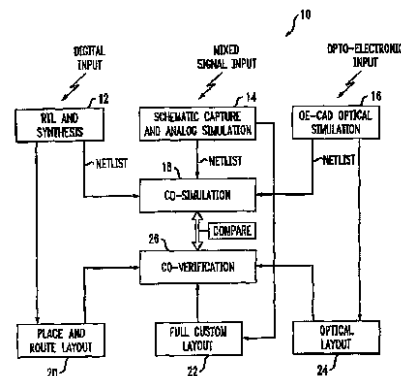
(21) 出願番号 特願2007-518269 (P2007-518269) (86) (22) 出願日 平成17年6月22日 (2005. 6. 22) (85) 翻訳文提出日 平成19年2月20日 (2007. 2. 20) (86) 国際出願番号 PCT/US2005/022254 (87) 国際公開番号 W02006/007474 (87) 国際公開日 平成18年1月19日 (2006. 1. 19) (31) 優先権主張番号 60/582, 235 (32) 優先日 平成16年6月23日 (2004. 6. 23) (33) 優先権主張国 米国 (US) (31) 優先権主張番号 11/159, 283 (32) 優先日 平成17年6月22日 (2005. 6. 22) (33) 優先権主張国 米国 (US)	(71) 出願人 505377120 シオプティカル インコーポレーテッド アメリカ合衆国 18195 ペンシルヴ アニア, アレントウン, ロウアー レベル , ウィンザー ドライヴ 7540 (71) 出願人 306008399 シャスリ, カルペンドゥ アメリカ合衆国 18069 ペンシルヴ アニア, オルフィールド, ウィロウ ウエ イ 5529 (71) 出願人 306008403 パサク, ソハム アメリカ合衆国 18106 ペンシルヴ アニア, アレントウン, パロミノ ドライ ブ 6099 最終頁に続く
---	---

(54) 【発明の名称】 モノリシックなシリコンベースの光電子回路の設計、シミュレーション、及び検査用の統合的アプローチ

(57) 【要約】

【課題】

【解決手段】 コンピュータを用いた設計 (CAD) ツールを使用して、モノリシックな、シリコンベースの電子 - 光学チップにおける電子及び光学構成部品の統合的設計、検査及びレイアウトを実行する。別々のトップレベル動作ロジック設計が、最終的なシリコンベースのモノリシック構造内に含まれる3つの異なるタイプの要素に対して準備される。(1) デジタル電子集積回路要素; (2) アナログ/混合信号電子集積回路要素; 及び (3) 光 - 電子要素 (受動及び能動光学要素を含む) である。動作ロジック設計が完了すると、この結果が組み合わせられ、共通シミュレートされる。回路中の各タイプの異なる要素について物理的レイアウト設計が開発され、検査される。別々の物理的レイアウトが共通検査され、全体の物理的設計の特性を査定する。共通シミュレーションの結果が、所望の動作パラメータが得られるまでのロジック設計及び/又は物理的レイアウトにおいてなされた変更を用いて、共通検査の結果と比較される。所望の結果が発生すると、最終製品を提供する (テープア



【特許請求の範囲】**【請求項 1】**

少なくとも一のデジタル電子要素と、少なくとも一のアナログ／混合信号要素と、少なくとも一の光－電子要素と、を具えるモノリシック集積回路構造の設計、レイアウトおよび検査を実行する構成において；

複数の設計モジュールであって、前記複数の設計モジュールの個別モジュールにおいて前記少なくとも一のデジタル要素と、前記少なくとも一のアナログ／混合信号要素と、前記少なくとも一の光－電子要素を、動作／ロジック設計の必要性によって規定し合成する、複数の設計モジュールと；

前記複数の設計モジュールからのロジック設計出力に応じて、各タイプの要素をシミュレートして、同時に前記組み合わせのロジカルな機能を査定する、共通シミュレーションモジュールと；

複数の物理的レイアウトモジュールであって、各々が関連する設計モジュールからのロジック設計出力に回答し、そのロジック設計を物理的レイアウト構成に変換する複数の物理的レイアウトモジュールと；

共通検査モジュールであって、前記複数の物理的レイアウトモジュールからの物理的レイアウト出力に回答し、各タイプの要素の物理的配置と、前記要素の組み合わせの性能の査定を同時に検査する共通検査モジュールと；

共通シミュレーションと共通検査モジュールからの出力に応じて、前記出力間で十分な相関関係に達したかどうかを決定して、最終的なテーパーアウトを実行するコンパレータと；

を具えることを特徴とする構成。

【請求項 2】

請求項 1 に記載の構成において、前記少なくとも一のデジタル要素に関連する前記設計モジュールが、レジスタトランスファレベル（RTL）回路を用いて、前記デジタル集積回路ロジック設計を提供することを特徴とする構成。

【請求項 3】

請求項 1 に記載の構成において、前記少なくとも一のアナログ／混合信号要素に関連する前記設計モジュールがスケマティックキャプチャ設計ツールを用いて前記ロジック設計を提供することを特徴とする構成。

【請求項 4】

請求項 1 に記載の構成において、前記少なくとも一の光－電子要素に関連する前記設計モジュールが、光学ロジック設計用のOE-CAD設計ツールを用いることを特徴とする構成。

【請求項 5】

請求項 1 に記載の構成において、前記複数の設計モジュールからの出力として「ネットリスト」を発生することを特徴とする構成。

【請求項 6】

請求項 1 に記載の構成において、前記少なくとも一のデジタル電子要素の物理的レイアウトに「配置配線」レイアウトツールが用いられていることを特徴とする構成。

【請求項 7】

請求項 1 に記載の構成において、前記少なくとも一のアナログ／混合信号回路要素に関連する設計モジュール内で、全カスタム物理的レイアウト設計が用いられていることを特徴とする構成。

【請求項 8】

請求項 1 に記載の構成において、前記少なくとも一の光－電子回路要素に関連する設計モジュール内で、全カスタム物理的レイアウト設計が用いられていることを特徴とする構成。

【請求項 9】

デジタル電子要素、混合信号要素、及び光－電子要素を含むモノリシック回路構成の統合

10

20

30

40

50

的な設計、シミュレーション、および検査を提供する方法において、当該方法が：

- a) 統合する設計に含まれるべき要素セットを規定するステップと；
 - b) デジタル、混合信号、および光 - 電子の各タイプの要素について別々のロジック設計を作るステップと；
 - c) 前記ロジック設計を全体の設計に組み合わせて、組み合わせたロジック設計の共通シミュレーションを実行するステップと；
 - d) ステップ b) でつくったロジック設計に基づいて、各タイプの要素について別々の物理的レイアウトを生成するステップと；
 - e) 物理的レイアウトを全体の物理的レイアウトと組み合わせて、組み合わせた物理的レイアウトの共通検査を実行するステップと；
 - f) 前記共通シミュレーションの結果を前記共通検査結果と比較するステップと；
 - g) 受け入れ可能である場合は、組立に必要な情報を生成するステップ；さもなければ；
 - h) 変更すべき特定のロジック及び / 又は物理的設計を同定するステップと；
 - i) 前記同定した変更を実行するステップと；及び
 - j) ステップ c) と、e) ないし g) を、結果として受け入れ可能な合致が得られるまで繰り返すステップと；
- を具えることを特徴とする方法。

10

【請求項 10】

請求項 9 に規定の方法において、ステップ c) の前記共通シミュレーションを実行する前に、各ロジック設計を満足する結果が達成されるまで個別にシミュレートされることを特徴とする方法。

20

【請求項 11】

請求項 9 において規定する方法が、ステップ e) の前記共通検査を実行する前に、各物理的レイアウトを満足する結果が達成されるまで個別に検査することを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願のクロスリファレンス

本発明は、2004 年 6 月 23 日に出願した暫定出願第 60 / 582 , 235 号の利益を主張する。

30

【0002】

技術分野

本発明は、集積回路の自動設計、自動レイアウト、および自動検査に関するものであり、特に、シリコンベースの光電子回路中の光回路構成と電子回路構成の双方の共通シミュレーションと、共通検査に関する。

【0003】

開示の背景

今日の集積回路は、無数のトランジスタ、多大な数の入 / 出力ピンでできており、広範囲にわたる機能を提供している。システム、チップ、およびロジックレベルにおけるこれらの集積回路の設計、シミュレーション、検査、配置配線、およびレイアウトをサポートするために、集積回路 (IC) 業界はよく確立され、標準化された、コンピュータを用いた設計 (CAD: Computer-aided design) ツール、特に電子 CAD (E-CAD) と方法論を高度に開発した。E-CAD ツールは、デジタル、アナログ、あるいは混合信号集積電子回路をサポートする。一般的に、IC 設計者は、よく知られている E-CAD ソフトウェアツールから入手できる回路、ゲート及び / 又はロジック要素のライブラリを使用するか、あるいは、企業内の「カスタム」ツールを開発して特別な必要性にあわせるようにしている。標準化した E-CAD ツールのパワーは、IC 業界の成長と成熟を大いに煽るものであった。

40

【0004】

集積回路の設計には、カスタム設計方法、セミカスタム設計方法、あるいはカスタム設

50

計方法とセミカスタム設計方法の組み合わせを使用することができる。「カスタム」とは、各設計用に新しい物理的レイアウトを作ることの意味する。セミカスタムとは、「ゲートアレイ」要素や、「標準セル」要素などの予め規定された回路要素の使用を意味する。ゲートアレイは、後に相互接続して設計を実行することができる半導体ウエハ上に作った予め規定された機能のセットを使用する。標準セル技術は、予め規定した物理的レイアウトを各々が有する低レベル回路機能のライブラリを提供する。予め規定した物理的レイアウト（あるいは「セル」）は、通常、幅あるいは高さなどの共通の寸法を有しており、これらを列やブロック中に配置できるようにしており、この順番は、実行する機能と、セルまたはセル群間の相互接続のルーティングによって決まる。

【 0 0 0 5 】

集積回路の発達において、設計者は、設計を様々な機能ブロックに分けて、各機能ブロックについて回路を設計するか、あるいは、以前の設計がサイズ、パワー、性能基準に合う場合は、機能ブロック用の設計を再使用する。回路設計は、回路要素と要素間の接続を特定するハードウェア記述言語（HDL：Hardware descriptive language）を最も頻繁に使用する。Verilog（登録商標）は、よく使用されるHDLであり、IEEE Std 1364のトピックである。Verilogは、カリフォルニア州、サンホセに本社を置くCadence Design Systems社の登録商標である。Verilogは、初期設計を特定し、シミュレーションへの入力とシステム設計ツールを提供して、レイアウト後の動作をチェックするのに使用することができる。アナログ回路（A-HDL）と共に使用するのに適したHDLのバージョン、あるいは、アナログ/混合信号アプリケーション用のVHDL-AMSを含む超高速集積回路HDL（VHDL）用のバージョンもこの分野で走られている。

【 0 0 0 6 】

時に、標準セルライブラリのセルの予め規定されたセットが、所望の機能を提供しないことがあったり、あるいは所望の速度、サイズまたは電力消費を提供しないことがある。このような状況では、新しいセルを作るか、あるいは所望の機能と能力を組み込んだロジックのカスタムブロックを設計することがある。ロジックのカスタムブロックの設計は「SPICE」（Special Programs for Interactive Circuit Elements）を使用して、設計を特定しシミュレートすることができる。SPICEの製造バージョンのいくつかは、ロジカルシミュレーションと、タイミングシミュレーションの双方をサポートしている。しかしながら、SPICEのシミュレーションは、HDLネットリストモデルを使用したシミュレーションに比べると非常に遅い。設計が標準セルと、カスタムロジックセクションの双方を有する場合、設計全体をシミュレートしようとするときに問題が生じする。カスタムロジックは、単純に、「ブラックボックス」として存在し、ここでは標準セルの動作とカスタムロジックが別々にシミュレートされ、両セクションを具えるシミュレーションは実行されない。Cプログラミング言語で書くことができる動作モデルは、機能シミュレーション用には使用できるが、このようなモデルはタイミング解析を行わない。

【 0 0 0 7 】

標準セル対カスタムロジックの問題に加えて、特に、モノリシック構造中に両方のタイプの要素をサポートするために、SOI基板上に比較的薄いシリコン層を使用することを考慮して、電子回路要素と光回路要素の双方を含むより一層集積された回路が形成されている。

【 0 0 0 8 】

光学業界は、今日も、1960年代の電子IC業界と同じ状態にある。このように、今日の光学業界には、サブシステムを作るために様々な部品を集積（ブロックの構築）するため共通の技術プラットフォームがない。この結果、現在の光学業界は、一般的に、ほとんど個別の光学部品と光学システムを、設計、シミュレーション、および検査するのに非常に非統合的なアプローチを行っている。現存の光学要素用の設計、シミュレーションおよび検査ツールのいくつかは、特定のタイプの光学デバイスまたは、光学部品システムを過度に特定するといった傾向がある。実際、これらのツールは一般的に、本発明の集積構成に用いられているシリコン部品ではなく、III-Vベースの光学デバイス用に開発され

10

20

30

40

50

た。

【 0 0 0 9 】

しかしながら、近年は、多くのファクタが一緒になって現実に光学回路と電子回路の集積化を行い、標準 C M O S 処理技術 (I C 業界で広く受け入れられているような) を用いて光学特性と電子特性をモノリシックプラットフォームに組み込むことが可能である。シリコンベースの I C と光学部品の一体化に向けたこのアプローチは、I C 業界の秩序、成熟性、および能力をモノリシックプラットフォームに影響させることを望んでいる。このアプローチの実行可能性を示すための近年の努力は、非常に有望である。しかしながら、この集積化の努力をサポートするためには、光学部品と電子部品の双方を、特に、設計段階と開発段階中に同じツールを用いて、設計し、シミュレートし、検査する必要がある。

10

【 0 0 1 0 】

伝統的な電子集積回路の設計と開発に使用される E - C A D ツールは、本質的に電子集積回路の特色をもち、電子集積回路をモデルにしたさまざまなタイプのパラメータを使用している。これらのパラメータは、信号の入力、出力、クロック信号、時間遅れ、負荷、電圧、などである。電子回路要素の特徴づけによって、設計者は、マスクと組み立てを行う前に回路を設計し、シミュレートし、検査することができる。これらのパラメータは、アナログフォーマットまたはデジタルフォーマットであり、さまざまな E - C A D ソフトウェアライブラリ内で容易に入手できる。

【 0 0 1 1 】

上述したように光学モデリングは、以前は、伝統的な I I I - V ベースの光学デバイスと共に使用するように制限されていた。シリコンベースの光学デバイスや、光学 (すなわち、受動光学デバイス) 構成部品、電子及び光電子 (すなわち、能動光学デバイス) 構成部品の一体化の到来とともに、このようなモノリシック設計に関連する組み立てステップを簡単にする方法論の必要性が高まった。

20

【 0 0 1 2 】

発明の概要

この従来技術に残る必要性が、本発明によって取り組まれている。本発明は、回路レイアウトと、特に、モノリシックなシリコンベースの電子 - 光チップ中の光学部品と電気部品の統合的設計、検査およびレイアウトを実行する電子的なコンピュータを使用した設計 (E - C A D) ツールを使用して、光 - 電子 C A D (O E - C A D) ツールを回路設計プロセスに使用できるようにすることに関する。

30

【 0 0 1 3 】

本発明によれば、デジタル電子デバイスと「混合」/アナログ電子デバイスの設計と組立に関連する従来のシミュレーションツールが、シリコンベースの光学デバイスと光 - 電子デバイス (受動デバイスと能動デバイスの両方) と共に使用するように再度特徴付けられている。この方法論によると、タイプが異なる要素 (すなわち、デジタル I C 要素、アナログ / 混合 I C 要素、および光 - 電子要素) を個別に規定してシミュレートすることが可能である。従って、「共通シミュレーション」プロセスが実行され、このプロセスは、3つの個別シミュレーションプロセスからの結果を入力として使用して、完全な構成の「ロジック」結果を査定する。この3つの個別のシミュレーション結果は、次いで、検査を行う3つの個別の物理的レイアウトルーチンへの入力として使用される。再度、3つの個別レイアウトを「共通検査」プロセスへの入力として使用して、完全な構成のレイアウトをレビューする。本発明によれば、共通シミュレーションの結果を、共通検査結果に対してチェックする。これらの結果が合致していれば、回路はテープアウト (tape-out) (最終回路構成用の個別の組立ステップを規定するのに使用されたプロセス) の準備が整っている。さもなければ、プロセス中の一またはそれ以上のステップ中の問題が同定され、調整を行って、二回目用に共通シミュレーションおよび共通検査プロセスが実行される。この結果が再び満足できるものでない場合は、プロセスを調整して、結果に十分な合致が達成されるまで繰り返し実施する。

40

【 0 0 1 4 】

50

様々な異なるプロセスを各プロセス内で、様々なインターフェースと共に用いて、共通シミュレーション又は共通検査プロセスを実行する前に、この結果を統合する必要があることが、本発明の態様である。

【0015】

本発明の一実施例では、再帰的デジタル集積回路ロジック設計が、「レジスタトランスファレベル」(RTL: Register transfer level)回路を用いて開発されている。この回路は、最終設計が所望の目的に合致するまで、再帰的に合成され、シミュレートされ、検査される。同様に、従来のアナログ/混合回路設計ツールを用いて、スキマティックフォームを特定し、アナログ/混合電子集積回路をシミュレートし、検査する。本発明によれば、光-電子構成部品は、例えば、ハードウェア記述言語(HDL)、特にアナログHDL(A-HDL)を用いてシミュレートされる。この場合、関連する電子デバイスの性能を検査するのに用いる従来のデバイスシミュレーションを用いて、光学シミュレーションを実行して光-電子構成中の光学構成部品の性能を検査する。

【0016】

本発明のその他の更なる実施例は、添付の図面を参照して以下の議論において明らかになる。

【0017】

発明の詳細な説明

最も一般的な意味では、本発明は、最終的なシリコンベースのモノリシック構造内に含まれるタイプが異なる3つの要素の、個別トップレベル動作ロジック設計を実行するものとして見ることができる。上述したように、この3つの異なるタイプの要素は：(1)デジタル電子集積回路要素；(2)アナログ/混合信号電子集積回路要素；及び(3)光-電子要素(受動及び能動光学要素を含む)として規定することができる。動作ロジック設計が完了すると、結果が組み合わされ、共通シミュレートされる。物理的レイアウト設計が展開され、回路中のタイプが異なる各要素について検査がなされる。予め規定されたテストベクトルセットを用いて様々な物理的レイアウトが共通検査され、物理的設計全体の特性を測定する。次いで、注釈付結果(例えば、寄生キャパシタンスと寄生抵抗の定義で完成する)が再シミュレートされ、ロジック設計及び/または物理的レイアウトになされた変更を用いて、所望の動作パラメータが得られるまで前回のシミュレーションと比較される。所望の結果が生じたら、従来のウエハレベル組立操作を考えて、最終製品を提供する(テーブアウト)。

【0018】

本発明のシステムの大きな特徴は、ロジック設計と物理的レイアウトの段階で使用するために、例示的なシリコンベースの光学デバイスの「スキマティック」ライブラリを展開する必要があることである。典型的な光学デバイスには、能動要素(MZIs、光学検出器、リング発振器、その他)と同様に、様々な受動要素(導波管、プリズム、ミラー、グレーティング、その他)が含まれる。有利なことに、今日のSOIベースモノリシック構造におけるシリコンベースデバイスの使用によって、現存のスキマティックキャプチャツールをこの特徴付に使用することができる。光学レイアウトの特定の問題は、構成要素間の接続性であり、これは、光導波管の形を取る。「ワイヤ」あるいは回路上の金属路による電氣的接続に対して、導波管ベースの光学的接続の長さや形状は有意に設計上考慮すべき事柄である。

【0019】

図1は、本発明によるモノリシックな、シリコンベースの光-電子回路を形成するための統合的アプローチを実行するための例示的なアーキテクチャ10を簡略したブロック図の形で示す。図に示すように、まず3つの別々のモジュールセットを用いて、モノリシック構成に含めるべき3つのタイプの要素を規定し、シミュレートしている。この要素は：(1)第1のモジュール12内で規定されシミュレートされるデジタル電子要素；(2)第2のモジュール14内で規定されシミュレートされるアナログ/混合信号電子回路要素；及び(3)第3のモジュール16内で規定されシミュレートされる光-電子回路要素

、である。

【 0 0 2 0 】

特に、第 1 のモジュール 1 2 は、例えば H D L 言語 (Verilog 及び / 又は V H D L など) を用いてデジタル集積回路の動作モデリングを実行する。第 1 のモジュール 1 2 からの出力は、所望のデジタル回路を規定するのに使用される、予め構築され、予め特徴付けられている標準セルを要求する合成 H D L ネットリストである。第 2 のモジュール 1 4 は、アナログ / 混合信号要素の設計とシミュレーションに関連し、従来技術において知られているように、アナログ / 混合回路の定義と設計は、常に標準セルを用いて実行されるので、スキマティックカプチュアツール (例えば、Cadence Composer など) を用いて、所望のモデルを展開することができる。その後、アナログ / 混合信号ロジック設計の結果が、第 1 のモジュール 1 2 からの出力と同様に、H D L ネットリストに変換される。

10

【 0 0 2 1 】

受動及び能動光学要素の本質的な特徴を考慮すると、光学ロス、光学ゲイン、有効屈折率の変化、その他のようにアナログ状態の様々なパラメータが存在している。従って、受動及び能動光学要素は、その光学パラメータを用いて電子的構成部品のモデルを作る場合と同様に、スキマティック光学ライブラリに対応する光学「標準セル」を形成して、第 3 のモジュール 1 6 内で所望の能動及び受動光学要素を規定するのに使用することができる。再び、ネットリスト (スキマティックまたはコードセットの意味で) が、出力として生成される。

【 0 0 2 2 】

20

図 1 を参照すると、モジュール 1 2 、 1 4 、および 1 6 からのネットリスト出力が、共通シミュレーション構成 1 8 への入力として与えられている。本発明によれば、ネットリスト出力の単なる組み合わせが、回路設計とレイアウトで不満足な結果を引き起こすことがわかった。実際、デジタル要素、アナログ / 混合信号要素、及び光 - 電子要素の様々な電気的および光学的パラメータが、互いの中で相互作用し、シミュレーションの結果を変更する。従って、「共通シミュレーション」が同時に実行され、3 つの個別タイプの要素が一斉にシミュレートされる。モノリシック構成の動作能力を査定するという意味で共通シミュレーションプロセスを実行する能力は本発明の大きな特徴であると考えられる。

【 0 0 2 3 】

30

モジュール 1 2 、 1 4 および 1 6 からのネットリスト出力は、また、異なるタイプの要素のそれぞれの物理的レイアウトを実行する構成への別々の入力として提供される。図に示すように、デジタルシミュレーションモジュール 1 2 からのネットリスト出力は、「配置配線」レイアウト要素 2 0 への入力として与えられ、レイアウト要素 2 0 は従来技術においてよく知られている。全カスタムレイアウト要素 2 2 を用いて、アナログシミュレーションモジュール 1 4 からのネットリスト出力に基づいてアナログ / 混合信号構成の物理的レイアウトを取り出す。光学レイアウト要素 2 4 は光学レイアウトプロセスを実行し、本発明によれば、次いで 3 つの「レイアウト」出力が共通検査要素 2 6 への入力として提供される。光学レイアウトに関して、従来の設計ルールチェック (D R C : Design Rule Checking) を実行して、その設計が所定の工場によって特定されたルールを固守していることを検査する。しかしながら、レイアウト対スキマティックの物理的表示を検査する必要が有る場合 (Layout Versus Schematic (L V S) ツールを用いる場合など) に、複雑になる。本発明によれば、検査プロセスに、「確認」層が加えられており、規定された光学要素内の様々なポイントをマークして、構造体内を通過するときの光ビーム路を規定している。図 2 は、従来の Mach-Zehnder 干渉計 (M Z I) 構造にこのプロセスを適用した例を示す。図 2 を参照すると、入力光ビームは、第 1 の路 A を通って、チューニングミラー 3 0 に当たる。次いで、この光ビームは路 B を通り、フォーカシングミラー 3 2 に当たり、このミラーが光ビームを路 C に沿って、M Z I 3 4 の入力ポートへ再度方向付けをする。M Z I 3 4 からの出力ビームは、路 D に沿って進み、ここで、出力ミラー 3 6 に当たって、光学路 E 内でフォーカスされる。次いで、この信号がチューニングミラー 3 8 によって出力信号路 F へ再度方向付けされる。様々な光学路 A - F の接続性は、従来の集

40

50

積回路のレイアウトに関連する金属の接続性に例えることができる。従って、この類似性を用いて、上述したように、現存の検査ツールセットによって認識できる光学要素を規定することが可能である。本発明の共通シミュレーションステップを用いたとき、光学的及び電子的要素の双方のレイアウトに関連する様々なパラメータを考慮した共通検査プロセスが用いられる。

【 0 0 2 4 】

共通の検査プロセスと、共通のシミュレーションプロセスが完了すると、これらのプロセスの結果が比較される。この結果が妥当な合致があれば、完成した設計が所望の通り機能すると推定され、次いで、このプロセスでつくられたデータセットを従来の「テープアウト」に用いて、特定の組立ステップを規定することができる。代替的に、共通検査と共通シミュレーションプロセスの間の結果に違いがある場合は、一又はそれ以上のフィードバック信号を、プロセスを終結させるように変更する必要がある、特定のモジュール/要素に戻す。例えば、特別な光学要素の「レイアウト」は、共通検査プロセスを共通シミュレーションプロセスと合致させるように変更する必要がある場合がある。実際、様々な異なる要素が、ある種の調整を必要とする。更新したネットリスト及び/又はレイアウトが一旦完成すると、共通シミュレーションと、共通検査プロセスが再度実行され、出力が再度比較される。この比較/フィードバックプロセスは、二つの間に予め規定された程度の合致が得られるまで続けられる。

【 0 0 2 5 】

図 3 及び 4 は、上述したような各タイプの要素を具えるトランスミッタチャネルへ本発明に例示的に適用した共通シミュレーション/共通検査設計プロセスを示す。特に、図 3 は、例示的なトランスミッタチャネル要素のハイレベルブロック図を示すものであり、図 4 は、本発明の集積設計法を実行するのに使用することができる例示のプロセスのフローチャートである。図 3 を参照すると、例示的なトランスミッタチャネル 1 0 0 は、送信が望まれる入力デジタルデータ信号を受信するエンコーダ 1 1 0 を具えるものとして示されている。この分野で知られているように、エンコーダ 1 1 0 は、デジタル入力信号を残りのトランスミッタチャネルに好適に使用した特定のコード化したフォーム（NZR など）に翻訳する機能がある。エンコーダ 1 1 0 からの出力は、順次、シリアライザ 1 2 0 の入力として与えられ、その後ドライバ 1 3 0 に入れられる。シリアライザ 1 2 0 とドライバ 1 3 0 は、通常、アナログ及びデジタル（混合信号）回路の組み合わせとして用いられる。

【 0 0 2 6 】

ドライバ回路 1 2 0 からの出力である、アナログに符号化した情報信号は、次いで、電子 - 光モジュレータ 1 4 0 への入力として与えられる。別の連続波（CW）光信号が、モジュレータ 1 4 0 への第 2 の入力として与えられる。この分野でよく知られているように、電気入力信号を用いて CW 光信号を変調し、光情報信号を出力として提供する。

【 0 0 2 7 】

本発明の教示によれば、これらのトランスミッタチャネル要素を全て含む集積構造を展開して、トランスミッタチャネル全体をモノリシック構成として単一のシリコン基板上で実行することが望まれる。図 4 は、図 3 に示す集積トランスミッタチャネル 1 0 0 の組立プロセスを生成するのに用いられる方法をハイレベルに示すフローチャートである。図に示すように、このプロセスは、ステップ 2 0 0 で、「デジタル」、「アナログ/混合信号」、「光 - 電子」として類別することができるハイレベル回路構成における様々な「ブロック」を規定することによって開始する。この特定のケースでは、エンコーダ 1 1 0 が、標準セルを用いて合成することができ、従来の「配置配線」レイアウトプロセスを行う典型的な「デジタル」電子集積回路として規定されている。シリアライザ 1 2 0 とドライバ 1 3 0 は、上述したとおり、A - HDL 及び/又は S P I C E プロセスを用いて合成することができるデジタル - アナログコンバータ（従って「混合信号」）を含む典型的なアナログ回路として規定される。電子 - 光モジュレータ 1 4 0 は、電氣的入力と光学的入力の両方を用いて光出力信号を形成する、典型的な光 - 電子要素として規定されている。

10

20

30

40

50

【 0 0 2 8 】

様々な要素が規定され、類別されると、各タイプの要素について個別に特定タイプの要素に適したロジック設計プロセスを行う（ステップ 2 1 0）。すなわち、RTLとシステム設計プロセスをデジタルエンコーダ 1 1 0 に用いて、スタビライザ 1 2 0 とドライバ 1 3 0 の S P I C E シミュレーション、および多くの光「標準セル」を規定し、電子「標準セル」と HDL の規定と協働して用いて、電子 - 光モジュレータ 1 4 0 の変調機能を合成することができる。

【 0 0 2 9 】

3つのタイプの要素のロジック設計の完了に続いて、ロジック設計データ（典型的にはネットリストの形、すなわち、コードまたはスキマティックの形のデータ）を共通シミュレーションプロセス 2 2 0 への入力として提供する。本発明によれば、上述したとおり、共通シミュレーションプロセスを用いて、様々なタイプの要素が互いに機能して所望の出力を確実に提供するようにしている。すなわち、各タイプの要素のロジック設計が、単一のシミュレーションプロセス内で互いに融合して、混合信号要素とデジタル要素、さらには、光 - 電子要素とのデジタル要素の相互作業を査定する。ステップ 2 3 0 に示されるように、別々のロジック設計プロセスからのネットリスト出力は、デジタル要素と、混合信号要素と、光 - 電子要素の物理的レイアウトを別々に提供しよう機能する物理的レイアウトプロセスへの入力として与えられる。本発明の好ましい実施例では、3つのレイアウトが内部検査プロセスに提供され、共通検査プロセスが開始する前に個別の各レイアウトが正確であることを確認する。

【 0 0 3 0 】

この3つの別々の物理的レイアウト構成を規定する（検査済）データは、次いで、ステップ 2 4 0 に示すように共通検査ルーチンへの入力として与えられる。上述したとおり、本発明によって共通検査プロセスが使用され、3つのタイプの要素のレイアウトが正しい状態で互いに動作して、トランスミッタチャネル 1 0 0 の正確な動作を確実にする。共通シミュレーションと共通検査プロセスの双方が完了したら、結果が比較され（ステップ 2 5 0）、この結果間の合致の度合いに関する決定がなされる（ステップ 2 6 0）。この結果が十分に合致している場合は、モノリシック構成の完全な設計がなされ、プロセスが「テーブアウト」ステージに移る（ステップ 2 7 0）。

【 0 0 3 1 】

本発明によれば、これらの結果の間に有意な非合致が存在する場合、結果（共通シミュレーション、共通検査のいずれか、あるいは両方）を改善するように変更する特定のプロセス要素に関する決定がなされる（ステップ 2 8 0）。特定の影響を与える要素が同定されると、訂正 / フィードバック信号が入力として与えられ、ロジック設計、物理的レイアウト、あるいはその両方に調整を行うことが可能である。次いで、共通シミュレーションと共通検査プロセスが再び実行され、更新した比較を実行する。このプロセスは、共通のシミュレーションと共通の検査結果の間に十分な合致ができるまで、この方法で続けることができる。

【 0 0 3 2 】

本発明の様々な実行に関する上記記述は、図解と説明の目的でのみ用いられている。これらは、網羅的であり、本発明を開示した形式に限定する意図ではない。従って、当業者には、請求項によって限定される本発明の範囲において、多くの変更と変形が自明である。

【 図面の簡単な説明 】

【 0 0 3 3 】

図面を参照すると：

【 図 1 】 図 1 は、ブロック図の形式で書かれており、シリコンベースのモノリシック回路構造に本発明によって形成した3つのタイプの要素の所望の共通シミュレーションと共通検査を提供するのに使用できる例示的な設計アーキテクチャを示す。

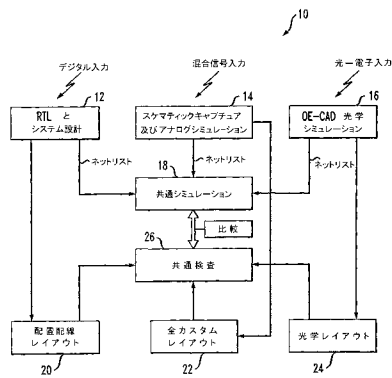
【 図 2 】 図 2 は、電子要素のレイアウトに共通して用いたレイアウトツールを用いて開発

することができる例示的な光学要素を示す図である。

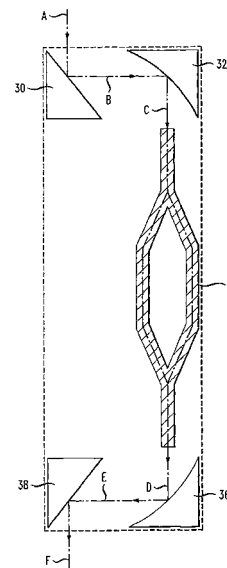
【図3】図3は、分析して本発明による集積設計プロセスを形成することができる例示的な光 - 電子トランスミッタチャネルの簡略ブロック図を示す。

【図4】図4は図3に示すトランスミッタチャネルと協働して用いて、集積モノリシック回路設計を展開するプロセスのフローチャートを示す図である。

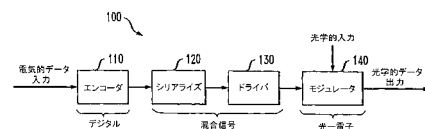
【図1】



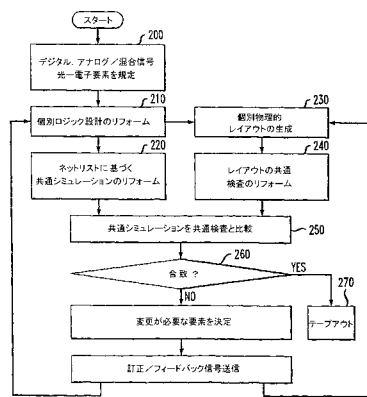
【図2】



【図3】



【図 4】



【 国際調査報告 】

60700290051



INTERNATIONAL SEARCH REPORT

International application No.

PCT/US05/22254

A. CLASSIFICATION OF SUBJECT MATTER
IPC: G06F 17/50(2007.01),9/45(2007.01)

USPC: 716/4,5,6,7,18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
U.S. : 716/4,5,6,7,18; 703/13,14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
EAST (USPAT; US-PGPUB; EPO: JPO: DERWENT: IBM_TDB)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6,110,217 (KAZMOERSKI et al.) 29 August 2000 (29.08.2000), column 1, lines 18-28, 35-39, 45-61; column 2, 13-20; column 3, lines 19-20, 26-37, 52-55	1-11
Y	US 6,718,522 (McBRIDE et al.) 6 April 2004 (06.04.2004) column 1, lines 30-67; column 2, lines 1-13; column 3, lines 23-30, lines 35-40, lines 45-48;	1-11
A	US 20030195736 A1 (GHOSH et al.) 16 October 2003 (16.10.2003), paragraphs [0005]	1-11
A	US 20040107085 A1 (MOOSBURGER et al.) 3 June 2004 (03.06.2004), paragraph [0002]	1-11
A	US 6,983,443 (KORZYNIOWSKY et al.) 3 January 2006 (03.01.2006), column 1, lines 26-46, lines 50-67; column 2, lines 1-13; column 4, lines 46-59	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search

11 December 2006 (11.12.2006)

Date of mailing of the international search report

09 JAN 2007

Name and mailing address of the ISA/US

Mail Stop PCT, Attn: ISA/US
 Commissioner for Patents
 P.O. Box 1450
 Alexandria, Virginia 22313-1450

Facsimile No. (571) 273-3201

Authorized officer

Jack Chiang *Lydia Soule For*
 Telephone No. 571-272-7483

Form PCT/ISA/210 (second sheet) (April 2005)

15. 5. 2007

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KP,KR,KZ,LC,LK,LR,LS,L T,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(71)出願人 306008311

ゴートスカー, プラカシュ

アメリカ合衆国 1 8 1 0 4 ペンシルヴァニア, アレンタウン, ウィンダミア コート 6 7 4 9

(71)出願人 506423556

モシンスキス, パウリウス

アメリカ合衆国 ペンシルバニア州 1 8 9 5 5, リッチランドタウン, グルベルスビルロード 1 5 4 5

(71)出願人 506423567

ダマ, ビビン

アメリカ合衆国 ニュージャージー州 0 8 8 0 7, ブリッジウォータ, パーセルロード 5

(74)代理人 100096024

弁理士 柏原 三枝子

(72)発明者 シャスリ, カルペンドゥ

アメリカ合衆国 ペンシルバニア州 1 8 0 6 9, オルフィールド, ウィロウウェイ 5 5 2 9

(72)発明者 バサク, ソハム

アメリカ合衆国 ペンシルバニア州 1 8 1 0 6, アレンタウン, パロミノドライブ 6 0 9 9

(72)発明者 ゴートスカー, プラカシュ

アメリカ合衆国 ペンシルバニア州 1 8 1 0 4, アレンタウン, ウィンダミアコート 6 7 4 9

(72)発明者 モシンスキス, パウリウス

アメリカ合衆国 ペンシルバニア州 1 8 9 5 5, リッチランドタウン, グルベルスビルロード 1 5 4 5

(72)発明者 ダマ, ビビン

アメリカ合衆国 ニュージャージー州 0 8 8 0 7, ブリッジウォータ, パーセルロード 5

F ターム(参考) 5B046 AA08 BA02 BA04 JA04

【要約の続き】

ウト)ように従来のウエハレベルの組立動作が考慮される。

【選択図】 図 1