

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月13日(13.03.2014)



(10) 国際公開番号

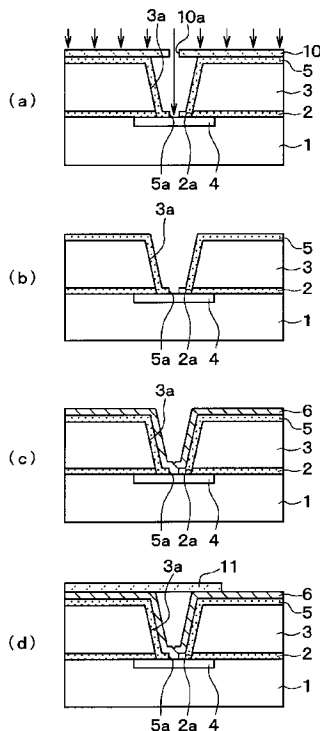
WO 2014/038176 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 21/768 (2006.01)
H01L 21/3065 (2006.01) H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2013/005185
- (22) 国際出願日: 2013年9月3日(03.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-195191 2012年9月5日(05.09.2012) JP
特願 2013-127545 2013年6月18日(18.06.2013) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 勝間田 卓(KATSUMATA, Takashi); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 与倉 久則(YOKURA, Hisanori); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE PRODUCING METHOD

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: In a method for producing a semiconductor device having a through electrode structure, a masking material (10) is formed so as to bridge over a through-hole (3a) formed in a second semiconductor substrate (3), and at a position in the masking material (10) corresponding to the through-hole (3a), a hole (10a) is formed. A contact hole (5a) is formed in an insulating film (5), via this hole (10a). Such a producing method causes only a portion of the masking material (10) that is bridged over the through-hole (3a) to be exposed by photolithography, even though there is a large level difference from the surface of the second semiconductor substrate (3) to the bottom of the through-hole (3a). Therefore, photolithography for a large level difference is not necessary. As a result, the hole (10a) can be formed in the masking material (10) successfully, and at the same time, the contact hole (5a) can be formed successfully by anisotropy dry etching via this hole (10a), even in the case where etching for a large level difference is performed.

(57) 要約: 貫通電極構造を有する半導体装置の製造方法において、第2半導体基板(3)に形成された貫通孔(3a)上を架橋するようにマスク材(10)を形成すると共に、マスク材(10)のうち貫通孔(3a)と対応する位置に穴(10a)を形成し、この穴(10a)を通じて絶縁膜(5)にコンタクトホール(5a)を形成する。このような製造方法とすれば、第2半導体基板(3)の表面から貫通孔3aの底部まで高段差があったとしても、フォトリソグラフィで露光するのは貫通孔(3a)上に架橋されたマスク材(10)のみであり、高段差のフォトリソグラフィは必要ない。このため、マスク材(10)に良好に穴(10a)を形成できると共に、この穴(10a)を通じた異方性ドライエッチングにて高段差のエッチングでも良好にコンタクトホール(5a)を形成できる。

WO 2014/038176 A1



ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置の製造方法

関連出願の相互参照

[0001] 本開示は、2012年9月5日に出願された日本出願番号2012-195191号および2013年6月18日に出願された日本出願番号2013-127545に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、半導体基板に貫通電極構造を形成する半導体装置の製造方法に関するものである。

背景技術

[0003] 従来より、半導体チップの高機能化や外部環境からMEMS (micro electro mechanical systems) 構造のセンサを構成する素子の保護などを目的として、2枚の半導体基板を貼り合わせた多層構造が用いられている。このような構造の半導体装置においては、基板間の電氣的導通を取ったり、貼り合わせられた半導体基板の内部に形成された各部の電位を外部に引き出すために、貫通電極構造を用いている。このような貫通電極構造の形成には、例えば特許文献1に示される方法を用いるのが一般的である。

[0004] 貫通電極構造を形成する方法としては、例えば、2枚の半導体基板を貼り合わせる前に、一方の半導体基板に対して貫通孔を開けておき、熱酸化工程によりその貫通孔の周囲などに絶縁膜を形成する。その後、貫通孔内を絶縁膜で覆った半導体基板をサポート基板に貼り付けたのち、メッキ工程にて貫通孔内を金属で充填する。そして、半導体基板をサポート基板から剥離したのち、もう一方の半導体基板への貼り合わせを実施する。このように、一方の半導体基板に対して貫通孔を形成すると共に内部に金属を充填しておいてから、もう一方の半導体基板と貼り合わせるにより貫通電極構造を形成している。

先行技術文献

特許文献

[0005] 特許文献1：日本特許第3751625号公報

発明の概要

[0006] しかしながら、特許文献1に示される方法で貫通電極構造を形成する場合、サポート基板を用いることにより製造工程が煩雑化したり、基板貼り合せ前に各種工程を行っているために基板の表面荒れや反りが発生して貼り合せ品質に影響する。例えば、表面荒れに関しては、サポート基板からの剥離による影響などで発生し、基板の反りに関しては、貫通孔や内部に充填された金属と半導体基板との膨張係数の差などに起因して発生する。

[0007] したがって、多層構造の半導体装置においては、2枚の半導体基板の貼り合わせ後に貫通電極を形成することが望ましい。ところが、この場合、基板表面側から貫通孔の底部に位置する絶縁膜にコンタクトホールを形成したり、貫通孔内部の金属膜を保護して配線パターンをパターニングするなど、実現が難しい高段差のフォトリソグラフィ・エッチング工程が必要になる。よって、高段差のフォトリソグラフィ・エッチング工程を良好に実現できるようにすることが望まれる。

[0008] なお、ここでは高段差のフォトリソグラフィ・エッチング工程が必要になる場合の一例として、2枚の半導体基板を張り合わせた多層構造の半導体装置における貫通電極構造を例に挙げたが、他にも高段差のフォトリソグラフィ・エッチング工程が必要とされ得る。すなわち、半導体基板の一面側に形成された凹部の底部の所望位置において、凹部内に配置した薄膜をエッチングする場合に、高段差のフォトリソグラフィ・エッチング工程が必要になり、この高段差のフォトリソグラフィ・エッチング工程を良好に実現できるようにすることが望まれる。

[0009] 本開示は上記点に鑑みて、半導体基板の一面側に形成された凹みの底部の所望位置をエッチングするという高段差のフォトリソグラフィ・エッチング工程を良好に実現できるようにした半導体装置の製造方法を提供することを第1の目的とする。また、本開示は、サポート基板を必要とせず、基板同士

の貼り合せの前の表面荒れや反りの発生も防止できると共に、高段差のエッチングも良好に行って貫通電極構造を形成することができる半導体装置の製造方法を提供することを第2の目的とする。

[0010] 本開示の第一の態様によれば、一面側に凹部が形成された半導体基板を用意することと、凹部の内壁面に薄膜を形成することと、薄膜を形成したのち、凹部内を空洞として残しつつ該凹部上を架橋するように、薄膜の上にマスク材を配置することと、フォトリソグラフィにより、マスク材のうち凹部と対応する位置に穴を形成することと、マスク材を用いた異方性ドライエッチングにより、穴を通じて該穴と対応する位置において薄膜を除去する加工を行うことと、を含んでいることを特徴としている。

[0011] このように、凹部上を架橋するようにマスク材を形成すると共に、マスク材のうち凹部と対応する位置に穴を形成し、この穴を通じて薄膜をエッチング加工する。このような製造方法とすれば、半導体基板の表面から凹部の底部まで高段差があったとしても、フォトリソグラフィで露光するのは凹部上に架橋されたマスク材のみであり、高段差のフォトリソグラフィは必要ない。このため、マスク材に良好に穴を形成できると共に、この穴を通じた異方性ドライエッチングにて高段差のエッチングでも良好にコンタクトホールを形成できる。したがって、実現が難しい高段差のフォトリソグラフィ・エッチング工程を良好に実現することが可能となる。

[0012] 本開示の第二の態様によれば、素子および接続部を形成した第1半導体基板を用意することと、第1半導体基板の一面側に第2半導体基板を貼り合わせることに、第1半導体基板に貼り合わせた後の第2半導体基板のうち接続部と対応する位置を第1半導体基板と反対側の面よりエッチングすることで、貫通孔を形成することと、貫通孔の内壁面および該貫通孔内において露出させられた接続部を含め、第2半導体基板の表面に絶縁膜を形成することと、絶縁膜を形成したのち、貫通孔内を空洞として残しつつ該貫通孔上を架橋するように、絶縁膜の上に第1マスク材を配置することと、フォトリソグラフィにより、第1マスク材のうち貫通孔と対応する位置に穴を形成すること

と、第1マスク材を用いた異方性ドライエッチングにより、穴を通じて該穴と対応する位置において絶縁膜を除去し、接続部を露出させて導体層と接触させるためのコンタクトホールを形成することと、を含んでいることを特徴としている。

[0013] このように、貫通孔上を架橋するように第1マスク材を形成すると共に、第1マスク材のうち貫通孔と対応する位置に穴を形成し、この穴を通じて絶縁膜にコンタクトホールを形成している。このような製造方法とすれば、第2半導体基板の表面から貫通孔の底部まで高段差があったとしても、フォトリソグラフィで露光するのは貫通孔上に架橋された第1マスク材のみであり、高段差のフォトリソグラフィは必要ない。このため、マスク材に良好に穴を形成できると共に、この穴を通じた異方性ドライエッチングにて高段差のエッチングでも良好にコンタクトホールを形成できる。したがって、実現が難しい高段差のフォトリソグラフィ・エッチング工程を良好に実現できる。

[0014] よって、良好に貫通電極構造を形成することができる。そして、このような半導体装置の製造方法では、貫通孔を形成する前に、第1半導体基板と第2半導体基板とを貼り合わせている。このため、従来のようにサポート基板を用いる必要もないし、基板同士の貼り合せの前の表面荒れや反りの発生も防止できる。したがって、サポート基板を必要とせず、基板同士の貼り合せの前の表面荒れや反りの発生も防止できると共に、高段差のエッチングも良好に行って貫通電極構造を形成することができる。

[0015] 本開示の第三の態様によれば、上記第二の態様による半導体装置の製造方法の穴を形成することにおいて、穴の口径を貫通孔の口径よりも小さく形成することを特徴としている。

[0016] このような穴とすれば、穴を通過する第2半導体基板の法線が絶縁膜のうち貫通孔の側壁面上に形成された部分は通らないようにできる。このため、異方性ドライエッチングの際に、貫通孔の側壁にはダメージを与えることなく、絶縁膜のうち貫通孔の底部に位置する部分のみを除去できる。

図面の簡単な説明

[0017] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。図面において、

[図1]本開示の第1実施形態にかかる半導体装置の製造方法により製造される半導体装置の貫通電極構造部分の拡大断面図である。

[図2] (a) ~ (d) は、図1に示す半導体装置の貫通電極構造部分についての製造工程を示した断面図である。

[図3] (a) ~ (d) は、図2 (a) ~ (d) に続く製造工程を示す断面図である。

[図4] (a) ~ (d) は、図3 (a) ~ (d) に続く製造工程を示す断面図である。

[図5]コンタクトホール5 a 近傍の部分拡大図である。

[図6]貫通孔3 a の各部の寸法やマスク材10の各部の寸法の関係を示した断面図である。

[図7] (a) ~ (d) は、他の実施形態にかかる半導体装置の製造方法により製造される半導体装置のエッチング加工部分についての製造工程を示した断面図である。

発明を実施するための形態

[0018] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0019] (第1実施形態)

本開示の第1実施形態について説明する。ここでは、2枚の半導体基板を貼り合せて構成する半導体装置のうちの貫通電極構造の部分についてのみ説明するが、実際には他にも素子などが形成されている。このような貫通電極構造が備えられる様々な半導体装置に対して、本開示を適用することができる。例えば、集積回路を形成した半導体基板に対して、配線パターンを構成するもう一枚の半導体基板を貼り合わせる半導体装置に対して本開示を適用で

きる。また、加速度センサのようなMEMS構造のセンサが形成された半導体基板の表面に、キャップを構成する半導体基板を貼り合わせる半導体装置に対しても本開示を適用できる。

[0020] まず、図1を参照して、本実施形態にかかる半導体装置の製造方法により製造された半導体装置における貫通電極構造について説明する。

[0021] 図1に示すように、集積回路やMEMS構造のセンサなどが形成された第1半導体基板1の表面に、酸化膜などで構成された絶縁膜2を介して第2半導体基板3が貼り合わされている。第1半導体基板1および第2半導体基板3には、例えばシリコン基板が用いられている。

[0022] 第1半導体基板1の表面には接続部4が形成されており、絶縁膜2のうち接続部4と対応する位置に形成されたコンタクトホール2aを通じて接続部4が絶縁膜2から露出させられている。接続部4は、第1半導体基板1の所望部位に電氣的に接続される部分である。例えば、第1半導体基板1に対して集積回路などが備えられる場合には、接続部4は、第1半導体基板1の表面において集積回路から引き出された配線パターンに繋がるパッド等とされる。また、例えば、第1半導体基板1に対してMEMS構造のセンサなどが備えられる場合には、接続部4は、MEMS構造の各部、例えば可動電極および固定電極を有する加速度センサ等の場合であれば固定電極もしくは可動電極との電氣的接続を図る拡散層等とされる。拡散層等は、一般的にはMEMS構造の各部まで延設されることで電氣的に接続されるが、不純物がドーピングされた第1半導体基板1そのものを配線として用いる場合もある。その場合には拡散層にて構成される接続部4は、第1半導体基板1を介してMEMS構造の各部に接続される。

[0023] 第2半導体基板3には、接続部4と対応する位置において、表裏を貫通する貫通孔3aが形成されている。上記した絶縁膜2に形成されたコンタクトホール2aは、この貫通孔3aと対応する位置に形成されている。

[0024] 第2半導体基板3のうちの貫通孔3aの内壁面を含む表面および接続部4の露出表面は、絶縁膜5で覆われている。この絶縁膜5のうち接続部4と対

応する位置にもコンタクトホール 5 a が形成されている。このため、貫通孔 3 a 内において、コンタクトホール 5 a を通じて接続部 4 が絶縁膜 5 から露出した状態となっている。

[0025] 貫通孔 3 a やコンタクトホール 5 a 内を含めた絶縁膜 5 の表面に対して金属にて構成された導体層 6 がパターンニングされている。この導体層 6 がコンタクトホール 5 a を通じて接続部 4 に接触させられることにより、導体層 6 を通じて、第 2 半導体基板 3 の表面側から接続部 4 に対しての電氣的接続が行える。このため、貫通孔 3 a やコンタクトホール 2 a、5 a を通じて、第 2 半導体基板 3 のうち第 1 半導体基板 1 と反対側の表面から第 1 半導体基板 1 に備えられた接続部 4 の電位引き出しが可能となっている。

[0026] なお、必要に応じて、導体層 6 の表面を覆うようにパッシベーション膜 7 が形成されており、導体層 6 および第 1 半導体基板 1 に形成された素子等の保護が図られる。この場合には、所望位置においてパッシベーション膜 7 が除去されて導体層 6 が露出させられ、その露出箇所をパッドとして接続部 4 からの電位引き出しを行うことが可能とされる。

[0027] 続いて、上記のように構成される半導体装置の製造方法について、図 2 (a) ~ 図 4 (d) を参照して説明する。なお、ここでも半導体装置のうちの貫通電極構造の部分についてのみ図示しているが、実際には他にも素子などが形成される。

[0028] [図 2 (a) に示す工程]

まず、周知の手法により集積回路や MEMS 構造のセンサなどの素子および接続部 4 を形成した第 1 半導体基板 1 を用意する。また、第 2 半導体基板 3 を用意し、第 2 半導体基板 3 の裏面、つまり第 1 半導体基板 1 と貼り合わされる側の一面に絶縁膜 2 を形成する。例えば、熱酸化などによる酸化膜を形成することで、第 2 半導体基板 3 の裏面に絶縁膜 2 を形成している。そして、第 1 半導体基板 1 の表面、つまり接続部 4 が形成された側の一面の上に、第 2 半導体基板 3 を配置し、絶縁膜 2 を介して第 1 半導体基板 1 および第 2 半導体基板 3 を例えば直接接合によって貼り合わせる。そして、必要に応じ

て第2半導体基板3を表面から研削研磨することで、貫通電極構造の形成に適した厚みに調整する。例えば、第2半導体基板3を数十～200 μm （例えば100 μm ）程度の厚みに設定すると好ましい。

[0029] 〔図2（b）に示す工程〕

第2半導体基板3の表面に、貫通孔3aの形成予定領域が開口するエッチングマスク（図示せず）を配置する。そして、そのエッチングマスクを用いて第2半導体基板3をエッチングすることで第2半導体基板3の表裏を貫通する貫通孔3aを形成すると共に、絶縁膜2にコンタクトホール2aを形成する。貫通孔3aについては、貫通孔3aの側壁面が第2半導体基板3の表面に対して垂直方向となるように形成しても良いが、第2半導体基板3の表面から裏面に進むにしたがって開口面積が徐々に縮小された順テーパ形状となるようにするのが望ましい。このようにすることで、後工程において絶縁膜5や導体層6などを貫通孔3a内に成膜するとき、貫通孔3aの側壁面上への膜付きが良好になるようにできる。

[0030] 貫通孔3aを順テーパにする手法は従来から知られているため詳細については省略するが、エッチング条件の設定のみで容易に行える。例えば、第2半導体基板3の表面側での貫通孔3aの口径が50～150 μm 程度となるように設定し、テーパ角度、つまり第2半導体基板3の裏面と貫通孔3aの内壁面との成す角度が70～80°になるようにすると好ましい。

[0031] 〔図2（c）に示す工程〕

CVD法や熱酸化などにより、貫通孔3aの内壁面や貫通孔3aから露出している接続部4の表面を含めて第2半導体基板3の表面に絶縁膜5を成膜する。このときに、CVD法を用いる場合であっても、上記したように貫通孔3aの内壁面が順テーパ形状となるようにしてあれば、膜付き良く貫通孔3aの内壁面上にも絶縁膜5が形成されるようにできる。

[0032] 〔図2（d）に示す工程〕

感光性レジストのスピンコーティングまたはドライフィルム貼り付け等により、第2半導体基板3の表面にテンティング法による成膜を行うことでマ

スク材 10 (第 1 マスク材) を形成する。このときのマスク材 10 は、貫通孔 3 a 内は空洞として残しつつ貫通孔 3 a 上において架橋され、貫通孔 3 a 内を含めて母材となる絶縁膜 5 や第 2 半導体基板 3 を覆った構成となる。そして、フォトリソグラフィ工程を経て、マスク材 10 における貫通孔 3 a と対応する位置に貫通孔 3 a の口径よりも小さな、例えば 20 ~ 50 μm 程度の口径の穴 10 a を形成する。マスク材 10 の厚みは任意であるが、フォトリソグラフィ工程における露光前のベーク時に貫通孔 3 a 内に構成される空洞内の気体の熱膨張を押さえ込める程度の厚みにされるように厚み調整している。

[0033] このようなマスク材 10 を構成するレジスト材としては、例えば東京応化工業 (株) 製の PMER P-CT700XP (商品名) を用いることができる。また、必要に応じてこのレジスト材に添加剤を調合することでレジスト材の表面張力を高めて低速スピニング等を行えば、より確実に貫通孔 3 a 内に落ち込むことなく、テンティング状にマスク材 10 を成膜することができる。

[0034] 〔図 3 (a) に示す工程〕

マスク材 10 を用いた異方性ドライエッチングにて絶縁膜 5 を部分的に除去することで、絶縁膜 5 に対して基板法線方向において穴 10 a を投影した位置においてコンタクトホール 5 a を形成する。このようなエッチングでは、穴 10 a を通過する第 2 半導体基板 3 の法線が絶縁膜 5 のうち貫通孔 3 a の側壁面上に形成された部分は通らないため、貫通孔 3 a の側壁にはダメージを与えることなく、絶縁膜 5 のうち貫通孔 3 a の底部に位置する部分のみを除去できる。また、このようにしてコンタクトホール 5 a を形成した場合、図 5 に示す拡大図のように、コンタクトホール 5 a の側壁面が丸みを帯びた形状となる。このため、後工程で形成する導体層 6 のコンタクトホール 5 a 内への埋め込み性 (カバレッジ性) を良好にすることが可能となる。

[0035] 〔図 3 (b)、(c) に示す工程〕

図 3 (b) に示すようにマスク材 10 を除去したのち、図 3 (c) に示す

ように金属にて構成される導体層 6 をコンタクトホール 5 a 内を含む絶縁膜 5 の表面全面に成膜する。例えば、スパッタや C V D 法などにより導体層 6 を形成している。

[0036] 〔図 3 (d) に示す工程〕

マスク材 1 0 と同様にテンティング法により、マスク材 1 1 (第 2 マスク材) を成膜する。このときにも、マスク材 1 1 は、貫通孔 3 a 内は空洞として残しつつ貫通孔 3 a 上において架橋され、貫通孔 3 a 内を含めて母材となる導体層 6 や第 2 半導体基板 3 を覆った構成となる。そして、フォトリソグラフィ工程を経て、マスク材 1 1 における導体層 6 の不要部分と対応する位置を除去して開口させる。

[0037] 〔図 4 (a) に示す工程〕

マスク材 1 1 を用いたエッチングにて導体層 6 を部分的に除去することで、導体層 6 をパターンニングする。このようなエッチングでは、マスク材 1 1 にて貫通孔 3 a を覆っていることから、貫通孔 3 a の側壁にはダメージを与えることなく導体層 6 を除去できる。

[0038] 〔図 4 (b)、(c) に示す工程〕

図 4 (b) に示すようにマスク材 1 1 を除去したのち、図 4 (c) に示すように窒化膜などのパッシベーション膜 7 を貫通孔 3 a 内を含む導体層 6 の表面全面を覆うように成膜する。例えば、スピコート法などによりパッシベーション膜 7 を形成している。

[0039] 〔図 4 (d) に示す工程〕

マスク材 1 0、1 1 と同様にテンティング法により、もう一度マスク材 1 2 (第三マスク材) を成膜する。このときにも、マスク材 1 2 は、貫通孔 3 a 内は空洞として残しつつ貫通孔 3 a 上において架橋され、貫通孔 3 a 内を含めて母材となる導体層 6 などを覆った構成となる。そして、フォトリソグラフィ工程を経て、マスク材 1 2 におけるパッシベーション膜 7 の不要部分と対応する位置を除去して開口させる。その後、マスク材 1 2 を用いたエッチングにより、パッシベーション膜 7 の不要部分を除去し、さらにマスク材

12を除去することで、図1に示した貫通電極構造を有する半導体装置が完成する。

[0040] 以上説明したように、本実施形態では、貫通孔3a上を架橋するようにマスク材10を形成すると共に、マスク材10のうち貫通孔3aと対応する位置に穴10aを形成し、この穴10aを通じて絶縁膜5にコンタクトホール5aを形成している。このような製造方法とすれば、第2半導体基板3の表面から貫通孔3aの底部まで高段差があったとしても、フォトリソグラフィ工程で露光するのは貫通孔3a上に架橋されたマスク材10のみであり、高段差のフォトリソグラフィ工程は必要ない。このため、マスク材10に良好に穴10aを形成できると共に、この穴10aを通じた異方性ドライエッチングにて高段差のエッチングでも良好にコンタクトホール5aを形成できる。したがって、実現が難しい高段差のフォトリソグラフィ・エッチング工程（フォトリソグラフィ工程と高段差のエッチング工程）を良好に実現することが可能となる。

[0041] 同様に、導体層6やパッシベーション膜7のパターニングにおいても、マスク材11、12を貫通孔3a上に架橋している。このため、導体層6やパッシベーション膜7の表面から貫通孔3aの底部まで高段差があったとしても、フォトリソグラフィ工程で露光するのは貫通孔3a上に架橋されたマスク材11、12のみであり、高段差はない。よって、上記と同様、実現が難しい高段差のフォトリソグラフィ・エッチング工程を良好に実現できる。

[0042] したがって、良好に貫通電極構造を形成することができる。そして、このような半導体装置の製造方法では、貫通孔3aを形成する前に、第1半導体基板1と第2半導体基板3とを貼り合わせている。このため、従来のようにサポート基板を用いる必要もないし、基板同士の貼り合せの前の表面荒れや反りの発生も防止することが可能となる。よって、サポート基板を必要とせず、基板同士の貼り合せの前の表面荒れや反りの発生も防止できると共に、高段差のエッチングも良好に行って貫通電極構造を形成することができる。

[0043] また、貫通孔3aの口径や第2半導体基板3の裏面と貫通孔3aの内壁面

との成すテーパ角、マスク材 10 における穴 10 a の口径、貫通孔 3 a が形成される第 2 半導体基板 3 の厚み、つまり貫通孔 3 a の深さの好ましい設定値を上述した値としている。この理由について、図 6 を参照して説明する。

[0044] 上記したように、穴 10 a の口径を貫通孔 3 a の口径よりも小さくすることで、穴 10 a を通過する第 2 半導体基板 3 の法線が絶縁膜 5 のうち貫通孔 3 a の側壁面上に形成された部分は通らないため、エッチング時に貫通孔 3 a の側壁にはダメージを与えないで済む。ただし、実際には、図 5 において説明したように、絶縁膜 5 のうち貫通孔 3 a の底部に位置する部分を除去してコンタクトホール 5 a を形成する場合に、コンタクトホール 5 a の側壁面が丸みを帯びた形状となる。これは、テンティング状にマスク材 10 を配置していて、貫通孔 3 a 内に空洞が残った状態になっているために、図 6 に示すように、コンタクトホール 5 a を形成する際のエッチングが放射状に広がりながら行われるからである。

[0045] このようにエッチングが放射状に広がりながら行われることから、上記したように導体層 6 のコンタクトホール 5 a 内への埋め込み性を良好にすることが可能になる。しかしながら、その反面、エッチングが放射状に広がって行われるため、貫通孔 3 a の口径が狭すぎたり、貫通孔 3 a のテーパ角によっては、貫通孔 3 a の側面上に形成された絶縁膜 5 までエッチングされてしまう。したがって、貫通孔 3 a およびマスク材 10 に形成する穴 10 a の口径や貫通孔 3 a のテーパ角については、貫通孔 3 a の側壁面に形成される絶縁膜 5 がエッチングされないように設定される必要がある。これら貫通孔 3 a および穴 10 a の口径については、次のように求めることができる。

[0046] まず、貫通孔 3 a の開口側の口径（第 1 半導体基板 1 と反対側表面における口径）を L_1 、貫通孔 3 a のうちの第 1 半導体基板 1 側の口径を L_2 、穴 10 a の口径を L_3 とする。また、貫通孔 3 a のテーパ角を α 、エッチングの広がり角を β 、貫通孔 3 a の深さ、本実施形態の場合は第 2 半導体基板 3 の厚みを D_1 、貫通孔 3 a の外側における絶縁膜 5 の表面から第 2 半導体基板 3 のうちの第 1 半導体基板 1 側の面までの距離を D_2 とする。

[0047] このように定義すると、貫通孔 3 a の深さ D 1 については数式 1 で表すことができる。また、数式 1 中における貫通孔 3 a のうちの第 1 半導体基板 1 側の口径 L 2 については数式 2 で表すことができる。

[0048] (数 1)

$$D 1 = (L 1 - L 2) / 2 \tan \alpha$$

(数 2)

$$L 2 = L 1 - 2 D 1 / \tan \alpha$$

また、貫通孔 3 a のうちの第 1 半導体基板 1 側の端での絶縁膜 5 のエッチング口径が貫通孔 3 a のうちの第 1 半導体基板 1 側の口径 L 2 未満である必要があることから、数式 3 が導出される。また、距離 D 2 はほぼ第 2 半導体基板 3 の厚み D 1 と等しい ($D 1 \cong D 2$) ことから、D 2 を D 1 と置き換えることができる。

[0049] (数 3)

$$L 2 \geq L 3 + 2 D 2 \tan \beta (\cong L 3 + 2 D 1 \tan \beta)$$

そして、エッチングの広がり角 β については、エッチング条件などに応じて決まる定数である。したがって、エッチング条件に応じて決まる広がり角 β を加味しつつ、上記数式 1 ~ 3 を満たすように、貫通孔 3 a の深さ D 1、各口径 L 1 ~ L 3 を設定することで、貫通孔 3 a の側壁面に形成された絶縁膜 5 までエッチングされないようにすることができる。

[0050] ただし、貫通孔 3 a の開口側および貫通孔 3 a のうちの第 1 半導体基板 1 側の口径 L 1、L 2 が大きければ上記効果を得ることができるものの、開口側の口径 L 1 が大き過ぎると、マスク材 1 0 を架橋したときに貫通孔 3 a 内にマスク材 1 0 の一部が入り込むなどの問題が発生し得る。また、同様に、開口側の口径 L 1 が大き過ぎると露光前のベーク時に貫通孔 3 a 内に構成される空洞内の気体の熱膨張を押さえ込むのが困難になる。これらのことを考慮して、貫通孔 3 a の開口側 L 1 の上限値を設定するのが好ましい。

[0051] このようにして各値を設定すると良い。例えば、上記したように、第 2 半導体基板 3 の厚み、つまり貫通孔 3 a の深さ D 1 を数十 ~ 200 μm とする

場合、貫通孔 3 a の開口側の口径 L_1 が $50 \sim 150 \mu\text{m}$ 、テーパ角 α が $70 \sim 80^\circ$ 、穴 10 a の口径 L_3 が $20 \sim 50 \mu\text{m}$ とすると好ましい。

[0052] (他の実施形態)

上記実施形態では、図 1 に示すように、導体層 6 が第 2 半導体基板 3 の表面に延設される構成、例えば導体層 6 にて配線パターンを構成するような形態を示したが、導体層 6 が貫通孔 3 a の周囲にのみ残されたパッドを構成するような形態とされても良い。

[0053] また、上記実施形態では、半導体装置の一例として集積回路や MEMS 構造が備えられるものを例に挙げたが、これも単なる一例に過ぎず、他の素子が形成されたものであっても良い。すなわち、第 1、第 2 半導体基板 1、3 が貼り合わされ、第 2 半導体基板 3 の表面から第 1 半導体基板 1 側に貫通させられる貫通孔 3 a を通じて第 1 半導体基板 3 に備えられる接続部 4 の電位引き上げを行う半導体装置であれば、どのようなものでも良い。

[0054] さらに、上記実施形態では、高段差のフォトリソグラフィ・エッチング工程が必要になる場合の一例として、第 1、第 2 半導体基板 1、3 を張り合わせた多層構造の半導体装置における貫通電極構造を例に挙げた。つまり、絶縁膜 2 を介して貼り合わされた 2 枚の半導体基板 1、3 にて一体化した半導体基板を構成し、その一面側（第 2 半導体基板 3 側）に貫通孔 3 a により構成された凹部が備えられる構造において、凹部内に薄膜として絶縁膜 5 が備えられる構造を例に挙げた。しかしながら、他にも高段差のフォトリソグラフィ・エッチング工程が必要とされ得る。

[0055] すなわち、一面側に凹部が形成された半導体基板を用意し、凹部の底部の所望位置において凹部内に配置した薄膜をエッチングする工程を行う場合において、高段差のフォトリソグラフィ・エッチング工程が必要になる。この場合にも、以下の工程を順に行うことで、第 1 実施形態と同様の効果が得られる。まず、図 7 (a) に示すように、半導体基板 20 を用意したのち、図 7 (b) に示すように、半導体基板 20 の一面に凹部 20 a を形成する工程を行う。そして、図 7 (c) に示すように、凹部 20 a の内壁面に薄膜 21

を形成する工程を行った後、図 7（d）に示すように、凹部 20 a 上を架橋するように、薄膜 21 上にマスク材 22 を配置する工程を行う。そして、フォトリソグラフィによりマスク材 22 のうち凹部 20 a と対応する位置に穴 22 a を形成する工程を行った後、この穴 22 a を通じて異方性のドライエッチングにより、穴 22 a を通じ、穴 22 a と対応する位置において薄膜 21 を除去する工程を行う。このようにすれば、凹部 20 a の底面において、薄膜 21 をエッチング加工することができ、実現が難しい高段差のフォトリソグラフィ・エッチング工程を良好に実現することが可能となる。

[0056] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1]

一面側に凹部（3 a、2 0 a）が形成された半導体基板（1 ～ 3、2 0）を用意することと、

前記凹部の内壁面に薄膜（5、2 1）を形成することと、

前記薄膜を形成したのち、前記凹部内を空洞として残しつつ該凹部上を架橋するように、前記薄膜の上にマスク材（1 0、2 2）を配置することと、

フォトリソグラフィにより、前記第 1 マスク材のうち前記凹部と対応する位置に穴（1 0 a、2 2 a）を形成することと、

前記マスク材を用いた異方性ドライエッチングにより、前記穴を通じて該穴と対応する位置において前記薄膜を除去する加工を行うことと、を含んでいることを特徴とする半導体装置の製造方法。

[請求項2]

一面側に素子に接続される接続部（4）を有する第 1 半導体基板（1）と、

前記第 1 半導体基板の前記一面側に貼り合わされた第 2 半導体基板（3）とを有し、

前記第 2 半導体基板が、前記第 1 半導体基板と反対側の表面から該第 2 半導体基板に形成した貫通孔（3 a）と、前記貫通孔内に配置され前記接続部に接続された導体層（6）とを有する貫通電極構造を備える半導体装置の製造方法であって、

前記素子および前記接続部を形成した前記第 1 半導体基板を用意することと、

前記第 1 半導体基板の前記一面側に前記第 2 半導体基板を貼り合わせることと、

前記第 1 半導体基板に貼り合わせた後に、前記第 2 半導体基板のうち前記接続部と対応する位置において、前記第 1 半導体基板と反対側の表面より前記第 2 半導体基板をエッチングすることで、前記貫通孔を形成することと、

前記貫通孔の内壁面および該貫通孔において露出させられた前記接続部を含め、前記第2半導体基板の表面に絶縁膜（5）を形成することと、

前記絶縁膜を形成したのち、前記貫通孔内を空洞として残しつつ該貫通孔上を架橋するように、前記絶縁膜の上に第1マスク材（10）を配置することと、

フォトリソグラフィにより、前記第1マスク材のうち前記貫通孔と対応する位置に穴（10a）を形成することと、

前記第1マスク材を用いた異方性ドライエッチングにより、前記穴を通じて該穴と対応する位置において前記絶縁膜を除去し、前記接続部を露出させて前記導体層と接触させるためのコンタクトホール（5a）を形成することと、を含んでいることを特徴とする半導体装置の製造方法。

[請求項3] 前記穴を形成することでは、前記穴の口径を前記貫通孔の口径よりも小さく形成することを特徴とする請求項2に記載の半導体装置の製造方法。

[請求項4] 前記貫通孔を形成することでは、前記第2半導体基板における前記第1半導体基板と反対側の表面から離れるにつれて開口面積が徐々に縮小される順テーパ形状にて前記貫通孔を形成することを特徴とする請求項2または3に記載の半導体装置の製造方法。

[請求項5] 前記コンタクトホールを形成することの後で、前記コンタクトホール内を含め前記絶縁膜の表面に前記導体層を成膜することで、前記コンタクトホールを通じて前記導体層と前記接続部とを接触させること、を含んでいることを特徴とする請求項2ないし4のいずれか1つに記載の半導体装置の製造方法。

[請求項6] 前記導体層を形成したのち、前記貫通孔内を空洞として残しつつ該貫通孔上を架橋するように、前記導体層の上に第2マスク材（11）を配置することと、

フォトリソグラフィにより、前記第2マスク材のうち前記導体層の不要部分と対応する位置を開口させることと、

前記第2マスク材を用いたエッチングにより、前記導体層の不要部分を除去して該導体層をパターンニングすることと、を含んでいることを特徴とする請求項5に記載の半導体装置の製造方法。

[請求項7] 前記導体層をパターンニングした後で、前記導体層の上にパッシベーション膜（7）を成膜することと、

前記パッシベーション膜を形成したのち、前記貫通孔内を空洞として残しつつ該貫通孔上を架橋するように、前記パッシベーション膜の上に第3マスク材（12）を配置することと、

フォトリソグラフィにより、前記第3マスク材のうち前記パッシベーション膜の不要部分と対応する位置を開口させることと、

前記第3マスク材を用いたエッチングにより、前記パッシベーション膜の不要部分を除去して該パッシベーション膜をパターンニングすることと、を含んでいることを特徴とする請求項6に記載の半導体装置の製造方法。

[請求項8] 素子および接続部（4）を有する第1半導体基板を用意することと、

前記第1半導体基板の一面側に第2半導体基板を貼り合わせることと、

前記第2半導体基板を貼り合わせることの後に、前記第2半導体基板のうち前記接続部と対応する位置において、前記第1半導体基板と反対側の表面より前記第2半導体基板をエッチングすることで、貫通孔（3a）を形成することと、

前記貫通孔の内壁面、該貫通孔において露出させられた前記接続部、および前記第2半導体基板の表面に絶縁膜（5）を形成することと、

前記絶縁膜を形成したのち、前記貫通孔内を空洞として残しつつ該

貫通孔上を架橋するように、前記絶縁膜の上にマスク材（10）を配置することと、

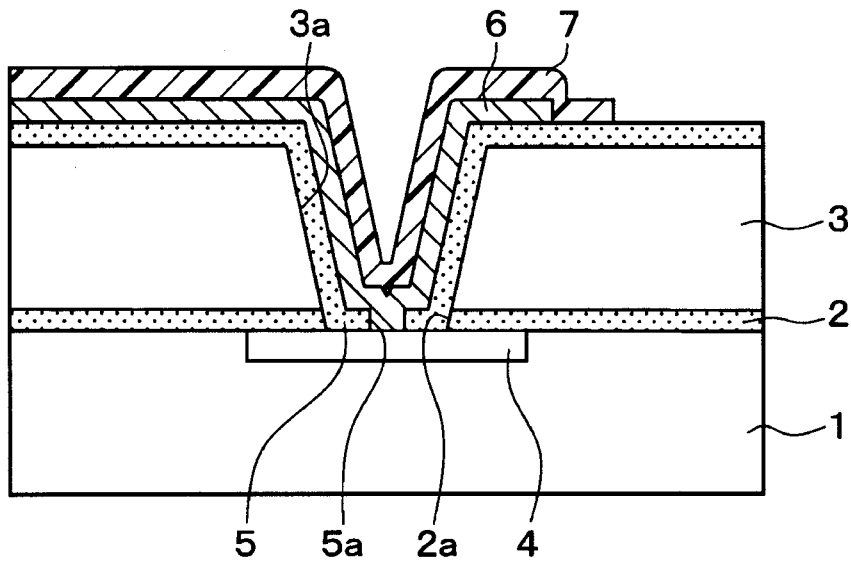
フォトリソグラフィにより、前記マスク材のうち前記貫通孔と対応する位置に穴（10a）を形成することと、

前記マスク材を用いた異方性ドライエッチングにより、前記穴を通じて該穴と対応する位置において前記絶縁膜を除去し、前記接続部を露出させるようコンタクトホール（5a）を形成することと、を含んでいることを特徴とする半導体装置の製造方法。

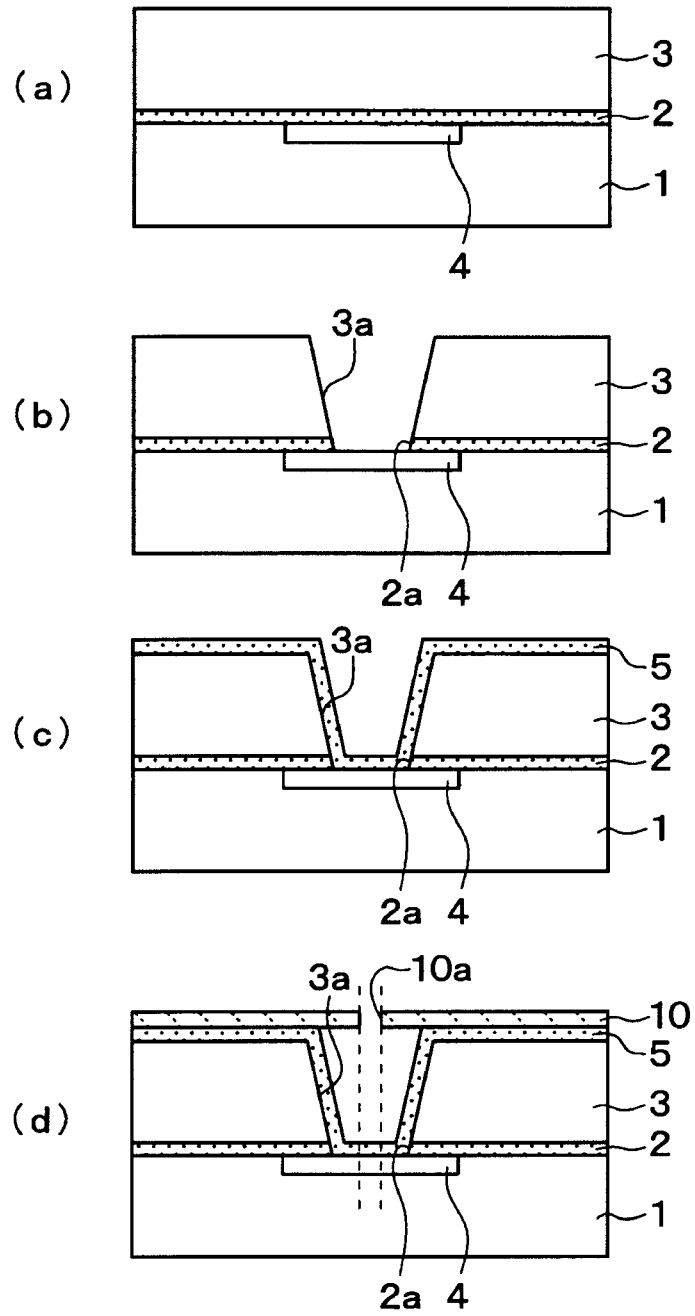
[請求項9]

前記コンタクトホールを形成することの後で、前記コンタクトホール内を含め前記絶縁膜の表面に導体層（6）を成膜することで、前記コンタクトホールを通じて前記導体層と前記接続部とを接触させること、を含んでいることを特徴とする請求項8に記載の半導体装置の製造方法。

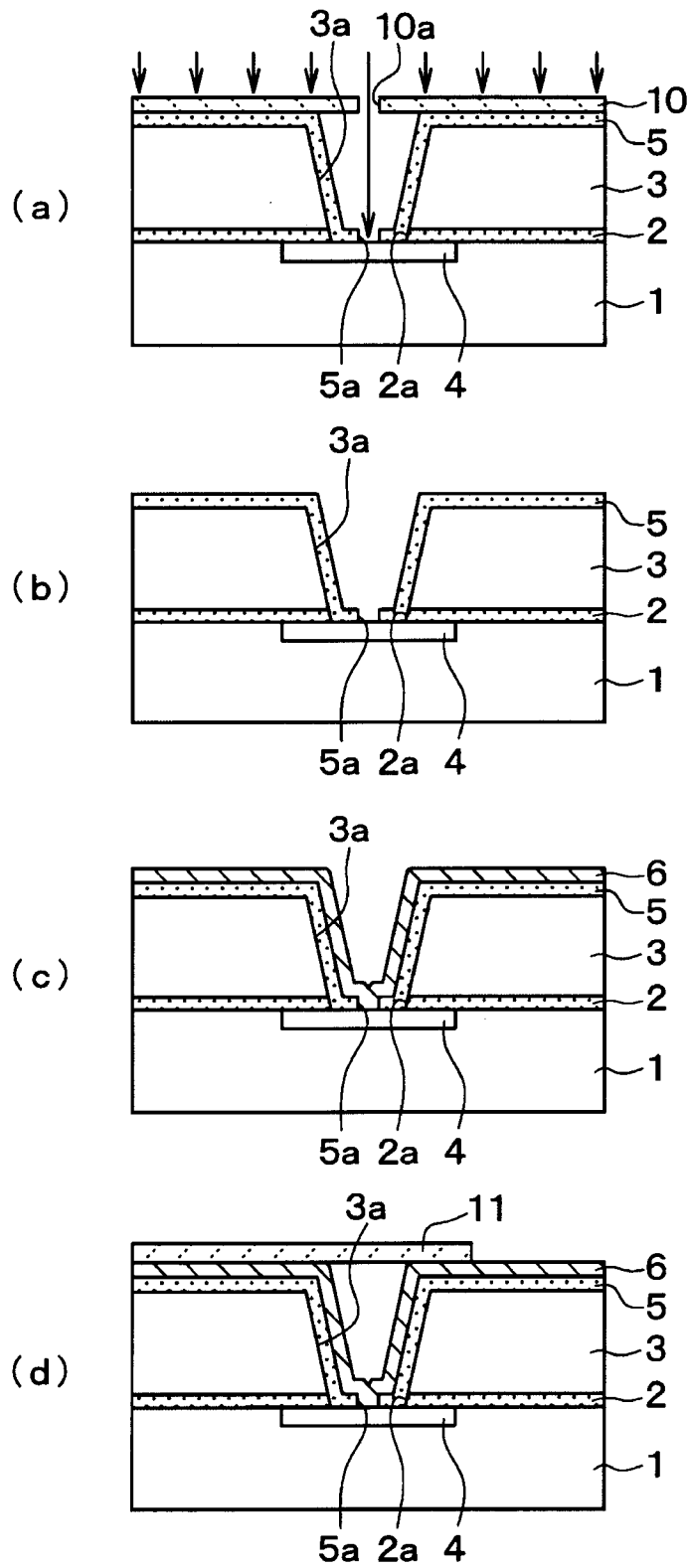
[図1]



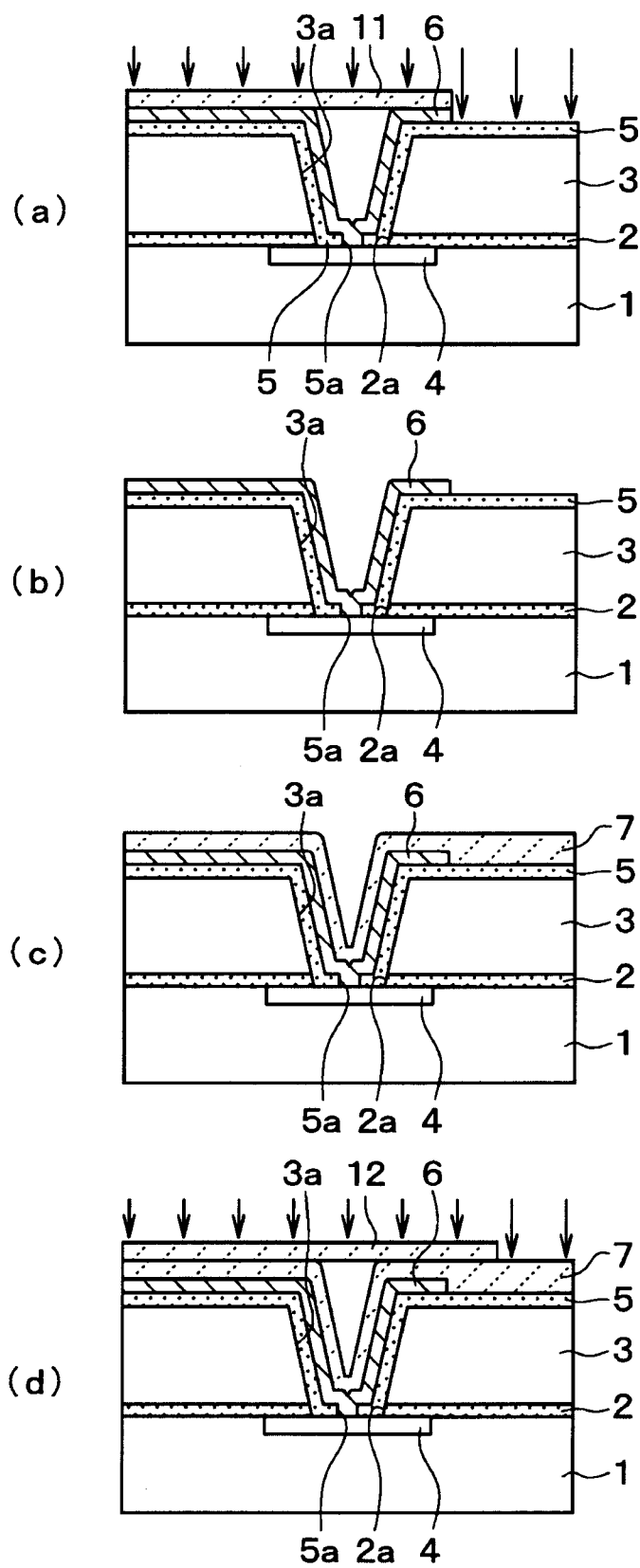
[図2]



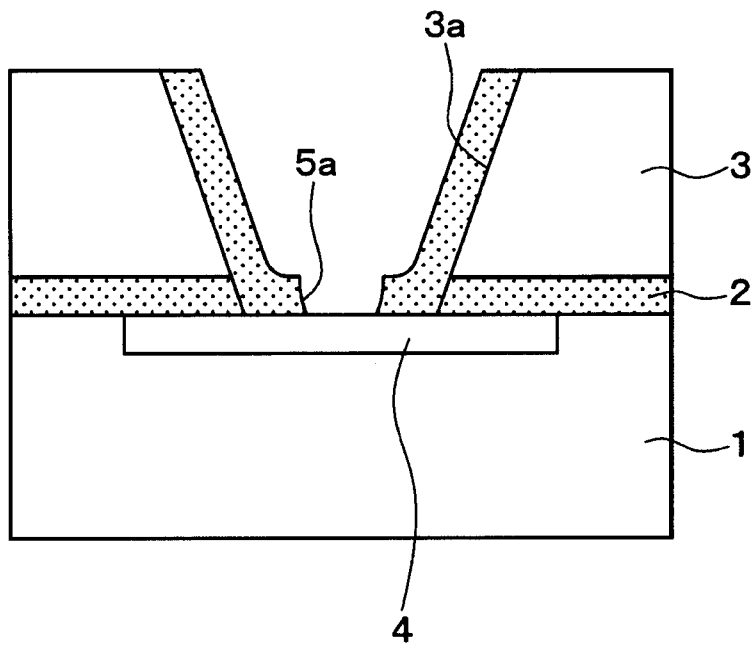
[図3]



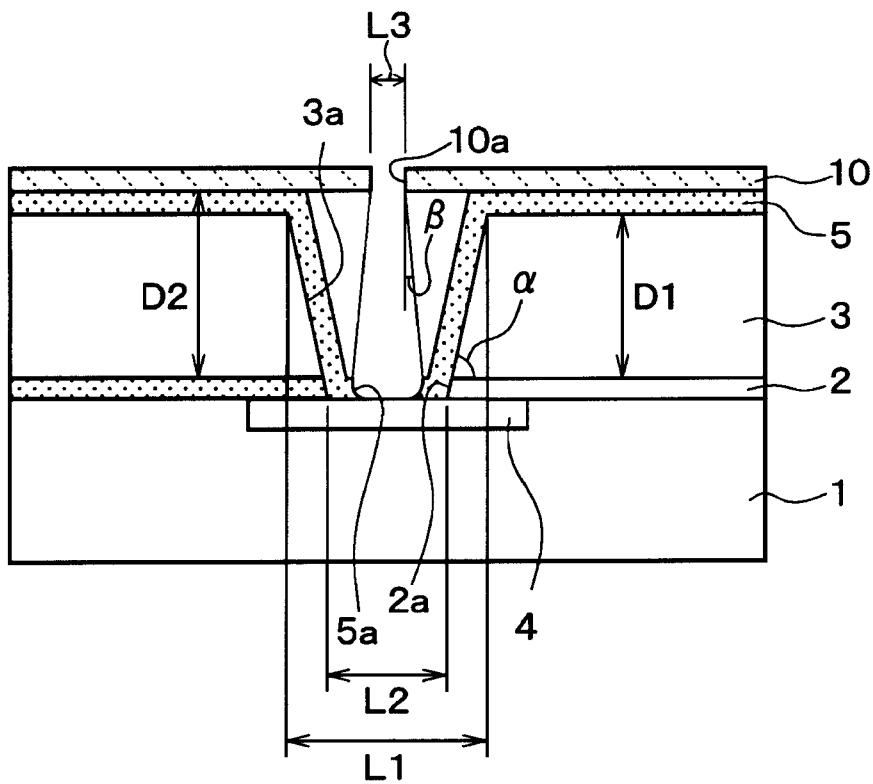
[図4]



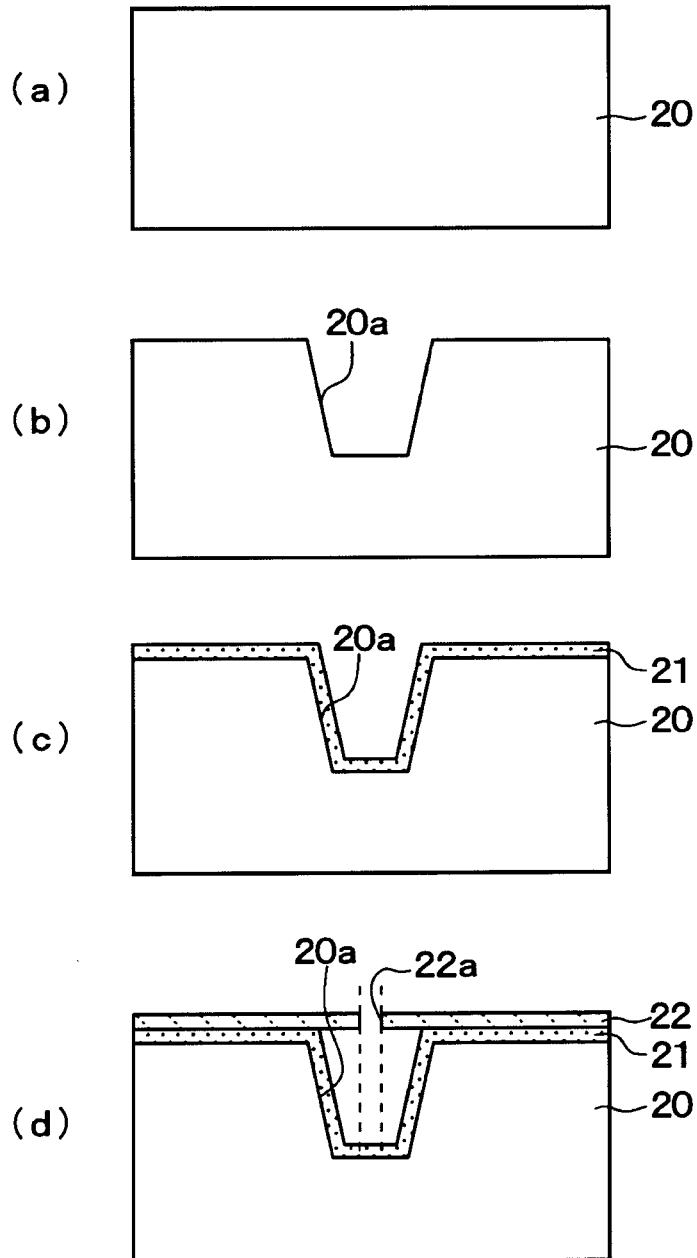
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/005185

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/3065(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/3065, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2004/064159 A1 (Fujitsu Ltd.), 29 July 2004 (29.07.2004), page 11, line 3 to page 15, line 6; fig. 7 & US 2005/0167812 A1	1-5, 8-9 6-7
A	JP 2010-232400 A (Panasonic Corp.), 14 October 2010 (14.10.2010), entire text (Family: none)	1-9
A	JP 2010-114201 A (Oki Semiconductor Co., Ltd.), 20 May 2010 (20.05.2010), entire text (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 October, 2013 (02.10.13)

Date of mailing of the international search report
15 October, 2013 (15.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/005185

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-237594 A (Sanyo Electric Co., Ltd.), 07 September 2006 (07.09.2006), entire text & US 2006/0180933 A1 & EP 1686622 A2 & KR 10-2006-0088047 A & CN 1828883 A & TWB 00I313914	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/3205(2006.01)i, H01L21/3065(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3205, H01L21/3065, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2004/064159 A1（富士通株式会社）2004.07.29, 第11頁第3行-第15頁第6行, 第7図 & US 2005/0167812 A1	1-5, 8-9 6-7
A	JP 2010-232400 A（パナソニック株式会社）2010.10.14, 全文（ファミリーなし）	1-9
A	JP 2010-114201 A（OKIセミコンダクタ株式会社）2010.05.20, 全文（ファミリーなし）	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 1 0 . 2 0 1 3

国際調査報告の発送日

1 5 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

河合 俊英

5 F

3 2 3 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-237594 A (三洋電機株式会社) 2006.09.07, 全文 & US 2006/0180933 A1 & EP 1686622 A2 & KR 10-2006-0088047 A & CN 1828883 A & TWB 00I313914	1-9