

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年3月15日 (15.03.2007)

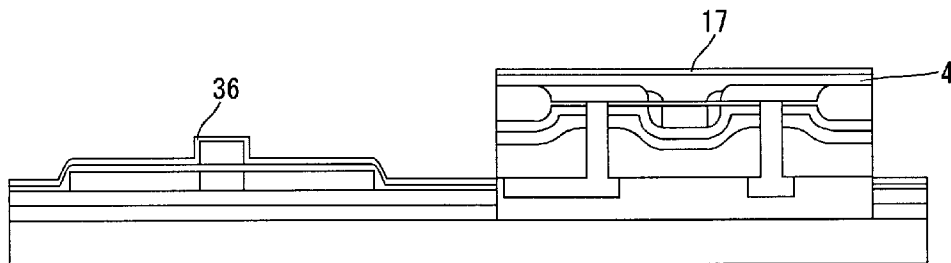
PCT

(10) 国際公開番号
WO 2007/029389 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) H01L 27/12 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2006/311957
- (22) 国際出願日: 2006年6月14日 (14.06.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-257040 2005年9月5日 (05.09.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 富安一秀 (TOMIYASU, Kazuhide) [JP/—].
- (74) 代理人: 安富康男, 外 (YASUTOMI, Yasuo et al.); 〒5320003 大阪府大阪市淀川区宮原3丁目5番36号 新大阪MT-2ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME, AND DISPLAY

(54) 発明の名称: 半導体装置及びその製造方法並びに表示装置



(57) Abstract: Disclosed is a semiconductor device which can be manufactured by a simple and low-cost process while effectively realizing higher performance and lower power consumption. Also disclosed are a method for manufacturing such a semiconductor device and a display obtained by using them. Specifically disclosed is a semiconductor device wherein a pixel portion provided with a switching element having a gate electrode and an integrated circuit portion having a semiconductor layer on a gate electrode are arranged on a same substrate. In this semiconductor device, a protective film is formed on the gate electrode of the pixel portion.

(57) 要約: 本発明は、簡便かつ安価なプロセスにより製造することができ、しかも高性能化及び低消費電力化を効果的に実現することができる半導体装置及びその製造方法、並びに、それらを用いて得られる表示装置を提供する。本発明は、同一基板上に、ゲート電極を有するスイッチング素子を備える画素部と、ゲート電極上に半導体層を有する集積回路部とが配置された半導体装置であって、上記半導体装置は、画素部のゲート電極上に保護膜が設けられている半導体装置である。



WO 2007/029389 A1

明 細 書

半導体装置及びその製造方法並びに表示装置

技術分野

- [0001] 本発明は、半導体装置及びその製造方法並びに表示装置に関する。より詳しくは、画素とドライバとが同一基板上に設けられ、液晶表示装置、有機エレクトロルミネセンス表示装置等の表示装置に用いられるアクティブマトリクス基板に好適な半導体装置及びその製造方法、並びに、それらを用いて得られる表示装置に関するものである。

背景技術

- [0002] 半導体装置は、半導体の電気特性を利用した能動素子を備えた電子装置であり、例えば、オーディオ機器、通信機器、コンピュータ、家電機器等に広く応用されている。中でも、薄膜トランジスタ(以下「TFT」ともいう)、MOS(Metal Oxide Semiconductor)トランジスタ等の3端子能動素子を備えた半導体装置は、アクティブマトリクス型液晶表示装置(以下「液晶ディスプレイ」ともいう)等の表示装置において、画素毎に設けられたスイッチング素子、各画素を制御する制御回路等として利用され、表示装置の高精細化及び高速動画表示を可能にしている。
- [0003] 近年、表示装置に関する技術として、駆動回路、制御回路といった周辺ドライバ回路等と画素部とを一体化した液晶ディスプレイ、いわゆるモノリシック液晶ディスプレイ(以下「システム液晶」ともいう)が注目されている(例えば、特許文献1、2参照)。このようなシステム液晶に用いられる半導体装置によれば、同一基板上に、画素部のスイッチング素子と周辺ドライバ回路とを同時に形成するため、部品点数を大幅に削減することができるとともに、液晶ディスプレイの組立工程や検査工程を削減することができるので、製造コストの削減及び信頼性の向上が可能となる。
- [0004] 液晶表示装置等の表示装置については、低消費電力化、画像表示の高精細化及び高速化といった高性能化が強く求められている。また、システム液晶における周辺ドライバの省スペース化についても求められている。
- このため、表示装置に利用される半導体装置に対しては、各素子の更なる微細化が強く求められ、限られた面積に多くの素子を形成するために、周辺ドライバ回路では

、サブミクロンオーダーのデザインルール、すなわち集積回路(以下「IC」ともいう)レベルの微細なパターン精度が要求されている。また、周辺ドライバ回路を構成する半導体素子には、半導体層のキャリアの移動度を高くすることも要求されており、これを実現するためにも素子の微細化が必要となる。

[0005] しかしながら、従来のガラス基板上に直接半導体装置を形成する製造プロセスでは、ガラス基板の耐熱性が充分ではないために、製造プロセス中の熱処理工程でガラス基板に歪みが生じてしまうおそれがあり、サブミクロンオーダーでは所望の回路パターンを形成することができないことがあった。また、システム液晶等の液晶表示装置の製造に使用されるガラス基板の大きさは大型化が進んでおり、製造プロセス中のガラス基板面内における歪みはより生じやすくなっていた。

[0006] これに対し、電気絶縁物上に設けられた単結晶シリコン層にドライバ集積回路を形成したSOI(Silicon On Insulator)基板を用い、液晶ディスプレイの基板上にドライバ集積回路を転写する技術が開示されている(例えば、特許文献3参照)。これによれば、MIS(Metal Insulator Semiconductor)等の半導体素子を含む集積回路の形成に従来のICチップ作製工程を用いることが可能なため、サブミクロンオーダーの所望の回路デザインを有する微細かつ高性能な集積回路を備えた半導体装置を実現することができる。しかしながら、SOI基板を作製するための工程が別途必要であり、製造プロセスが複雑化することや、製造コストが高くなるといった点で改善の余地があった。

このように、システム液晶の周辺ドライバ等に用いられる集積回路については、簡便な製造プロセスで、安価に製造することが求められるとともに、素子及び回路パターンの微細化等により、高性能化及び低消費電力化を実現することが求められていた。

特許文献1:特開平6-37313号公報

特許文献2:特開2000-36598号公報

特許文献3:特開平6-75244号公報

発明の開示

発明が解決しようとする課題

[0007] 本発明は、上記現状に鑑みてなされたものであり、簡便かつ安価なプロセスにより製造することができ、しかも高性能化及び低消費電力化を効果的に実現することができる半導体装置及びその製造方法、並びに、それらを用いて得られる表示装置を提供することを目的とするものである。

課題を解決するための手段

[0008] 本発明者は、システム液晶等に用いられる同一基板上に画素部及び集積回路部を備える半導体装置の製造プロセスについて種々検討したところ、単結晶半導体ウェハに形成した集積回路チップ(ICチップ)を基板上に転写する技術によれば、簡便かつ安価な製造プロセスにより、集積回路部の微細化が可能であることに着目した。しかしながら、そのような技術を用いた場合には、転写により形成された集積回路部の半導体層をエッチング等により薄膜化して個々の半導体素子のチャネル領域を分離する際に、画素部の半導体薄膜上に形成されたゲート電極が損傷してしまうことが分かった。そこで、本発明者は更に検討を行ったところ、画素部のゲート電極上に保護膜を設けることにより、画素部のゲート電極の損傷を抑制しながら、集積回路部の半導体層をエッチング等により薄膜化できることを見いだした。そして、これにより、単結晶半導体ウェハに形成した集積回路チップを基板上に転写する技術を用いて、半導体装置の高性能化及び低消費電力化を効果的に実現することができることを見いだし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

[0009] すなわち、本発明は、基板上に、半導体薄膜上に形成されたゲート電極を有するスイッチング素子を備える画素部と、ゲート電極上に半導体層を有する集積回路部とが配置された半導体装置であって、上記半導体装置は、画素部のゲート電極上に保護膜が設けられている半導体装置である。

以下に本発明を詳述する。

[0010] 本発明の半導体装置は、基板上に、半導体薄膜上に形成されたゲート電極を有するスイッチング素子を備える画素部と、ゲート電極上に半導体層を有する集積回路部とが配置される。すなわち、本発明の半導体装置は、基板上に画素部と集積回路部とが配置され、画素部は、半導体薄膜及びゲート電極(画素部ゲート)が基板側からこ

の順に配置された構成を有するものであり、集積回路部は、ゲート電極(集積回路部ゲート)及び半導体層が基板側からこの順に配置された構成を有するものである。なお、半導体薄膜及び画素部ゲートの間には、通常、ゲート絶縁膜が介設され、また、集積回路部ゲート及び半導体層の間には、通常、ゲート酸化膜が介設される。また、集積回路部は、通常、半導体素子が形成された半導体ウエハの一部(ICチップ)が転写されることによって基板上に配置される。本発明の半導体装置は、このような構成を有することにより、画素部の各スイッチング素子を集積回路部によって、駆動及び制御することができる。また、同一基板上に画素部と集積回路部とを備えることから、部品点数を削減することができるとともに、組立工程及び検査工程を削減することができるので、製造コストの削減及び信頼性の向上が可能になる。

[0011] 上記スイッチング素子は、集積回路部によって駆動及び制御され、ゲート電極に印加される電圧に応じて画素部の各回路のON/OFFを行う半導体素子である。スイッチング素子としては、特に限定されず、MOSTランジスタ、MIM(Metal Insulator Metal)ダイオード、バリスタ等が挙げられるが、性能及び製造コストの観点から3端子能動素子であることが好ましく、なかでも薄膜ランジスタであることがより好ましい。

[0012] 上記画素部のゲート電極の材質としては、ドライエッチング等によるパターニングが容易なものが好ましく、また、熱処理工程におけるヒロック等の塑性変形を抑制するため、融点が2000℃以上の高融点金属が好ましい。具体的には、例えば、タングステン(W)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)等の高融点金属、上記高融点金属の窒化物等が好ましい。また、ゲート電極は、複数の材料からなる積層体としてもよい。

上記ゲート電極の作製方法としては、スパッタ法により金属膜を形成した後、フォトリジスト等をマスクにしてドライエッチングによりパターニングを行う方法等が好適に用いられる。

[0013] 上記半導体装置は、画素部のゲート電極上に保護膜が設けられている。なお、本発明において、保護膜とは、電気絶縁性を有する膜で構成され、集積回路部の半導体層を薄膜化する際に、画素部のゲート電極を保護することが可能なものであればよい。

が、集積回路部の半導体層の薄膜化にはドライエッチング、ウェットエッチング等のエッチングが好適に用いられることから、エッチングに対する保護機能(耐性)を有することが好ましく、なかでもドライエッチングに対する保護機能を有することが好ましい。このような保護膜が設けられることにより、半導体素子が形成された半導体ウエハの一部を転写して集積回路部を形成した後、該集積回路部の半導体層を薄膜化して各半導体素子のチャネル領域の分離を行うような場合に、画素部のゲート電極の損傷を抑制しながら、集積回路部の半導体層をエッチング等により薄膜化することが可能となる。その結果、本発明の半導体装置では、集積回路部を転写により形成することで集積回路部の半導体素子及び回路パターンの微細化が可能となり、また、半導体層を薄膜化することで寄生容量の低減による集積回路部の高速動作、低電圧駆動及び低消費電力化が可能となることから、高性能化及び低消費電力化を効果的に実現することができる。

[0014] 上記保護膜は、保護膜がエッチングされてゲート電極が露出することを十分に抑制する観点から、集積回路部の半導体層に対するエッチングの選択比が、1.5以上の材質からなることが好ましく、2.0以上の材質からなることがより好ましい。ここで、上記選択比とは、ドライエッチングにおいて、エッチングガスとして四フッ化炭素ガス及び酸素ガスの混合ガスを用いた時の保護膜と集積回路部の半導体層とのエッチング速度の比から算出される値である。

なお、本願明細書における「以上」及び「以下」は、当該数値を含むものである。

[0015] 上記保護膜の材質としては、絶縁性の無機材料が好ましく、絶縁性の無機材料としては、例えば、ケイ素酸化物、ケイ素窒化物、ケイ素酸窒化物等が挙げられるが、なかでもケイ酸エチル(TEOS; tetra ethoxy silane)がより好ましい。また、保護膜の形態としては、複数層からなる形態であってもよいが、製造工程の簡略化の観点からは、単層からなる形態が好ましい。

[0016] 上記保護膜の平均膜厚は、50nm以上であることが好ましい。50nm未満であると、半導体層の薄膜化の際等に生じた膜厚ムラのためにゲート電極が露出している可能性がある。より確実にゲート電極の露出を防止する観点からは、150nm以上であることが好ましい。なお、保護膜の平均膜厚の上限としては特に限定されないが、通常、

300nm以下である。

- [0017] 本発明では、保護膜は少なくとも画素部のゲート電極上を被覆していればよいが、例えば、画素部においてゲート絶縁膜上に島状にゲート電極が配置されている場合には、保護膜を画素部のゲート電極とその周囲のゲート絶縁膜との上に設けることで、ゲート絶縁膜の保護を図ることもできる。
- [0018] なお、本発明の半導体装置の構成としては、上述の構成要素を必須として形成されるものである限り、その他の構成要素を含んでいても含んでいなくてもよく、特に限定されるものではない。
- [0019] また、本発明において、上記集積回路部の半導体層は、単結晶シリコンからなることが好ましい。単結晶シリコンは、アモルファスシリコン及び多結晶シリコンに比べてキャリアの移動度が大きいために、集積回路部の高速動作が可能となる。また、集積回路部にCMOSTランジスタを形成することができるため、回路の安定性の確保及び低消費電力化が可能となる。
- [0020] 更に、本発明において、上記半導体装置は、保護膜上に層間絶縁膜が設けられていることが好ましい。これにより、画素部を保護しつつ層間容量を適宜設定することができる。また、上記半導体装置は、画素部の保護膜と集積回路部の半導体層との上に層間絶縁膜が設けられていることがより好ましく、このように、画素部と集積回路部とに一樣に層間絶縁膜を配置することによって、画素部とともに集積回路部の半導体層を保護することができる。層間絶縁膜の材質としては、絶縁性の無機材料又は有機材料が好ましく、なかでも絶縁性の無機材料が好ましい。絶縁性の無機材料としては、ケイ素窒化物、TEOSが挙げられる。また、絶縁性の有機材料としては、感光性樹脂等の樹脂が挙げられる。なお、層間絶縁膜の膜厚としては特に限定されないが、平均膜厚が300～1500nmであることが好ましい。また、層間絶縁膜は、ケイ素窒化物、TEOS等の複数の材料からなる積層体としてもよい。
- [0021] 本発明はまた、半導体薄膜上に形成されたゲート電極を有するスイッチング素子を備える画素部と、半導体層を有する集積回路部とが、基板上に配置された半導体装置の製造方法であって、上記製造方法は、(1)半導体ウエハの一部を基板上に転写して集積回路部を形成する工程(転写工程)と、(2)画素部のゲート電極上に保護膜

を形成する工程(保護膜形成工程)と、(3)集積回路部の半導体層を薄膜化する工程(薄膜化工程)とを含む半導体装置の製造方法でもある。

[0022] 本発明の半導体装置の製造方法によれば、上記(1)の転写工程を行うことにより、半導体ウエハ上に形成した半導体素子を基板上に転写することができるので、簡便かつ安価な製造プロセスにより、微細な回路パターンを有する集積回路部を画素部と同一基板上に容易に配置することができる。なお、半導体ウエハの一部とは、通常、複数の半導体素子が形成された集積回路チップ(ICチップ)である。次に、上記(2)の保護膜形成工程を行うことにより、画素部のゲート電極上に保護膜を形成することができる。その結果、上記(3)の薄膜化工程を行う際に、画素部のゲート電極へのエッチング等によるダメージを抑制しながら、集積回路部の半導体層を薄膜化することができる。このように本発明の半導体装置の製造方法によれば、集積回路部を転写により形成することで集積回路部の半導体素子及び回路パターンの微細化が可能となり、また、半導体層を薄膜化することで寄生容量の低減による集積回路部の高速動作、低電圧駆動及び低消費電力化が可能となることから、半導体装置の高性能化及び低消費電力化を効果的に実現することができる。

このような本発明の半導体装置の製造方法は、上述の本発明の半導体装置を製造する方法として好適である。

なお、本発明の半導体装置の製造方法としては、上記(1)の転写工程、上記(2)の保護膜形成工程及び上記(3)の薄膜化工程を必須工程として含むのである限り、その他の工程を含んでいても含んでいなくてもよく、特に限定されるものではない。また、上記(1)～(3)の工程を行う順序としては、本発明の効果を奏するものであれば特に限定されないが、上記(1)、(2)及び(3)の工程をこの順に行う態様と、上記(2)、(1)及び(3)の工程をこの順に行う態様とが好ましく、不純物元素の活性化のための熱処理工程において画素部のゲート電極が酸化することを防止する観点から、上記(2)、(1)及び(3)の工程をこの順に行う態様がより好ましい。

[0023] 上記(1)の転写工程は、半導体層が最上層となるように、ICチップを基板上に貼り付けることが好ましい。これにより、上記(3)の薄膜化工程において、集積回路部の半導体層をエッチング等により薄膜化することができる。

[0024] 上記(2)の保護膜形成工程は、集積回路部の半導体層に対するエッチングの選択比が1.5以上の材質からなる保護膜を形成することが好ましく、2.0以上の材質からなる保護膜を形成することがより好ましい。これにより、上記(3)の薄膜化工程において、エッチングマスクを使用することなく、集積回路部の半導体層を選択的にエッチングすることができるので、生産性を向上させることができる。ここで上記選択比は、上述した方法により算出することができる。

また、上記(2)の保護膜形成工程においては、上記(3)の薄膜化工程中にゲート電極が露出することを防ぐ観点から、平均膜厚が400nm以上の保護膜を形成することが好ましい。これにより、上記(3)の薄膜化工程において、保護膜がエッチングされた場合に、ゲート電極が露出することを効果的に防止することができ、エッチング終了後、平均膜厚が150nm程度の保護膜を得ることができる。なお、上記(2)の保護膜形成工程において形成される保護膜の平均膜厚の上限としては特に限定されないが、500nm以下であることが好ましい。

保護膜の形成方法としては、特に限定されず、スパッタ法、常圧CVD(Chemical Vapor Deposition)法、低圧CVD法、プラズマCVD法、リモートプラズマCVD法等を用いることができる。

[0025] 上記(3)の薄膜化工程は、エッチングを行うことが好ましい。これにより、エッチングの選択比の大きい保護膜が形成された画素部のゲート電極を傷つけることなく、集積回路部の半導体層を選択的に薄膜化することができる。

上記エッチングは、ウェットエッチング又はドライエッチングで行うことができるが、膜厚の制御が容易であることから、ドライエッチングで行うことが好ましい。

ドライエッチングに使用されるガスとしては、特に限定されず、四フッ化炭素ガス及び酸素ガスの混合ガス、六フッ化硫黄ガス及び塩化水素ガスの混合ガス等が挙げられる。また、ドライエッチングのエッチング方式としては、プラズマエッチング(PE; plasma etching)モード、反応性イオンエッチング(RIE; reactive ion etching)モード等を用いることができる。

また、ウェットエッチングを行う場合、使用される薬液としては特に限定されず、例えば、水酸化カリウム水溶液、フッ酸及び硝酸の混合溶液、EDP(ethylene diamine

pyrocatechol)等が挙げられる。

- [0026] 上記(3)の薄膜化工程は、エッチングを行う前に、集積回路部の半導体層の一部を加熱分離することが好ましい。このように、半導体層の一部を分離除去した後、エッチングを行うことで、エッチングに係る時間が短縮され、製造プロセスの短縮化が可能となる。

加熱分離方法としては、特に限定されないが、半導体層に水素又はヘリウム(He)、ネオン(Ne)等の不活性ガス元素からなるイオンを所望の深さに注入し、その後熱処理を行うことによってイオン注入層に沿って半導体層を分離する、いわゆるスマートカット法(商標登録)が好ましい。

- [0027] 上記半導体装置の製造方法は、薄膜化工程の後、画素部の保護膜上に層間絶縁膜を形成する工程を含むことが好ましい。これにより、薄膜化工程におけるエッチングの影響を受けずに層間絶縁膜を画素部に形成することができる。また、上記半導体装置の製造方法は、薄膜化工程の後、画素部の保護膜と集積回路部の半導体層との上に層間絶縁膜を形成する工程を含むことがより好ましく、このように、画素部と集積回路部とに一樣に層間絶縁膜を形成することによって、画素部とともに集積回路部の半導体層とを保護するための絶縁膜を容易に形成することができる。層間絶縁膜の材質としては、絶縁性の無機材料又は有機材料が好ましく、なかでも絶縁性の無機材料が好ましい。絶縁性の無機材料としては、ケイ素窒化物、TEOSが挙げられる。また、絶縁性の有機材料としては、感光性樹脂等の樹脂が挙げられる。層間絶縁膜の形成方法としては特に限定されず、無機材料を形成する場合には、スパッタ法、常圧CVD法、低圧CVD法、プラズマCVD法、リモートプラズマCVD法等が挙げられ、有機材料を形成する場合には、スピコート法等が挙げられる。なお、層間絶縁膜は、ケイ素窒化物及びTEOS等の複数の材料を用いて積層構造を有するように形成されてもよい。

- [0028] 本発明の半導体装置の製造方法により製造される半導体装置は、半導体薄膜上に形成されたゲート電極を有するスイッチング素子を備える画素部と、半導体層を有する集積回路部とが、基板上に配置される。本発明の半導体装置の製造方法により製造される半導体装置の構成としては、このような構成要素を必須とするものである限り

、その他の構成要素については特に限定されるものではない。

- [0029] 本発明はまた、上記半導体装置、又は、上記半導体装置の製造方法により得られた半導体装置を備える表示装置でもある。本発明の半導体装置は、同一基板上に画素部と集積回路部とを備え、集積回路部を表示装置の周辺回路であるデジタルドライバ、DC-DCコンバータ、DAC (Digital to Analog Converter)、及び、RF (radio-frequency radiation) 回路等に用いることができるので、同一基板上に画素部と集積回路部とを有するアクティブマトリクス基板を備えた表示装置に好適である。したがって、本発明の表示装置は、液晶表示装置、有機エレクトロルミネセンス表示装置 (有機ELディスプレイ) 等の表示装置に好適に用いられる。なかでも、本発明の半導体装置に備えられた集積回路部は、高性能化及び低消費電力化が可能であることから、大型の液晶表示装置及び大型の有機ELディスプレイに特に好適に用いられる。

発明の効果

- [0030] 本発明の半導体装置によれば、画素部のゲート電極上に保護膜が設けられていることにより、画素部と半導体ウエハから形成された集積回路部とを同一基板上に配置する際に、エッチング等による画素部のゲート電極へのダメージを抑制しながら、集積回路部の半導体層を薄膜化することができる。その結果、本発明の半導体装置では、集積回路部を転写により形成することで集積回路部の素子及び回路パターンの微細化が可能となり、また、半導体層を薄膜化することで寄生容量の低減による集積回路部の高速動作、低電圧駆動及び低消費電力化が可能となることから、高性能化及び低消費電力化を効果的に実現することができる。

発明を実施するための最良の形態

- [0031] 以下に実施例を掲げ、本発明を図面を参照して更に詳細に説明するが、本発明はこれらの実施例のみに限定されるものではない。

なお、本実施例の集積回路部のMOSTランジスタでは、1個のNMOSTランジスタについて説明するが、本実施例の半導体装置は、複数のNMOSTランジスタ及びPMOSTランジスタが同一基板上に形成されたものである。PMOSTランジスタは、NMOSTランジスタ形成時のイオン注入の不純物導電型を変更することにより形成でき

る。また、PMOS及びNMOSTランジスタは、互いに電氣的に接続されていなくてもよいが、互いに電氣的に接続されていることが好ましく、例えば、PMOS及びNMOSTランジスタを含んで構成されるCMOSTランジスタ(相補型回路)を有する構成が好適である。ここで各MOSTランジスタは、LOCOS(Local Oxidation Of Silicon)やトレンチアイソレーション等により、適宜素子分離されている。

なお、PMOSTランジスタとは、p型半導体からなるチャネル層を含んで構成されるMOSTランジスタのことをいい、NMOSTランジスタとは、n型半導体からなるチャネル層を含んで構成されるMOSTランジスタのことをいう。

[0032] (実施例1)

図1を用いて、本発明の半導体装置を用いた表示装置用アクティブマトリクス基板について説明する。図1は、本実施例の表示装置用アクティブマトリクス基板の構成を示す断面模式図である。図1に示すように、本実施例のアクティブマトリクス基板は、透明基板であるガラス基板22と、ガラス基板22上に配置された集積回路部50及び画素部51と、画素部51のTFT30と集積回路部50とを接続する配線部37とにより構成される。

[0033] 画素部51は、ガラス基板22上に順に積層された第1のベースコート層31及び第2のベースコート層32上にTFT30を有する。

TFT30は、活性領域を含む半導体薄膜33と、半導体薄膜33を覆うゲート絶縁膜34と、ゲート絶縁膜34の上に設けられたゲート電極(画素部ゲート)35と、ゲート電極35を覆う保護膜36とをこの順に有している。半導体薄膜33は、ソース領域33sと、ドレイン領域33dと、これらソース領域33s及びドレイン領域33dとの間に形成されたチャネル領域33cとにより構成されている。なお、保護膜36は、通常、画素部51の略全面に配置されている。

また画素部51のTFT30上には、層間絶縁膜40、平坦化膜42及び画素電極41がこの順に積層されている。更にTFT30には、ドレイン領域33d及びソース領域33sの上方で、ゲート絶縁膜34、保護膜36及び層間絶縁膜40を貫通するコンタクトホール39d、39sが形成されている。コンタクトホール39d、39s内及び層間絶縁膜40上には導電性材料が充填され、層間膜上電極配線43a、43bが形成されている。また、

層間膜上電極配線43aの上方には平坦化膜42を貫通するコンタクトホール44aが形成されている。コンタクトホール44a内及び平坦化膜42上には透明電極である画素電極41が形成され、TFT30のドレイン領域33dと画素電極41とが接続されている。そして、画素部51の最上層には配向膜(図示せず)が配置されている。

[0034] また集積回路部50は、ガラス基板22の表面に配置され、半導体素子であるMOSTランジスタ52を有している。そして、MOSTランジスタ52においては、ガラス基板22上に、第1の平坦化膜である絶縁膜21と、第2の平坦化膜である層間絶縁膜18と、層間絶縁膜15と、絶縁膜14とがこの順に積層されている。絶縁膜21は、ガラス基板22の表面に接合されている。絶縁膜14は、ガラス基板22側へ窪んでおり、絶縁膜14の表面には、ゲート酸化膜7とLOCOS酸化膜6とが形成されている。ゲート酸化膜7と絶縁膜14との間には、ゲート電極(集積回路部ゲート)8とサイドウォール11とが形成されている。サイドウォール11はゲート電極8の左右両側面にそれぞれ形成されている。

[0035] 一方、絶縁膜21と層間絶縁膜18との界面においては、ソース電極20s及びドレイン電極20dが形成されている。また、層間絶縁膜18、層間絶縁膜15、絶縁膜14及びゲート酸化膜7には、これらの各膜18、15、14及び7を貫通するコンタクトホール19s、19dが形成され、導電性材料が充填されている。コンタクトホール19s内の導電性材料はソース電極20sと一体に形成される一方、コンタクトホール19d内の導電性材料はドレイン電極20dと一体に形成されている。

[0036] ゲート酸化膜7の表面には、単結晶シリコン層である半導体層1が形成されている。半導体層1は、LOCOS酸化膜6によって隣り合う他の半導体層(図示省略)との間が分離された状態で、画素部51と共通の部材である層間絶縁膜40及び平坦化膜42により被覆されている。

[0037] 半導体層1は、チャネル領域12と、その左右両側に形成された低濃度不純物領域10s、10dと、さらにその左右両側に形成された高濃度不純物領域13s、13dとにより構成されている。低濃度不純物領域10s、10d及び高濃度不純物領域13s、13dには、例えばリン等のN型不純物16が注入されている。低濃度不純物領域10s、10dは、いわゆるLDD(Lightly Doped Drain)領域を構成している。また、高濃度不

純物領域13sはソース領域を構成する一方、高濃度不純物領域13dはドレイン領域を構成している。

[0038] チャンネル領域12は、ゲート酸化膜7を介してゲート電極8に対向するように形成されている。また、低濃度不純物領域10s、10dは、ゲート酸化膜7を介してサイドウォール11に対向して形成されている。更に、高濃度不純物領域13sにはコンタクトホール19sを介してソース電極20sが接続される一方、高濃度不純物領域13dにはコンタクトホール19dを介してドレイン電極20dが接続されている。そして、ソース電極20sの上方には、層間絶縁膜18、層間絶縁膜15、絶縁膜14、LOCOS酸化膜6及び層間絶縁膜40を貫通するコンタクトホール38が形成されている。コンタクトホール38内及び層間絶縁膜40上には導電性材料が充填され、層間膜上電極配線43cが形成されている。

[0039] そして、集積回路部50とTFT30とは、配線部37を介して接続されている。すなわち、集積回路部50には、層間膜上電極配線43cの上方で平坦化膜42を貫通するコンタクトホール44cが形成されている。一方、画素部51には、TFT30の層間膜上電極配線43bの上方で平坦化膜42を貫通するコンタクトホール44bが形成されている。これら各コンタクトホール44b、44c内及び平坦化膜42上には透明電極である配線部37が層間膜上電極配線43b、43cを繋ぐようにパターン形成されている。

[0040] このように、本発明の半導体装置においては、保護膜は、画素部にのみに配置され、集積回路部には配置されない。したがって、画素部ゲート上の絶縁膜の層数は、通常、集積回路部の半導体層上の絶縁膜の層数よりも保護膜の分だけ多くなる。すなわち、画素部ゲート上の絶縁膜(保護膜及び層間絶縁膜)の膜厚と、集積回路部の半導体層上の絶縁膜(層間絶縁膜)の膜厚とには膜厚差が生じ、画素部ゲート上の絶縁膜の膜厚は、通常、集積回路部の半導体層上の絶縁膜の膜厚より大きい。また、保護膜は、後述するように、集積回路部の半導体層が薄膜化される前に形成されるため、集積回路部の半導体層上に配置されることはない。したがって、基板上に画素部と集積回路部とが一体的に配置され、かつ基板全面に一樣に層間絶縁膜が配置された形態における層間絶縁膜と本発明の保護膜とは、その配置形態の違いから明確に区別することができる。

[0041] 次に、本実施例の表示装置用アクティブマトリクス基板の製造方法について説明する。

まず、TFT30の作製工程について説明する。図2に示すように、ガラス基板22に第1のベースコート層31であるSiNO層及び第2のベースコート層32であるTEOS層をこの順に積層する。続いて、TEOS層32の表面にアモルファスシリコン、ポリシリコン等からなる半導体薄膜33をフォトリソグラフィによりパターン形成する。続いて、上記TEOS層32の上に上記半導体薄膜33を覆うように、 SiO_2 膜等の絶縁膜からなるゲート絶縁膜34を積層する。その後、半導体薄膜33の一部に重なるように、ゲート電極35をフォトリソグラフィによりパターン形成する。このゲート電極35をマスクとして、半導体薄膜33のソース領域33s及びドレイン領域33dに不純物元素のイオン注入を行う。続いて、画素部51の全面を覆うようにゲート電極34上に平均膜厚400nm程度の保護膜36を形成する。そして、ソース領域33s及びドレイン領域33dに対して熱処理を行い、イオン注入した不純物元素の活性化を行う。こうして、ガラス基板22上にTFT30を形成する。

[0042] ここで、保護膜36の形成方法としては、スパッタ法、常圧CVD法、低圧CVD法、プラズマCVD法、リモートプラズマCVD法等を用いることができる。また、保護膜36の材質としては、集積回路部の半導体層に対してエッチングの選択比が大きいものが好ましく、また、絶縁性の無機材料が好ましい。このような材料としては、例えば、ケイ素酸化物、ケイ素窒化物、ケイ素酸窒化物等が挙げられるが、特にTEOSが好ましい。また、保護膜36の形態としては、複数層からなる形態であってもよいが、製造工程の簡略化の観点からは、単層からなる形態が好ましい。

なお、本実施例においては、保護膜36を集積回路部50の転写前に形成したが、本発明において、保護膜は、画素部ゲートを保護することができればよく、集積回路部の転写後に画素部ゲート上に形成してもよい。しかしながら、集積回路部の転写後に保護膜を基板の全面に形成する場合、上述した不純物元素の活性化のための熱処理工程において、通常金属材料を含む画素部ゲートが酸化されるおそれがある。したがって、熱処理工程における画素部ゲートの酸化を防止する観点からは、保護膜は、本実施例のように、集積回路部の転写前に形成されるほうが好ましい。

- [0043] 次に、ガラス基板22における集積回路部50を転写する領域を露出させるために、図3に示すように、所定領域において、保護膜36、TEOS層32及びゲート絶縁膜34をドライエッチングにより除去する。更に、露出したSiNO層31にウェットエッチングを行い、ガラス基板22を部分的に露出させる。その後、露出したガラス基板22に対し、集積回路部50を貼り合わせる。
- [0044] ここで、集積回路部50の製造方法について説明する。集積回路部50の製造方法には、酸化膜形成工程と、ゲート電極形成工程と、活性領域形成工程と、剥離層形成工程と、平坦化膜形成工程と、転写工程と、分離工程と、薄膜化工程とが含まれる。
- [0045] 酸化膜形成工程では、単結晶シリコンウエハからなる半導体基板1(一部が分離される前の上記半導体層1に相当する)にPウェル領域4を形成すると共に、LOCOS酸化膜6及びゲート酸化膜7を形成する。すなわち、図4-1に示すように、半導体基板1に熱酸化膜2を形成し、P型不純物元素9(例えば、ホウ素)を半導体基板1の内部にイオン注入する。続いて、図4-2に示すように、上記半導体基板1に熱処理を行い、イオン注入されたP型不純物元素9を拡散するとともに活性化させることによって、Pウェル領域4を形成する。続いて、図4-3に示すように、熱酸化膜2の表面に窒化ケイ素膜5をパターン形成した後に、熱酸化膜2及び半導体基板1に対してLOCOS酸化を行い、窒化ケイ素膜5の左右両側にLOCOS酸化膜6を形成する。その後、図4-4に示すように、窒化ケイ素膜5及び熱酸化膜2を一旦除去した後に、熱酸化膜2が形成されていた領域にゲート酸化膜7を形成する。
- [0046] 次に、ゲート電極形成工程では、図4-5に示すように、ゲート酸化膜7の表面にスパッタ法等により積層した導電性材料を、フォトリソグラフィ法等によりパターンニングして、ゲート電極8を半導体基板1に形成する。ゲート電極8の材質としては、例えば、タングステン(W)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)等の高融点金属及び上記高融点金属の窒化物等が挙げられる。また、ゲート電極は上記複数の材料からなる積層体としてもよく、タングステン(W)/窒化タンタル(TaN)からなる積層膜等が挙げられる。
- [0047] 次に、活性領域形成工程では、図4-6に示すように、まず、ゲート電極8をマスクとして、リン等のN型不純物元素16をイオン注入し、N型低濃度不純物領域10s、10dを

形成する。続いて、図4-7に示すように、ゲート酸化膜7の表面にCVD等により SiO_2 膜を形成した後に、異方性ドライエッチングを行うことにより、ゲート電極8の両側壁にサイドウォール11を形成する。続いて、図4-8に示すように、ゲート電極8及びサイドウォール11をマスクとして、リン等のN型不純物元素16をイオン注入することにより、N型高濃度不純物領域13s、13dを形成する。その結果、低濃度不純物領域10s、10dは、ゲート酸化膜7を介してサイドウォール11に対向する領域に形成されることとなる。その後、図4-9に示すように、 SiO_2 等の絶縁膜14を形成した後に、上記低濃度不純物領域10s、10d及び高濃度不純物領域13s、13dに対して熱処理を行い、イオン注入したN型不純物元素16の活性化を行う。

[0048] 次に、剥離層形成工程では、図4-10に示すように、絶縁膜14の表面に層間絶縁膜15を積層した後に、上記半導体基板1のPウェル領域4に対し、上記層間絶縁膜15を介して水素又はヘリウム(He)、ネオン(Ne)等の不活性ガス元素24からなる剥離用物質をイオン注入する。こうして、図4-10に示すように、半導体基板1に対し、剥離用物質が含まれる剥離層17を形成する。

[0049] 次に、平坦化膜形成工程では、図4-11に示すように、半導体基板1及び層間絶縁膜15を覆うように SiO_2 膜を形成し、CMP (Chemical Mechanical Polishing) 等により平坦化することによって、層間絶縁膜18を形成する。続いて、ソース電極20s及びドレイン電極20dを形成する。まず、図4-12に示すように、上記層間絶縁膜18、層間絶縁膜15、絶縁膜14、及び、ゲート酸化膜7を貫通するコンタクトホール19s、19dを形成する。コンタクトホール19sは、上記高濃度不純物領域(ソース領域)13sの上方に形成する一方、コンタクトホール19dは、上記高濃度不純物領域(ドレイン領域)13dの上方に形成する。続いて、導電性材料を上記コンタクトホール19s、19dの内部と層間絶縁膜18の表面とに形成した後にパターニングする。これにより、コンタクトホール19sの上方位置にソース電極20sを形成する一方、コンタクトホール19dの上方位置にドレイン電極20dを形成する。その後、図4-13に示すように、絶縁膜21を形成し、CMP等により絶縁膜21の表面を平坦化する。

[0050] 次に、転写工程において、図5に示すように、集積回路部50の絶縁膜21の表面を洗浄した後に、平坦化された絶縁膜21を露出されたガラス基板22の表面に貼り合わせ

る。これにより、集積回路部50の半導体層1はガラス基板22とは反対側、すなわちガラス基板22に対してMOSTランジスタ52の最上層に位置することになる。

[0051] 次に、分離工程では、まず400～600℃程度の温度で熱処理を行う。これにより、図6に示すように、Pウェル領域4を含む半導体基板1の一部を剥離層17に沿って分離する。次に、薄膜化工程では、図7に示すように、剥離層17をエッチング等により取り除いた後、チャネル領域12を薄膜化するとともに、LOCOS酸化膜6を露出させて素子分離を行うために、半導体層1(単結晶シリコン層)を更にエッチングして平均膜厚を100nm程度にする。この時、画素部51のゲート電極35上には、エッチング選択比の大きな保護膜36が形成されていることから、エッチングマスクを使用することなくエッチングを行うことができる。保護膜36の平均膜厚は、エッチングの前後で、400nm程度から150nm程度になる。

エッチングは、ウェットエッチング又はドライエッチングで行うことができるが、ドライエッチングで行うことが好ましい。ドライエッチングに使用されるガスとしては、四フッ化炭素ガス及び酸素ガスの混合ガス等を用いることができる。なお、四フッ化炭素ガス及び酸素ガスの混合ガスを用いたときの単結晶シリコンとTEOSとのエッチングにおける選択比は、1.5である。

また、ドライエッチングのエッチング方式としては、PE(plasma etching)モード、RIE(reactive ion etching)モード等を用いることができる。

また、ウェットエッチングを行う場合には、薬液としては、例えば、水酸化カリウム水溶液、フッ酸及び硝酸の混合溶液、EDP(ethylene diamine pyrocatechol)等を用いればよい。

[0052] 以上のようにして形成された画素部及び集積回路部の全面に対して、CVD法等によりSiNx、TEOS等からなる層間絶縁膜40を形成した後、図8に示すように、TFT30のドレイン領域33d及びソース領域39sの上方でゲート絶縁膜34、保護膜36及び層間絶縁膜40を貫通するコンタクトホール39d、39sと、集積回路部50のソース電極20sの上方で層間絶縁膜18、層間絶縁膜15、絶縁膜14、LOCOS酸化膜6及び層間絶縁膜40を貫通するコンタクトホール38とをドライエッチング、ウェットエッチング等により形成する。続いて、アルミニウム(Al)等の導電性材料をコンタクトホール39s、3

9d、38の内部と層間絶縁膜18の表面とに形成した後にパターニングする。これにより、コンタクトホール19s、19d、38の上方位置に層間膜上電極配線43a、43b、43cを形成する。

[0053] 次に、画素部及び集積回路部の層間絶縁膜40上の全面に対して、スピコート法等により感光性樹脂等からなる厚さ数 μm の平坦化膜42を一様に形成する。続いて、フォトリソグラフィ法等により平坦化膜42のパターニングを行い、集積回路部50の層間膜上電極配線43cの上方にコンタクトホール44cと、TFT30の層間膜上電極配線43a、43bの上方にコンタクトホール44a、44bとを形成する。次に、各コンタクトホール44a、44b、44c内及び平坦化膜42上にインジウム錫酸化物(ITO)膜等の透明導電膜を形成する。そして、透明導電膜をフォトリソグラフィ法等によりのパターニングすることによって、図1で示したように、層間膜上電極配線43b、43cを繋ぐ配線部37と、層間膜上電極配線43aに接続された画素電極41とを形成する。最後に、画素部51の全面を覆うように配向膜(図示せず)を形成する。以上の工程を行って、ガラス基板22上に画素部51及び集積回路部50を形成して、本実施例のアクティブマトリクス基板を製造した。

上述のように画素部51のゲート電極35上に保護膜36を設けることにより、ゲート電極35に損傷を与えることなく、集積回路部50の半導体層1を薄膜化することが可能となり、その結果として、集積回路部50の微細化、高性能化及び低消費電力化が可能であるアクティブマトリクス基板を得ることができた。

[0054] なお、本実施例で作製したアクティブマトリクス基板を用いて液晶表示装置等の表示装置を作製する場合には、公知の技術を用いればよく、特にその作製方法は限定されない。

[0055] また、本願は、2005年9月5日に出願された日本国特許出願2005-257040号を基礎として、パリ条約ないし移行する国における法規に基づく優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

図面の簡単な説明

[0056] [図1]実施例1における本発明の半導体装置を用いた表示装置用アクティブマトリクス基板の構成を示す断面模式図である。

[図2]実施例1のアクティブマトリクス基板の製造フローを示す断面模式図である(TFT及び保護膜の形成)。

[図3]実施例1のアクティブマトリクス基板の製造フローを示す断面模式図である(露出部の形成)。

[図4-1]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(半導体基板へのイオン注入)。

[図4-2]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(Pウェル領域の形成)。

[図4-3]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(窒化ケイ素膜及びLOCOS酸化膜の形成)。

[図4-4]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(ゲート酸化膜の形成)。

[図4-5]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(ゲート電極の形成)。

[図4-6]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(Pウェル領域へのイオン注入)。

[図4-7]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(サイドウォールの形成)。

[図4-8]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(N型高濃度不純物領域へのイオン注入)。

[図4-9]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(絶縁膜の形成)。

[図4-10]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(剥離層の形成)。

[図4-11]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(層間絶縁膜の形成)。

[図4-12]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(電極の形成)。

[図4-13]実施例1のNMOSTランジスタの製造フローを示す断面模式図である(絶縁膜の形成)。

[図5]実施例1のアクティブマトリクス基板の製造フローを示す断面模式図である(集積回路部とガラス基板との貼り合わせ)。

[図6]実施例1のアクティブマトリクス基板の製造フローを示す断面模式図である(剥離層の分離)。

[図7]実施例1のアクティブマトリクス基板の製造フローを示す断面模式図である(半導体層のエッチング)。

[図8]実施例1のアクティブマトリクス基板の製造フローを示す断面模式図である(層間絶縁膜及び層間膜上電極配線の形成)。

符号の説明

- [0057] 1:半導体層、半導体基板
2:熱酸化膜
4:Pウェル領域
5:窒化ケイ素膜
6:LOCOS酸化膜
7:ゲート酸化膜
8:ゲート電極(集積回路部ゲート)
9:P型不純物元素
10s、10d:低濃度不純物領域
11:サイドウォール
12:チャネル領域
13s、13d:高濃度不純物領域
14:絶縁膜
15:層間絶縁膜
16:N型不純物元素
17:剥離層
18:層間絶縁膜

19s、19d:コンタクトホール
20s:ソース電極
20d:ドレイン電極
21:絶縁膜
22:ガラス基板
23:保護膜
24:水素又は不活性ガス元素
30:TFT
31:第1のベースコート層(SiNO層)
32:第2のベースコート層(TEOS層)
33:半導体薄膜
33s:ソース領域
33d:ドレイン領域
33c:チャネル領域
34:ゲート絶縁膜
35:ゲート電極(画素部ゲート)
36:保護膜
37:配線部
38、39s、39d、44a、44b、44c:コンタクトホール
40:層間絶縁膜
41:画素電極
42:平坦化膜
43a、43b、43c:層間膜上電極配線
50:集積回路部
51:画素部
52:MOSトランジスタ

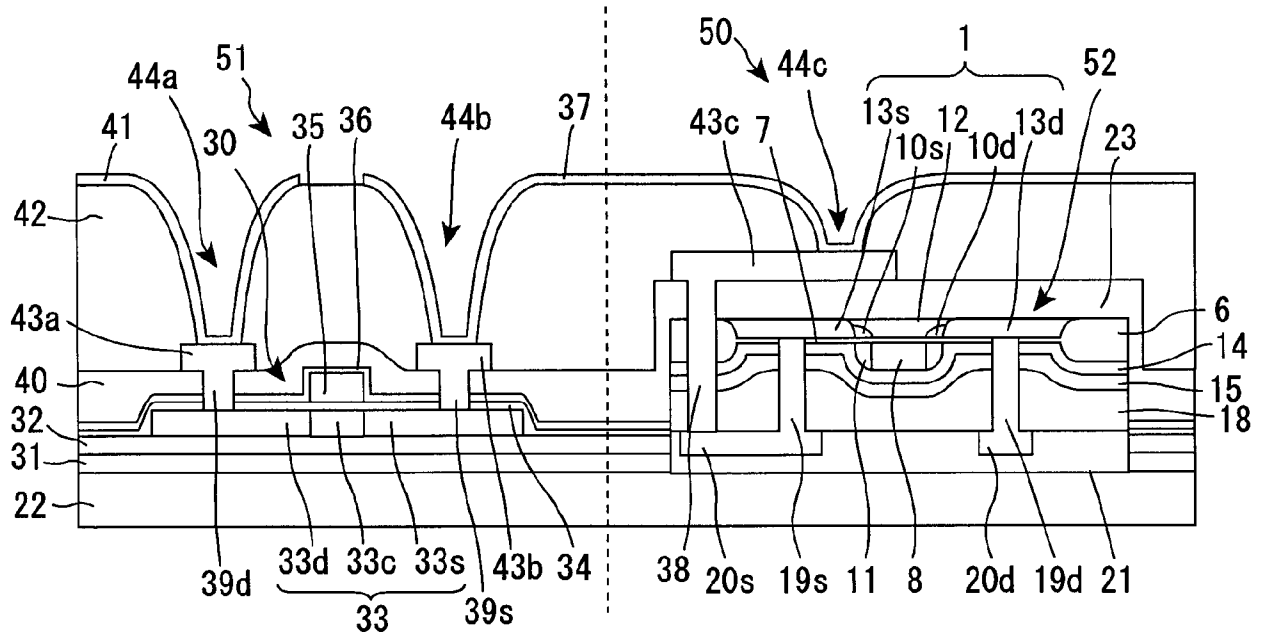
請求の範囲

- [1] 基板上に、半導体薄膜上に形成されたゲート電極を有するスイッチング素子を備える画素部と、ゲート電極上に半導体層を有する集積回路部とが配置された半導体装置であって、
該半導体装置は、画素部のゲート電極上に保護膜が設けられていることを特徴とする半導体装置。
- [2] 前記保護膜は、集積回路部の半導体層に対するエッチングの選択比が1.5以上の材質からなることを特徴とする請求項1記載の半導体装置。
- [3] 前記保護膜は、平均膜厚が50nm以上であることを特徴とする請求項1記載の半導体装置。
- [4] 前記集積回路部の半導体層は、単結晶シリコンからなることを特徴とする請求項1記載の半導体装置。
- [5] 前記半導体装置は、保護膜上に層間絶縁膜が設けられていることを特徴とする請求項1記載の半導体装置。
- [6] 半導体薄膜上に形成されたゲート電極を有するスイッチング素子を備える画素部と、半導体層を有する集積回路部とが、基板上に配置された半導体装置の製造方法であって、
該製造方法は、半導体ウエハの一部を基板上に転写して集積回路部を形成する工程と、
画素部のゲート電極上に保護膜を形成する工程と、
集積回路部の半導体層を薄膜化する工程とを含む
ことを特徴とする半導体装置の製造方法。
- [7] 前記保護膜形成工程は、集積回路部の半導体層に対するエッチングの選択比が1.5以上の材質からなる保護膜を形成することを特徴とする請求項6記載の半導体装置。
- [8] 前記保護膜形成工程は、平均膜厚が400nm以上の保護膜を形成することを特徴とする請求項6記載の半導体装置。
- [9] 前記薄膜化工程は、エッチングを行うことを特徴とする請求項6記載の半導体装置の

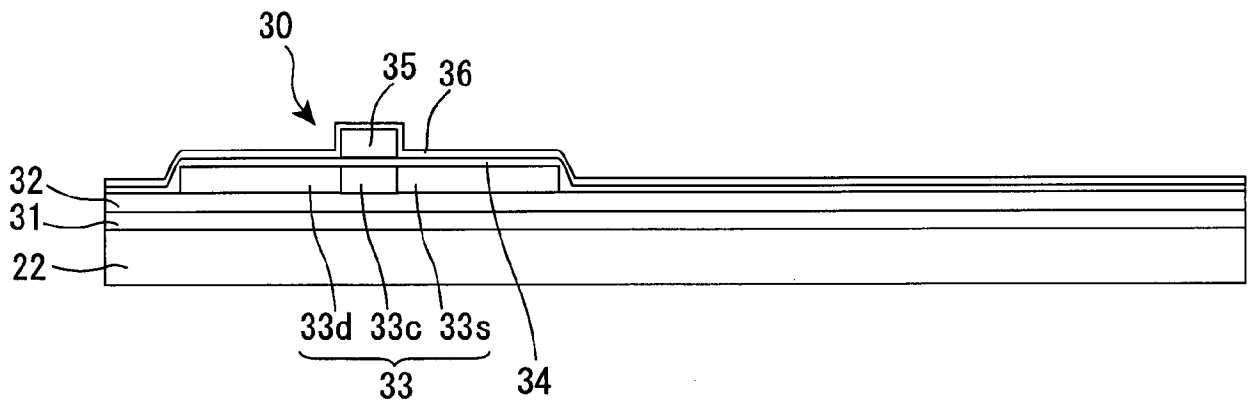
製造方法。

- [10] 前記半導体装置の製造方法は、薄膜化工程の後、画素部の保護膜上に層間絶縁膜を形成する工程を含むことを特徴とする請求項6記載の半導体装置の製造方法。
- [11] 請求項1記載の半導体装置を備えることを特徴とする表示装置。
- [12] 前記表示装置は、液晶表示装置であることを特徴とする請求項11記載の表示装置。
- [13] 請求項6記載の半導体装置の製造方法により得られた半導体装置を備えることを特徴とする表示装置。
- [14] 前記表示装置は、液晶表示装置であることを特徴とする請求項13記載の表示装置。

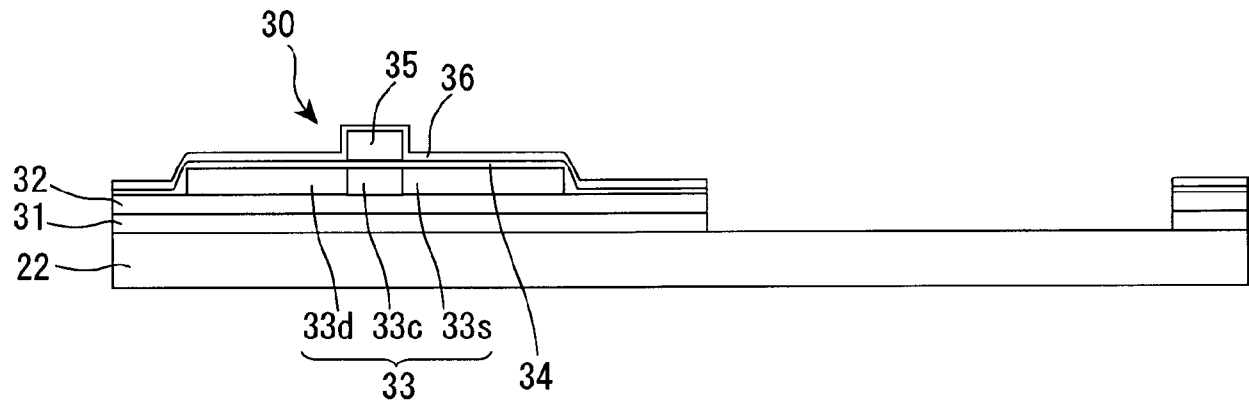
[図1]



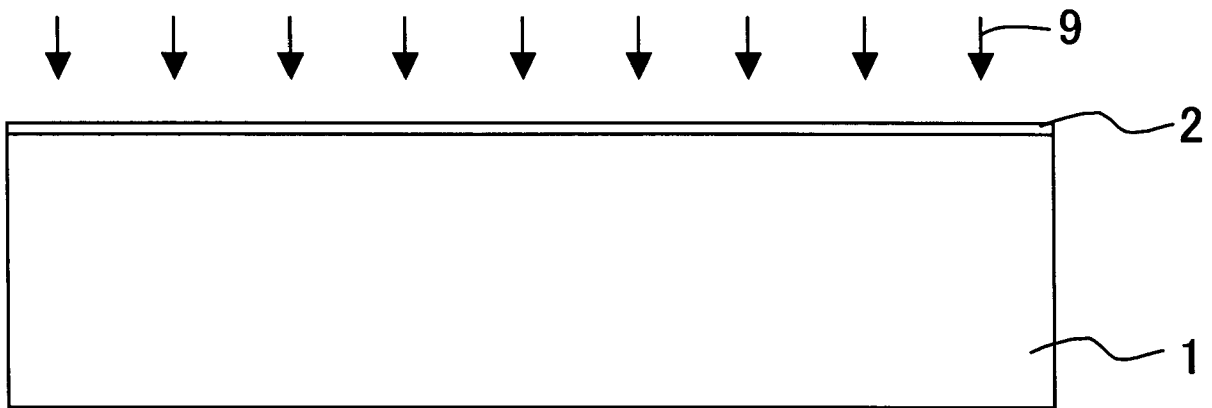
[図2]



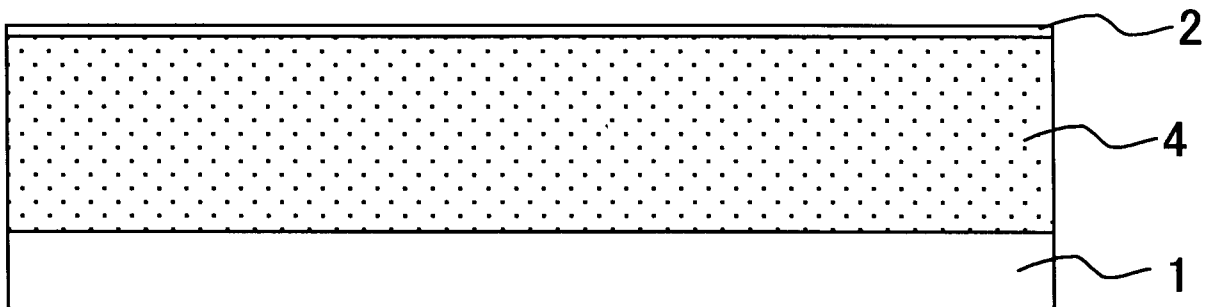
[図3]



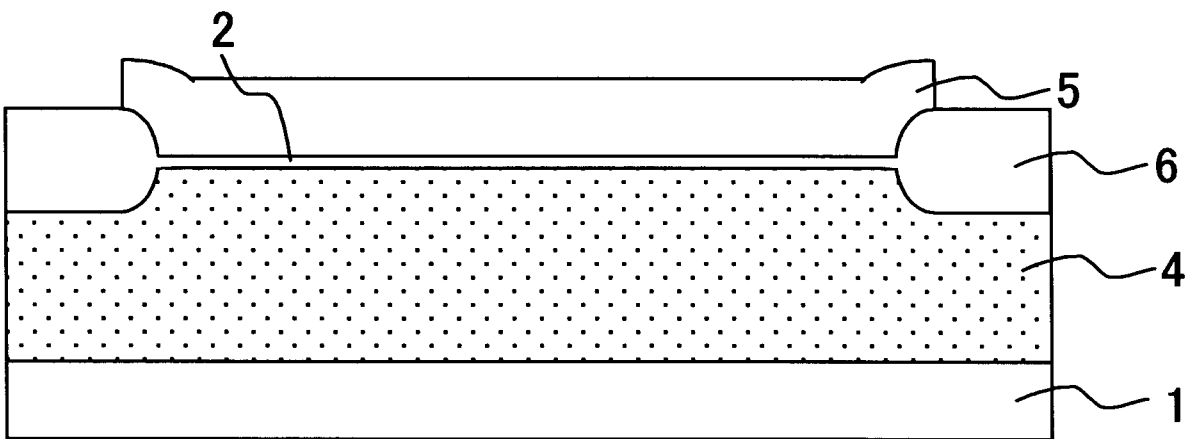
[図4-1]



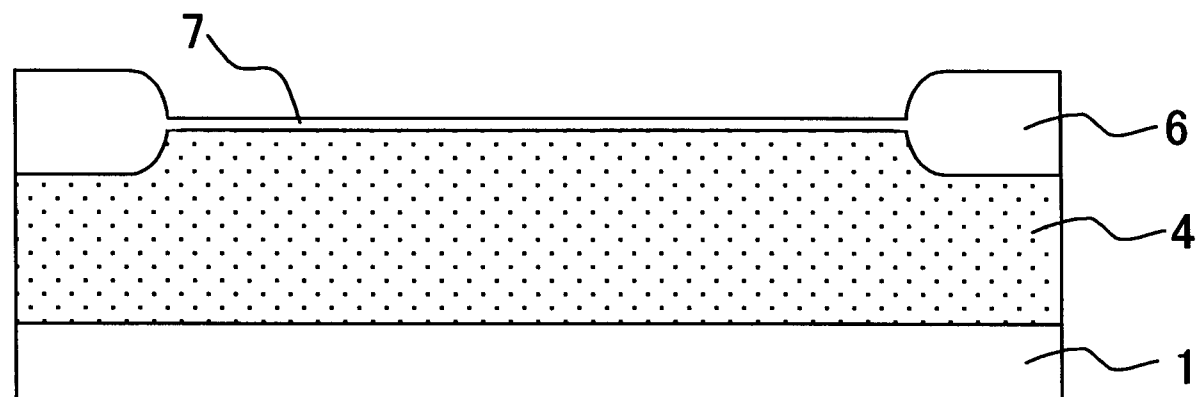
[図4-2]



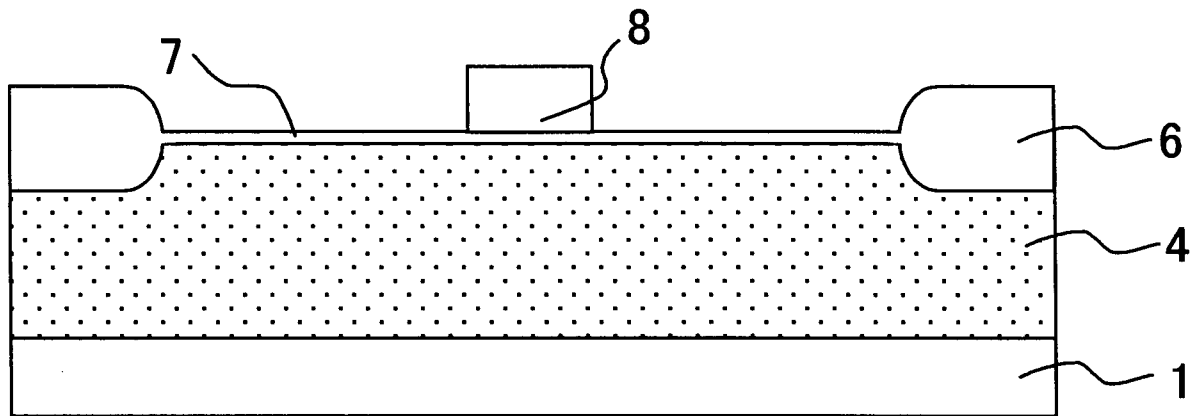
[図4-3]



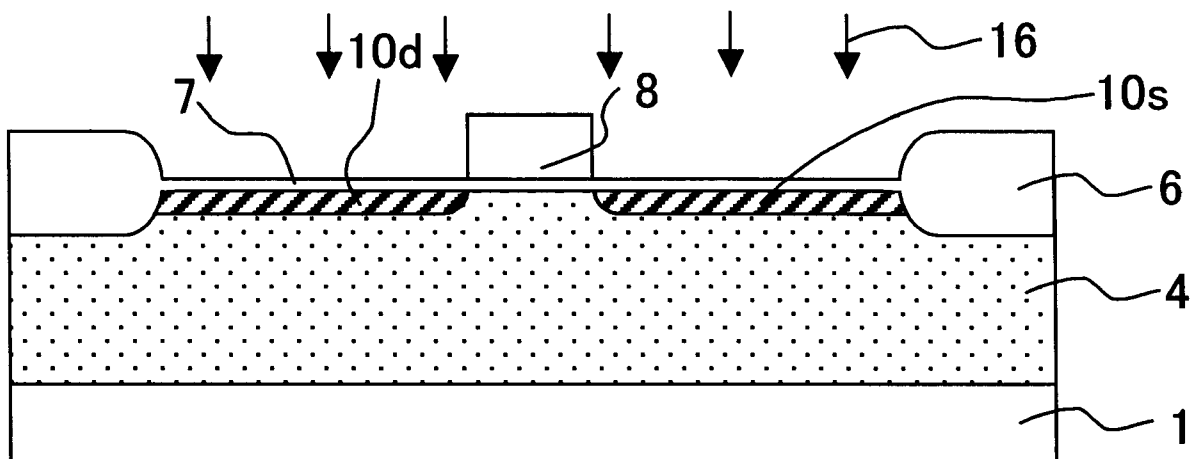
[図4-4]



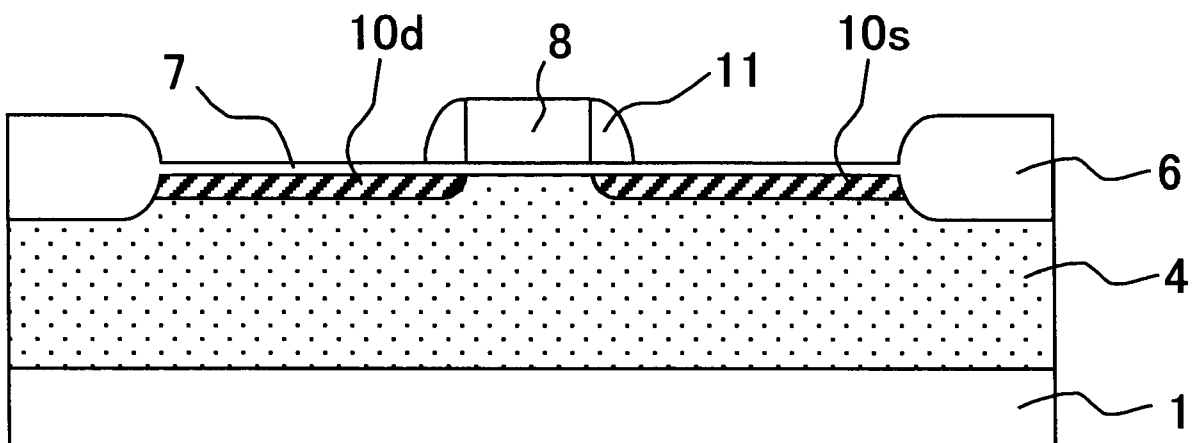
[図4-5]



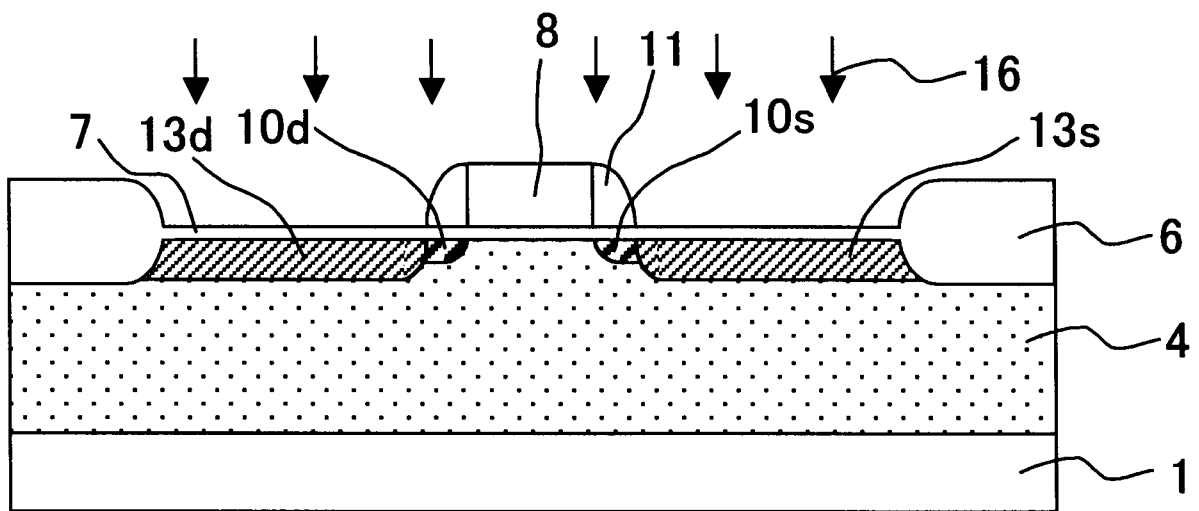
[図4-6]



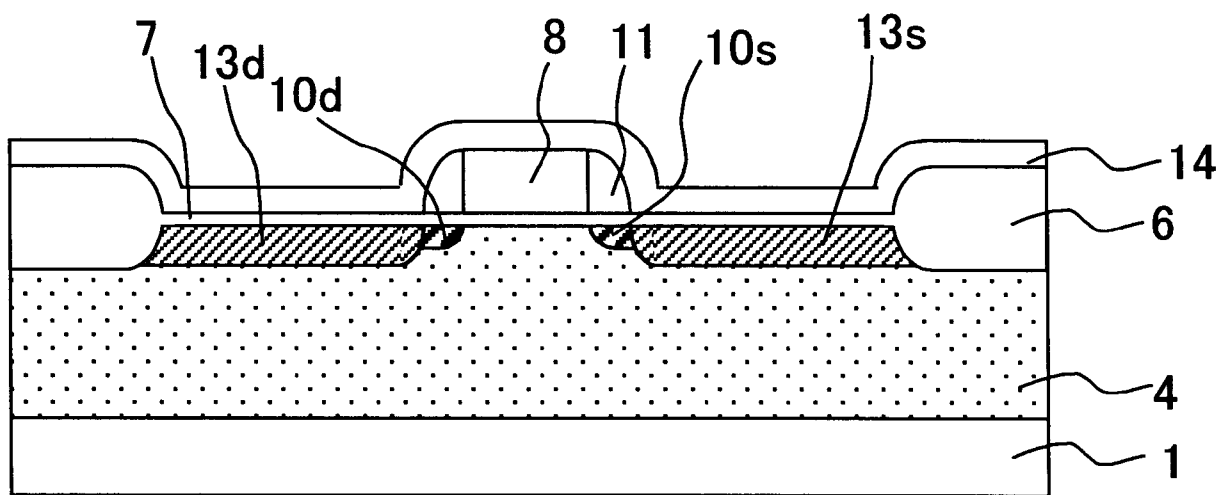
[図4-7]



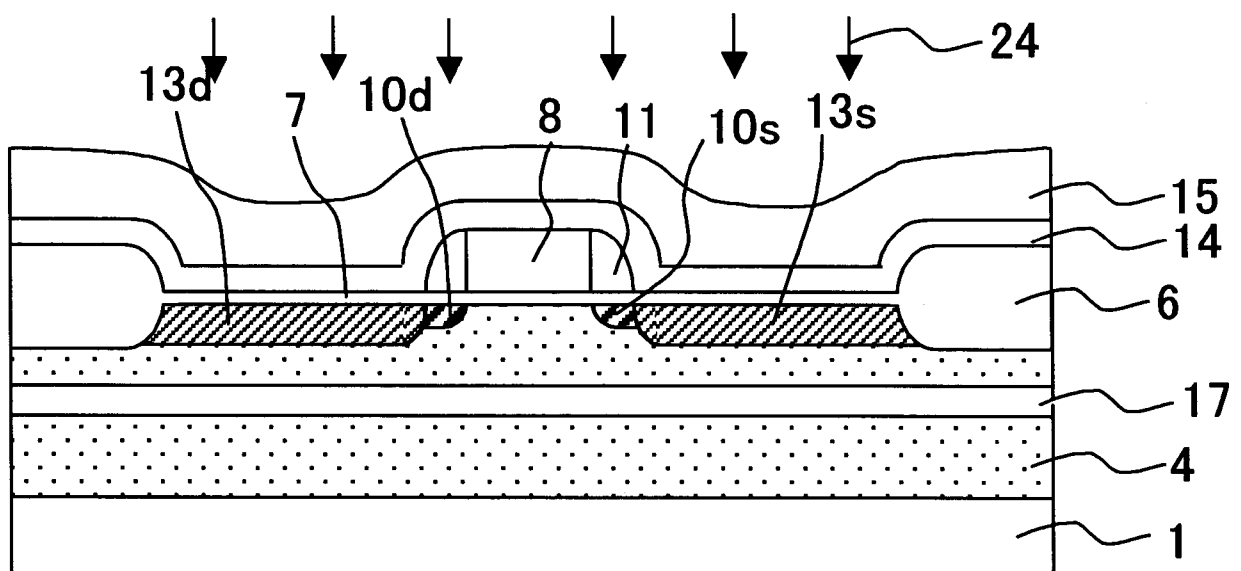
[図4-8]



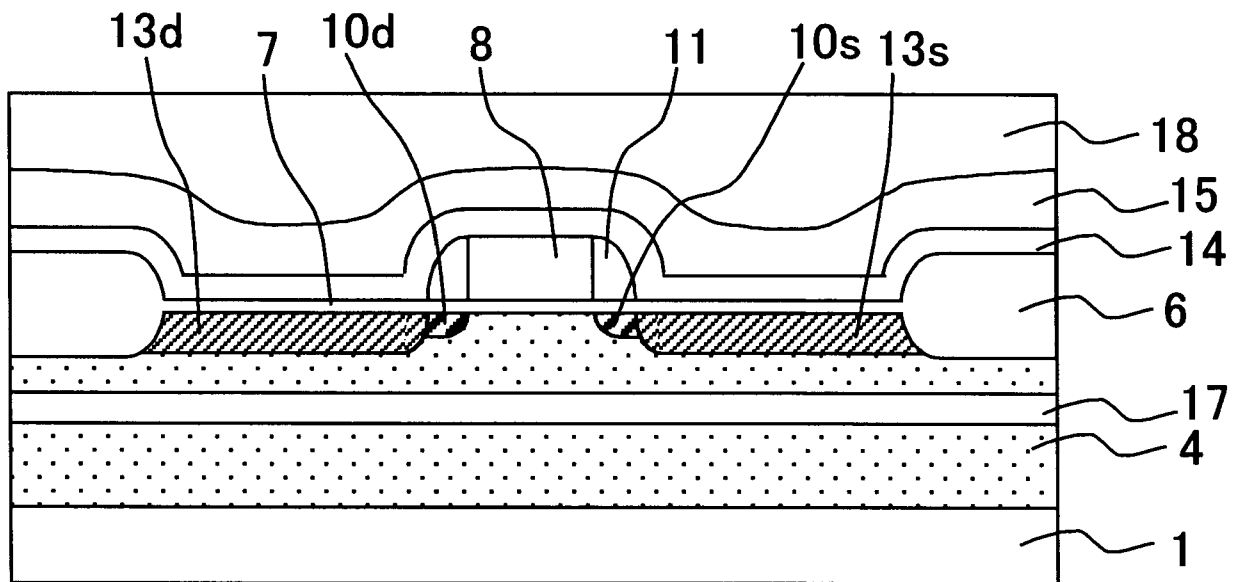
[図4-9]



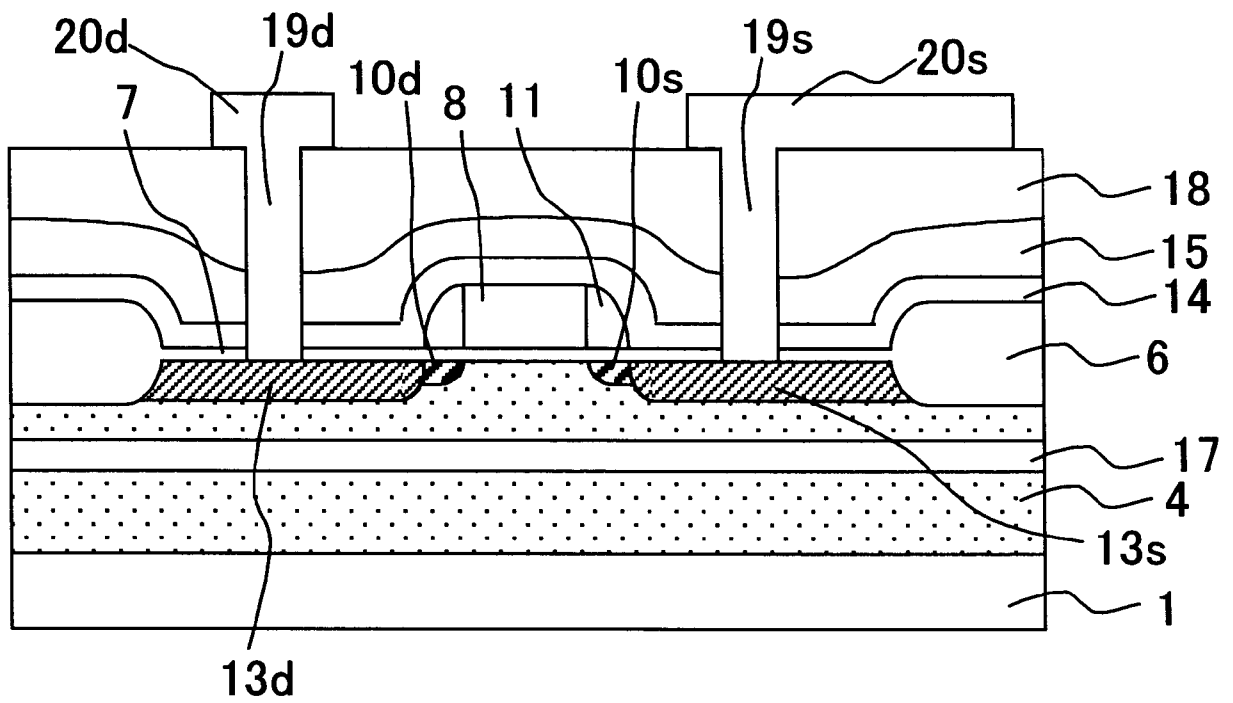
[図4-10]



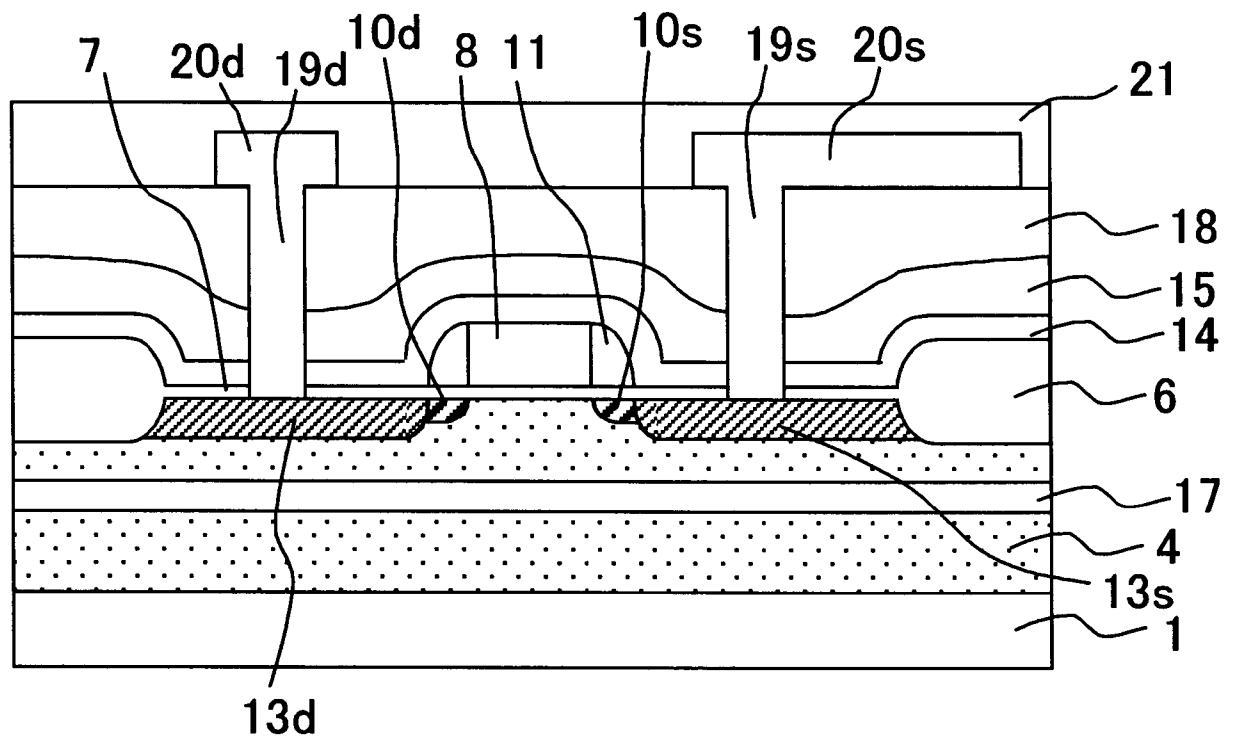
[図4-11]



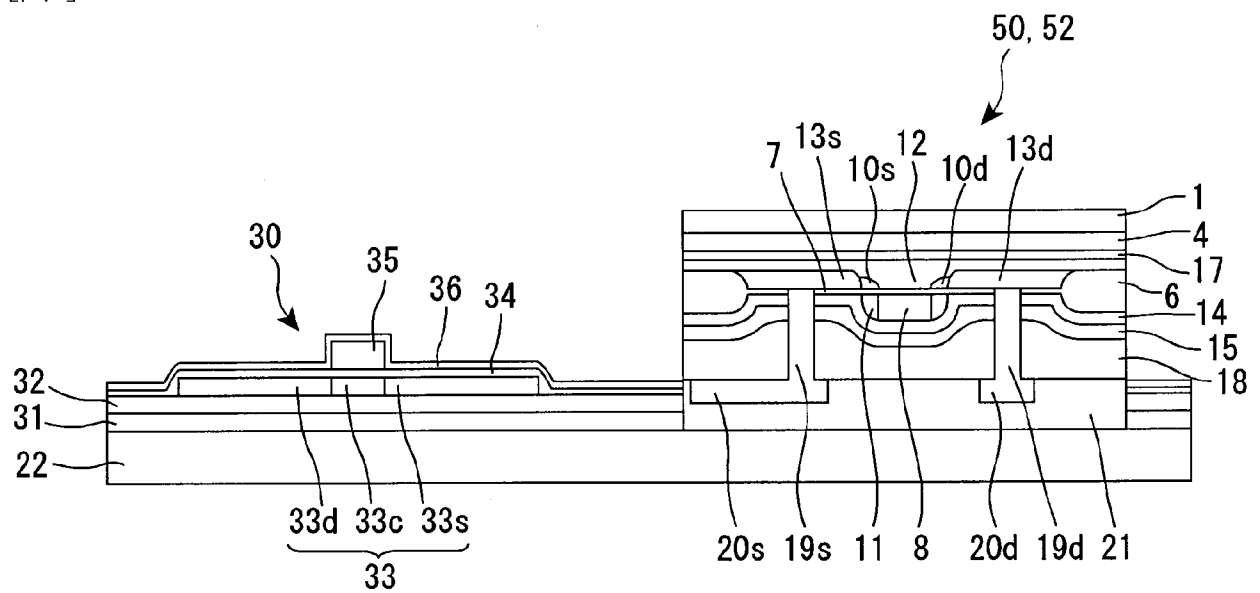
[図4-12]



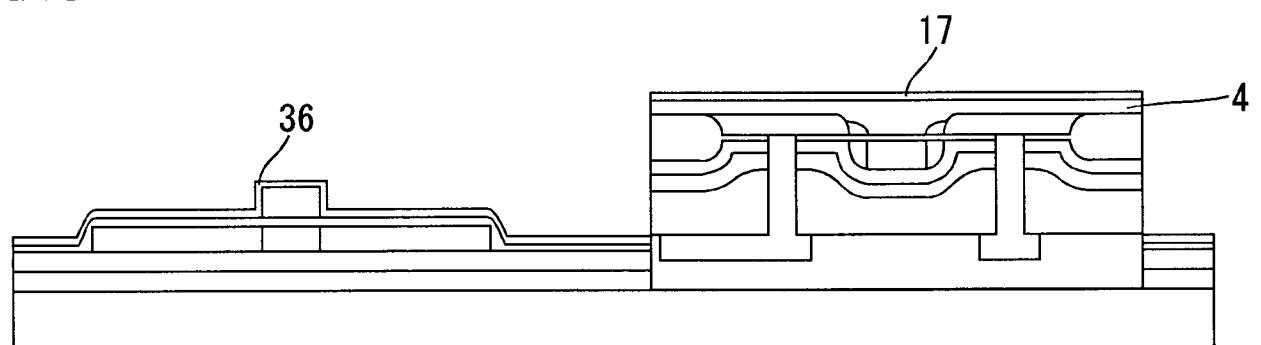
[図4-13]



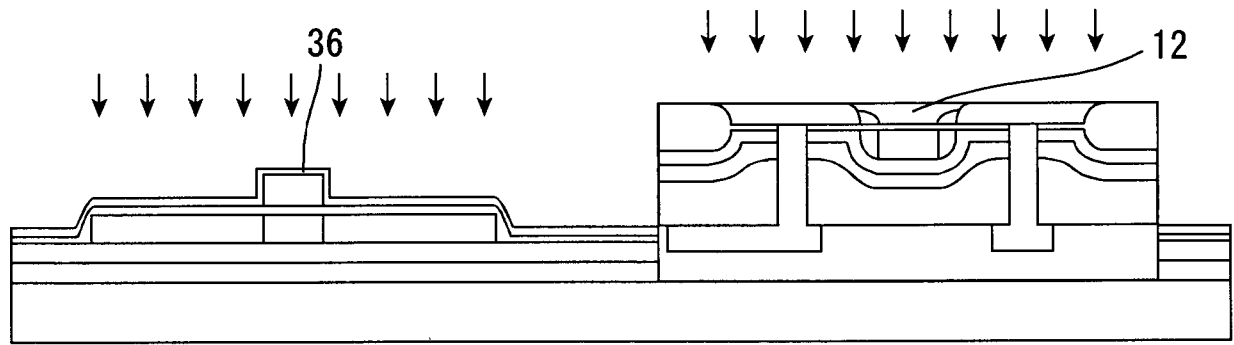
[図5]



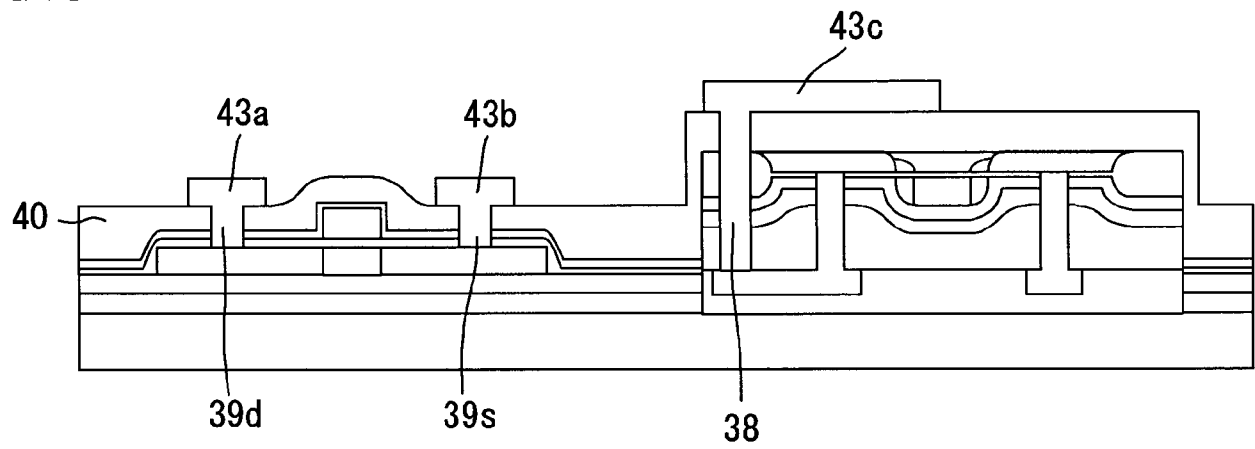
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311957

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02(2006.01) i, G02F1/1368(2006.01) i, H01L21/336(2006.01) i,
H01L27/12(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, G02F1/1368, H01L21/336, H01L27/12, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-165600 A (Sharp Corp.), 10 June, 2004 (10.06.04), Par. Nos. [0168] to [0191]; Fig. 2 & US 2004/0061176 A1 & FR 2844394 A1 & CN 1492481 A & KR 2004027418 A & TW 200416965 A	1 - 14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September, 2006 (05.09.06)

Date of mailing of the international search report
12 September, 2006 (12.09.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/02(2006.01)i, G02F1/1368(2006.01)i, H01L21/336(2006.01)i, H01L27/12(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/02, G02F1/1368, H01L21/336, H01L27/12, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-165600 A (シャープ株式会社) 2004.06.10, 段落【0168】～【0191】、図2 & US 2004/0061176 A1 & FR 2844394 A1 & CN 1492481 A & KR 2004027418 A & TW 200416965 A	1-14

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 9 . 2 0 0 6

国際調査報告の発送日

1 2 . 0 9 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

綿引 隆

4 M

2 9 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2