



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU 258896

## K AUTORSKÉMU OSVĚDČENÍ

(61)  
(23) Výstavní priorita  
(22) Přihlášeno 10 11 86  
(21) PV 8120-86.A

(40) Zveřejněno 15 01 88  
(45) Vydáno 19.04.89

(11) B<sub>1</sub>

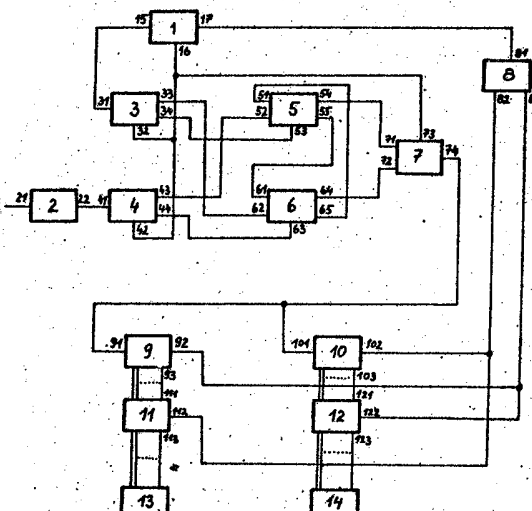
(51) Int. Cl.<sup>4</sup>  
H 02 P 5/16,  
H 02 P 5/172

(75)  
Autor vynálezu

ČERNOCH PETR ing., BRNO

(54) Obvody připojení fázového měniče k číslicovému počítači

Obvody jsou provedeny tak, že výstup aktivního filtru je připojen na signálový vstup prvního synchronizačního obvodu, jehož první výstup je připojen na hodinový vstup prvního fázového diskriminátoru a druhý výstup je připojen na nezávislý nastavovací vstup druhého fázového diskriminátoru, jehož první výstup je připojen na druhý vstup číslicového sumátoru a druhý výstup je připojen na datový vstup prvního fázového diskriminátoru, jehož první výstup je připojen na první vstup číslicového sumátoru a druhý výstup je připojen na datový vstup druhého fázového diskriminátoru. První výstup časové základny je připojen na signálový vstup druhého synchronizačního obvodu, jehož první výstup je připojen na hodinový vstup druhého fázového diskriminátoru a druhý výstup je připojen na nezávislý nastavovací vstup prvního fázového diskriminátoru. Synchronizační výstup časové základny je zapojen jednak na hodinový vstup prvního synchronizačního obvodu, jednak na hodinový vstup druhého synchronizačního obvodu a jednak na hodinový vstup číslicového sumátoru, jehož výstup je zapojen jednak na signálový vstup prvního binárního čítače a jednak na signálový vstup druhého binárního čítače, jehož výstupy jsou zapojeny na datové vstupy druhé vyrovnávací paměti, jejíž výstupy jsou připojeny k druhému paralelnímu portu číslicového počítače. Druhý výstup časové základny je zapojen na vstup obvodu tvorby impulsů, jehož první výstup je zapojen jednak na nulovací vstup druhého binárního čítače a jednak na zapisovací vstup první vyrovnávací paměti a druhý výstup obvodu tvorby impulsů je zapojen jednak na zapisovací vstup první vyrovnávací paměti a jednak na nulovací vstup prvního binárního čítače, jehož výstupy jsou zapojeny na datové vstupy první vyrovnávací paměti, jejíž výstupy jsou zapojeny k prvnímu paralelnímu portu číslicového počítače.



Vynález se týká obvodů připojení fázového měniče k číslicovému počítači.

Elektrické pohony používají fázové měniče na ně mechanicky vázané k odměřování polohy. Stator fázového měniče je napájen signály  $\sin$  a  $\cos$  o určité frekvenci a to buď signálem spojitým, nebo signálem vytvořeným digitálně. Harmonický signál odebíraný z rotoru o stejném kmitočtu jako signál budící, ale lišící se fázovým posunem podle úhlu natočení hřídele je filtrován a ve fázovém diskriminátoru porovnáván s referenčním signálem. U elektrických pohonů analogového typu je výstupní signál z fázového diskriminátoru převeden na stejnosměrné napětí, jehož velikost udává polohovou odchylku. Elektrické regulační pohony s číslicovým regulátorem s mikroprocesorem mají v porovnání s analogovými pohony vyšší užitnou hodnotu dosaženou kvalitativním posunem parametrů regulace včetně možnosti snadného provádění adaptivní a optimální regulace.

Dosud známé obvody připojení fázového měniče k číslicovému počítači sestávají z filtru, na který je napojen fázový diskriminátor, porovnávající fázi signálu z filtru s fází referenčního signálu. Výstupem z číslicového fázového diskriminátoru je posloupnost impulsů, jejichž počet je úměrný úhlu natočení. Posloupnost impulsů je přivedena na čítač, na jehož výstup je připojena vyrovnávací paměť. Toto uspořádání obvodů je vhodné zejména u nereverzačních pohonů. Při použití pohonů reverzačních dochází při otočení hřídele přes nulovou referenční hodnotu záporným směrem k úniku informace, a tím pak k následné nepřesnosti v hodnotě čísla v doplňkovém kódu, které udává fázové posunutí. Další nevýhodou tohoto řešení, projevující se u obou směrů otáčení je to, že převod fázového natočení ve tvaru čísla z čítače přes vyrovnávací paměť

na datovou sběrnici počítače není v okolí hraničních hodnot fázového natočení zejména u záporného smyslu otáčení přesný. Nepřesnost je způsobena tím, že doba, ve které by čítač načítal krajní impulsy podstatné pro přesnou velikost čísla hodnoty fázového natočení, musí být využita pro nutný přepis dat a nulování.

Výše uvedené nevýhody jsou odstraněny obvody připojení fázového měniče k číslicovému počítači podle vynálezu, jehož podstatou je to, že výstup aktivního filtru je připojen na signálový vstup prvního synchronizačního obvodu, jehož první výstup je připojen na hodinový vstup prvního fázového diskriminátoru a druhý výstup je připojen na nezávislý nastavovací vstup druhého fázového diskriminátoru, jehož první výstup je připojen na druhý vstup číslicového sumátoru a druhý výstup je připojen na datový vstup prvního fázového diskriminátoru, jehož první výstup je připojen na první vstup číslicového sumátoru a druhý výstup je připojen na datový vstup druhého fázového diskriminátoru. První výstup časové základny je připojen na signálový vstup druhého synchronizačního obvodu, jehož první výstup je připojen na hodinový vstup druhého fázového diskriminátoru a druhý výstup je připojen na nezávislý nastavovací vstup prvního fázového diskriminátoru. Synchronizační výstup časové základny je zapojen jednak na hodinový vstup prvního synchronizačního obvodu, jednak na hodinový vstup druhého synchronizačního obvodu a jednak na hodinový vstup číslicového sumátoru, jehož výstup je zapojen jednak na signálový vstup prvního binárního čítače a jednak na signálový vstup druhého binárního čítače, jehož výstupy jsou zapojeny na datové vstupy druhé vyrovnávací paměti, jejíž výstupy jsou připojeny k druhému paralelnímu portu číslicového počítače. Druhý výstup časové základny je zapojen na vstup obvodu tvorby impulsů, jehož první výstup je zapojen jednak na nulovací vstup druhého binárního čítače a jednak na zapisovací vstup první vyrovnávací paměti a druhý výstup obvodu tvorby impulsů je zapojen na zapisovací vstup vyrovnávací paměti a jednak na nulovací vstup prvního binárního čítače, jehož výstupy jsou zapojeny na datové vstupy první vyrovnávací paměti, jejíž výstupy jsou zapojeny k prvnímu paralelnímu portu číslicového počítače.

K hlavním výhodám obvodů připojení fázového měniče k číslicovému počítači podle vynálezu patří přesnost přenosu hodnot fázového

natočení, která je v celém rozsahu odečítání stálá a zaručená pro oba směry otáčení. Číselný tvar, udávající hodnotu fázového natočení na výstupech vyrovnávacích pamětí umožňuje vyhodnotit jak okamžitou fázi, tak i směr a rychlost otáčení přímo výpočtem v číslicovém počítači.

Obvody připojení fázového měniče k číslicovému počítači podle vynálezu jsou v blokovém provedení znázorněny na obr. 1. Na obr. 2 je nakresleno elektrické schéma konkrétního provedení vnitřní struktury jednotlivých bloků a konkrétního provedení vazeb mezi bloky. Na obr. 3 jsou nakresleny časové průběhy na jednotlivých vstupech a/nebo výstupech bloků označené vztahovou značkou těchto vstupů a/nebo výstupů.

Obvody připojení fázového měniče k číslicovému počítači jsou konkrétně provedeny tak, že na výstup 22 aktivního filtru 2 je elektricky připojen signálový vstup 41 prvního synchronizačního obvodu 4. První synchronizační obvod 4 je realizován spojením dvou klopných obvodů typu D - MH 7474, signálový vstup 41 je tvořen datovým vstupem prvního klopného obvodu typu D. První výstup 43 prvního synchronizačního obvodu 4 realizovaný výstupem druhého klopného obvodu typu D je připojen na hodinový vstup 52 prvního fázového diskriminátoru 5 prakticky tvořeného klopným obvodem typu D - MH 7474. Druhý výstup 44 prvního synchronizačního obvodu 4 je připojen na nezávislý nastavovací vstup 63 druhého fázového diskriminátoru 6 realizovaného také klopným obvodem typu D - MH 7474. První výstup 64 druhého fázového diskriminátoru 6 je připojen na druhý vstup 72 číslicového sumátoru 7. Číslicový sumátor 7 sestává se vzájemně propojených logických obvodů NOR, NAND a hradla. Druhý výstup 65 druhého fázového diskriminátoru 6 je připojen na datový vstup 51 prvního fázového diskriminátoru 5, jehož první výstup 54 je připojen na první vstup 71 číslicového sumátoru 7. Druhý výstup 55 prvního fázového diskriminátoru 5 je připojen na datový vstup 61 druhého fázového diskriminátoru 6. Časová základna 1 je realizovaná klasickým zapojením krystalem řízeného generátoru o kmitočtu  $5 \cdot 10^6$  Hz se systémem děliček kmitočtu z obvodů MH 7490 a MH 7493. První výstup 15 časové základny 1 je připojen na signálový vstup 31 druhého synchronizačního obvodu 3 provedeného ze dvou klopných obvodů typu D - MH 7474.

První výstup 33 druhého synchronizačního obvodu 3 je připojen na hodinový vstup 62 druhého fázového diskriminátoru 6 a druhý výstup 34 je připojen na nezávislý nastavovací vstup 53 prvního fázového diskriminátoru 5. Synchronizační výstup 16 časové základny 1 je zapojen jednak na hodinový vstup 42 prvního synchronizačního obvodu 4, jednak na hodinový vstup 32 druhého synchronizačního obvodu 3 a jednak na hodinový vstup 73 číslicového sumátoru 7, jehož výstup 74 je zapojen jednak na signálový vstup 91 prvního binárního čítače 9 a jednak na signálový vstup 101 druhého binárního čítače 10. První binární čítač 9 a druhý binární čítač 10 jsou oba, každý zvlášť provedeny ze čtveřice čítačů MH 74 193. Šestnáct výstupů 103 druhého binárního čítače 10 je přímo zapojeno na šestnáct datových vstupů 121 druhé vyrovnávací paměti 12. Druhá vyrovnávací paměť 12 a první vyrovnávací paměť 11 jsou obě, každá samostatně provedeny ze čtveřice obvodů MH 7475. Šestnáct výstupů 123 druhé vyrovnávací paměti 12 je připojeno k druhému paralelnímu portu 14 číslicového počítače s šestnáctibitovým mikroprocesorem. Druhý výstup 17 časové základny 1 je zapojen na vstup 81 obvodu 8 tvorby impulsů, realizovaného z klopných obvodů typu D - MH 7474, hradel MH 7404 a dvojice logických dvojevstupových členů NAND - MH 7400. První výstup 82 obvodu 8 tvorby impulsů je zapojen jednak na nulovací vstup 102 druhého binárního čítače 10 a jednak přes hradlo MH 7404 na zapisovací vstup 112 první vyrovnávací paměti 11. Druhý výstup 83 obvodu 8 tvorby impulsů je zapojen jednak přes hradlo MH 7404 na zapisovací vstup 122 druhé vyrovnávací paměti 12 a jednak na nulovací vstup 92 prvního binárního čítače 9 jehož šestnáct výstupů 93 je zapojeno na šestnáct datových vstupů 111 první vyrovnávací paměti 11. Šestnáct výstupů 113 první vyrovnávací paměti 11 je zapojeno k prvnímu paralelnímu portu 13 číslicového počítače s šestnáctibitovým mikroprocesorem.

Funkce obvodů připojení fázového měniče k číslicovému počítači podle vynálezu je následující: Měřený signál o kmitočtu  $2,5 \cdot 10^3$  Hz z výstupu fázového měniče, vyznačující se fázovým posunutím je veden na vstup 21 aktivního filtru 2, kde jsou odfiltrovány jeho vyšší harmonické složky. Na výstupu 22 aktivního filtru 2 je obdélníkový signál o kmitočtu  $2,5 \cdot 10^3$  Hz, který je veden na signálový vstup 41 prvního synchronizačního obvodu 4. Zároveň s tím je na hodinový vstup 42 tohoto obvodu veden obdélníkový signál o kmitočtu  $5 \cdot 10^6$  Hz, kterým je obdélníkový signál  $2,5 \cdot 10^3$  Hz synchronizován, takže na

prvním výstupu 43 se objeví impuls, charakterizující polohu náběžné hrany obdélníkového signálu. Tento impuls nazveme fázový impuls. Na druhém výstupu 44 prvního synchronizačního obvodu 4 se objeví negace fázového impulsu. Totéž se děje ve druhém synchronizačním obvodu 3, na jehož signálový výstup 31 je veden referenční signál o kmitočtu  $2,5 \cdot 10^3$  Hz. Na prvním výstupu 33 tohoto obvodu je pak impuls, dále jen referenční impuls, charakterizující polohu náběžné hrany referenčního obdélníkového signálu  $2,5 \cdot 10^3$  Hz a na druhém výstupu 34 je jeho negace. Funkce prvního fázového diskriminátoru 5 a druhého fázového diskriminátoru 6 spočívá v tom, že tyto obvody vyhodnocují časový odstup referenčního a fázového impulsu tak, že jejich výstupem je šířkově modulovaný signál. Podle smyslu otáčení motoru pak fázi vyhodnocuje buď jen první fázový diskriminátor 5 a na prvním výstupu 64 druhého fázového diskriminátoru 6 je logická nula -/záporný smysl otáčení/, nebo fázi vyhodnocuje jen druhý fázový diskriminátor 6 a na prvním výstupu 54 prvního fázového diskriminátoru 5 je logická nula -/kladný smysl otáčení/.

Šířkově modulovaný signál jde dále do číslicového sumátoru 7 na jehož výstupu 74 je posloupnost impulsů, jejichž počet odpovídá fázi natočení. Posloupnost impulsů je přiváděna jednak na signálový vstup 91 prvního binárního čítače 9 a jednak na signálový vstup 101 druhého binárního čítače 10. Činnost prvního binárního čítače 9, druhého binárního čítače 10, první vyrovnávací paměti 11 a druhé vyrovnávací paměti 12 zajišťuje obvod 8 tvorby impulsů do jehož vstupu 81 je přiveden obdélníkový signál o dvojnásobném kmitočtu než je kmitočet referenčního signálu - tedy  $5 \cdot 10^3$  Hz. Obvod 8 tvorby impulsů z tohoto signálu vytvoří dva impulsní signály, které slouží pro střídavé nulování prvního binárního čítače 9 a druhého binárního čítače 10 a střídavý přepis obsahu první vyrovnávací paměti 11 na první paralelní port 13 číslicového počítače a obsahu druhé vyrovnávací paměti 12 na druhý paralelní port 14 číslicového počítače. Periodicky je vždy provedeno nulování prvního binárního čítače 9 a přepis obsahu druhé vyrovnávací paměti 12 zároveň a v odstupu poloviny periody referenčního signálu nulování druhého binárního čítače 10 a přepis obsahu první vyrovnávací paměti 11 též zároveň. Tím je zaručeno to, že údaj o natočení fáze je v každém sledovaném okamžiku přesný a jeho hodnota je dána součtem obsahů obou vyrovnávacích pamětí. Součet je prováděn v číslicovém počítači.

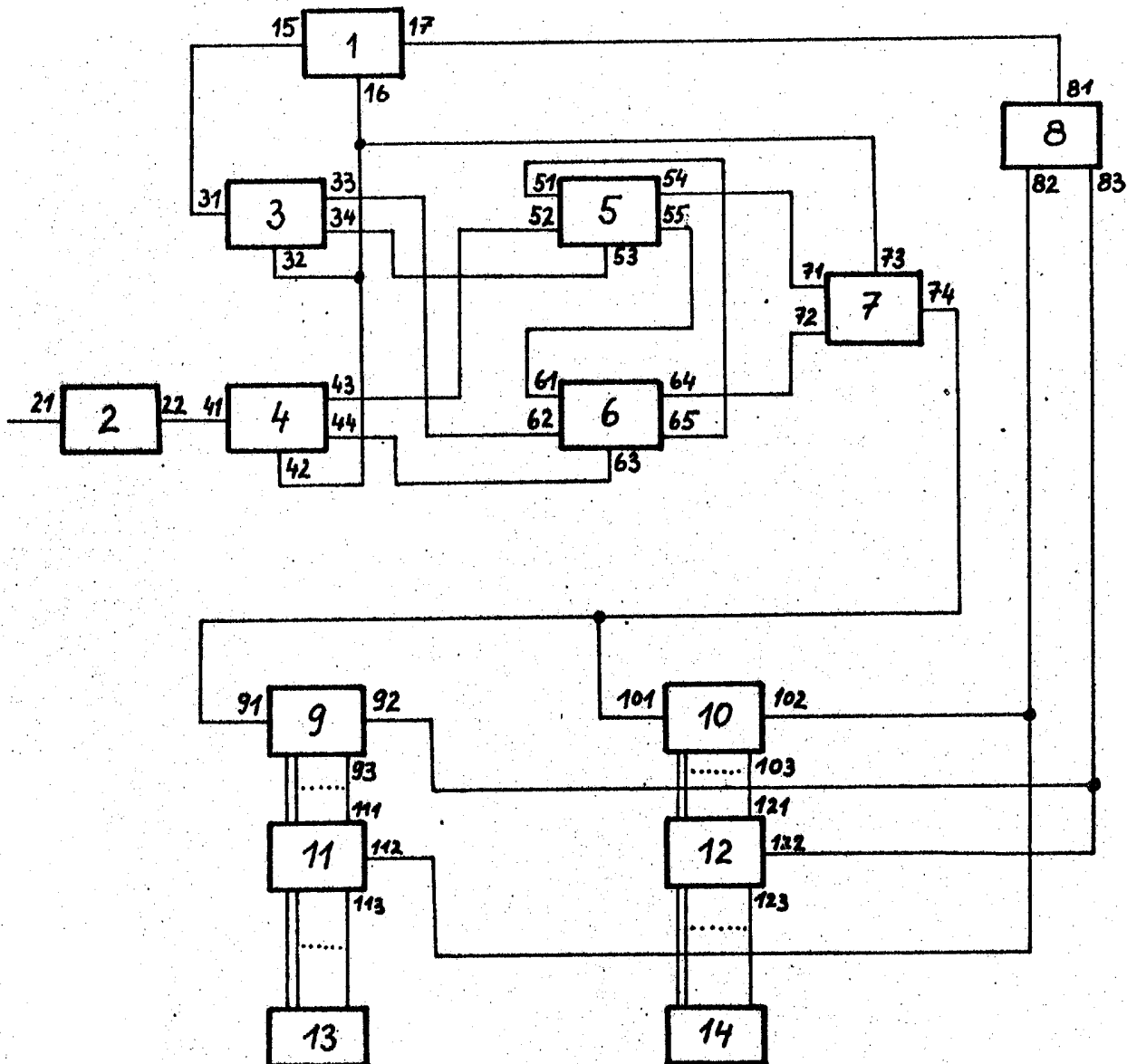
Pro výše uvedenou realizaci obvodů připojení fázového měniče k číslicovému počítači podle vynálezu je typické to, že při maximální rychlosti otáčení motoru 1100 otáček za minutu je v průběhu jedné otáčky provedeno 150 měření fázového natočení s přesností  $10^{-3}\pi$  rad.

PŘEDMĚT VYNÁLEZU

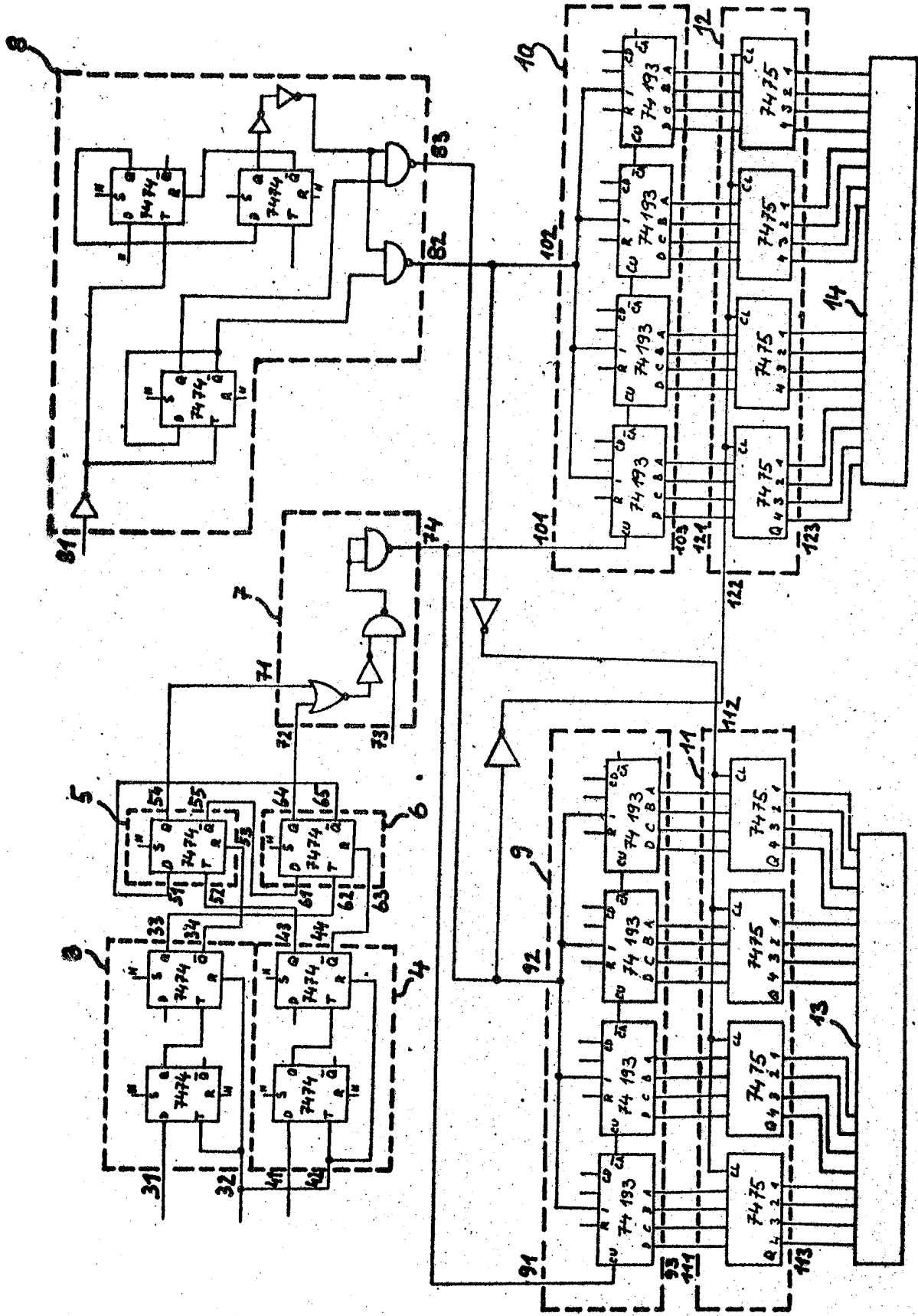
Obvody připojení fázového měniče k číslicovému počítači, obsahující aktivní filtr s výstupem připojeným na číslicový fázový diskriminátor na jehož výstup je připojený vstup čítače s výstupem na vyrovnávací paměť, přičemž na číslicový fázový diskriminátor, čítač a vyrovnávací paměť jsou přivedeny výstupy z časové základny, vyznačující se tím, že výstup /22/ aktivního filtru /2/ je připojen na signálový vstup /41/ prvního synchronizačního obvodu /4/, jehož první výstup /43/ je připojen na hodinový vstup /52/ prvního fázového diskriminátoru /5/ a druhý výstup /44/ je připojen na nezávislý nastavovací vstup /63/ druhého fázového diskriminátoru /6/, jehož první výstup /64/ je připojen na druhý vstup /72/ číslicového sumátoru /7/ a druhý výstup /65/ je připojen na datový vstup /51/ prvního fázového diskriminátoru /5/, jehož první výstup /54/ je připojen na první vstup /71/ číslicového sumátoru /7/ a druhý výstup /55/ je připojen na datový vstup /61/ druhého fázového diskriminátoru /6/, přičemž první výstup /15/ časové základny /1/ je připojen na signálový vstup /31/ druhého synchronizačního obvodu /3/, jehož první výstup /33/ je připojen na hodinový vstup /62/ druhého fázového diskriminátoru /6/ a druhý výstup /34/ je připojen na nezávislý nastavovací vstup /53/ prvního fázového diskriminátoru /5/, přičemž synchronizační výstup /16/ časové základny /1/ je zapojen jednak na hodinový vstup /42/ prvního synchronizačního obvodu /4/, jednak na hodinový vstup /32/ druhého synchronizačního obvodu /3/ a jednak na hodinový vstup /73/ číslicového sumátoru /7/, jehož výstup /74/ je zapojen jednak na signálový vstup /91/ prvního binárního čítače /9/ a jednak na signálový vstup /101/ druhého binárního čítače /10/, jehož výstupy /103/ jsou zapojeny na datové vstupy /121/ druhé vyrovnávací paměti /12/, jejíž výstupy /123/ jsou připojeny k druhému paralelnímu portu /14/ číslicového počítače, přičemž druhý výstup /17/ časové základny /1/ je zapojen na vstup /81/ obvodu /8/ tvorby impulsů, jehož první výstup /82/ je zapojen jednak na nulovací vstup /102/ druhého binárního čítače /10/ a jednak na zapisovací vstup /112/ první vyrovnávací paměti /11/ a druhý výstup /83/ obvodu /8/ tvorby impulsů je zapojen jednak na zapisovací vstup /122/ druhé vyrovnávací paměti /12/ a jednak na nulovací vstup /92/ prvního binárního čítače /9/, jehož výstupy /93/ jsou zapojeny na datové vstupy /111/ první vyrovnávací paměti /11/,

jejíž výstupy /113/ jsou zapojeny k prvnímu paralelnímu portu /13/ číslicového počítače.

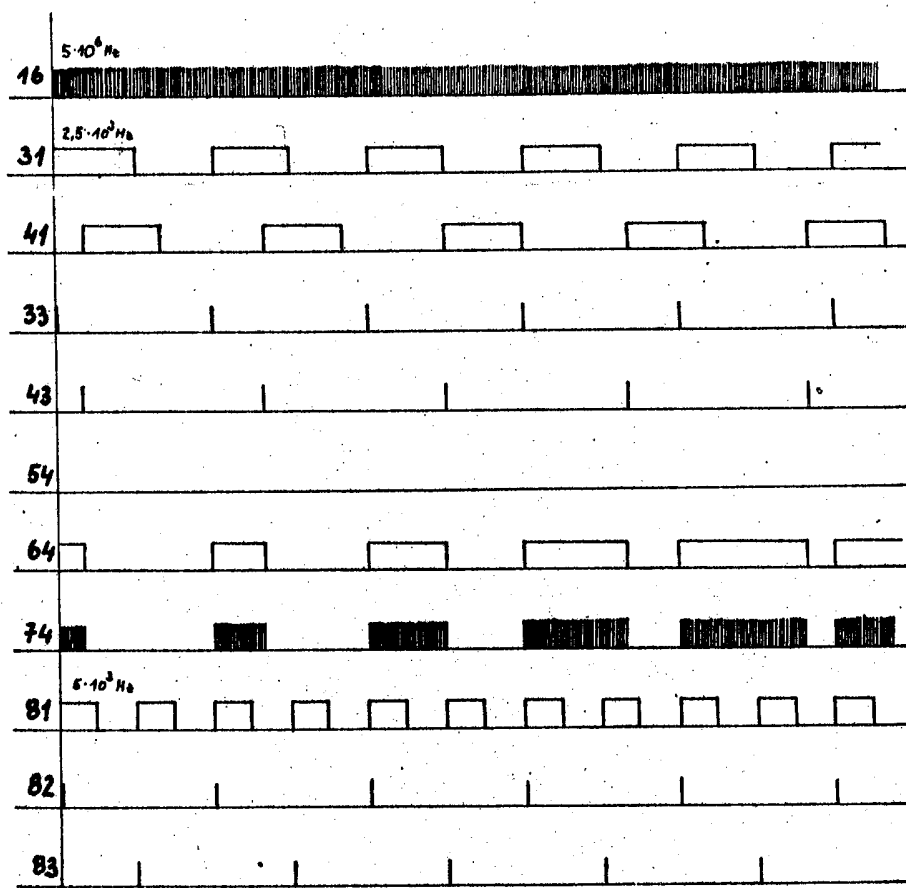
3 výkresy



Obr. 1



Obr. 2



Obr. 3