

# 公告本

|      |               |
|------|---------------|
| 申請日期 | 89 年 5 月 31 日 |
| 案 號  | 89110616      |
| 類 別  | H03K 17/56    |

A4  
C4

453031

(以上各欄由本局填註)

## 發明專利說明書

|              |               |                                                                                                                                                      |
|--------------|---------------|------------------------------------------------------------------------------------------------------------------------------------------------------|
| 一、發明<br>名稱   | 中 文           | 活性下衝硬化場效應電晶體開關                                                                                                                                       |
|              | 英 文           | Active undershoot hardened fet switch                                                                                                                |
| 二、發明人<br>創作人 | 姓 名           | (1) 崔諾·古德爾 Goodell, Trenor F.<br>(2) 麥昂·密斯克 Miske, Myron J.                                                                                          |
|              | 國 籍           | (1) 美國 (2) 美國                                                                                                                                        |
|              | 住、居所          | (1) 美國緬因州皮克斯島中央路二十七號<br>27 Central Avenue, Peaks Island, Maine 04108, U.S.A.<br>(2) 美國新罕布夏州新田市芬蘭路三十四號<br>34 Finn Avenue, Newfields, NH 03856, U.S.A. |
|              | 代 表 人<br>姓 名  | (1) 史蒂芬·史考特 Schott, Stephen                                                                                                                          |
| 三、申請人        | 姓 名<br>(名稱)   | (1) 費爾契德半導體公司<br>Fairchild Semiconductor Corporation                                                                                                 |
|              | 國 籍           | (1) 美國                                                                                                                                               |
|              | 住、居所<br>(事務所) | (1) 美國緬因州南波特蘭市朗尼丘路八十二號<br>82 Running Hill Road, South Portland, Maine 04106,<br>U.S.A.                                                               |
|              | 代 表 人<br>姓 名  | (1) 史蒂芬·史考特 Schott, Stephen                                                                                                                          |

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大類：       |
| I P C 分類： |

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國

1999 年 10 月 4 日 09/412,038

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明(1)

### 發明之背景

#### 1. 發明之領域

本發明係關於電子開關。本發明尤指半導體開關，包括以一個或多個金屬－氧化物－半導體（metal-oxide-semiconductor，簡稱MOS）電晶體所形成者。本發明更尤指N－型MOS（NMOS）場效應電晶體（fieldeffecttranistor，簡稱FET）匯流排開關。

#### 2. 先前技藝之說明

在半導體技術上之發展，已能產生低成本，高度可靠之開關，其有效為機械式繼電器之實施。其經發現具有特定用途，在實施時，作為單極，單擲型繼電器，但並不限於此。半導體開關越來越多使用作為先前機械式繼電器之替代，由於可利用高切換速度，以及其能傳送相對高電流，而不故障。此等開關常稱作轉移閘或旁路電晶體，因為其採用電晶體（通常為MOS電晶體）之特徵，以允許或防止訊號之通過。

開關廣泛使用於很多領域，係人們所熟知者。其使用在所有各種大小比例消費者產品，包括，但不限於，汽車及家用電子裝置。其可並使用作為類比路由器，閘，及繼電器。其也使用作為數位多工器，路由器，及閘。

人們曾發展成功若干供數位及類比應用之先前技藝轉移閘。最近之創新曾提供方法，供在較低電源電位諸如

3. 3 伏及 2. 5 伏操作，而同時在輸入值超過高及低電

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(2)

位功率軌條值時，提供某種維持隔離之方法。亦即，在轉移閘輸入電位正超過高電位軌條  $V_{cc}$  時，或其負超過低電位軌條  $GND$  時。圖 1 中示一種業經相對常使用之此種裝置。

一互補對之電晶體，NMOS 電晶體  $M_1$  及 PMOS 電晶體  $M_2$ ，在節點 A 與 B 之間傳導訊號，其中每一此等節點為可耦合至一擴充電路。在一控制訊號  $OEN$ （在圖 1 中所示與節點 A 關連作為輸入，僅供例示之目的，但其也可與節點 B 關連作為輸入）為邏輯“高”或“1”時，電晶體  $M_1$  接通，並且由於反相器 11 所產生之反相，電晶體  $M_2$  也接通。在此狀況，二電晶體為“接通”，並且在節點 B 之電位，基本上與在節點 A 之電位相同。在  $OEN$  為在邏輯“低”或“0”時，二電晶體均為斷開，並對在節點 A 與 B 之間任何訊號之傳送存在高阻抗。對於所有在節點 A 或 B 之電位為少於高電位功率軌條  $V_{cc}$ ，並大於低電位功率軌條  $GND$  之電位，確為如此。然而，在輸入或輸出節點為大於  $V_{cc}$  或少於  $GND$  時，在電晶體  $M_1$  之閘與代表性邏輯低及在  $M_2$  之閘與代表性邏輯高關連之電位，不足以使此等電晶體保持斷開。供電位大於  $V_{cc}$ ， $M_2$  將會接通，供電位少於  $GND$ ， $M_1$  將會接通，而不管在輸入  $OEN$  所加之邏輯電平。因此，在輸入或輸出之超電壓狀況，將會導致  $M_1$  及  $M_2$  允許  $OEN$  視為應該予以阻斷之訊號通過。一種低電壓狀況在相同  $OEN$  狀況下將會同樣通過。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

### 五、發明說明 (3)

供此揭示之目的，”超電壓”及”低電壓”二詞意爲所提及之電位變化發生在靜態（DC）狀況以及動態（AC）狀況下。爲該原因，可與上衝可互換式使用超電壓。同樣，可與下衝可互換式使用低電壓。在OEN視爲此狀況應該予以阻斷時，通過任何此等狀況，爲不合乎希望。

圖2中示一種設計爲解決與圖1之互補轉移開關連之至少一部份問題之裝置。該裝置包括除去PMOS電晶體M2，任令NMOS電晶體M1耦合在節點A與B之間，其中節點A爲來自第一擴充電路之輸入，或至其之輸出，及節點B爲來自第二擴充電路之輸入，或至其之輸出。如前面情形，控制節點OEN予以設計爲控制M1之啓動。在操作時，一自OEN至M1之閘之邏輯電平高，使M1接通，並藉以允許訊號在節點A與B之間通過。一邏輯電平低使M1斷開，並阻斷在A與B之間傳送訊號。消除電晶體M2，解決在節點A或節點B之電位因爲無電晶體接通而超過Vcc時之問題。不幸的是，其並未消除在負電壓超過GND之狀況下，轉移開將會在其應該斷開時接通之可能性。

圖3中示一種替代及較複雜先前轉移開。該裝置包括一連串成對之NMOS旁路電晶體。在OEN發射邏輯低或”斷開”訊號時，即使在超過Vcc及GND時，圖3之電路也將會保持斷開。因此，此電路爲圖2中所示電路之一種合理替代性。然而，依特定電晶體之特徵及耦合而

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明<sup>(4)</sup> )

定，與使用二串聯 N M O S 電晶體關連之有效汲極－源極電阻 R D S，為幾百歐姆。雖然該電阻在類比裝置為可接受，但其在 R C 時間常數在電路之操作速率為關鍵性考慮之數位系統，則非如此。因此，此轉移閘將不特別適合以愈來愈快速率操作之數位電路。

授予 H u i 等人之美國專利 5，808，502 號，說明與一電晶體及二串聯電晶體用以在節點或墊片之間傳送選定訊號關聯所提及之若干問題。H u i 提供一種通過使用一加料泵，增加電位供給至電晶體之閘之解決辦法。此種解決辦法有其本身問題，包括 H u i 通過增加一電容器耦合至加料泵所尋求解決之雜訊問題。然而，H u i 解決辦法包括使用串聯電晶體以維持隔離。串聯電晶體途徑不利於使用者，由於啟動之串聯電晶體轉移閘，其電容為遠高於一單一電晶體轉移閘者。二 F E T 裝置之電容均存在於轉移閘之 I / O 埠。

宜於實際如在圖 2 之電路所示，有一轉移閘利用一單一 N M O S 電晶體作為 F E T 開關操作。這將針對在電路實際如圖 3 中所示時，在開關電路之輸出所經驗相對高電阻及相對高電容之問題。然而，在有一寄生二極管連接在電晶體之源極或汲極與其本體間之下衝狀況時，圖 2 之先前單一 N M O S 開關為不可接受。本體連結至通常標記為接地之低電位功率軌條。在低電位軌條在電壓下衝狀況時，依其為在電位少於接地電位而定，寄生二極管將電流自接地傳導至輸入節點或輸出節點。在該狀況下，電流將會

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(5)

自輸出節點移動至輸入節點，藉以導使破壞否則發生在輸出節點之訊號傳輸。這可能在 O E N 獨立於啓動訊號之狀況發生。

單一 N M O S F E T 開關之物理結構，其二特徵導致此明顯不希望有之寄生傳導狀況。第一爲一寄生雙極 N P N 電晶體之構成。第二爲在某些下衝情況，NMOSFET 開關之無意中接通。關於第一狀況，汲極（N - 型集電極），電晶體本體（P - 型基極），及源極（N - 型射極）形成 N P N 電晶體。目前使用於次微米製程之電晶體製造步驟，在此共基極寄生雙極電晶體，可能產生共射極增益（ $\beta$ ）約爲 10 同等之電流增益。因此，在下衝狀況時，自低電位軌條移動至較多負輸入節點之相對小電流，在自輸出節點移動至輸入節點之不希望寄生電流，產生十倍增加。當然，在理想之 F E T 開關，除非特別啓動，應該無電流自輸出節點流動至輸入節點。

與先前單 F E T 開關之寄生二極管關連之其他不希望之狀況，係關於在下衝事件時，F E T 開關之無意中接通。特別是，在電晶體之基板產生足夠電流，在電晶體之本體導致電壓降足以使電晶體接通時發生此情形。如果在低電位軌條與較低電位電路節點之間產生電流，導致穿過基板／本體電阻之下降，至少同等於電晶體之界限接通電位  $V_{TN}$ ，電晶體將會使電流自一電路節點傳導至另一節點。

可看出在開關中止時，必要使主要 F E T 本體與接地

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 (6)

隔離，俾防止寄生 N P N 雙極電晶體狀況。然而，為針對第二問題狀況，必要使主要電晶體之閘電位保持實際與其本體電位相同。圖 4 中示一在一種被動配置解決此等問題之相關電路。在該電路，開關 10 包括一第一判優器電路 20，一第二判優器電路 30，一假低電位軌條 P G N D，一本體電位耦合電路 40，及傳送電晶體 M 1。一由一標準高電位功率軌條 V c c 所供給之啓動控制器電路 50，用以界定一可選擇訊號，以啓動傳送電晶體 M 1。一藉輸出啓動節點 O E N 來自一控制電路（未示）之啓動訊號，通過電路 50 耦合至 M 1 之閘及假低電位功率軌條 P G N D。電晶體 M 1 為在節點 A 與 B 之間傳送訊號之主要調節器，並為一以一隔離 P - 型阱形成之 N - 型 M O S 電晶體。依訊號在耦合至此二節點外部電路之間通過之方向而定，節點 A 或節點 B 可為一輸入節點或一輸出節點。

雖然圖 4 之電路針對下衝及上衝情況之先前問題，其依然需要一種約一界限電位下降（ $V_t$ ），可能約 0.6 V 之觸發狀況（低電壓或超電壓）。亦即，在該電路需要一足夠大小之差分訊號，以啓動比較器足夠將傳送電晶體之本體連結至假低電位功率軌條。在宜於更迅速針對超/低問題之情況，可能有一種與圖 4 之電路之解決辦法關連之不希望之滯後。因此在有些情況，較佳將為較之通過圖 4 之被動電路所可能更迅速啓動至假軌條之連接。

因此，所需要者為一種 F E T 開關，其使主要 F E T 本體與接地隔離（供低電壓狀況），並且使主要 F E T 之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(7)

閘電位維持在或約在該電晶體之本體之電位。也需要者為一種較之先前開關提供較少電阻及電容之 F E T 開關。而且，所需要者為一種可予以可選擇式啟動，以使一節點與相對小之超電壓或低電壓電位偏差隔離之 F E T 開關。

### 發明之概述

本發明之一項目的，為提供一種半導體電路，其作用如一供數位及類比操作之開關。本發明之一項目的，也為提供一種半導體開關，其為一轉移閘或傳遞閘，可操作供寬廣範圍之供給電壓，包括少於五伏之供給電壓。本發明之又一目的，為提供一種轉移閘電路，其以在下衝狀況時所預計之方式保持可操作。作為該目的之一部份，包括目的為提供一種 F E T 開關，其在開關中止時使主要 F E T 本體與接地隔離，俾防止一種寄生 N P N 雙極電晶體狀況。又一目的為使主要電晶體之閘電位保持實際相同於或低於其本體電位。一項目的為提供此種 F E T 開關電路，具有減少之電阻及電容特徵，並且其使供使用者之性能最佳。最後，本發明之一項目的，為提供此種開關電路具有邏輯裝置，以使使用者能使開關主動硬化，俾使其與相對小超電壓或低電壓變化隔離。

在本發明通過引用一可耦合至先前所說明主要傳遞閘電晶體之本體之邏輯感測器分支電路，而達成此等及其他諸多目的。本發明之 F E T 開關電路，包括感測器分支電路，予以耦合至高及低電位功率軌條，及耦合至其可耦合

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(8)

至之電路之輸入及／或輸出節點。感測器分支電路及形成其一部份之邏輯驅動器，使輸入／輸出傳送裝置之主要 F E T 開關在所有輸入／輸出電壓狀況下隔離。總之，使用圖 4 中所示先前技藝之單一 N M O S 電晶體作為開關。一控制分支電路耦合至該單一 N M O S 電晶體之間。感測器分支電路耦合至單一 N M O S 電晶體之本體。感測器分支電路，予以設計為在啟動時，相對於在第一及第二（可為輸入或輸出）電路節點之電位，調節主要開關電晶體之本體之電位。如有電路節點，感測器分支電路選擇二電路節點之何者為少於接地，並保證來自該節點之訊號作為本體電位供給至本發明之主要開關電晶體之本體。因此，本發明之主要開關或傳送電晶體之本體將會始終在可能之最低電位，並因此將會不產生寄生傳導電位狀況。

感測器分支電路可以若干已知方式之任何方式產生，並且較佳為一邏輯裝置。特別是，一差分電路諸如一差分比較器，經確定可用以評量低軌條與每一電路節點間之電位差異。自差分感測電路所獲得之輸出，為一互補對之輸出訊號，其引入至一個或多個供輸出適當訊號之邏輯閘，以保證與任一電路節點關連之少於接地電位耦合至傳遞閘電晶體之本體。請予察知，提供一差分感測電路，供每一電路節點，其中電路節點及接地功率軌條為至電路供比較之輸入。

用以將電路節點適當耦合至傳遞閘電晶體之本體之邏輯閘，可為精於此項技藝者所擬想之任何種類。通過差分

（請先閱讀背面之注意事項再填寫本頁）

裝  
訂  
線

## 五、發明說明<sup>(9)</sup>

感測電路之選定敏感度，可達成系統之訂製，俾界定在主要電晶體之本體至電路節點之耦合導致改變之下衝狀況。當然，在電路節點不在下衝（或上衝）狀況時，閘電晶體之本體通常連結至接地。另外電路保證訊號傳送在尋常狀況下不受到抑制。

本發明之電路另包括一控制器電路，設計為以一種在所有狀況下，保證匯流排開關之完全操作能力之方式，將傳送電晶體之閘連結至啟動訊號。特別是，控制器電路較佳為包括在一鏈之一個或多個反相器組，有其輸出耦合至傳送電晶體之閘。反相器之輸出也較佳為耦合至一本體電位耦合電路，其在啟動時保證匯流排開關之標準操作。

檢視本發明實施例之下列詳細說明，附圖，及後附申請專利範圍，將會明白本發明之此等及其他諸多優點。附圖之簡要說明

圖 1 為一先前技藝轉移閘之簡化示意圖，有一 C M O S 電晶體對作為傳送裝置之主要傳送元件。

圖 2 為一先前技藝轉移閘之簡化示意圖，有一單一增強模式 N M O S 電晶體作為傳送裝置。

圖 3 為一先前技藝轉移閘之簡化圖，有一連串之 M O S 電晶體作為傳送裝置之主要傳送組件。

圖 4 為一先前技藝轉移閘之簡化圖，包括一在某些狀況下，供下衝避免之被動系統。

圖 5 為本發明之活性下衝耐受 F E T 開關電路之示意方塊圖，示一 N M O S 電晶體配合一邏輯感測器電路及一

（請先閱讀背面之注意事項再填寫本頁）

裝  
訂  
線

## 五、發明說明(10)

控制器，作為可耦合至一擴充電路之匯流排開關之主要傳送組件。

圖 6 為本發明之活性下衝耐受 F E T 開關之示意方塊圖，示裝置啟動電路之若干細部。

圖 7 為本發明之主動差分邏輯感測器電路之一種較佳配置之簡化示意圖，示本發明之一對差分比較器分支電路。

圖 8 為本發明之差分比較器分支電路對之一之一種較佳配置之略圖。

### 主要元件對照

|        |         |
|--------|---------|
| IV1    | 第一反相器   |
| IV2    | 第二反相器   |
| IV3    | 第三反相器   |
| IV4    | 第四反相器   |
| IV5    | 第五反相器   |
| IV6    | 第六反相器   |
| IV7    | 反相器     |
| IV8    | 反相器     |
| M1-M14 | 電晶體     |
| 10     | 開關      |
| 20     | 第一判優器電路 |
| 30     | 第二判優器電路 |
| 40     | 耦合電路    |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(11)

|       |           |
|-------|-----------|
| 50    | 啓動控制器電路   |
| 100   | 開關        |
| 200   | 啓動控制器電路   |
| 300   | 邏輯感測器電路   |
| 301   | 第一差分比較器電路 |
| 302   | 第二差分比較器電路 |
| 340   | 電路        |
| 350   | 驅動器邏輯電路   |
| 360   | 驅動器電路     |
| 361   | A-節點連接器   |
| 362   | B-節點連接器   |
| 363   | GND-軌條連接器 |
| NAND1 | 第一“反及”閘   |
| NAND2 | 第二“反及”閘   |
| NAND3 | 第三“反及”閘   |

## 發明之較佳實施例之詳細說明

圖5中示本發明之一種活性下衝硬化匯流排開關100。開關100包括一由一標準高電位功率軌條V<sub>cc</sub>所供給之啓動控制器電路200，一主要傳送電晶體M1，及一邏輯感測器電路300耦合至電晶體M1之一本體。電晶體M1為在節點A與B之間傳送訊號之主要調節器。一N-型MOS電晶體較佳為形成有一隔離P-型阱。依在耦合至此二節點之外部電路之間，訊號之通過

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (12 )

方向而定，任一節點 A 或節點 B 可為一輸入節點或一輸出節點。啟動控制器電路 200 用於以精於此項技藝者所熟知之一種方式啟動傳送電晶體 M1。邏輯感測器電路

300 在啟動時，用以將電晶體 M1 之本體連結至具有最多負電位之電源，不論其為與節點 A，節點 B，或標準低電位功率軌條 GND 關連之電位。請予察知，電路 200 及電路 300 可以各種方式予以實施。關鍵為允許邏輯感測器電路 300 檢測觸發 M1 本體至一特定輸入／輸出節點或 GND 之連結之電位變化。

圖 6 中示開關 100 之一種較佳設計實例，在 context 包括啟動控制電路 200 之一種設計之細節。為在開關

100 完在利用一單一傳送電晶體，M1 之本體予以耦合至假軌條 Prail。邏輯感測器電路 300 予以耦合至節點 A 及 B 及耦合至 GND，致使在主動時，其復主動界定 Prail 之電位始終為在節點 A，節點 B，或 GND 之電位之較低者。請予察知，開關 100 予以設計為致使 M1 之本體受到”保護”，而不管在節點 A 或節點 B 是否發生下衝。特別是，感測器電路 300 予以耦合至節點 A 及 B 以及 GND，而裝置在本案說明為選擇與此三參考關連之最低電位，以傳輸至 Prail。

圖 6 中所示之電路 100 通過 M1 之本體至 Prail 之連接及電路 300 之構形，阻斷電晶體 M1 之雙極效應所導致之寄生傳導。雙極寄生傳導否則將會在節點 A 及節點 B 發生之下衝事件時發生。然而，由於同等於寄生雙極電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (13)

晶體之基極之 M 1 之本體，將會在任一節點之最低電位，並因此低於在下衝事件時在 G N D 之電位，有不足夠電位導致該裝置之接通。請予察知，邏輯感測器電路 3 0 0 較佳為通過其耦合予以啟動，以啟動節點 O E N，致使在傳送電晶體 M 1 將行予以啟動時，也將會啟動感測器電路 3 0 0。當然，可採用精於邏輯感測器設計者所熟知之替代性裝置，供啟動電路 3 0 0 之替代性方法。

圖 6 之電路 1 0 0 也設計為防止否則在 M 1 內之場效應電位足夠導致閘至本體電位超過  $V_t$  時，所可能發生之寄生傳導。特別是，此係藉使啟動控制器電路 2 0 0 參考 Prail，而非 G N D 所達成。電路 2 0 0 包括第一反相器 I V 1，有一輸入耦合至電路啟動節點 O E N，及一輸出耦合至第二反相器 I V 2。第二反相器 I V 2 包括如圖示所耦合之 P M O S 電晶體 M 2 及 N M O S 電晶體 M 3。第二反相器 I V 2 之輸出予以耦合至第三反相器 I V 3 之輸入。第三反相器 I V 3 包括 P M O S 電晶體 M 4 及 N M O S 電晶體 M 5。第三反相器 I V 3 之輸出予以耦合至傳送電晶體 M 1 之閘，俾控制其操作。請予察知，反相器電晶體 M 3 及 M 5 之源極予以耦合至 Prail，俾防止如較早所述之寄生傳導。

請繼續參照圖 6，有其閘耦合至 I V 1 之輸出，其汲極耦合至 G N D，及其源極耦合至 Prail 之 N M O S 電晶體 M 6，在電路 1 0 0 接通時，提供分流至 Prail。電晶體 M 7 基本上作用如一二極管，在感測器電路 3 0 0 為惰性時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(14)

，使電流能流動通過開關 1 0 0 。在該情形之電流流動係通過第一反相器 I V 1 ，第二反相器 I V 2 ，第三反相器 I V 3 ，並且然後依必要循環通過 M 7 所達成。

如在圖 7 中所例示，本發明之邏輯感測器電路 3 0 0 為一包括一差分放大器電路 3 4 0 之差分邏輯裝置。電路 3 4 0 包括第一差分比較器電路 3 0 1 及一第二差分比較器電路 3 0 2 。開關 1 0 0 之啟動節點 O E N ，或某種其他形式之啟動電路使電路 3 0 1 啟動。其予以設計為自節點 A 及 G N D 接收訊號，以供比較，並且較佳為由功率軌條 V c c 及 G N D 予以供電。其在真輸出節點 A ' 及其互補節點 A ' \_ B A R 提供一互補輸出對。同樣供第二差分比較器電路 3 0 2 ，啟動較佳為通過開關 1 0 0 之啟動節點 O E N ，或某種其他形式之啟動電路。其予以設計為自節點 B 及 G N D 接收訊號，並且較佳為由功率軌條 V c c 及 G N D 予以供電。電路 3 0 2 在真輸出節點 B ' 及其互補節點 B ' \_ B A R 提供一互補輸出對。

電路 3 4 0 之差分訊號 A ' ， A ' \_ B A R ， B ' ，及 B ' \_ B A R 提供輸入訊號至驅動器邏輯電路 3 5 0 ，其復用以調節用以輸出一電位訊號至 Prail 之驅動器電路 3 6 0 之組件驅動器。精於此項技藝者將會容易認知，可採用任何適當構形之邏輯裝置，以建立與驅動器邏輯電路 3 5 0 關連之輸出組。然而，電路 3 0 0 及其相關分支電路通常予以構形為致使在操作時，在節點 A 為在電位少於 G N D 之電位時，使節點 A 連接至 Prail 。在節點 B 為在電位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (15 )

少於 G N D 之電位時，使節點 B 連接至 Prail。在節點 A 及 B 均為在電位高於 G N D 之電位時，使 Prail 連接至 G N D。最後，在節點 A 及 B 均為在電位少於 G N D 之電位時，使 Prail 連接至 G N D。

供例示之目的，圖 7 中所示之特定電路 3 5 0，較佳為包括第一“反及”閘 N A N D 1，有 A' — B A R 及 B' 作為其輸入，而有一輸出耦合至第四反相器 I V 4。電路 3 5 0 另包括第二“反及”閘 N A N D 2，有 A' 及 B' — B A R 作為其輸入，而有一輸出耦合至第五反相器 I V 5。最後，電路 3 5 0 包括第三“反及”閘 N A N D 3，有 A' 及 B' 作為其輸入，而有一輸出耦合至第六反相器 I V 6。電路 3 5 0 之此種配置，保證與節點 A，B，及 G N D 關連之訊號之邏輯比較。

請繼續參照圖 7，反相器 I V 4 — I V 6 之輸出予以單獨耦合至驅動器電路 3 6 0 如下。第一，反相器 I V 4 之輸出耦合至 A — 節點連接器 3 6 1，以形成 N M O S 電晶體 M 9 及 N M O S 電晶體 M 1 0。電晶體 M 9 有一汲極耦合至 A，一閘耦合至 I V 4 之輸出，及一源極耦合至 Prail。電晶體 M 1 0 有一閘耦合至 O E N，一汲極耦合至反相器 I V 4 之輸出，及一源極耦合至 Prail。第二，反相器 I V 5 之輸出耦合至 B — 節點連接器 3 6 2，以形成 N M O S 電晶體 M 1 1 及 N M O S 電晶體 M 1 2。電晶體 M 1 1 有一汲極耦合至 B，一閘耦合至 I V 5 之輸出，及一源極耦合至 Prail。電晶體 M 1 2 有一閘耦合至 O E N，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (16 )

一汲極耦合至反相器 I V 5 之輸出，及一源極耦合至 Prail。最後，反相器 I V 6 之輸出耦合至 G N D - 軌條連接器 3 6 3，以形成 N M O S 電晶體 M 1 3 及 N M O S 電晶體 M 1 4。電晶體 M 1 3 有一汲極耦合至 G N D，一閘耦合至 I V 6 之輸出，及一源極耦合至 Prail。電晶體 M 1 4 有一閘耦合至 O E N，一汲極耦合至反相器 I V 6 之輸出，及一源極耦合至 Prail。重要的是請察知，反相器 I V 4 - I V 6 較佳為三狀態反相器，各包括一 P M O S 電晶體，與 V c c 串聯耦合，致使在 O E N 為高時，特定反相器之 P M O S 電晶體為斷開，藉以在 O E N 為高及反相器 I V 4 - I V 6 之輸出也高時，防止在電晶體 M 1 0，M 1 2，及 M 1 4 之短路狀況。

圖 8 中例示電路 3 0 1 之較佳設計之細節。雖然圖 8 例示並說明在節點 A 與訊號關連之比較器電路，但請予瞭解，電路 3 0 2 可以相同方式予以構形，以供在節點 B 相對於訊號造成一差分訊號。請予察知，供電路 3 0 1 之例證性設計之目的，其操作藉在啟動節點 O E N 所加之訊號予以調節。特別是，P M O S 電晶體 M 1 5，M 1 7，及 M 2 3 有其控制閘耦合至 O E N，因而一在該節點之邏輯高使電路 3 0 1 中止。在加一啟動訊號時，二極管布線 P M O S 電晶體 M 1 6，M 1 8，及 M 2 4 使上拉電晶體能耦合至高電位功率軌條 V c c。差分 P M O S 電晶體對 M 1 9 及 M 2 0 提供電路 3 0 1 之全軌條差分訊號輸出，分別為一加在 A 及 G N D 之訊號之函數。在該方面，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (17 )

M 1 9 之閘耦合至 A ，同時 M 2 0 之閘耦合至 G N D 。

M 1 9 之汲極耦合至二極管布線 N M O S 電晶體 M 2 1 之汲極，及 M 2 0 之汲極耦合至二極管布線 N M O S 電晶體 M 2 2 之汲極。

請繼續參照圖 8 ，下拉 N M O S 電晶體 M 2 5 有效調節互補輸出訊號對之電路 3 0 1 。特別是，在電路 3 0 1 啓動時，包含電晶體 M 2 3 及 M 2 4 之上拉分支為接通。如果 M 2 5 為斷開，至反相器 I V 7 之訊號實際同等於一對應於全軌條 V c c 電位之邏輯高。如果 M 2 5 為斷開，至反相器 I V 7 之訊號實際同等於一對應於全軌條 G N D 電位之邏輯低。因此，在電晶體 M 2 0 為接通時，其將 M 2 5 接通，俾釋出一邏輯低訊號至 I V 7 。為將差分電晶體 M 2 0 接通，如通常所希望，在 G N D 之電位必要少於在節點 A 之電位。然而，在節點 A 發生下衝狀況時，電晶體 M 1 9 將會接通，而電晶體 M 2 0 將不。使用者可選擇確定加至 I V 7 之訊號之節點 A 之電位與 G N D 之電位間之差異，為電晶體 M 1 9 及 M 2 0 之敏感度之函數。雖然圖 4 之電路提供一電壓狀態至電晶體 M 1 之本體，本發明之電路提供一邏輯狀態輸出，其將該本體更確定及更迅速耦合至最低電位。供本發明之目的，吾人觀察到，在節點 A 或在節點 B 約 0 . 0 2 V 之下衝，可能足夠觸發至 Prail 之耦合。

本發明與圖 4 之先前技藝間之差異，在於加至假軌條 Prail 之訊號之驅動。特別是，雖然先前技藝需要約一 V t

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (18 )

差分之下衝狀況，使用差分比較器保證相對較小差異將會觸發全軌條邏輯訊號，保證 Prail 將會強烈耦合至有最低電位之節點或軌條。通過差分電晶體對 M 1 9 及 M 2 0，初始建立該機會，其之輸出為一在反相器 I V 7 之輸出至節點 A'，及其通過反相器 I V 8 至節點 A' — B A R 之互補輸出之全軌條訊號。而且，電路 1 0 0 之增加敏感度，在下衝事件時，較之在先前開關電路之此等事件時，在發生泄漏時，導致較少泄漏通過裝置。

圖 7 中所示包括一對圖 8 中所示型式差分電路之主動邏輯感測器電路 3 0 0 操作如下。在電路 3 0 0 予以啟動時，在 A 之訊號之電位藉電路 3 0 1 與 G N D 之電位比較。在 A 電位少於 G N D 電位時，A' 為一邏輯低，及 A' — B A R 為一邏輯高。在 A 電位等於或大於 G N D 電位時，A' 為一邏輯高，及 A' — B A R 為一邏輯低。同時，在 B 之訊號之電位藉電路 3 0 2 與 G N D 之電位比較。在 B 電位為少於 G N D 電位時，B' 為一邏輯低，及 B' — B A R 為一邏輯高。在 B 電位等於或大於 G N D 電位時，B' 為一邏輯高，及 B' — B A R 為一邏輯低。取 A' 為邏輯低及 B' 為邏輯高之實例，如在 A 有下衝狀況時之情形，驅動器邏輯電路 3 5 0 作用如下。首先，N A N D 1 輸出一邏輯低，I V 4 輸出一邏輯高，及電晶體 M 9 之間為高，致使電路 3 6 1 為主動，俾傳導與節點 A 關連之電位至 Prail，並因此至傳送電晶體 M 1 之本體。同時，N A N D 2 之輸出為高，反相器 I V 5 輸出為低，及電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (19 )

3 6 2 爲惰性。同樣，N A N D 3 之輸出爲高，反相器 I V 6 輸出爲低，及電路 3 6 3 也爲惰性。

供在 B 但非在 A 有下衝之狀況，A' 爲一邏輯高及 B' 爲一邏輯低，並且邏輯驅動器電路 3 5 0 作用如下。首先，N A N D 1 輸出一邏輯高，I V 4 輸出一邏輯低，並且電晶體 M 9 之閘爲低，致使電路 3 6 1 爲惰性。同時，N A N D 2 之輸出爲低，反相器 I V 5 輸出爲高，並且電路 3 6 2 爲主動，俾傳導與節點 B 關連之電位至 Prail，並因此至傳送電晶體 M 1 之本體。如在第一實例，N A N D 3 之輸出爲高，反相器 I V 6 輸出爲低，及電路 3 6 3 也爲惰性。

在最後實例，在節點 A 或節點 B 均無下衝狀況時，電路 3 0 0 操作如下。首先，N A N D 1 輸出一邏輯高，I V 4 輸出一邏輯低，及電晶體 M 9 之閘爲低，致使電路 3 6 1 爲惰性。同時，N A N D 2 之輸出也爲高，反相器 I V 5 輸出爲低，及電路 3 6 2 爲惰性。最後，N A N D 3 之輸出爲高，反相器 I V 6 輸出爲低，及電路 3 6 3 被啓動，致使 Prail 之電位耦合爲致使加至傳送電晶體 M 1 之本體之電位爲 G N D 者。

雖然本發明業經特別參照特定實施例予以說明，但請予瞭解，所有修改，變型，及同等者均視爲在以下所附申請專利範圍之範圍以內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：活性下衝硬化場效應電晶體開關)

一種匯流排開關，供在節點之間傳送邏輯訊號，而無與下衝傳導關連之問題。匯流排開關為一包括一單一主要傳送電晶體之 FET 開關。傳送電晶體之本體予以耦合至一設計為建立一假低電位功率軌條之差分邏輯感測電路。邏輯感測電路予以耦合至二傳送節點及一標準低電位功率軌條。其比較與傳送節點訊號及低電位軌條關連之電位，並選擇一有最低電位者，以建立假低電位軌條之電位。邏輯感測電路提供最低電位元件之主動選擇，包括在很小下衝狀況下。邏輯感測電路可以各種方式建立，較佳為包括一差分比較器對，一與二傳送節點之一關連，及另一差分比較器與另一傳送節點關連。差分對之輸出控制邏輯驅動器，其復調節傳送節點，或將行耦合至假低電位功率軌條之標準低電位軌條。此配置保證在下衝狀況時，將無傳送電晶體之寄生傳導。

英文發明摘要(發明之名稱：ACTIVE UNDERSHOOT HARDENED FET SWITCH)

A bus switch for transferring logic signals between nodes without the problems associated with undershoot conduction. The bus switch is an FET switch including a single primary transfer transistor. The bulk of the transfer transistor is coupled to a differential logic sense circuit that is designed to establish a pseudo low-potential power rail. The logic sense circuit is coupled to the two transfer nodes and a standard low-potential power rail. It compares the potentials associated with the transfer node signals and the low-potential rail and selects the one with the lowest potential to establish the potential of the pseudo low-potential rail. The logic sense circuit provides for active selection of the lowest potential element, including under very small undershoot conditions. The logic sense circuit may be established in a variety of ways, preferably by including a differential comparator pair, one of associated with one of the two transfer nodes and the other differential comparator associated with the other transfer node. Outputs of the differential pair control logic drivers that in turn regulate the transfer node, or standard low-potential rail to be coupled to the pseudo low-potential power rail. This arrangement ensures that there will be no parasitic conduction of the transfer transistor during undershoot conditions.

## 六、申請專利範圍

1 . 一種供在第一節點與第二節點之間調節邏輯訊號傳送之活性下衝硬化匯流排開關，其中邏輯訊號可自第一節點傳送至第二節點，或自第二節點傳送至第一節點，該匯流排開關包含：

a . 一啓動訊號節點，可耦合至一電路啓動裝置，並供接收一匯流排開關啓動訊號；

b . 一 M O S 傳送電晶體，有一閘耦合至該啓動訊號節點，一源極耦合至第一節點，及一汲極耦合至第二節點；

c . 一差分感測電路，有一第一輸入耦合至第一節點，一第二輸入耦合至第二節點，及一第三輸入耦合至一低電位功率軌條，其中該差分感測電路予以設計為比較在該第一輸入，該第二輸入，及該第三輸入之訊號，並選擇一最低者供傳輸至一感測電路輸出；以及

d . 一假低電位功率軌條，耦合在該感測電路輸出與該傳送電晶體之一本體部位之間。

2 . 如申請專利範圍第 1 項之匯流排開關，另包含一控制電路，耦合在電路啓動裝置與該傳送電晶體之一閘之間。

3 . 如申請專利範圍第 1 項之匯流排開關，其中該感測電路包括一第一差分比較器，有一第一輸入耦合至第一節點，及一第二輸入耦合至低電位功率軌條，以及第二差分比較器，有一第一輸入耦合至第二輸入節點及一第二輸入耦合至低電位功率軌條，其中該第一差分比較器提供一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

與第一節點關連之訊號為真之第一邏輯訊號輸出，及一提供該第一邏輯訊號之互補邏輯訊號之互補輸出，以及其中該第二比較器提供一與第二節點關連之訊號為真之第二邏輯訊號輸出，及一提供該第二邏輯訊號之互補邏輯訊號之互補輸出。

4．如申請專利範圍第3項之匯流排開關，其中該感測電路另包括一邏輯驅動器電路，有輸入節點耦合至該第一邏輯訊號輸出，該第一邏輯訊號輸出之該互補輸出，該第二邏輯訊號輸出，及該第二邏輯訊號輸出之該互補輸出，其中該邏輯驅動器電路提供一第一邏輯驅動器輸出，一第二邏輯驅動器輸出，及一第三邏輯驅動器輸出。

5．如申請專利範圍第4項之匯流排開關，其中該邏輯驅動器電路包括：

a．一第一邏輯裝置，有輸入耦合至該第一邏輯訊號輸出及該第二邏輯訊號輸出，以及一輸出耦合至該第一邏輯驅動器輸出；

b．一第二邏輯裝置，有輸入耦合至該第一邏輯訊號輸出及該第二邏輯訊號輸出之該互補訊號，及一輸出耦合至該第二邏輯驅動器輸出；以及

c．一第三邏輯裝置，有輸入耦合至該第二邏輯訊號輸出及該第一邏輯訊號輸出之該互補訊號，及一輸出耦合至該第三邏輯驅動器輸出。

6．如申請專利範圍第5項之匯流排開關，其中該第一邏輯裝置，該第二邏輯裝置，及該第三邏輯裝置各包括

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

## 六、申請專利範圍

一”反及”閘，有一輸出耦合至一反相器之輸入，其中該反相器之輸出為該邏輯裝置之輸出。

7. 如申請專利範圍第6項之匯流排開關，其中該感測電路另包括一連接器電路，有該第一邏輯裝置之該輸出，該第二邏輯裝置之該輸出，及該第三邏輯裝置之該輸出作為輸入，並且其中該連接器電路之輸出予以耦合至該假低電位功率軌條。

8. 如申請專利範圍第7項之匯流排開關，其中該連接器電路包括：

a. 一第一連接器，有一輸入控制節點耦合至該第一邏輯裝置之輸出，一輸出耦合至該假低電位功率軌條，及一供給節點耦合至低電位功率軌條；

b. 一第二連接器，有一輸入控制節點耦合至該第二邏輯裝置之輸出，一輸出耦合至該假低電位功率軌條，及一供給節點耦合至第二節點；以及

c. 一第三連接器，有一輸入控制節點耦合至該第三邏輯裝置之輸出，一輸出耦合至該假低電位功率軌條，及一供給節點耦合至第一節點。

9. 如申請專利範圍第1項之匯流排開關，其中該MOS傳送電晶體為一NMOS電晶體。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

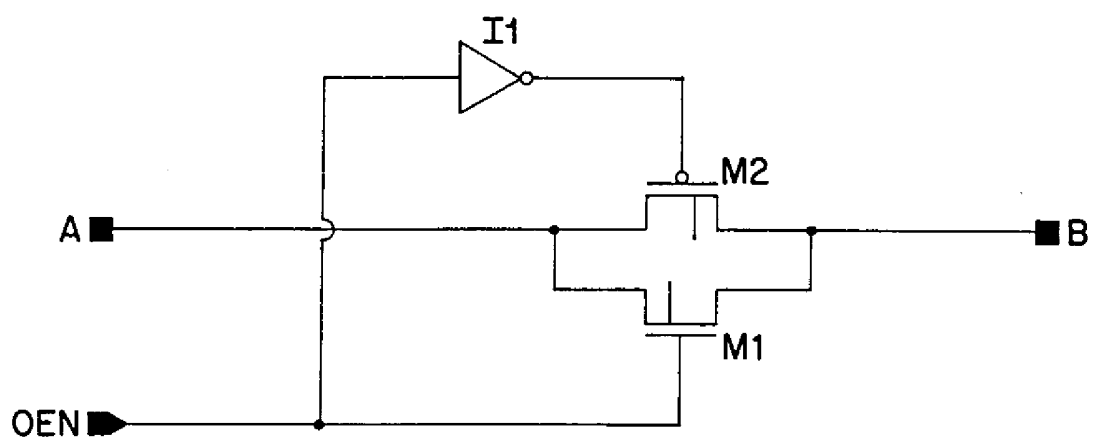


圖 1 (先前技藝)

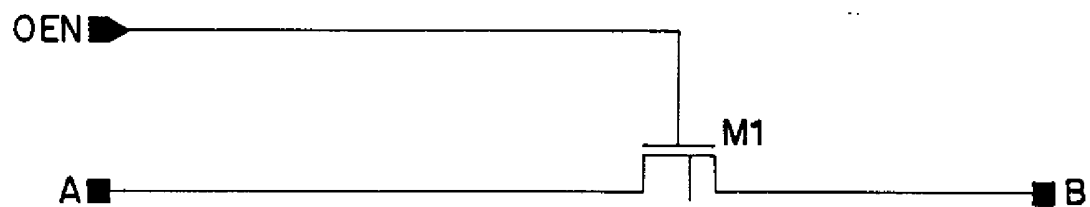


圖 2 (先前技藝)

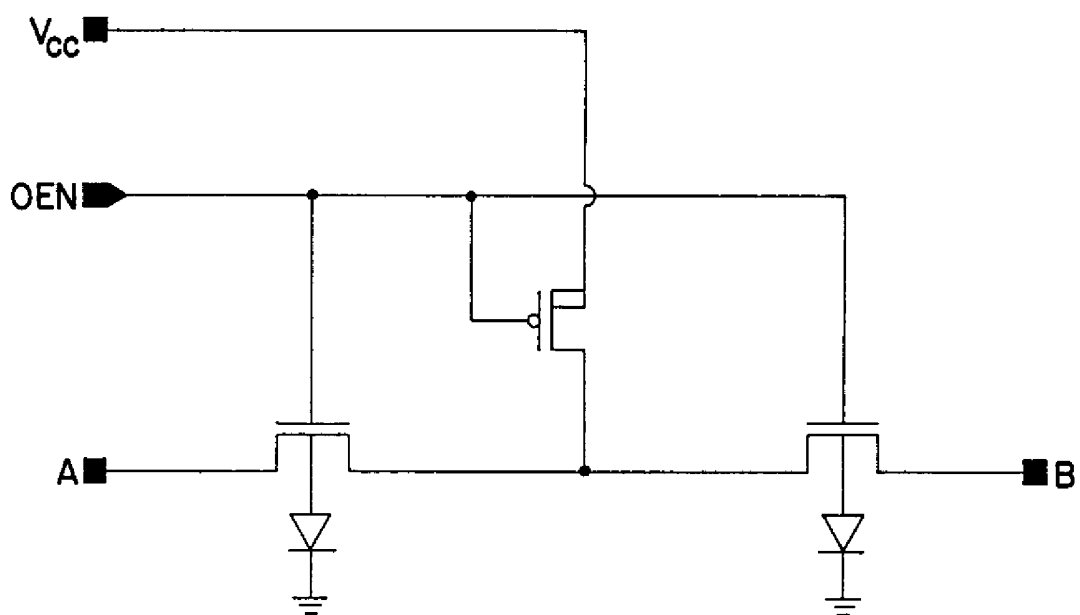


圖 3 (先前技藝)

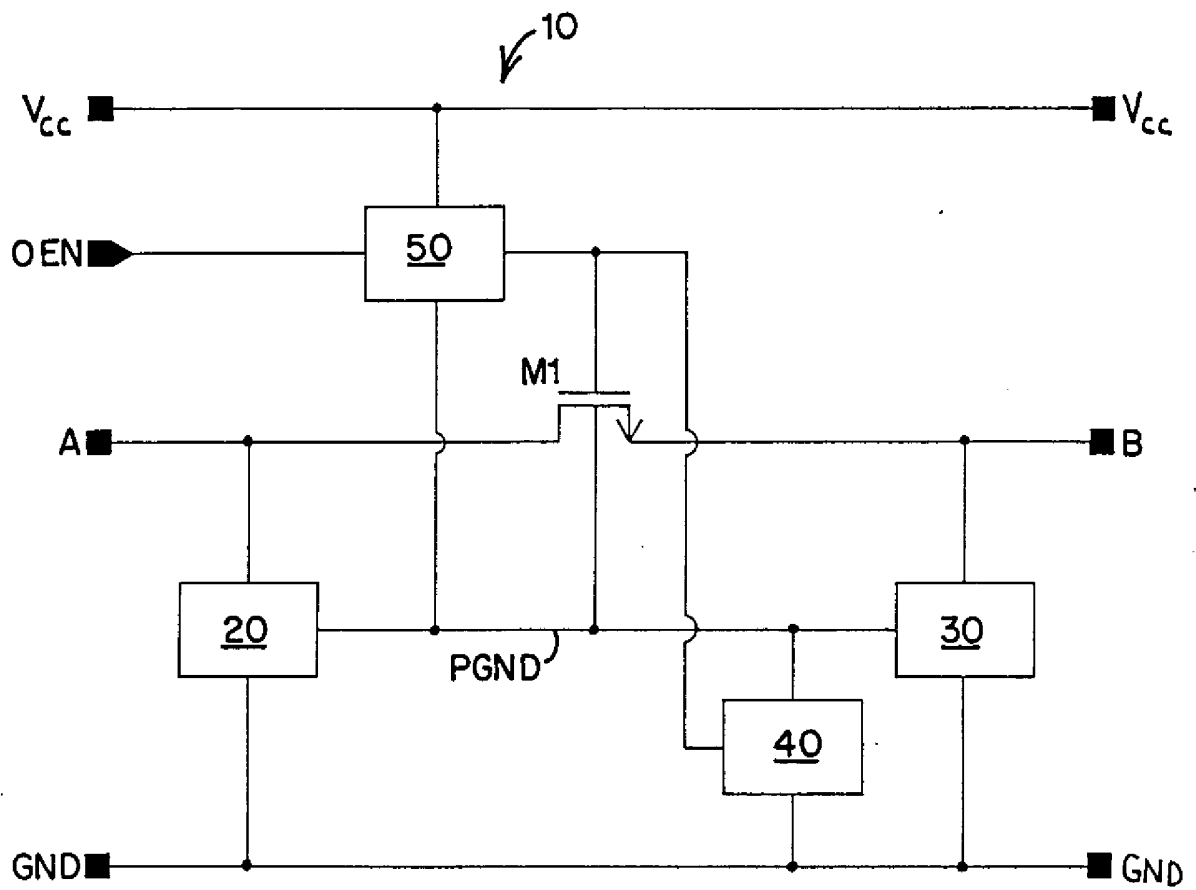


圖 4 (先前技藝)

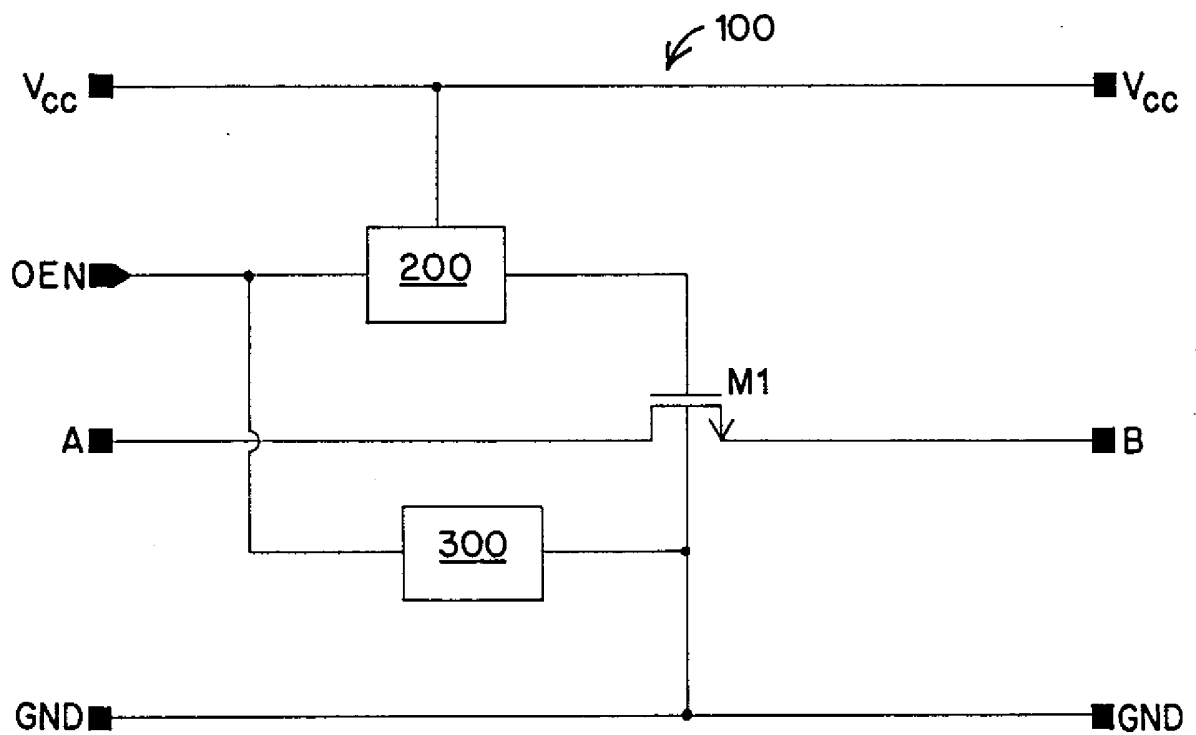
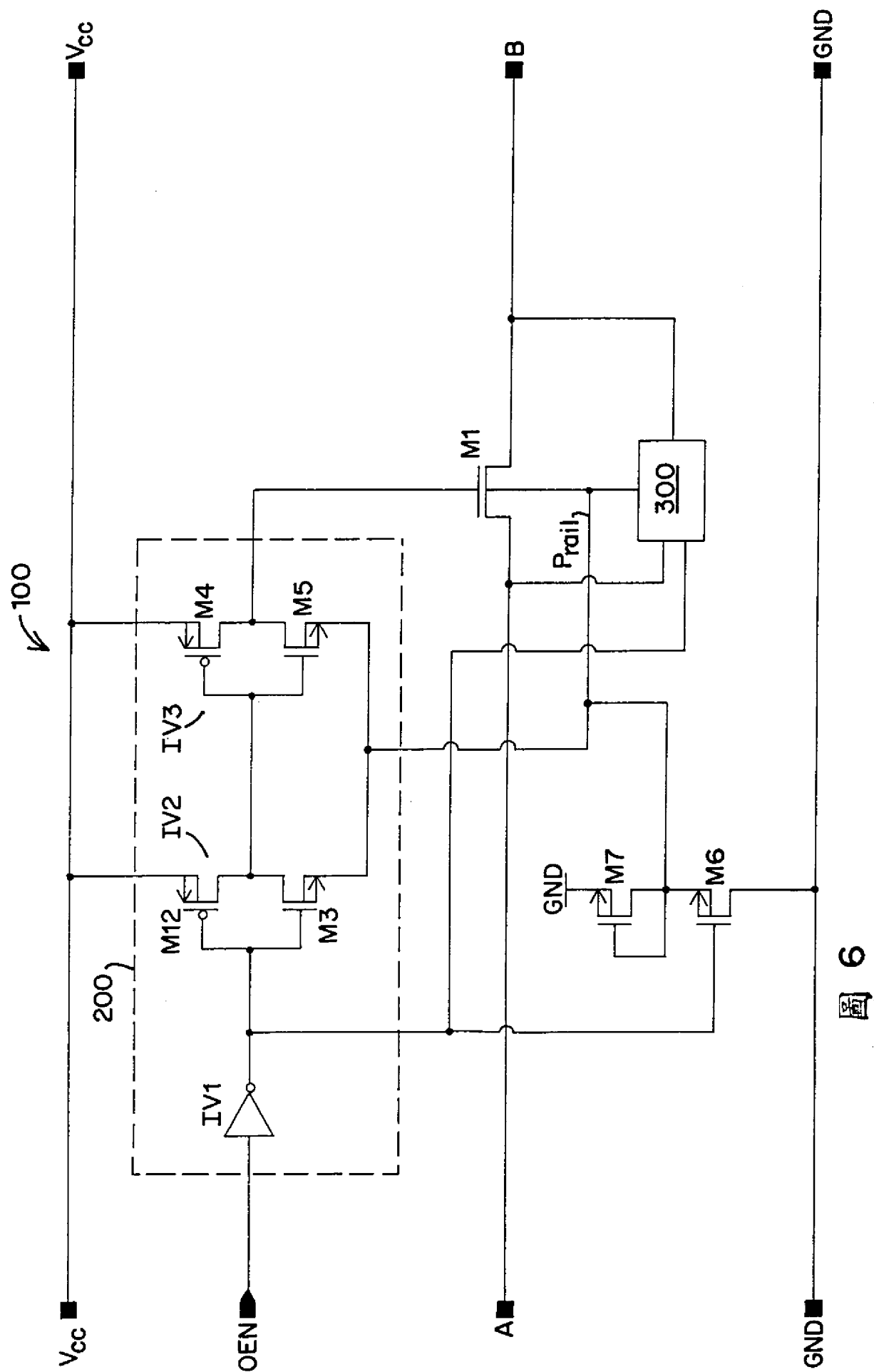


圖 5



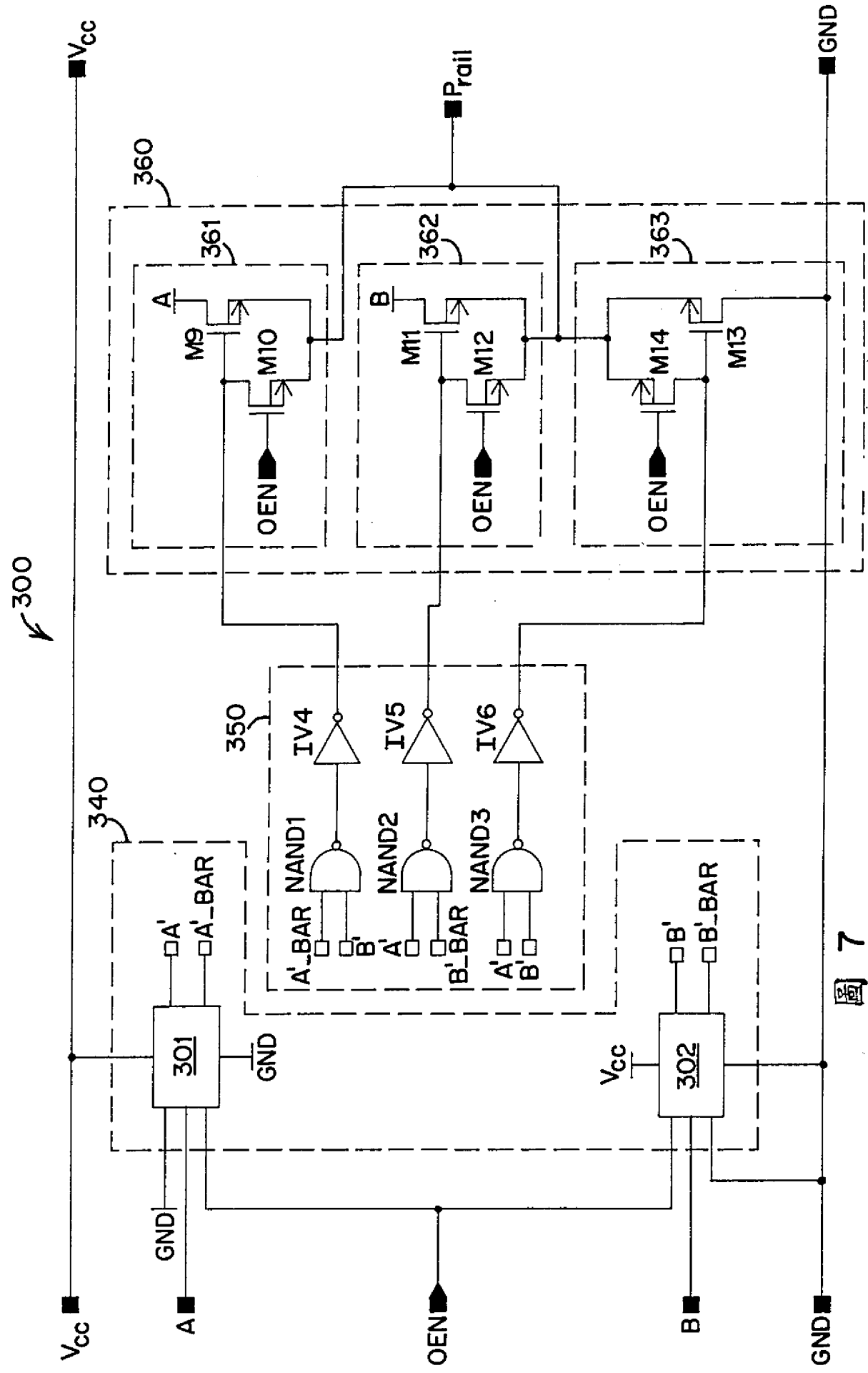


圖 7

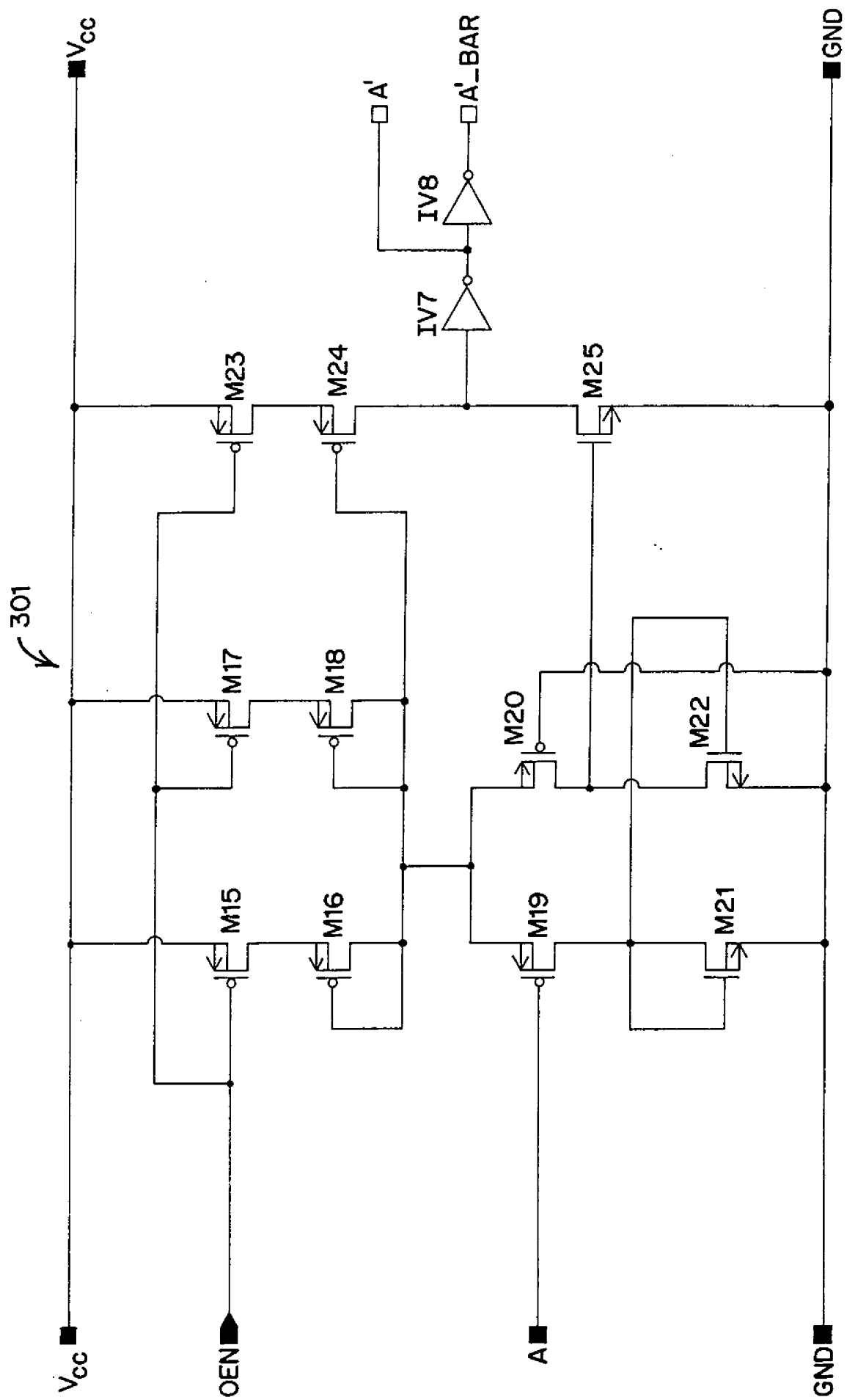


圖 8