



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201712683 A

(43) 公開日：中華民國 106 (2017) 年 04 月 01 日

(21) 申請案號：106101326

(22) 申請日：中華民國 104 (2015) 年 05 月 06 日

(51) Int. Cl. : *G11C13/00 (2006.01)*

(30) 優先權：2014/05/07 美國 14/272,015

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)  
美國

(72) 發明人：卡斯楚何南 A CASTRO, HERNAN A. (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：8 共 43 頁

(54) 名稱

用於交叉點式陣列之雙向存取的裝置及方法

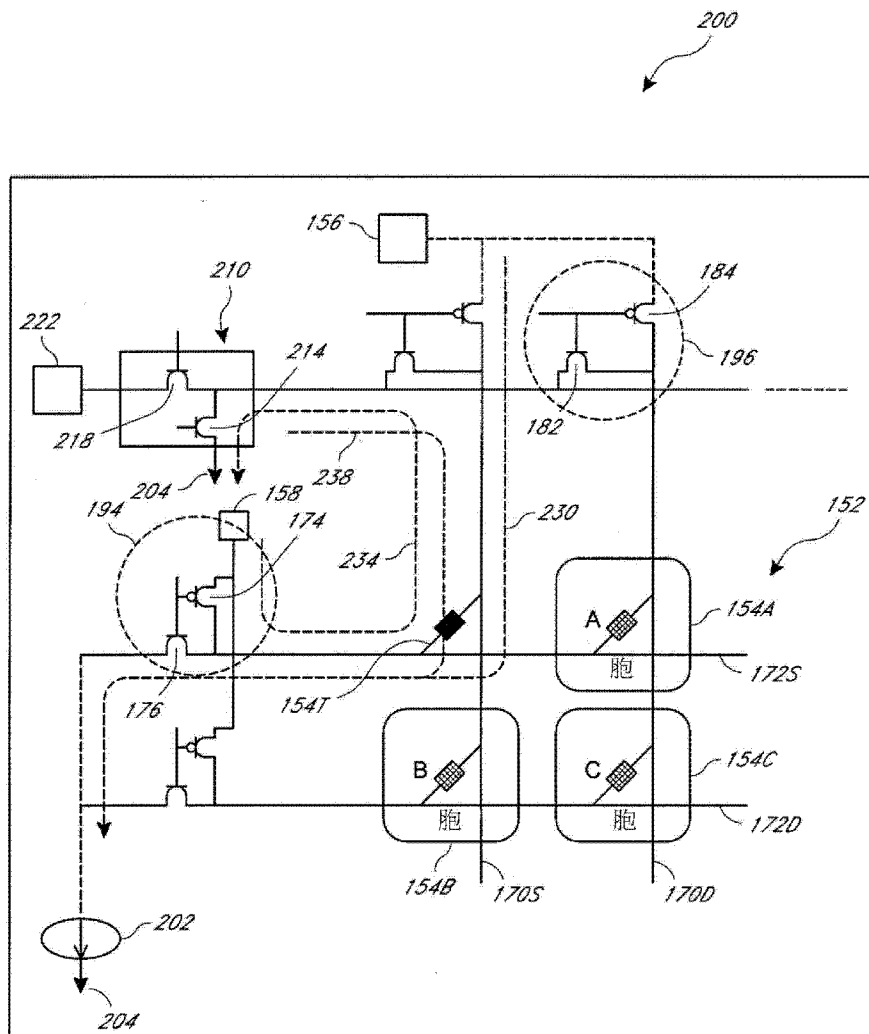
APPARATUSES AND METHODS FOR BI-DIRECTIONAL ACCESS OF CROSS-POINT ARRAYS

(57) 摘要

所揭示之技術大體上係關於裝置及操作該裝置之方法，且更特定言之，係關於交叉點式記憶體陣列及存取一交叉點式記憶體陣列中之記憶體胞之方法。在一態樣中，一裝置包括一記憶體陣列。該裝置進一步包括經組態以引起一存取操作之一記憶體控制器，其中該存取操作包含：針對該存取操作之一選擇階段跨該記憶體陣列之一記憶體胞施加一第一偏壓；及針對該存取操作之一存取階段跨該記憶體胞施加量值低於該第一偏壓之一第二偏壓。該記憶體控制器進一步經組態以引起流動通過該記憶體胞之一電流方向在該選擇階段與該存取階段之間反轉。

The disclosed technology generally relates to apparatuses and methods of operating the same, and more particularly to cross point memory arrays and methods of accessing memory cells in a cross point memory array. In one aspect, an apparatus comprises a memory array. The apparatus further comprises a memory controller configured to cause an access operation, where the access operation includes application of a first bias across a memory cell of the memory array for a selection phase of the access operation and application of a second bias, lower in magnitude than the first bias, across the memory cell for an access phase of the access operation. The memory controller is further configured to cause a direction of current flowing through the memory cell to be reversed between the selection phase and the access phase.

指定代表圖：



【圖5】

符號簡單說明：

152 . . . 記憶體陣列

154A . . . 記憶體胞/

A 記憶體胞

154B . . . 記憶體胞/

B 記憶體胞

154C . . . 記憶體胞/

C 記憶體胞

154T . . . 目標記憶  
體胞/T 記憶體胞156 . . . 行選擇電壓  
源158 . . . 列選擇電壓  
源170D . . . 取消選定  
行

170S . . . 選定行

172D . . . 取消選定  
列

172S . . . 選定列

174 . . . p 型場效電  
晶體(PFET)176 . . . n 型場效電  
晶體(NFET)182 . . . n 型場效電  
晶體(NFET)184 . . . p 型場效電  
晶體(PFET)194 . . . 列選擇電路  
(ROW SEL)196 . . . 行選擇電路  
(COL SEL)

200 . . . 記憶體器件

202 . . . 電流限制器

204 . . . 參考電壓  
源/參考電壓/接地210 . . . 行取消選擇  
電路(COL DESEL)

214 . . . 第一場效電  
晶體(FET)

218 . . . 第二場效電  
晶體(FET)/第二 n 型  
場效電晶體(NFET)

222 . . . 中間偏壓行  
電壓源

230 . . . 選擇相位電  
路路徑

234 . . . 重設存取電  
路路徑

238 . . . 設定存取電  
路路徑

**【發明摘要】****【中文發明名稱】**

用於交叉點式陣列之雙向存取的裝置及方法

**【英文發明名稱】**

APPARATUSES AND METHODS FOR BI-DIRECTIONAL  
ACCESS OF CROSS-POINT ARRAYS

**【中文】**

所揭示之技術大體上係關於裝置及操作該裝置之方法，且更特定言之，係關於交叉點式記憶體陣列及存取一交叉點式記憶體陣列中之記憶體胞之方法。在一態樣中，一裝置包括一記憶體陣列。該裝置進一步包括經組態以引起一存取操作之一記憶體控制器，其中該存取操作包含：針對該存取操作之一選擇階段跨該記憶體陣列之一記憶體胞施加一第一偏壓；及針對該存取操作之一存取階段跨該記憶體胞施加量值低於該第一偏壓之一第二偏壓。該記憶體控制器進一步經組態以引起流動通過該記憶體胞之一電流方向在該選擇階段與該存取階段之間反轉。

**【英文】**

The disclosed technology generally relates to apparatuses and methods of operating the same, and more particularly to cross point memory arrays and methods of accessing memory cells in a cross point memory array. In one aspect, an apparatus comprises a memory array. The apparatus further comprises a memory controller configured to cause an access operation, where the access operation includes application of a first bias across a memory cell of the memory array for a selection phase of the access operation and application of a second bias, lower in magnitude than

the first bias, across the memory cell for an access phase of the access operation. The memory controller is further configured to cause a direction of current flowing through the memory cell to be reversed between the selection phase and the access phase.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

152	記憶體陣列
154A	記憶體胞/A記憶體胞
154B	記憶體胞/B記憶體胞
154C	記憶體胞/C記憶體胞
154T	目標記憶體胞/T記憶體胞
156	行選擇電壓源
158	列選擇電壓源
170D	取消選定行
170S	選定行
172D	取消選定列
172S	選定列
174	p型場效電晶體(PFET)
176	n型場效電晶體(NFET)
182	n型場效電晶體(NFET)
184	p型場效電晶體(PFET)
194	列選擇電路(ROW SEL)
196	行選擇電路(COL SEL)

200	記憶體器件
202	電流限制器
204	參考電壓源/參考電壓/接地
210	行取消選擇電路(COL DESEL)
214	第一場效電晶體(FET)
218	第二場效電晶體(FET)/第二n型場效電晶體(NFET)
222	中間偏壓行電壓源
230	選擇相位電路路徑
234	重設存取電路路徑
238	設定存取電路路徑

## 【發明說明書】

### 【中文發明名稱】

用於交叉點式陣列之雙向存取的裝置及方法

### 【英文發明名稱】

APPARATUSES AND METHODS FOR BI-DIRECTIONAL  
ACCESS OF CROSS-POINT ARRAYS

### 【技術領域】

所揭示之技術大體上係關於記憶體裝置及操作記憶體裝置之方法，且更特定言之係關於具有可變電阻材料之記憶體陣列及存取具有可變電阻材料之記憶體陣列之方法。

### 【先前技術】

併有可變電阻材料之記憶體器件可用於廣泛範圍的電子器件中，諸如電腦、數位相機、蜂巢式電話、個人數位助理等。此等可變電阻材料之電阻可回應於諸如(舉例而言)電壓或電流脈衝之電信號而在複數個電阻狀態之間改變。在一些可變電阻記憶體器件(有時稱為單極記憶體器件)中，記憶體胞之電阻可回應於具有一個極性之電信號而改變。在一些其他記憶體器件(有時稱為雙極記憶體器件)中，記憶體胞之電阻可回應於具有一個或兩個相反極性之電信號而改變。例如，在一雙極記憶體器件中，一記憶體胞之電阻可回應於具有一第一極性之一第一電信號而在一方向(例如，自一高電阻至一低電阻)上改變，且回應於具有與該第一極性相反的一第二極性之一第二電信號而在一相反方向(例如，自低電阻至高電阻)上改變。與單極記憶體器件相比，經組態以支援雙極記憶體器件之操作之周邊電路可歸因於需要支援呈相反極性之電流及/或電壓而更大且更複雜。因此，需要用

於有效率地存取呈相反極性之記憶體胞的裝置及方法。

### 【發明內容】

### 【圖式簡單說明】

在說明書之結尾部分中特別指出且明確主張所主張之標的。然而，可藉由在結合隨附圖式閱讀時參考以下詳細描述最佳理解有關操作組織及/或方法兩者之本發明以及其目的、特徵及/或優點，其中：

圖1係描繪根據一些實施例之一記憶體胞之一示意性三維等角視圖。

圖2係繪示根據一些實施例之一記憶體胞之電流對電壓關係之一圖表。

圖3係繪示根據一些實施例之一記憶體胞之臨限電壓對時間關係之一圖表。

圖4係繪示根據一些實施例之一記憶體裝置之一示意性電路圖。

圖5係繪示根據一些其他實施例之一記憶體器件之一更詳細示意性電路圖。

圖6係繪示根據一些實施例之繪示一存取操作之一記憶體陣列之行及列之電壓-時間曲線之一圖表。

圖7係繪示根據一些實施例之繪示另一存取操作之一記憶體陣列之行及列之電壓-時間曲線之一圖表。

圖8係繪示根據一些其他實施例之繪示另一存取操作之一記憶體陣列之行及列之電壓-時間曲線之一圖表。

### 【實施方式】

併有在操作中改變電阻之材料之器件(例如記憶體器件)可發現於廣泛範圍的電子器件中，例如電腦、數位相機、蜂巢式電話、個人數位助理等。

此等記憶體器件(有時稱為電阻式隨機存取記憶體(RRAM)器件)可包含一記憶體胞陣列，其可配置成一交叉點式記憶體陣列。一交叉點式記憶體陣列包含行及列以及佈置於行與列之相交點處之複數個記憶體胞。在包含一交叉點式記憶體陣列之RRAM器件中，記憶體胞之電阻可回應於諸如(舉例而言)一電壓或一電流信號之一電信號而改變。

在一些RRAM器件(有時稱為單極記憶體器件)中，記憶體胞之電阻可回應於具有一個極性之電信號而改變。例如，在一單極RRAM器件中，一記憶體胞之電阻可回應於具有一第一極性之一第一電信號而在一方向(例如，自一高電阻至一低電阻)上改變，且回應於具有與該第一極性相同的極性之一第二電信號而在一相反方向(例如，自低電阻至高電阻)上改變。在一些其他RRAM器件(有時稱為雙極記憶體器件)中，記憶體胞之電阻可回應於具有一個或兩個相反極性之電信號而改變。例如，在一雙極RRAM器件中，一記憶體胞之電阻可回應於具有一第一極性之一第一電信號而在一方向(例如，自一高電阻至一低電阻)上改變，且回應於具有與該第一極性相反的一第二極性之一第二電信號而在一相反方向(例如，自低電阻至高電阻)上改變。

如本文中所使用，施加至記憶體胞以寫入或讀取之電信號稱為存取信號。與單極RRAM器件相比，經組態以支援呈相反極性之雙極RRAM器件之操作之周邊電路可歸因於需要支援呈相反極性之電流及/或電壓而更大且更複雜。此可歸因於例如需要支援電流及/或電壓以存取呈相反極性之記憶體胞。

雖然本文中關於RRAM器件(特定言之關於RRAM器件)描述實施例，但該等實施例亦可具有記憶體陣列內容背景外之應用，例如，開關、反熔

絲等。類似地，雖然關於併有雙向定限開關(OTS)及/或硫屬化物材料之記憶體胞描述實施例，但本文中教示之技術及結構之原理及優點可用於其他材料。

圖1描繪根據一些實施例之一交叉點式記憶體陣列中之一記憶體胞10。圖1中之記憶體胞10可回應於具有相同或相反極性之電信號而在第一電阻狀態與第二電阻狀態之間改變。即，記憶體胞10可為一雙極或一非極性記憶體胞。

雖然圖1中為清楚起見僅描繪一個記憶體胞10，但應了解，在具有複數個行線20及複數個列線22之一交叉點式記憶體陣列中可存在複數個記憶體胞10。在所繪示之實施例中，記憶體胞10包含一儲存元件34及一選擇器元件38，其等經組態以透過一行線20 (其可為一位元線)及一列線22 (其可為一字線)電存取。記憶體胞10呈一堆疊組態30，且可進一步包含連接行線20及儲存元件34之一第一電極32、連接儲存元件34及選擇器元件38之一中間電極36及連接選擇器元件38及列線22之一第二電極40。

在一些實施例中，選擇器元件38及儲存元件34之一者或兩者可包括硫屬化物材料。當選擇器元件38及儲存元件30兩者包括硫屬化物材料時，儲存元件34可包括可經歷在室溫下穩定且不揮發之一相變的硫屬化物材料。另一方面，選擇器元件38可包括未經歷一類似穩定且不揮發相變的硫屬化物材料。

可包含於雙極或單極RRAM器件中之一基於相變之儲存元件34之實例包含一相變材料，其包含硫屬化物組合物，諸如包含銦(In)-銻(Sb)-碲(Te) (IST)合金系統內之至少兩種元素之一合金，例如 $\text{In}_2\text{Sb}_2\text{Te}_5$ 、 $\text{In}_1\text{Sb}_2\text{Te}_4$ 、 $\text{In}_1\text{Sb}_4\text{Te}_7$ 等；包含鍺(Ge)-銻(Sb)-碲(Te) (GST)合金系統內之至少兩種元素

之一合金，例如 $\text{Ge}_8\text{Sb}_5\text{Te}_8$ 、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 、 $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 、 $\text{Ge}_4\text{Sb}_4\text{Te}_7$ 等；以及其他硫屬化物合金系統。如本文中所使用之用連字符連接的化學組合物標記法指示包含於一特定混合物或化合物中之元素且意欲表示涉及所指示元素之全部理想配比。可用於相變儲存節點中之其他硫屬化物合金系統包含例如 $\text{Ge-Te}$ 、 $\text{In-Se}$ 、 $\text{Sb-Te}$ 、 $\text{Ga-Sb}$ 、 $\text{In-Sb}$ 、 $\text{As-Te}$ 、 $\text{Al-Te}$ 、 $\text{In-Ge-Te}$ 、 $\text{Ge-Sb-Te}$ 、 $\text{Te-Ge-As}$ 、 $\text{In-Sb-Te}$ 、 $\text{Te-Sn-Se}$ 、 $\text{Ge-Se-Ga}$ 、 $\text{Bi-Se-Sb}$ 、 $\text{Ga-Se-Te}$ 、 $\text{Sn-Sb-Te}$ 、 $\text{In-Sb-Ge}$ 、 $\text{Te-Ge-Sb-S}$ 、 $\text{Te-Ge-Sn-O}$ 、 $\text{Te-Ge-Sn-Au}$ 、 $\text{Pd-Te-Ge-Sn}$ 、 $\text{In-Se-Ti-Co}$ 、 $\text{Ge-Sb-Te-Pd}$ 、 $\text{Ge-Sb-Te-Co}$ 、 $\text{Sb-Te-Bi-Se}$ 、 $\text{Ag-In-Sb-Te}$ 、 $\text{Ge-Sb-Se-Te}$ 、 $\text{Ge-Sn-Sb-Te}$ 、 $\text{Ge-Te-Sn-Ni}$ 、 $\text{Ge-Te-Sn-Pd}$ 及 $\text{Ge-Te-Sn-Pt}$ 。

可包含於單極或雙極記憶體RRAM器件中之儲存元件34之其他實例包含一基於金屬氧化物之記憶體儲存元件(例如， $\text{NiO}$ 、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Cu}_2\text{O}$ 、 $\text{TaO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ )、一導電橋隨機存取記憶體(CBRAM)儲存元件(例如，經金屬摻雜之硫屬化物)及/或一自旋轉移力矩隨機存取記憶體(STT-RAM)儲存元件，以及其他類型的儲存元件。

可包含於一RRAM器件中之選擇器元件38之實例包含包括硫屬化物材料之二端選擇器，其有時可稱為一雙向定限開關(OTS)。一OTS可包含硫屬化物組合物，其包含上文針對儲存元件34描述之硫屬化物合金系統之任一者。另外，選擇器元件38進一步可包括諸如As之一元素以抑制結晶。OTS材料之實例包含 $\text{Te-As-Ge-Si}$ 、 $\text{Ge-Te-Pb}$ 、 $\text{Ge-Se-Te}$ 、 $\text{Al-As-Te}$ 、 $\text{Se-As-Ge-Si}$ 、 $\text{Se-As-Ge-C}$ 、 $\text{Se-Te-Ge-Si}$ 、 $\text{Ge-Sb-Te-Se}$ 、 $\text{Ge-Bi-Te-Se}$ 、 $\text{Ge-As-Sb-Se}$ 、 $\text{Ge-As-Bi-Te}$ 及 $\text{Ge-As-Bi-Se}$ 等。

仍參考圖1，記憶體胞10可處於一電阻狀態，其可為一相對較高電阻

狀態(HRS)，亦稱為重設狀態，或一相對較低電阻狀態(LRS)，亦稱為設定狀態。重設及設定狀態可具有介於例如2與1百萬之間的一電阻比。

如本文中所使用，一程式化存取操作(其對於一RRAM器件亦可稱為一重設存取操作)使記憶體胞自一設定狀態改變至一重設狀態。另一方面，一擦除操作(其對於一RRAM器件亦可稱為一設定存取操作)使記憶體胞自一重設狀態改變至一設定狀態。然而，術語「程式化」及「擦除」因其等與重設及設定存取操作有關而可互換地使用以意謂相反。

另外，雖然設定及重設狀態在本文中整體上可用以指代一記憶體胞(其可包含儲存及/或選擇器元件)之狀態，但將瞭解，記憶體胞之設定狀態與重設狀態之間的區別可起因於儲存元件之電阻差。

圖2係繪示根據一些實施例之經歷設定及重設轉變之一記憶體胞之電流-電壓(I-V)曲線60之一圖表。x軸表示跨一相變記憶體胞施加之電壓，且y軸表示以對數尺度顯示之電流之絕對值。I-V曲線60可對應於一雙極記憶體胞之I-V曲線，其中可以一第一極性(正)執行一設定操作，且可以一第二極性(負)執行一重設操作。另外，I-V曲線60可對應於類似於圖1之記憶體胞10之記憶體胞，其中儲存元件34或選擇器元件38之至少一者包含硫屬化合物材料。當記憶體胞包含硫屬化合物材料時，切換事件(亦即，設定及/或重設轉變)可包含一定限事件，此可伴隨著一驟回事件，如下文更詳細描述。

一設定轉變I-V曲線70表示記憶體胞正經歷自一重設狀態至一設定狀態之一轉變，而一重設轉變I-V曲線90表示一相變記憶體胞正經歷自一設定狀態至一重設狀態之一轉變。儘管在IV曲線中未擷取，然自設定狀態至重設狀態或重設狀態至設定狀態之轉變可涉及電壓或電流隨時間之一持續時間分量或一波形。

設定轉變I-V曲線70包含特徵為一相對緩慢變化的電流對電壓之一重設狀態次臨限區域72，其後接著處在約重設狀態之一正臨限電壓( $V_{TH\ RESET}$ )之一設定轉變臨限「鼻狀(nose)」區域74，在該點附近設定轉變I-V曲線70經歷一斜率反轉，其後接著特徵為跨記憶體胞之電壓之一快速降低之一設定轉變驟回區域76，其後接著在一保持電壓 $V_H$ 周圍之一設定轉變保持區域78，其後接著一設定存取區域80，其中可量測一穩定電流或電壓。

仍參考圖2，重設轉變I-V曲線90包含特徵為一相對緩慢變化的電流對電壓之一設定狀態次臨限區域92，其後接著處在約設定狀態之一負臨限電壓( $V_{TH\ SET}$ )之一重設轉變臨限「鼻狀」區域94，在該點附近重設轉變I-V曲線90經歷一斜率反轉，其後接著特徵為跨記憶體胞之電壓之一快速降低之一重設轉變驟回區域96，其後接著在一保持電壓 $V_H$ 周圍之一重設轉變保持區域98，其後接著一重設記憶體胞存取區域100，其中可量測一穩定電流或電壓。

應了解，與 $V_{TH\ SET}$ 相比，重設狀態具有一更高臨限電壓 $V_{TH\ RESET}$ ，此係因為與設定狀態相比，在重設狀態中儲存元件對電壓降之貢獻可更大。另外，應了解，對於流動通過(例如，通過)記憶體胞之類似量的電流，與設定記憶體胞存取區域80相比，重設記憶體胞存取區域100具有跨記憶體胞之一更高電壓降位準，此係因為與設定狀態相比，在重設狀態中儲存元件對電壓降之貢獻可更大。

在圖2之所繪示實施例中，設定轉變I-V曲線70及重設轉變I-V曲線90兩者具有特徵為跨記憶體胞之電壓之快速降低之驟回區域76及96。一驟回事件可伴隨著流動通過記憶體胞之一放電電流。放電電流量可取決於連接至正經歷驟回效應之記憶體胞之行線及列線之電容及電阻。取決於此等電

容及電阻之值，在某些情況下，電流量及/或驟回事件之持續時間可足以誘發一相變記憶體中之一部分或一完全相變。

在一些實施例中，一旦定限，諸如圖1之記憶體胞10之一記憶體胞便可維持在由圖2中之設定記憶體胞存取區域80及重設記憶體胞存取區域100所表示之定限狀態中，只要流動通過記憶體胞之一電流可維持高於某一最小位準(其有時稱為一保持電流( $I_H$ ))。另一方面，當容許流動通過記憶體胞之電流下降至低於 $I_H$ 或「釋放」時，該記憶體胞可消退，亦即，恢復至未定限狀態。在一些實施例中，當釋放記憶體胞時，臨限電壓( $V_{TH\ RESET}$ 或 $V_{TH\ SET}$ )可不返回至在經定限之前記憶體胞所具有之臨限電壓。代替性地，臨限電壓可逐漸復原，且特徵為一復原時間，如下文在圖3中繪示。

圖3係繪示一記憶體胞之一例示性臨限復原曲線120之一圖表，該記憶體胞之臨限電壓之量值取決於釋放記憶體胞之一定限狀態之時刻之一時間流逝( $t_R$ )。在圖3中，y軸表示臨限電壓 $V_{TH}$ ，且x軸表示自在 $t=0$ 時從一定限狀態釋放之時間流逝。將定限之前之臨限電壓表示為 $V_{TH,0}$ 。如所繪示，在 $t=0$ 時自定限狀態釋放記憶體胞之後，在經過時間流逝 $t_R$ 之後，臨限電壓復原至 $V_{TH,0}$ 或幾乎復原至 $V_{TH,0}$ 。在一些實施例中，臨限電壓之量值在約5微秒內、或在約500奈秒內或在約50奈秒內復原一先前臨限電壓之至少50%。

圖4係根據一些實施例之一記憶體裝置150之一示意性電路圖。記憶體裝置150包含一記憶體陣列152，記憶體陣列152包括複數個行170及複數個列172。記憶體陣列152額外地包括在行170與列172之間的相交點處之複數個記憶體胞154。記憶體胞154可包含例如上文關於圖1描述之一記憶體胞10。在一些實施方案中，行170亦可稱為位元線或數位線，且列172亦可稱為字線。至少一些記憶體胞154可藉由施加一適合電信號來存取，該電信號

包含例如電壓、電流或電場等。記憶體胞154可具有由耦合至該記憶體胞154之列172及行170界定之一位址。

根據一些實施例，記憶體裝置150額外地包含透過行170電連接至記憶體陣列152之一行選擇電路(COL SEL) 196，及透過列172電連接至記憶體陣列152之一列選擇電路(ROW SEL) 194。在一些實施例中，在一存取操作期間，至少一些列172及至少一些行170經組態以個別地啟動，使得可以一位元可定址方式選擇記憶體胞154之各者。

根據一些實施例，記憶體裝置150額外地包含透過COL SEL 196且進一步透過行170電連接至記憶體陣列152之一行取消選擇(deselection)電路(COL DESEL) 160。記憶體裝置150額外地包含透過ROW SEL 194且進一步透過列172電連接至記憶體陣列152之一列取消選擇電路(ROW DESEL) 162。在一些實施例中，例如，在一存取操作之一選擇階段(參考圖6至圖8更詳細描述)期間，可經由連接至行之各自COL SEL 196啟動待選擇之一或多個行170，且可經由各自ROW SEL 194啟動待選擇之一或多個列172。在一些實施例中，例如，在一存取操作之一存取階段(參考圖6至圖8更詳細描述)期間，可經由連接至行之COL DESEL 160啟動待選擇之一或多個行170，且可經由連接至列172之ROW DESEL 162啟動待選擇之一或多個列172。在一些實施例中，在一存取操作之選擇階段或存取階段期間，可經由COL DESEL 160啟動待選擇之一或多個行170以及一或多個未選擇行170，且可經由ROW DESEL 162啟動待選擇之一或多個列172以及一或多個未選擇列172。

雖然在圖4中，僅為闡釋性目的，COL DESEL 160連接至特定數目個行170且ROW DESEL 162連接至特定數目個列172，但在各項實施例中，

任何適合數目個行170可連接至COL DESEL 160，且任何適合數目個列172可連接至ROW DESEL 162。另外，雖然在圖4中，僅為闡釋性目的，一COL SEL 196連接至各行170且一ROW SEL 194連接至各列172，但在各項實施例中，任何數目個行170可連接至一COL SEL 196，且任何適合數目個列172可連接至ROW SEL 194。

仍參考圖4，根據一些實施例，記憶體裝置150額外地包含透過COL SEL 196及COL DESEL 160電連接至行170之一行解碼器164，且額外地包含透過ROW SEL 194及ROW DESEL 162電連接至列172之一列解碼器166。例如，在操作中，待存取之一記憶體胞154之一實體位址可由一記憶體胞位址指定，該記憶體胞位址可包含於一記憶體存取命令中。記憶體胞位址可包含對應於行及列之一行位址及/或一列位址，該行及該列對應於待執行一存取操作之一目標記憶體胞。在接收記憶體胞位址之後，行解碼器164經組態以解碼一行位址且藉由啟動COL SEL 196及/或COL DESEL 160之一者或兩者來選擇或取消選擇行。類似地，在接收記憶體胞位址之後，列解碼器經組態以解碼一列位址且藉由啟動ROW SEL 194及/或ROW DESEL 162之一者或兩者來選擇或取消選擇列。

仍參考圖4，在一些實施例中，記憶體裝置150進一步包含一記憶體控制器168，其可經組態以控制對記憶體陣列152執行之各種存取操作，包含重設、設定及讀取存取操作。在操作中，記憶體控制器168可經組態以自一處理器接收信號以存取記憶體陣列152中之一或多個記憶體胞154。記憶體控制器168繼而經組態以透過行解碼器164及列解碼器166將控制信號傳輸至記憶體陣列152。在一些實施例中，記憶體控制器168整合為一固態積體電路中之記憶體裝置150之部分。在其他實施例中，記憶體控制器168可為

一主機器件之部分。

仍參考圖4，根據一些實施例，記憶體胞154可包含類似於圖1之記憶體胞10之包括硫屬化物材料之一可變電阻記憶體胞。將瞭解，儘管記憶體裝置150展示特定數目個記憶體胞154，然記憶體陣列152可含有任何適合數目個記憶體胞154，且可不具有與列相同的行數。記憶體陣列152可含有例如至少數百萬個記憶體胞154。

仍參考圖4，根據一些實施例，ROW SEL 194包含一p型場效電晶體(PFET) 174及一n型場效電晶體(NFET) 176。PFET及NFET可對應於絕緣閘極電晶體，諸如金屬氧化物半導體場效電晶體(MOSFET)。雖然術語「金屬」及「氧化物」以器件之名義呈現，但將瞭解，此等電晶體可具有由除金屬外之材料(諸如多晶矽)製成之閘極，且可具有由除矽氧化物外之介電質(諸如由氮化矽或高k介電質)製成之介電「氧化物」區域。PFET 174及NFET 176之閘極可由列解碼器166透過各自列選擇線190驅動。PFET 174之汲極及NFET 176之汲極連接至各自列172。另外，PFET 174之源極可耦合至ROW DESEL 162，而NFET 176之源極可耦合至一行選擇電壓源158。

類似地，根據一些實施例，COL SEL 196包含一PFET 184及一NFET 182。類似於ROW SEL 194，PFET 184及NFET 182之閘極可由行解碼器164透過各自行選擇線192驅動。PFET 184之汲極及NFET 182之汲極連接至各自行170。另外，PFET 184之源極可耦合至一行選擇電壓源156，而NFET 182之源極可耦合至COL DESEL 160。

圖5係繪示根據一些實施例之在操作中之一記憶體器件200之一示意性電路圖。記憶體器件200包括與圖4之記憶體裝置150類似的組件，包含一記憶體陣列152。記憶體陣列152包含在操作中之在各種偏壓組態下之複

數個記憶體胞。在操作中，可透過在一選定行170S與一選定列172S之間施加適當選擇及存取偏壓來存取一目標記憶體胞(T記憶體胞) 154T。如本文中所使用，諸如沿選定列172S及一取消選定行170D佈置之一記憶體胞154A之一記憶體胞稱為一A記憶體胞。另外，諸如沿選定行170S及一取消選定列172D佈置之一記憶體胞154B之一記憶體胞稱為一B記憶體胞。另外，諸如沿一取消選定行170D及一取消選定列172D佈置之一記憶體胞154C之一記憶體胞稱為一C記憶體胞。

亦類似於圖4，記憶體器件200額外地包含透過行170S及170D電連接至記憶體陣列152之一行選擇電路(COL SEL) 196，及透過列172S及172D電連接至記憶體陣列152之一列選擇電路(ROW SEL) 194。根據一些實施例，記憶體器件200額外地包含類似於圖4之COL DESEL 160之一行取消選擇電路(COL DESEL) 210。COL DESEL 210透過COL SEL 196且進一步透過行170S及170D電連接至記憶體陣列。另外，雖然為清楚起見並未繪示，但記憶體器件200可額外地包含類似於圖4之ROW DESEL 162之一列取消選擇電路ROW DESEL。

亦類似於圖4，COL SEL 196包含一PFET 184及一NFET 182，其等之閘極連接至一行解碼器(未展示)，且ROW SEL 194包含一PFET 174及一NFET 176，其等之閘極連接至一列解碼器(未展示)。

在一些實施例中，如圖5中所繪示，COL DESEL 210包含複數個開關，其等可經組態以取決於連接至一給定行之一記憶體胞是否經正偏壓或負偏壓而將該給定行連接至一適合電壓源，包含例如一中間偏壓(mid-bias)行電壓源222或一參考電壓源(例如，接地) 204。在所繪示之實施例中，開關包含一第一FET 214及一第二FET 218，其等之汲極連接至COL SEL 196之

NFET 182之源極。另外，第二NFET 218之源極進一步可連接至一中間偏壓行電壓源222，且第一FET 214之源極可連接至一參考電壓源，例如，零伏特。在圖5中，包含第一及第二開關之COL DESEL 210係繪示為具有兩個FET 214及218(其等係NFET)。然而，實施例不限於此且在一些其他實施例中，第一FET及第二FET之一者或兩者可為PFET。在又其他實施例中，COL DESEL 210可包含其他適合切換元件，例如二極體或類似元件。

應了解，雖然在圖5中，為闡釋性目的，所示之全部行連接至一個COL DESEL 210，但記憶體器件200可包含可連接至一COL DESEL 210之任何適合數目個行。例如，在一實施例中，可存在連接至記憶體器件200之各行之一COL DESEL 210。在其他實施例中，可存在連接至一陣列之一給定單元(舉例而言，諸如一塊(tile)，其可包含例如約1024個行)之行之總數之一適合分率之一COL DESEL 210。連接至一COL DESEL 210之行數及因此連接至陣列之COL DESEL 210之數目可尤其取決於COL DESEL 210之佔據面積(area footprint)及COL DESEL 210可經組態以傳送之電流量。

在一些實施例中，與行選擇電壓源156相比，中間偏壓行電壓源222可經組態以透過COL SEL 196供應一較低電壓至一行170S或170D。例如，中間偏壓行電壓源222可經組態以供應由行選擇電壓源156供應至行170S或170D之電壓之約20%與80%之間。藉由圖解，在一些實施例中，行選擇電壓源156可經組態以供應介於約4 V與8 V之間(例如約6 V)或介於約3 V與7 V之間(例如約5 V)之一電壓。另外，中間偏壓行電壓源222可經組態以供應介於約1 V與5 V之間(例如約3 V)或介於約0.5 V與4.5 V之間(例如約2.5 V)之一電壓。

另外，應了解，在一些實施例中，儘管圖5中為清楚起見並未展示，

然代替COL DESEL 210或除COL DESEL 210之外，記憶體器件200亦可包含透過ROW SEL 194且進一步透過列172S及172D電連接至記憶體陣列152之一列取消選擇電路(類似於圖4之ROW DESEL 162之ROW DESEL)。在操作中，ROW DESEL可連接至一中間偏壓列電壓源(類似於中間偏壓行電壓源222)，且可以與COL DESEL 210類似的一方式操作。

仍參考圖5，在操作中，在一些實施例中，記憶體器件200經組態使得可經由選定行170S及選定列172S存取一T記憶體胞154T，其中T記憶體胞154T經組態以回應於第一及第二存取操作而在第一電阻狀態與第二電阻狀態之間切換，伴隨著電流在選定行170S與選定列172S之間以相反方向流動通過T記憶體胞154T。例如，第一電阻狀態及第二電阻狀態可分別為重設狀態及設定狀態，且第一存取操作及第二存取操作可分別為設定操作及重設操作。或者，第一電阻狀態及第二電阻狀態可分別為設定狀態及重設狀態，且第一存取操作及第二存取操作可分別為重設操作及設定操作。

在一些實施例中，可為設定操作或重設操作之一者之一存取操作包括一選擇階段及一存取階段。在此等實施例中，對T記憶體胞154T執行存取操作包含：針對選擇階段施加一第一偏壓；移除該第一偏壓；及針對存取階段施加量值低於該第一偏壓之一第二偏壓。例如，藉由啟動COL SEL 196之PFET 184使得行選擇電壓源156將一行選擇電壓( $V_{COL\ SEL}$ )供應至T記憶體胞154T之一第一端，且啟動ROW SEL 196之NFET 176使得透過一電流限制器202將T記憶體胞154T之一第二端電連接至一列選擇電壓( $V_{ROW\ SEL}$ )(例如，參考電壓204)，可使用一選擇相位電路路徑230施加第一偏壓(其可為一選擇偏壓)。

另外，在存取操作係一設定操作之情況下，在移除第一偏壓之後，藉

由啟動COL DESEL 210之第二FET 218使得中間偏壓行電壓源222將一中間偏壓行電壓作為行取消選擇電壓( $V_{\text{COL DESEL}}$ )供應至T記憶體胞154T之第一端，且啟動ROW SEL 194之NFET 176使得透過一電流限制器202將T記憶體胞154T之第二端電連接至列選擇電壓( $V_{\text{ROW SEL}}$ )(例如，參考電壓204)，可使用一設定存取電路路徑238施加第二偏壓(其可為一設定存取偏壓)。應了解，在存取操作係一設定操作之情況下，電流流動通過T記憶體胞154T之方向在選擇階段與存取階段之間係相同的。

另外，在存取操作係一重設操作之情況下，在移除第一偏壓之後，藉由啟動COL DESEL 210之第一FET 214使得T記憶體胞154T之第一端接地，且啟動ROW SEL 194之PFET 174使得列選擇電路194將一取消選擇電壓( $V_{\text{ROW DESEL}}$ )供應至T記憶體胞154T之第二端，可使用一重設存取電路路徑234施加第二偏壓(其可為一重設存取偏壓)。應了解，在存取操作係一重設操作之情況下，在重設操作之選擇階段與存取階段之間電流流動通過T記憶體胞154T之方向係相反的。

在下文中，根據各項實施例描述一記憶體器件之呈相反極性之設定及重設存取操作。圖6至圖8係繪示根據各項實施例之在存取一記憶體胞時一記憶體陣列之行及列之電壓-時間(V-T)曲線之圖表。特定言之，圖6至圖8繪示存取一交叉點式陣列中之一記憶體胞，其中該記憶體胞經組態以回應於重設及設定存取操作而切換，其中電流以相反方向流動通過記憶體胞，其中存取操作包括針對一選擇階段施加一第一偏壓、移除第一偏壓及針對一存取階段施加量值低於該第一偏壓之一第二偏壓。在圖6至圖8中，x軸表示時間且y軸表示電壓。

圖6繪示根據一些實施例之其中經由一行及一列對一記憶體胞執行一

設定存取操作之一交叉點式記憶體陣列之V-T曲線。V-T曲線270及274表示施加於一選定行及一選定列上之電壓之時間演進。設定存取操作包括一選擇階段248，其後接著一存取階段252。藉由在一選擇時間( $t=t_{SEL}$ )處將一BL選擇信號240自一撤銷啟動狀態254啟動至一啟動狀態256，且藉由將一WL選擇信號244自一撤銷啟動狀態258啟動至一啟動狀態260而起始選擇階段248。在一釋放時間( $t=t_{REL}$ )處，當BL選擇信號240被撤銷啟動回至撤銷啟動狀態254時，選擇階段248結束。存取階段252藉由在 $t_{REL}$ 撤銷啟動BL選擇信號240起始，且藉由在一取消選擇時間( $t=t_{DESEL}$ )處撤銷啟動WL選擇信號244而結束。

仍參考圖6，根據一些實施例，在時間 $t=0$ 處，可分別將交叉點式記憶體陣列之複數個行及列預充電至 $V_{COL\ DESEL}$ 及 $V_{ROW\ DESEL}$ ，該複數個行及列包含待選擇用於存取一目標記憶體胞(例如，圖5中之T記憶體胞154T)之一行及一列，以及待抑制之行及列(例如，抑制剩餘記憶體胞，例如圖5中之A記憶體胞154A、B記憶體胞154B及C記憶體胞154C)。預充電電壓 $V_{COL\ DESEL}$ 及 $V_{ROW\ DESEL}$ 可由例如關於圖5描述之行選擇電壓源156及列選擇電壓源158供應。

在 $t_{SEL}$ 處，可藉由例如將 $V_{COL\ SEL}$ 施加於選定行上(如由V-T曲線270所指示)且將 $V_{ROW\ SEL}$ 施加於選定列上(如由V-T曲線274所指示)而跨T記憶體胞施加一選擇偏壓286。可例如藉由使用COL SEL 196 (圖5)將選定行連接至行選擇電壓源156 (圖5)來施加 $V_{COL\ SEL}$ 。可例如藉由使用ROW SEL 194 (圖5)將選定列連接至接地204 (圖5)來施加 $V_{ROW\ SEL}$ 。在分別將 $V_{COL\ SEL}$ 及 $V_{ROW\ SEL}$ 施加至選定行及選定列之後，T記憶體胞可在一選擇偏壓286下且一電流透過選擇相位電路路徑230 (圖5)自選定行流動通過T記憶體胞而至

選定列。在此條件下，A記憶體胞及B記憶體胞可分別在抑制偏壓282及278下。雖然在所繪示之實施例中， $V_{COL\ DESEL}$ 及 $V_{ROW\ DESEL}$ 處在實質上相同電壓位準使得C記憶體胞本質上在零偏壓下，但應了解 $V_{COL\ DESEL}$ 及 $V_{ROW\ DESEL}$ 可處在不同電壓位準使得C記憶體胞具有一非零偏壓。

$V_{COL\ SEL}$ 、 $V_{ROW\ SEL}$ 、 $V_{COL\ DESEL}$ 及 $V_{ROW\ DESEL}$ 之相對量值可取決於記憶體及選擇元件之選擇以及所要陣列加偏壓方法而選取在適合電壓。在一些實施例中，一T記憶體胞可在介於約4 V與約10 V之間的一偏壓下，而類型A及B記憶體胞可在T記憶體胞之偏壓之約50%下(例如介於約2 V與5 V之間)，且C記憶體胞可在約0 V下。在一些實施例中，一加偏壓方法可經選取使得可跨T記憶體胞施加任何適合選擇偏壓，而跨A、B及C之偏壓之總和近似等於選擇偏壓。

在其中已將記憶體胞置於選擇偏壓286下之一特定時間量之後，T記憶體胞可在一定限時間( $t=t_{TH}$ )定限，此繼而可引起一驟回放電電流流動通過該記憶體胞。在T記憶體胞定限之後，跨T記憶體胞之偏壓減弱(collapse)至一保持位準290，其可對應於關於圖2描述之保持電壓 $V_H$ 且可具有例如介於約0.1 V與約2 V之間(例如約1 V)之一量值。

在釋放時間( $t=t_{REL}$ )處，根據一些實施例，T記憶體胞可至少暫時地自定限條件釋放。在一些實施例中，釋放包含容許流動通過T記憶體胞之電流下降至低於類似於關於圖2描述之 $I_H$ 之一最小保持電流。

在至少暫時地自定限條件釋放T記憶體胞之後，根據一些實施例，可跨T記憶體胞施加一設定存取偏壓294。設定存取偏壓294經施加使得選定行相對於選定列處在較高電位，使得電流自選定行流動通過T記憶體胞而至選定列。如上文關於圖3描述，在自定限條件釋放之後，T記憶體胞可具

有一降低的臨限電壓，該臨限電壓具有取決於自 $t=t_{REL}$ 流逝之一時間之一量值使得設定存取偏壓294之量值低於選擇偏壓286。設定存取偏壓294之量值可例如小於選擇偏壓286之約75%、小於選擇偏壓286之約50%或小於選擇偏壓286之約25%。

在一些實施例中，如圖6中所繪示，在釋放不久之後施加設定存取偏壓294。在其他實施例中，在釋放T記憶體胞之後施加設定存取偏壓294之前可存在一延遲。在一些實施例中，可在約5微秒內、在約500奈秒內、在約50奈秒內或在約1奈秒內施加設定存取偏壓294。

可藉由例如將一電壓 $V_{COL\ DESEL}$ 施加於選定行上且透過設定存取電路路徑238 (圖5)使選定列接地而跨T記憶體胞施加設定存取偏壓294。應了解，可使用圖5中繪示之行選擇電壓源156或中間偏壓行電壓源222之任一者供應電壓至選定行以在存取偏壓294下加偏壓於T記憶體胞。可例如藉由使用COL SEL 196 (圖5)將選定行連接至行選擇電壓源156 (圖5)而將電壓施加至選定行，在該情況中電流流動通過選擇相位電路路徑230 (圖5)。或者，可例如藉由使用COL DESEL 210 (圖5)將選定行連接至中間偏壓行電壓源222 (圖5)而將電壓施加至選定行，在該情況中電流流動通過設定存取電路路徑238 (圖5)。圖6中之所繪示實施例對應於在存取階段252期間電流流動通過設定存取電路路徑238。應了解，在所繪示之設定存取操作期間，相對於選定列，選定行在選擇偏壓286及存取偏壓294兩者期間皆處在一較高電壓，使得電流方向298在兩種加偏壓條件之間係相同的，亦即，自選定行至選定列。在一取消選擇時間 $t=t_{DESEL}$ 處，選定行及選定列可分別返回至預充電條件 $V_{COL\ DESEL}$ 及 $V_{ROW\ DESEL}$ ，以完成設定存取操作。

圖7繪示根據一些實施例之其中經由一行及一列對一記憶體胞執行一

重設存取操作之一交叉點式記憶體陣列之電壓-時間曲線。電壓-時間曲線(V-T) 336及338分別表示一選定行及一選定列上之電壓之時間演進。重設存取操作包括一選擇階段312，其後接著一存取階段316。在所繪示之實施例中，在一選擇時間( $t=t_{SEL}$ )處藉由將一BL選擇信號304及一WL信號308分別自撤銷啟動狀態322及330啟動至啟動狀態328及332而起始選擇階段312。在一釋放時間( $t=t_{REL}$ )處，當將BL選擇信號304及WL信號308分別撤銷啟動至撤銷啟動狀態322及330時，選擇階段312結束且存取階段316起始。在存取階段316期間，在 $t=t_{SEL2}$ 處，行取消選擇電壓300 ( $V_{COL\ DES}$ )自中間偏壓行供應324改變至一參考電壓326。在一取消選擇時間( $t=t_{DESEL}$ )處，當行取消選擇電壓300 ( $V_{COL\ DES}$ )改變回至中間偏壓行供應324時，存取階段316結束。

仍參考圖7，根據一些實施例，分別對應於一選定行及一選定列之V-T曲線336及338在自時間 $t=0$ 至 $t=t_{REL}$ 之選擇階段期間分別定性地類似於針對關於圖6描述之設定存取操作之選擇階段之選定行及列之V-T曲線270及274。類似於圖6，在 $t=t_{TH}$ 處，一目標記憶體胞(例如，圖5中之T記憶體胞154T)可經定限，且在 $t=t_{REL}$ 處，T記憶體胞可至少暫時地自定限條件釋放。在一些實施例中，一重設存取操作中之選擇偏壓344之量值可低於一設定存取操作中之選擇偏壓286 (圖6中)達例如介於約0.1 V與2 V之間或介於約0.5 V與1.5 V之間(例如約1 V)之一電壓差。

隨後，根據一些實施例，在一第二選擇時間( $t=t_{SEL2}$ )處，可跨T記憶體胞施加一重設存取偏壓348a。根據所繪示之實施例，在 $t_{REL}$ 處釋放T記憶體胞與在 $t_{SEL2}$ 處施加重設存取偏壓348a之間可存在一延遲。類似於關於圖6描述之設定存取操作，在 $t_{REL}$ 處釋放記憶體胞之時間起，可在約5微秒內、

在約500奈秒內、在約50奈秒內或在約1奈秒內在 $t=t_{SEL2}$ 處施加重設存取偏壓348a。

在一些實施例中，在其中已將記憶體胞置於重設存取偏壓348a下之一特定時間量之後，在一第二定限時間( $t=t_{TH2}$ )處對T記憶體胞第二次定限，此繼而可引起一第二驟回放電電流流動通過記憶體胞，該第二驟回放電電流之量值小於因 $t=t_{TH}$ 處之驟回事件而發生之驟回放電。在 $t=t_{TH2}$ 處之第二驟回事件期間，電流之方向與在 $t=t_{TH}$ 處之第一驟回事件期間的電流之方向相反。在 $t=t_{TH2}$ 處對T記憶體胞第二次定限之後，跨T記憶體胞之偏壓可降低至一定限後重設存取偏壓348b。隨後，類似於關於圖6描述之設定存取操作，在一取消選擇時間 $t=t_{DESEL}$ 處，選定行及選定列可分別返回至預充電條件 $V_{COL\ DESEL}$ 及 $V_{ROW\ DESEL}$ ，以完成重設存取操作。

在一些實施例中，可例如藉由使用中間偏壓行電壓源222及COL DESEL 210 (圖5)將電壓施加至選定行，其中電流流動通過重設存取電路路徑234 (圖5)。圖7中之所繪示實施例對應於電流流動通過重設存取電路路徑234。

應了解，不同於關於圖6描述之設定存取偏壓，偏壓之方向在選擇偏壓344與重設存取偏壓348之間反轉。在選擇偏壓344之施加期間，選定行相對於選定列處在一較高電壓，使得電流自選定行流動至選定列。在重設存取偏壓348之施加期間，選定行相對於選定列處在一較低電壓，使得電流自選定列流動至選定行。可例如藉由使用一COL DESEL 210 (圖5)將選定行連接至接地204 (圖5)而使選定行上之電壓降低至一低位準(例如，接地於零伏特)，且將一較高位準 $V_{ROW\ DESEL}$  (例如，相對於接地204)施加至選定列來引起此電流反轉。如上文論述，除選定行之外，亦可使用COL DESEL

210 (圖5)將經取消選擇之其他行連接至相同中間偏壓行電壓源222 (圖5)。經取消選擇行可降低至低電壓位準350 (例如 $V_{\text{ROW SEL}}$ )。如上文論述，取決於記憶體器件之設計，連接至中間偏壓行電壓源222之經取消選擇行之數目可為任何適合數目，例如介於1與一塊中之行之一分率之間。應了解，雖然沿選定行之類型A記憶體胞之一子集可亦經歷偏壓之一反轉，但記憶體胞之子集將經歷一驟回事件，此係因為不同於T記憶體胞，類型A記憶體胞之子集在 $t_{\text{TH}}$ 處尚未經歷類似於由T記憶體胞經歷之驟回事件之一先前驟回事件，且因此根據如上文關於圖3描述之暫時臨限電壓降低及其復原效應，類型A記憶體胞之子集之臨限電壓尚未如T記憶體胞之臨限電壓般暫時降低。

在一些實施例中，記憶體控制器可經組態以偵測在 $t_{\text{TH}}$ 處發生之一驟回事件，且引起選定行之行取消選擇電壓 $V_{\text{COL DES}}$ 自一中間偏壓行電壓(由例如圖5中之中間偏壓行電壓源222供應)切換至一參考電壓(例如，接地204)。偵測可由電流偵測或電壓偵測電路及/或使用經設計以偵測持續達小於例如約100 ns之一持續時間之一電壓或一電流事件之技術進行。在其中記憶體控制器可偵測驟回事件之此等實施例中，自中間偏壓行電壓至參考電壓之切換可基於是否已偵測到驟回事件而視條件進行。

在圖7中將可理解，為清楚及/或簡潔起見，某些特徵並未被明確地敘述，而該等特徵將可被理解地相似於相關於圖6所描述的類似特徵。例如，雖然未明確地敘述，但將可理解相關於圖6所描述的抑制偏壓278及282、保持位準290以及電流流動方向298之敘述可相似地分別應用至圖7所示之抑制偏壓340及342、保持位準346以及電流流動方向352。

圖8繪示根據一些其他實施例之其中經由一行及一列對一記憶體胞執

行一重設存取操作之一交叉點式記憶體陣列之電壓-時間曲線。電壓-時間曲線(V-T) 390及394表示一選定行及一選定列上之電壓之時間演進。重設存取操作包括一選擇階段372，其後接著一存取階段376，其以類似於關於圖7描述之選擇階段312及存取階段316之方式之一方式起始及結束。圖8中之重設存取操作之序列類似於圖7中之重設存取操作之序列，惟以下者除外：不同於圖7，在圖8中表示之實施例中，記憶體控制可未經組態以偵測在 $t=t_{TH}$ 處發生之一驟回事件，且在選擇階段372期間在 $t=t_{sel2}$ 處將中間偏壓行供應切換信號360自一啟動狀態378撤銷啟動至一撤銷啟動狀態380。在此等實施例中，類似於圖7，雖然在 $t=t_{REL}$ 處釋放記憶體胞與一第二定限時間 $t=t_{TH2}$ 之間將選定行之電壓供應自一行電壓源(例如，圖5中之COL SEL 196)切換至一中間偏壓行電壓源(例如，圖5中之中間偏壓行電壓源222)，但在 $t=t_{SEL}$ 處選擇選定行及選定列之後，在 $t=t_{SEL2}$ 處啟動中間偏壓行電壓源。目標記憶體胞之定限事件可發生在 $t=t_{SEL2}$ 之前或之後。由於在 $t=t_{REL}$ 之前，行取消選擇供應已經切換，故跨目標記憶體胞之偏壓可轉變至第二偏壓414a而未首先進入至如圖7中之一撤銷啟動狀態中。根據一些實施例，此直接轉變可為一優點。施加至目標記憶體胞之後續存取偏壓414b類似於關於圖7描述之偏壓。

在圖8中將可理解，為清楚及/或簡潔起見，某些特徵並未被明確地敘述，而該等特徵將可被理解地相似於相關於圖6及7所描述的類似特徵。例如，雖然未明確地敘述，但將可理解相關於圖6所描述的抑制偏壓278及282、保持位準290以及電流流動方向298之敘述可相似地分別應用至圖8所示之抑制偏壓398及402、保持位準410以及電流流動方向419。類似地，可理解相關於圖7所描述的選擇偏壓344、BL選擇信號304、WL信號308、啟

動狀態328和332以及撤銷啟動狀態322和330之敘述可相似地分別應用至圖8所示之選擇偏壓408、BL選擇信號364、WL信號368、啟動狀態384和388以及撤銷啟動狀態382和386。

儘管已根據某些實施例描述本發明，然一般技術者明白其他實施例，包含未提供本文中所闡述之全部特徵及優點且亦在本發明之範疇內之實施例。此外，可組合上文描述之各項實施例以提供進一步實施例。另外，在一項實施例之內容背景中展示之特定特徵亦可併入至其他實施例中。因此，本發明之範疇僅參考隨附申請專利範圍界定。

#### 【符號說明】

10	記憶體胞
20	行線
22	列線
30	堆疊組態
32	第一電極
34	儲存元件
36	中間電極
38	選擇器元件
40	第二電極
60	電流-電壓(I-V)曲線
70	設定轉變電流-電壓(I-V)曲線
72	重設狀態次臨限區域
74	設定轉變定限「鼻狀」區域
76	設定轉變驟回區域

- 78 設定轉變保持區域
- 80 設定存取區域
- 90 重設轉變電流-電壓(I-V)曲線
- 92 設定狀態次臨限區域
- 94 重設轉變臨限「鼻狀」區域
- 96 重設轉變驟回區域
- 98 重設轉變保持區域
- 100 重設記憶體胞存取區域
- 120 臨限復原曲線
- 150 記憶體裝置
- 152 記憶體陣列
- 154 記憶體胞
- 154A 記憶體胞/A記憶體胞
- 154B 記憶體胞/B記憶體胞
- 154C 記憶體胞/C記憶體胞
- 154T 目標記憶體胞/T記憶體胞
- 156 行選擇電壓源
- 158 列選擇電壓源
- 160 行取消選擇電路(COL DESEL)
- 162 列取消選擇電路(ROW DESEL)
- 164 行解碼器
- 166 列解碼器
- 168 記憶體控制器

170	行
170D	取消選定行
170S	選定行
172	列
172D	取消選定列
172S	選定列
174	p型場效電晶體(PFET)
176	n型場效電晶體(NFET)
182	n型場效電晶體(NFET)
184	p型場效電晶體(PFET)
190	列選擇線
192	行選擇線
194	列選擇電路(ROW SEL)
196	行選擇電路(COL SEL)
200	記憶體器件
202	電流限制器
204	參考電壓源/參考電壓/接地
210	行取消選擇電路(COL DESEL)
214	第一場效電晶體(FET)
218	第二場效電晶體(FET)/第二n型場效電晶體(NFET)
222	中間偏壓行電壓源
230	選擇相位電路路徑
234	重設存取電路路徑

238	設定存取電路路徑
240	BL選擇信號
244	WL選擇信號
248	選擇階段
252	存取階段
254	撤銷啟動狀態
256	啟動狀態
258	撤銷啟動狀態
260	啟動狀態
270	電壓-時間(V-T)曲線
274	電壓-時間(V-T)曲線
278	抑制偏壓
282	抑制偏壓
286	選擇偏壓
290	保持位準
294	設定存取偏壓
298	電流流動方向
300	行取消選擇電壓
304	BL選擇信號
308	WL信號
312	選擇階段
316	存取階段
322	撤銷啟動狀態

324	中間偏壓行供應
326	參考電壓
328	啟動狀態
330	撤銷啟動狀態
332	啟動狀態
336	電壓-時間曲線(V-T)
338	電壓-時間曲線(V-T)
340	抑制電壓
342	抑制電壓
346	保持位準
344	選擇偏壓
348a	重設存取偏壓
348b	定限後重設存取偏壓
350	低電壓位準
352	電流流動方向
360	中間偏壓行供應切換信號
364	BL選擇信號
368	WL信號
372	選擇階段
376	存取階段
378	啟動狀態
380	撤銷啟動狀態
382	撤鎖啟動狀態

384	啟動狀態
386	撤銷啟動狀態
388	啟動狀態
390	電壓-時間曲線(V-T)
394	電壓-時間曲線(V-T)
398	抑制偏壓
402	抑制偏壓
410	保持位準
414a	第二偏壓
414b	後續存取偏壓

## 【發明申請專利範圍】

### 【第1項】

一種裝置，其包括：

- 一記憶體胞，其具有一第一端及一第二端；
- 一第一電壓源，其經由一第一電路路徑電連接至該記憶體胞之該第一端，該第一電路路徑與一存取操作之一第一相位相關聯；及
- 一第二電壓源，其經由一第二電路路徑電連接至該記憶體胞之該第一端，該第二電路路徑與該存取操作之一第二相位相關聯，其中該第二電壓源之一電壓量值小於該第一電壓源之一電壓量值。

### 【第2項】

如請求項1之裝置，其進一步包含：

- 一參考電壓節點，其電連接至該記憶體胞之該第二端。

### 【第3項】

如請求項2之裝置，其進一步包含：

- 一電流限制器，其電連接在該記憶體胞之該第二端及該參考電壓節點之間，其中該第一電路路徑及該第二電路路徑各包含該電流限制器。

### 【第4項】

如請求項2之裝置，其中該存取操作之該第一相位係一選擇相位且該存取操作之該第二相位係一存取相位，且其中該第一電壓源係一行選擇電壓源且該第二電壓源係一中間偏壓行電壓源。

### 【第5項】

如請求項1之裝置，其進一步包含：

一第三電壓源，其經由一第三電路路徑電連接至該記憶體胞之該第二端，該第三電路路徑與該存取操作之該第二相位相關聯。

**【第6項】**

如請求項5之裝置，其中經由該第一電路路徑及該第二電路路徑流經該記憶體胞之電流之一方向與經由該第三電路路徑流經該記憶體胞之電流之一方向相反。

**【第7項】**

如請求項5之裝置，其中該記憶體胞經組態以回應於該第一電壓源之一電壓及該第三電壓源之一電壓之一施加而在一第一電阻狀態及一第二電阻狀態之間切換。

**【第8項】**

如請求項7之裝置，其中流經該記憶體胞之電流之一方向係至少部分基於該第一電阻狀態及該第二電阻狀態之間之該切換。

**【第9項】**

如請求項1之裝置，其中該記憶體胞經組態以回應於與該第一電壓源之一電壓之施加相關聯之一第一偏壓而定限。

**【第10項】**

如請求項9之裝置，其中該記憶體胞具有一定限電壓，該定限電壓係至少部分基於自一先前定限事件流逝之一經過時間。

**【第11項】**

如請求項1之裝置，其中該記憶體胞包含串聯之一儲存元件及一選擇器元件。

**【第12項】**

如請求項1之裝置，其中該記憶體胞包含一硫屬化物材料。

**【第13項】**

如請求項12之裝置，其中該記憶體胞之一儲存元件包含該硫屬化物材料。

**【第14項】**

一種方法，其包含：

在一存取操作之一第一部分期間使用經由一第一電路路徑電連接至一記憶體胞之一第一端之一第一電壓源來選擇該記憶體胞；及

在該存取操作之一第二部分期間使用經由一第二電路路徑電連接至該記憶體胞之該第一端之一第二電壓源來設定該記憶體胞之一邏輯值。

**【第15項】**

如請求項14之方法，其進一步包含：

在一後續存取操作期間使用經由一第三電路路徑電連接至該記憶體胞之一第二端之一第三電壓源來重設該記憶體胞之該邏輯值。

**【第16項】**

如請求項14之方法，其進一步包含：

至少部分基於與在該存取操作期間電連接至該記憶體胞之一第二端之一電壓參考之一比較來判定該記憶體胞之該邏輯值。

**【第17項】**

如請求項14之方法，其中該記憶體胞於一交叉點式陣列中，且其中該方法包含：

使用該第一電壓源或該第二電壓源來抑制該交叉點式陣列之一第一額外胞之存取，其中該第一額外胞與該記憶體胞共用一列存取線或一行存取線。

**【第18項】**

如請求項17之方法，其中該交叉點式陣列之一第二額外胞在零偏壓下，且其中該交叉點式陣列之該第二額外胞與該第一額外胞共用一列存取線或一行存取線且與該記憶體胞電隔離。

**【第19項】**

如請求項18之方法，其中在該存取操作之該第一部分期間跨該交叉點式陣列之該第一額外胞、該第二額外胞及一第三額外胞之偏壓之一總和約等於跨該記憶體胞之一偏壓，其中該第三額外胞與該記憶體胞共用一列存取線或一行存取線。

**【第20項】**

一種裝置，其包含：

一記憶體胞，其具有一第一端及一第二端；及

一記憶體控制器，其電連接至該記憶體胞，其中該記憶體控制器可操作以：

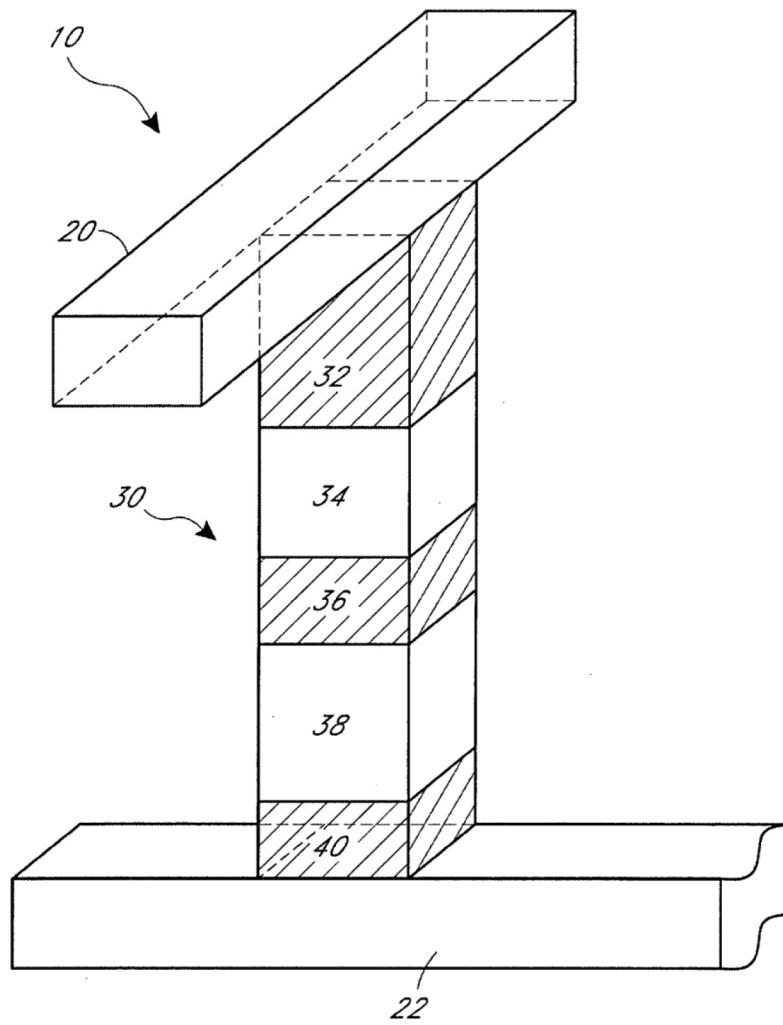
使用經由一第一電路路徑電連接至該記憶體胞之該第一端之一第一電壓源將一第一偏壓施加至該記憶體胞；及

使用以下方式將一第二偏壓施加至該記憶體胞：

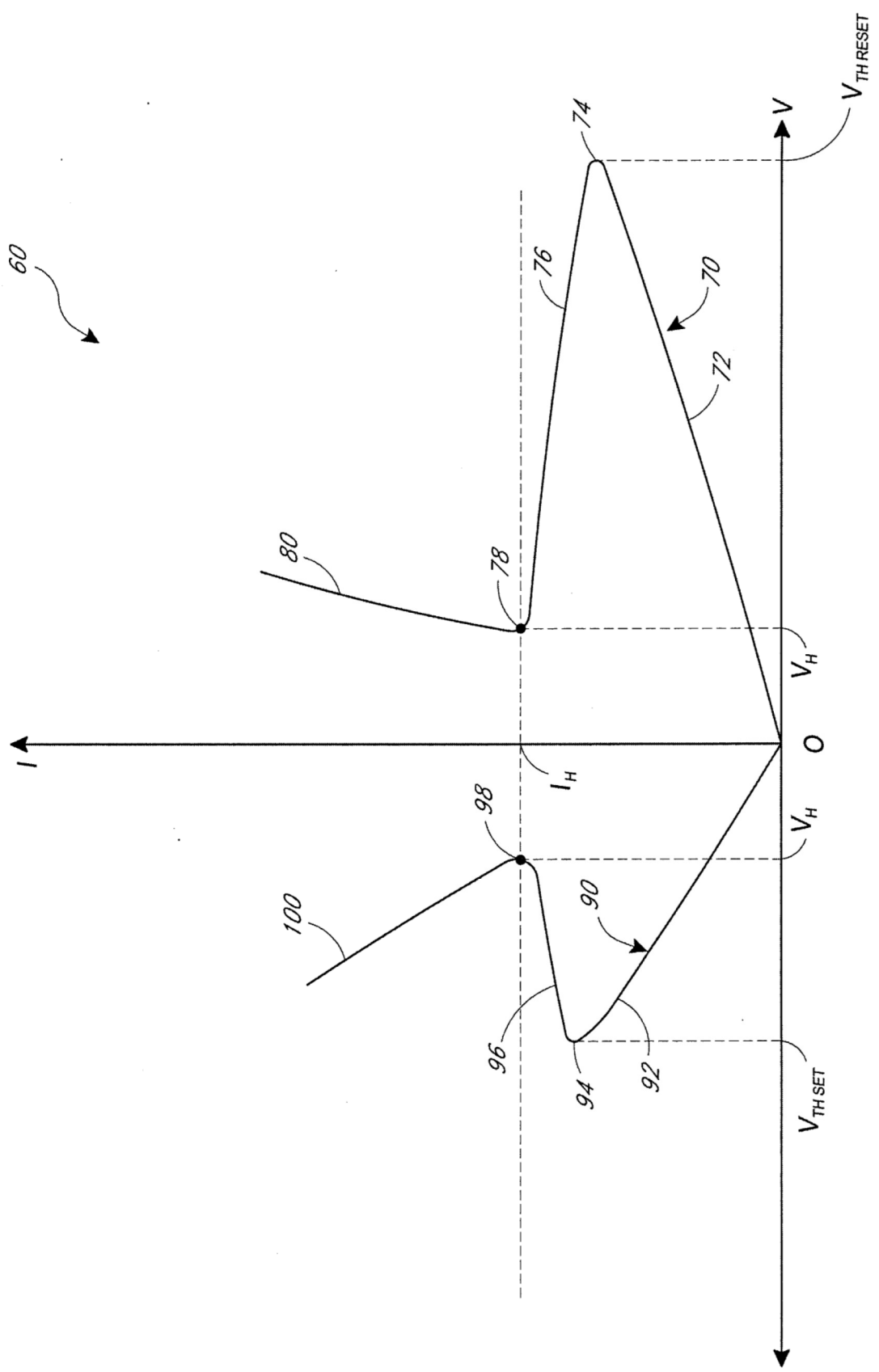
使用經由一第二電路路徑電連接至該記憶體胞之該第一端之一第二電壓源，及

使用經由一第三電路路徑電連接至該記憶體胞之該第二端之一第三電壓源。

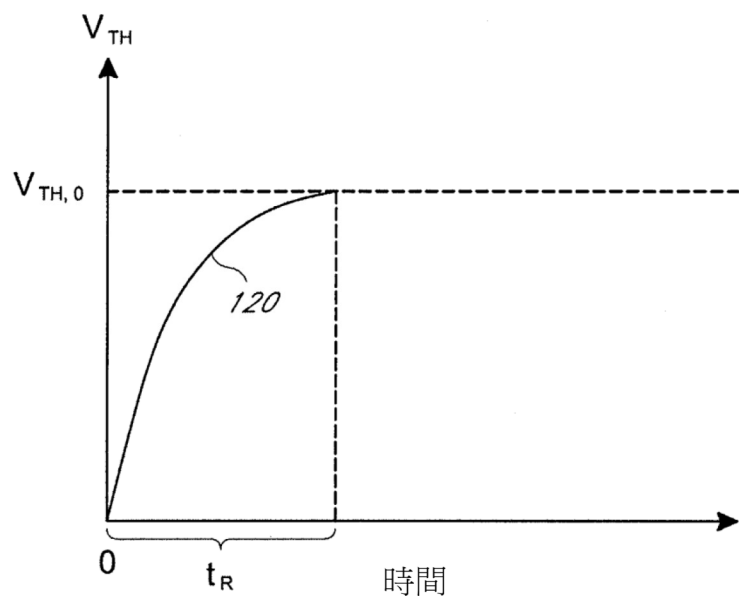
【發明圖式】



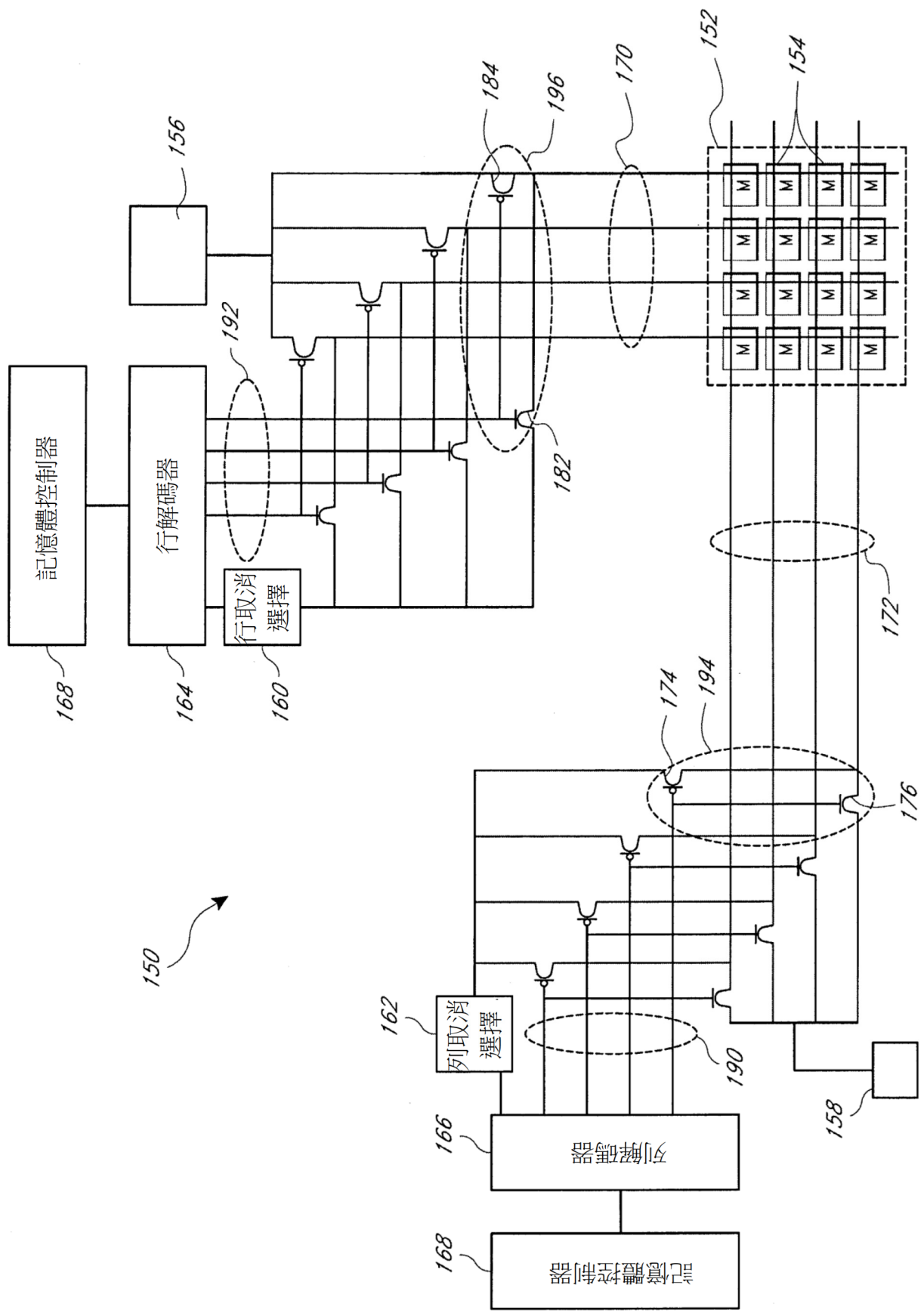
【圖1】



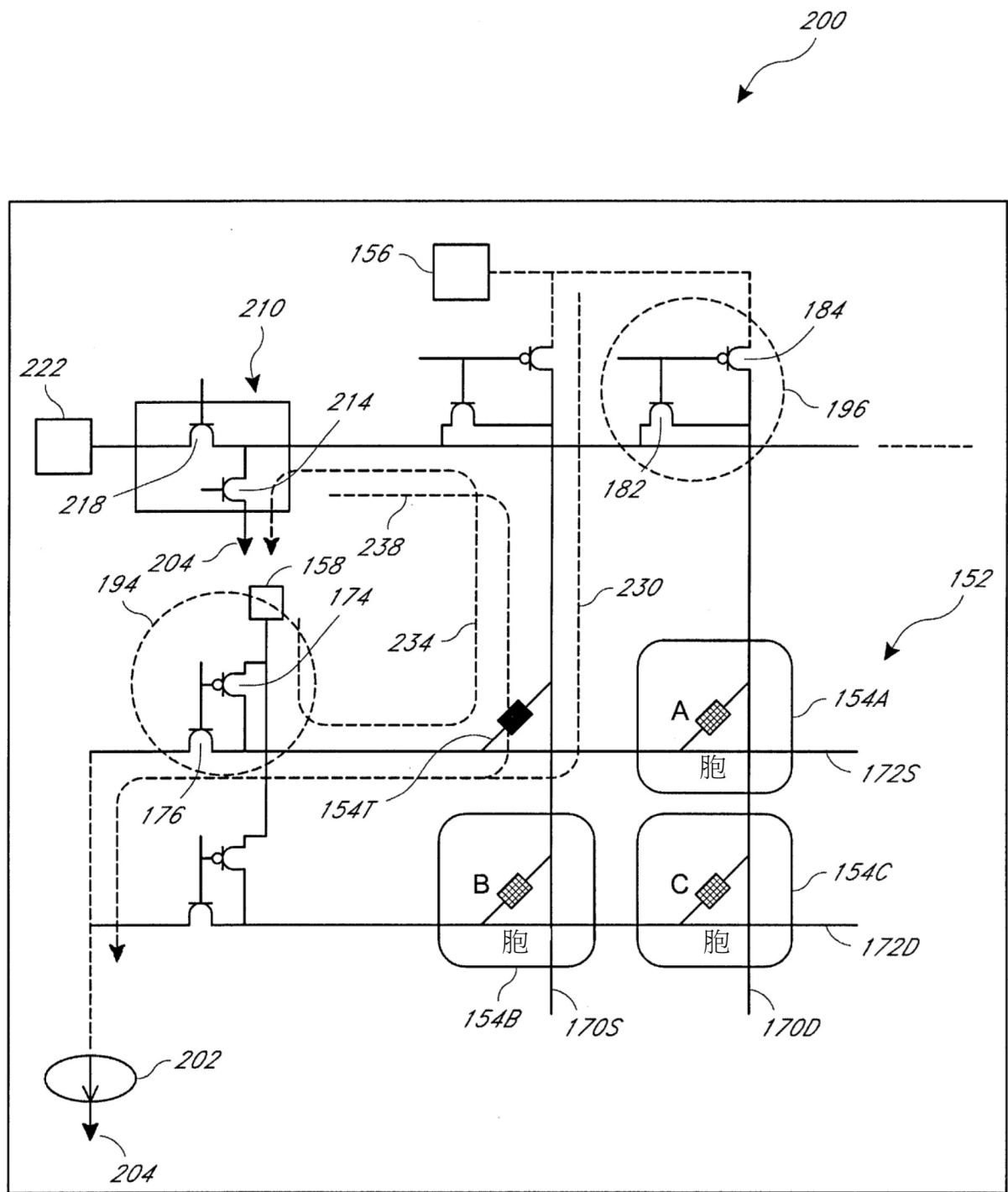
【圖2】



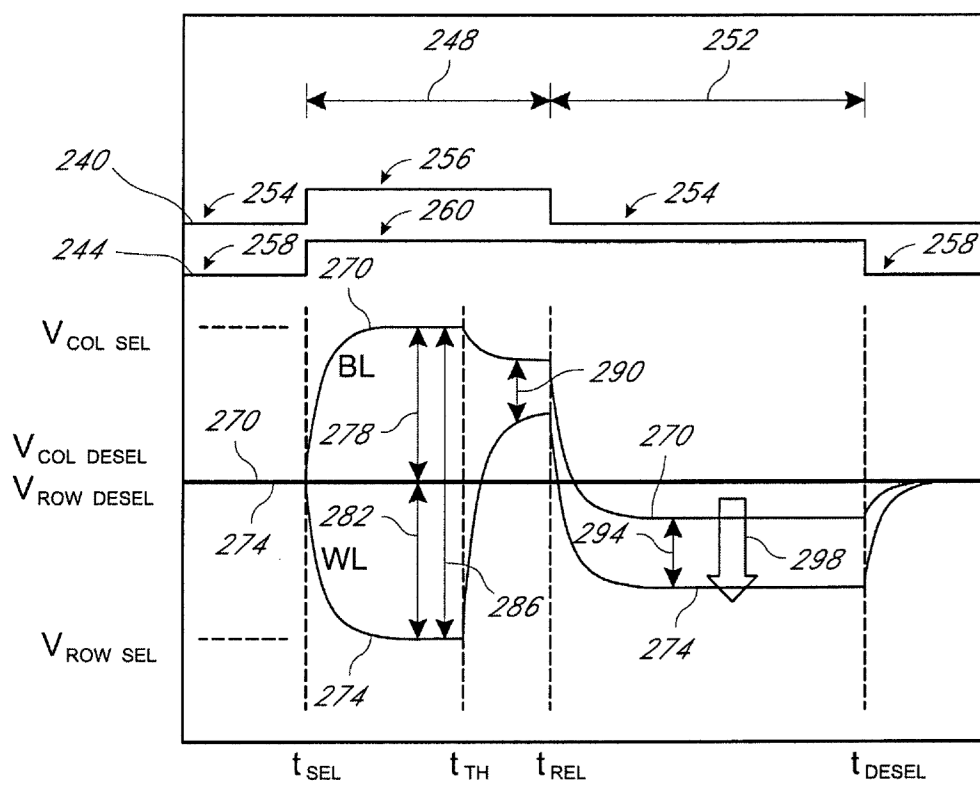
【圖3】



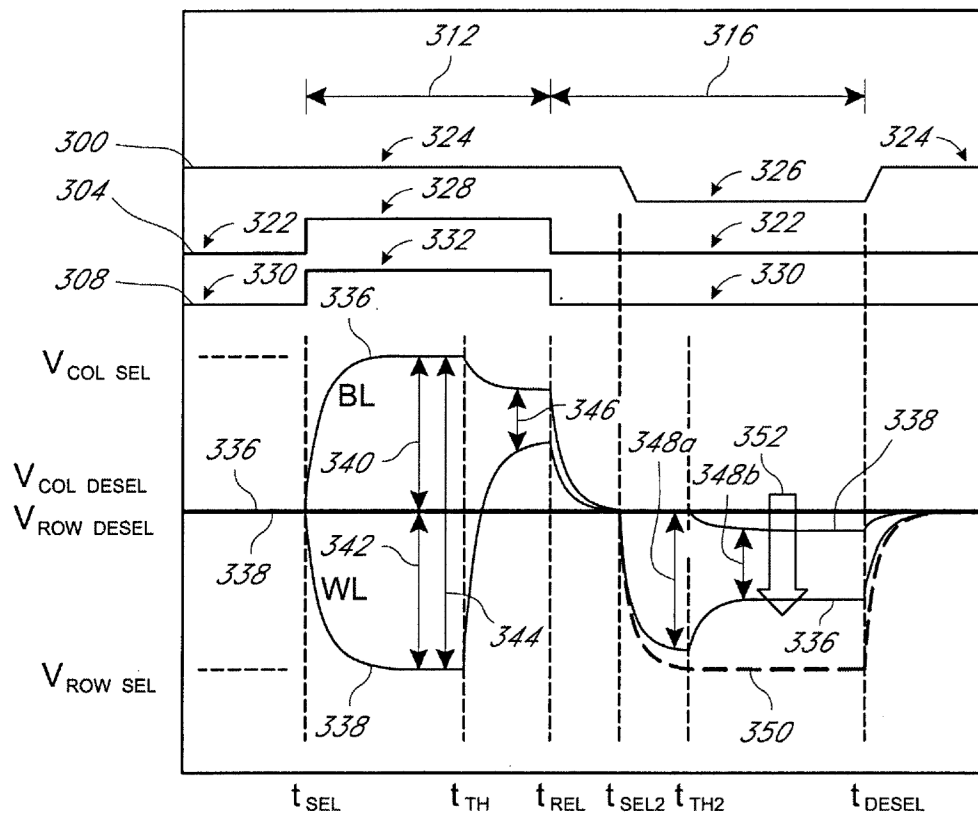
【圖4】



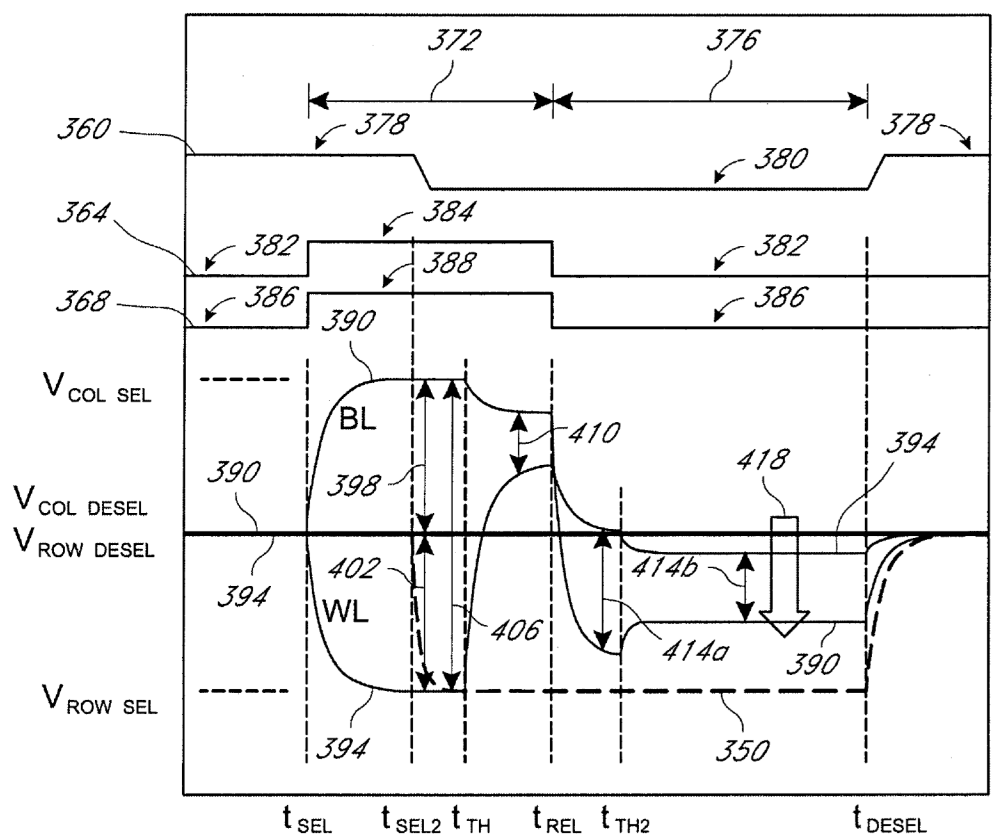
【圖5】



【圖6】



【圖7】



【圖8】