

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94115820

※申請日期：94.5.16

※IPC 分類：H01L 21/18, 21/4763

一、發明名稱：(中文/英文)

形成具矽化物層之半導體裝置之方法

METHOD FOR FORMING A SEMICONDUCTOR DEVICE HAVING A
SILICIDE LAYER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市西帕莫路7700號

7700 WEST PARMER LANE, AUSTIN, TEXAS 78729, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 迪哈麥西 嘉瓦拉尼
JAWARANI, DHARMESH

2. 塔伯 A 史蒂芬斯
STEPHENS, TAB A.

國 籍：(中文/英文)

1.-2.均美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年05月26日；10/854,389

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：年 月 日修正替換頁
101. 8. 29

本發明揭示一種形成半導體裝置之方法，其包括：提供一半導體基板；在該半導體基板上形成一絕緣層；在該絕緣層上形成一導電層；在該導電層上形成一第一金屬矽化物層；圖案化該導電層以形成一圖案化第一層，其中該圖案化第一層係一控制電極之一部分；圖案化該第一金屬矽化物層，以在該控制電極上形成一圖案化第一金屬矽化物層，使得該圖案化第一金屬矽化物層繼續存在於該控制電極上；以及在該圖案化金屬矽化物層上形成一第二金屬矽化物層，其中該第二金屬矽化物層之厚度大於第一金屬矽化物層之厚度。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

10	半 導 體 裝 置
12	半 導 體 基 板
21	閘極絕緣體
22	控 制 電 極
26	源極延伸
28	汲極/源極延伸
30	隔片
31	深層源極
32	深層汲極/源極
36	金屬矽化物層
38	金屬矽化物層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於形成半導體裝置，且更具體而言係關於形成半導體裝置之矽化物層。

【先前技術】

半導體工業不斷縮減裝置尺寸以創造更快之裝置。一種被減小之該特徵係形成電晶體閘極之多晶矽線之寬度。形成於窄多晶矽線上之金屬矽化物改良該多晶矽線與其它隨後形成之導電線之間的接觸電阻。該金屬矽化物係藉由在該窄多晶矽線上沉積一金屬層且退火處理該金屬層以使其與該多晶矽線反應並形成金屬矽化物。然而，當在一窄多晶矽線上形成金屬矽化物時，很難使該金屬矽化物成核。成核不良導致厚度差別很大且常常產生不合需要地增加該層之線薄層電阻的不連續層。由於線薄層電阻增加，所形成裝置不合格且良率降低。因此，需要在窄多晶矽線上形成金屬矽化物而不降低良率。

【發明內容】

與該先前技術相反，不使金屬矽化物在一多晶矽線上成核。相反地，使一薄金屬矽化物層在一較寬多晶矽區域上成核，隨後該多晶矽區域經蝕刻形成窄多晶矽區域。在一實施例中，該較寬多晶矽區域係毯覆式多晶矽以使其沉積在該半導體基板所有曝露之表面上。在一實施例中，該較寬多晶矽區域係毯覆式多晶矽。該較寬多晶矽允許均勻成核。因為該金屬矽化物層很薄，所以當圖案化該下層多晶

矽以形成窄多晶矽線時可蝕刻該金屬矽化物層。隨後，在該薄金屬矽化物層上形成一較厚金屬矽化物。在一實施例中，該薄金屬矽化物層與該較厚金屬矽化物層組合之厚度係近乎等同於先前技術中在窄多晶矽線上形成之金屬矽化物厚度。該所得結構在窄多晶矽區域上具有連續及均勻金屬矽化物，但沒有損失良率。自該等圖之詳細描述可獲得更加詳細之理解。

【實施方式】

圖1中說明半導體裝置10之一部分，該半導體裝置10具有一半導體基板12、一絕緣層14、一導電層16、一第一金屬矽化物層18及一防反射層19。如圖5所示如52提供該半導體基板10且可為任意半導體材料或材料組合，諸如砷化鎵、矽鍺、絕緣矽(SOI)、矽、單晶矽、其類似物及該上述材料組合。該絕緣層14之一部分將用作一閘極介電質且因此可為任意合適之絕緣材料，諸如二氧化矽(SiO_2)或一高介電(hi-k)常數材料(意即一種介電常數比二氧化矽大的材料)，諸如二氧化鈦(HfO_2)及二氧化鋯(ZrO_2)或上述材料組合，諸如二氧化矽與二氧化鈦。(如本申請案所用，該詞"層"係指一或多個層。舉例而言，該絕緣層14可包括一個二氧化矽層及一個二氧化鈦層。)該絕緣層14可自一包括矽以形成二氧化矽之半導體基板來熱成長或可藉由化學氣體沉積(CVD)、原子層沉積(ALD)、物理氣體沉積(PVD)、其類似方法或上述方法之組合來進行沉積。

該導電層16沉積54(參看圖5)在該半導體基板12上且可包

括矽(例如多晶矽,其可經摻雜)、金屬、其類似物或上述材料之組合。舉例而言,該導電層16可包括氮化鈦(TiN)、氮化鉭(TaN)或兩者。如進一步討論後所顯而易見的是,若該覆在上面之金屬矽化物層係藉由沉積金屬及隨後實施退火而形成,則該導電層16應包括矽;然而,若要沉積該金屬矽化物層則可使用任意材料。若用退火,則較佳該導電層16具有一包括矽之頂部以使得該矽可與一金屬層反應且形成一金屬矽化物。該頂部不必為該導電層之最頂部部分;相反,該頂部必須足夠接近該隨後形成之金屬層以使該頂部之矽與該金屬層之間能夠反應。若該導電層16為多晶矽,舉例而言,按56利用習知加工可視情況摻雜該導電層(參看圖5)以變得更加導電(另外,若該導電層16係經摻雜,則可理想地降低多晶矽之空乏效應)。可為一閘極堆疊之該導電層一部分將用作該半導體裝置10之一控制電極或閘極,且因此一熟練技術人員可為該層選擇與起到閘極作用相稱之厚度及材料。舉例而言,該導電層16可為近乎100奈米之多晶矽。如下文所作更具體之解釋,在某些實施例中,可希望使該導電層16比該閘極所需之厚度更厚,因為該厚度在加工過程中會減少。

如圖5所示,在形成該導電層16後,用一第一製程58或者一第二製程68來形成該金屬矽化物層。在該第一製程58中,在一實施例中藉由濺鍍(一PVD形式)在該導電層16上沉積一第一金屬層(諸如鈷、鎳或鈦)。在一實施例中,該第一金屬層至少為一具有厚度但小於近乎8奈米之單層。較佳以

8奈米作為該厚度之上限，因為若該金屬層更厚則在蝕刻該導電層16時很難蝕刻所得金屬矽化物層。在一實施例中，該金屬第一層具有近乎2至近乎7奈米之厚度或更佳為近乎3奈米或近乎4奈米。接著，在一第一溫度下按62實行第一次退火，在其中該第一金屬層包括鈷之一實施例中，62為在近乎攝氏450度下之快速熱退火以形成一第一金屬矽化物。時該第一次退火在該半導體裝置之導電部分形成一初始矽化物相(第一金屬矽化物)，同時在絕緣區域上避免該形成，該等絕緣區域例如為該半導體裝置10之場氧化層及間隔區域。在實施該第一次退火後，按63可選用一濕式蝕刻以去除可覆蓋在該絕緣區域上之任何未反應金屬。

在該第一次退火及可選性濕式蝕刻63之後為64，即可選性氮氣植入。該氮氣植入有助於防止該第一金屬矽化物層在隨後之高溫處理中燒結，因而有助於保持該第一金屬矽化物層均勻及連續。在一實施例中，該氮氣植入以直接植入方式實施(意即垂直於該半導體裝置10)，植入劑量在每平方公分近乎 $1E14$ 至近乎 $5E15$ 個原子、或者每平方公分近乎 $1.5E15$ 個原子，植入能量為近乎0.7 KeV至近乎10 KeV、或更佳近乎1.5 KeV。在該可選性植入後，在一第二溫度下按66可實施一第二次退火，在其中該第一金屬層包括鈷之一實施例中，66為該在近乎攝氏700度下之快速熱退火以形成第二金屬矽化物。該第二金屬矽化物具有較第一金屬矽化物更低之電阻率。在一實施例中，該第一次退火之第一溫度係低於該第二次退火之第二溫度。若該第一次退火足以

形成一具有所要低電阻率之金屬矽化物層則可不實施該第二次退火。在退火過程中，該金屬層與該導電層16中之矽反應及形成一第一金屬矽化物層18。由於該反應，該第一金屬矽化物層18應實質上消耗所形成之全部金屬層及一部分該導電層16。(當該金屬層係鈷時，每埃之該金屬層將消耗約3.6埃之多晶矽導電層。)在一實施例中，在第二次退火之後該第一金屬矽化物層將具有小於25奈米之厚度。

或者，可實施製程68。在此實施例中沉積一第一金屬矽化物層18，其可藉由CVD、ALD、其類似方法或上述之組合來實施。較佳該第一金屬矽化物層厚度小於25奈米以使其在隨後之圖案化製程中容易被蝕刻。由於在此實施例中未消耗該下方導電層16以形成第一金屬矽化物層18，使用該製程68之一優勢係所形成之導電層16可比使用該製程58時形成之導電層16更薄，該製程58中在形成該導電層16時可將該導電層16之消耗考慮在內。按68在該導電層上沉積第一金屬矽化物層之後按69進行可選性氮氣植入。該氮氣植入有助於防止該金屬矽化物層在隨後之高溫處理中燒結，因此有助於保持該金屬矽化物層均勻及連續。在一實施例中，氮氣植入以直接植入之方式實施該氮氣植入(意即垂直於該半導體裝置10)，植入劑量在每平方公分近乎 $1E14$ 至近乎 $5E15$ 個原子、或更佳為每平方公分近乎 $1.5E15$ 個原子，植入能量在近乎0.7 KeV至近乎10 KeV、或更佳為近乎1.5 KeV。

在形成該第一金屬矽化物層18之後，視情況形成一

ARC(抗反射塗層)層19。在一實施例中，該ARC層19包括兩層。第一層可包括一DARC(介電質ARC)。在一實施例中該DARC包括一氧化物基薄膜、氮化物基薄膜、其類似物或上述材料之組合，其厚度為近乎10奈米至近乎100奈米。然而，該膜厚度可視所用材料之光學特性及蝕刻阻力而定進行變化。若用隨後形成之覆蓋性光阻作為一光罩層，則可使用一厚度近乎20奈米之較薄富矽氮化物薄膜。若用一非光阻硬罩來替代該光阻，該厚度可近乎大於約50奈米。該第一層可包括一BARC(底部ARC)，其在一實施例中為旋塗式有機材料，諸如厚度在近乎10奈米至近乎1000奈米之Clariant 1C1B。為提供光學特性之最佳組合，可選擇該BARC厚度與該隨後形成之光阻層厚度相同，諸如Sumitomo 193 nm-敏感性PAR-707。在該ARC層19之第一層下，該ARC層19之一第二層可包括一OARC(有機ARC)，諸如厚度在近乎10奈米至近乎100奈米之應用材料APF膜。或者，該第二層可為一硬罩，諸如氮化矽，其可具有大於近乎50奈米之厚度。可使用CVD、PVD、ALD、旋塗、其類似方法或上述方法之組合來沉積該ARC層19。可選用該ARC層19以有助於在圖案化下層時降低反射。亦可使用其它圖案化方法、包括雙層圖案化系統。

在形成該第一金屬矽化物層18及該ARC層19(若存在)之後，如圖2中所示按70圖案化該第一金屬矽化物層18、該ARC層19(若存在)及該導電層16，以形成該ARC 25(若存在)、該第一金屬矽化物層24及該閘極或控制電極22。在一

實施例中，在該半導體基板10上形成及圖案化一(正片或負片)光阻層20，以形成該ARC 25(若存在)、該第一金屬矽化物層24及該閘極或控制電極22。在一實施例中，若該第一金屬矽化物層18為矽化鈷且該導電層16為多晶矽，則可使用針對該導電層16之蝕刻化學品來蝕刻該第一金屬矽化物層18及該導電層16，諸如：例如 CF_4 或 SF_6 之氟基化學物，例如 Cl_2 或 BCl_3 之氯基化學物，或上述物質之組合。此時亦可圖案化該絕緣層14以形成一閘極絕緣體21，但另一選擇可為不圖案化。在圖案化之後，去除該光阻層20及該ARC 25(若存在)。在一實施例中，實施乾灰及濕式蝕刻處理之組合以去除該光阻層20及該ARC 25(若存在)。

在去除該光阻層20及該ARC 25(若存在)之後，可藉由以相對於該半導體基板12表面之法線0度角或某一角度植入，而形成一源極延伸26及一汲極延伸28。在一實施例中，該摻雜濃度可為每立方公分約 $1\text{E}19$ 至 $5\text{E}20$ 個原子之n型(例如磷)或p型(例如硼)摻雜物。

在形成該源極延伸26及一汲極延伸28之後，沿著該控制電極22、該第一金屬矽化物層24及閘極絕緣體21之側面形成隔片30(若經圖案化，且若未經圖案化則該等隔片30係形成於該閘極絕緣體21之上)。可藉由在該半導體裝置10上沉積一諸如氮化矽(Si_xN_y)之絕緣層，且利用習知化學品各向異性蝕刻該絕緣層來形成該等隔片30。可單獨使用或聯合該等所示隔片30一起使用其它隔片實作方式及結構，諸如"L形"隔片。在形成該等隔片30之後，一深層源極31及一深

層汲極32形成於該半導體基板12內。

可利用該等隔片30以及該第一金屬矽化物層24及控制電極22作為一遮罩，來形成該深層源極31及深層汲極32。可利用用以形成該源極延伸26及該汲極延伸28之相同摻雜物；然而，該摻雜濃度應大於用以形成該等延伸26及28之摻雜物濃度。在一實施例中，該摻雜物濃度可為每立方公分近乎 $5E19$ 至 $1E21$ 個原子之n型(例如磷)摻雜物或p型(例如硼)摻雜物。該源極延伸26及該深層源極31形成該半導體裝置10之源極區域(一電流電極)，且該汲極延伸28及該深層汲極32形成該半導體裝置10之汲極區域(一電流電極)，其係於圖5之製程72中予以形成。

在形成該等電流電極後，在該第一金屬矽化物及該等電流電極上形成一第二金屬矽化物層36及38。該第二金屬矽化物層36可藉由圖5之製程76或製程74來形成。對於製程76，沉積一第二層金屬層，諸如鈷、鎳或鈦。在一實施例中，濺鍍沉積約4至15奈米之金屬。在沉積之後，按80使該金屬在一第一溫度下退火，且隨後按82在一大於該第一溫度之第二溫度下進行退火。在該等第一及第二退火製程80與82之間，按81實施一可選性蝕刻處理(諸如濕式蝕刻)，以自該裝置之非導電部分(諸如該場氧化層或該分離氧化層)及自該等隔片30去除任何未反應金屬。在一實施例中，當使用鈷時，該第一溫度為近乎攝氏450度且該第二溫度為近乎攝氏700度。在該第一退火過程中，該第二金屬層擴散穿過在閘極22上方區域中之薄第一金屬矽化物層，且與在該

閘極22中之矽反應，以供形成金屬矽化物。舉例而言，已表明鈷應很容易擴散穿過近乎7奈米之矽化鈷，以形成較厚之矽化鈷。可使用與形成第一金屬矽化物層之製程相同的製程。由於存在該第一金屬矽化物層，因此該第二金屬矽化物層很容易成核，且在窄多晶矽線上形成均勻金屬矽化物。或者，可藉由製程74來形成該第二金屬矽化物層，其中可藉由CVD、ALD、其類似方法或上述方法組合來選擇性沉積該第二金屬矽化物層。所沉積之該第二金屬矽化物層對該導電區域具有選擇性。在一實施例中，在閘極22上方之區域中，該所得第二金屬矽化物層36係近乎15奈米至近乎40奈米，或更佳為近乎30奈米。(此量測包括該閘極22上所有金屬矽化物之總厚度)。在一實施例中，在該等電流電極上之區域(其為該等有效面積)中，所得第二金屬矽化物層38及39係近乎15奈米至近乎40奈米、或更佳為近乎20奈米。第二金屬矽化物層36、38及39在該控制電極22上之區域中較厚，因為在該區域36中該第二金屬矽化物層包括該第一金屬矽化物層。在該等電流電極上該第二金屬矽化物層38及39比該閘極22上之該第二金屬矽化物層36更薄，因為前者不與任何下方金屬矽化物層合併。類似於該第一金屬矽化物層，當藉由退火及與下層反應形成第二金屬矽化物層時，如圖4所示，該金屬矽化物層將消耗下層中之部分矽。在此實施例中，該下層應包括矽，但若沉積有該金屬矽化物層則不必如此。

矽化鈦、矽化鈷及矽化鎳係為用於該第一及第二金屬矽

化物層兩者之理想材料，因為它們具有一近乎在13-20 μ -ohm-cm範圍內之薄膜電阻率。此等矽化物中之該等金屬可全部為低溫耐火金屬層。(矽化鈦可另視為一中間耐火金屬，但出於本文之目的將為低溫耐火金屬)。

至此應瞭解已提供了一種方法用以在薄區域上形成均勻金屬矽化物，諸如多晶矽線或閘極。結果收率得以改良。

在前述說明書中已參考特定實施例描述本發明。然而，普通熟習此項技術者認識到可作出多種調整及改變而不背離如以下申請專利範圍所述之本發明範疇。舉例而言，在氮氣植入之前可由一單獨高溫退火取代該第一次及該第二次矽化退火以形成最終低電阻率相。此外，可顛倒該源極區域與該汲極區域。舉例而言，該汲極延伸28及該深層汲32可為該源極延伸28及該深層源極32。因此，本說明書及圖式僅應作為說明而非具有嚴格意義，且所有該等調整旨在包括於本發明之範疇內。

上文已針對特定實施例描述了利益、其它優勢及解決問題之辦法。然而，該等利益、其它優勢、解決問題之辦法及可使任何利益、優勢或解決辦法產生或變得更加顯著之任何要素不應理解為任何或所有該等申請專利範圍嚴格的、必需的或必要的特徵或要素。本文所用術語"包含(comprises、comprising)"或其任何其它變化，係用以涵蓋一非獨占式包括，以使得包含一系列要素之一製程、方法、物件或裝置不僅包括彼等要素還可包括其它未明確列出或非該製程、方法、物件或裝置所固有之要素。本文所用術

語"一"係定義為一個或多於一個。此外，在描述內容及申請專利範圍中，該等術語"前"、"後"、"上"、"下"、"在...上"、"在...下"及其類似詞語若出現則用於描述性目的而沒有必要描述固定之相關位置。應瞭解如此所用之該等術語在合適環境下可互換，以使得本文所描述之本發明之該等實施例能夠運用在其它方向上，而非本文所示或描述者係。

舉例說明本發明且其不受該等附圖之限制，其中類似之引用表明相似元件。

熟練之技術人員應瞭解該等圖示中之元件為簡單及清楚之目的而加以說明且沒有必要按比例繪製。舉例而言，該等圖示中某些元件之尺寸可相對於其它元件擴大以幫助提昇對本發明之該等實施例的理解。

【圖式簡單說明】

圖1說明一半導體裝置一部分之橫截面，該裝置具有根據本發明之一實施例之層。

圖2說明在將本發明一實施例之該等層圖案化之後圖1之半導體裝置。

圖3說明在形成本發明一實施例之若干隔片、一源極區域及一汲極區域之後圖2之半導體裝置。

圖4說明在形成本發明一實施例之一金屬矽化物層之後圖3之半導體裝置。

圖5說明根據本發明之一實施例圖1至4所描述之該等製程之工藝流程。

【主要元件符號說明】

10	半導體裝置
12	半導體基板
14	層
16	導電層
18	金屬矽化物層
19	抗反射層
20	光阻層
21	閘極絕緣體
22	控制電極
24	金屬矽化物層
25	ARC
26	源極延伸
28	汲極/源極延伸
30	隔片
31	深層源
32	深層汲極/源極
36	金屬矽化物層
38	金屬矽化物層
50	流程圖

十、申請專利範圍：

年 月 日修正替換頁
101. 8. 29

1. 一種用於形成一半導體裝置之方法，該方法包含：
 - 提供一半導體基板；
 - 在該半導體基板上形成一絕緣層；
 - 在該絕緣層上形成一導電層；
 - 藉由實施一退火及植入氮氣至一第一金屬矽化物層以在該導電層上形成該第一金屬矽化物層，其中該第一金屬矽化物具有一第一厚度；在該導電層下形成一金屬層；
 - 圖案化該導電層以形成一圖案化第一層，其中該圖案化第一層係一控制電極之一部分；
 - 圖案化該金屬層以形成該控制電極之至少一部分；
 - 圖案化該第一金屬矽化物層，以在該控制電極上形成一圖案化第一金屬矽化物層，使得該圖案化第一金屬矽化物層繼續存在於該控制電極上方；及
 - 在該圖案化金屬矽化物層上形成一第二金屬矽化物，其中該第二金屬矽化物層包含該第一金屬矽化物層，該第二金屬矽化物層具有一第二厚度，且該第二金屬矽化物層之第二厚度大於該第一金屬矽化物層之第一厚度。
2. 如請求項 1 之方法，其中該第一金屬矽化物與該第二金屬矽化物係為相同材料。
3. 如請求項 1 之方法，其中第一金屬矽化物與該第二金屬矽化物係為不同材料。
4. 一種用於形成一半導體裝置之方法，該方法包含：
 - 提供一半導體基板；

年 月 日修正替換頁
101.8.29

在該半導體基板上形成一絕緣層；

在該絕緣層上形成一多晶矽層；

藉由實施一退火及植入氮氣至一第一金屬矽化物層以在該第一層上形成該第一金屬矽化物層，其中該第一金屬矽化物層包含矽及鈷與鎳兩者中之一者；

在該導電層下形成一金屬層；

圖案化該第一金屬矽化物層及該多晶矽層；

圖案化該金屬層以形成該控制電極之至少一部分；及

在該圖案化金屬矽化物層上形成一第二金屬矽化物，其中該第二金屬矽化物及該第一金屬矽化物形成一組合金屬矽化物區域。

5. 一種形成一半導體裝置之方法，該方法包含：

提供一半導體基板；

在該半導體基板上形成一閘極堆疊，其中該閘極堆疊包含一含矽之頂層及在該頂層下之一金屬層；

藉由實施一退火及植入氮氣至一第一金屬矽化物層以在該頂層上形成該第一金屬矽化物層，其中該第一金屬矽化物層包含鈷與鎳兩者中之一者；

圖案化該閘極堆疊以形成一閘極，其中圖案化該閘極堆疊包含圖案化該金屬層以形成該閘極之至少一部分；

在該閘極堆疊上圖案化該第一金屬矽化物層，以形成一圖案化第一金屬矽化物層；

摻雜該橫向鄰近於該閘極處之半導體基板以形成作用區；及

年 月 日修正替換頁
101.8.29

在該第二金屬矽化物層及該等作用區上形成一第二金屬矽化物層。

十一、圖式：

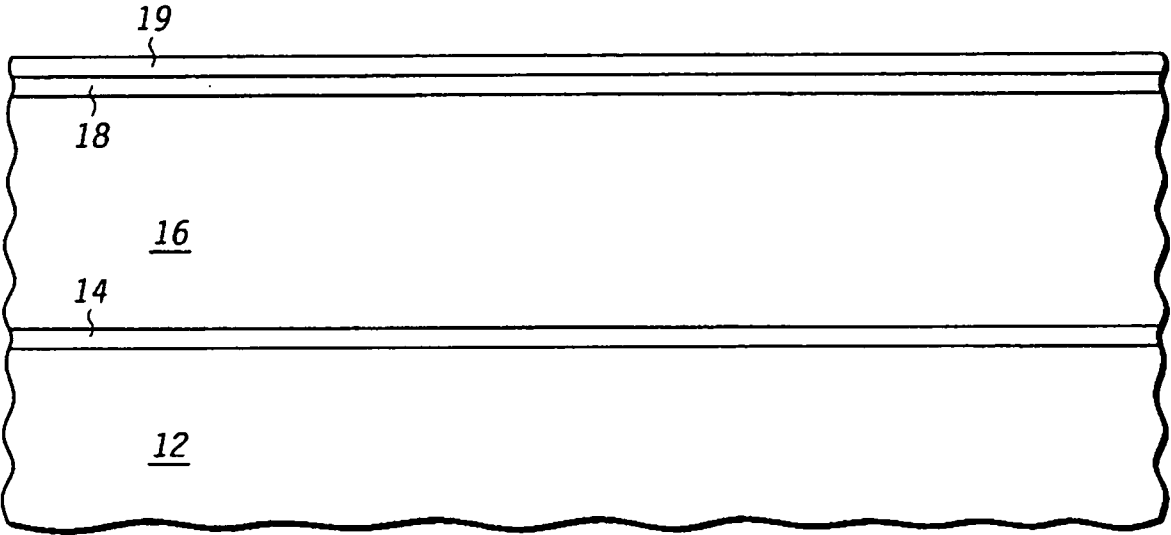


圖 1¹⁰

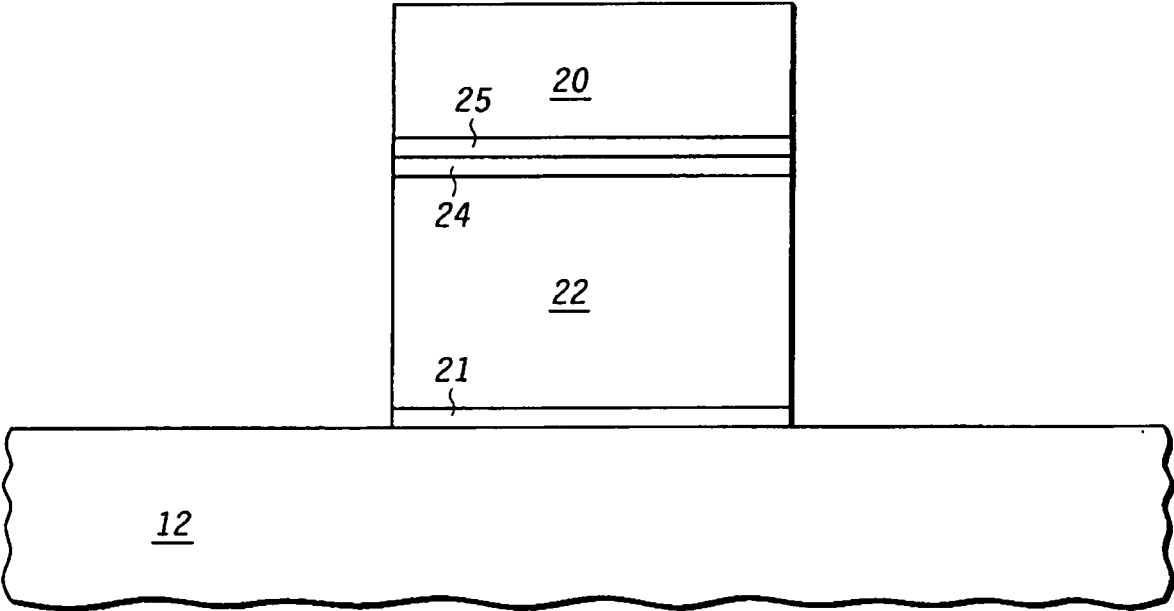
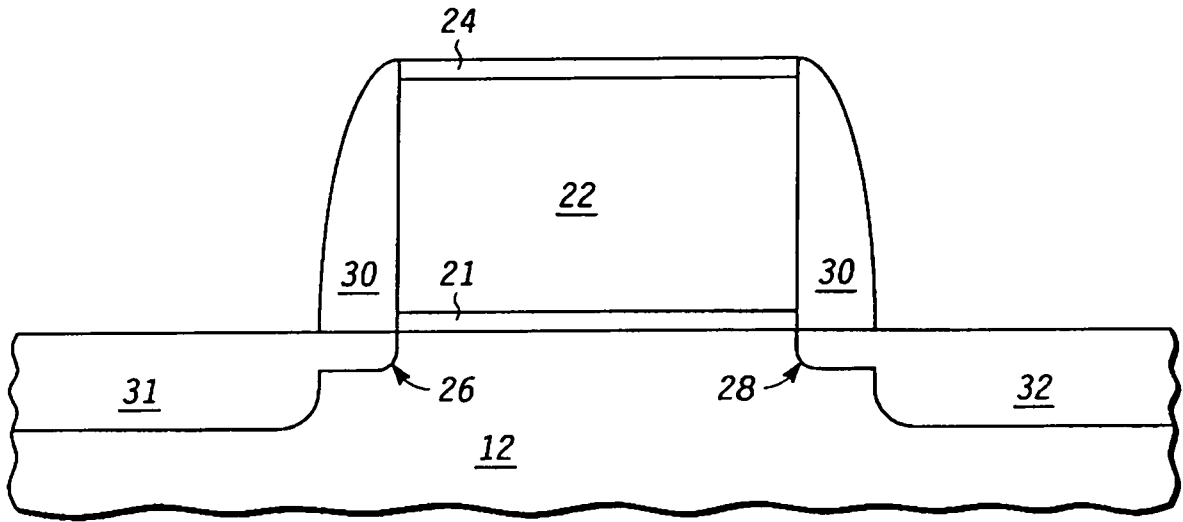


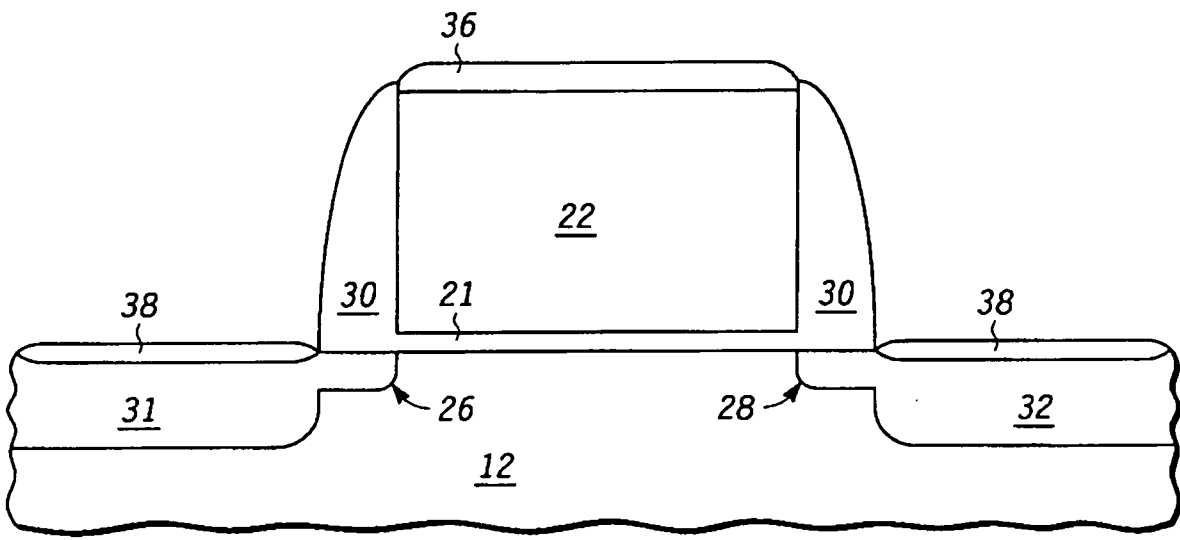
圖 2¹⁰





10

圖 3



10

圖 4



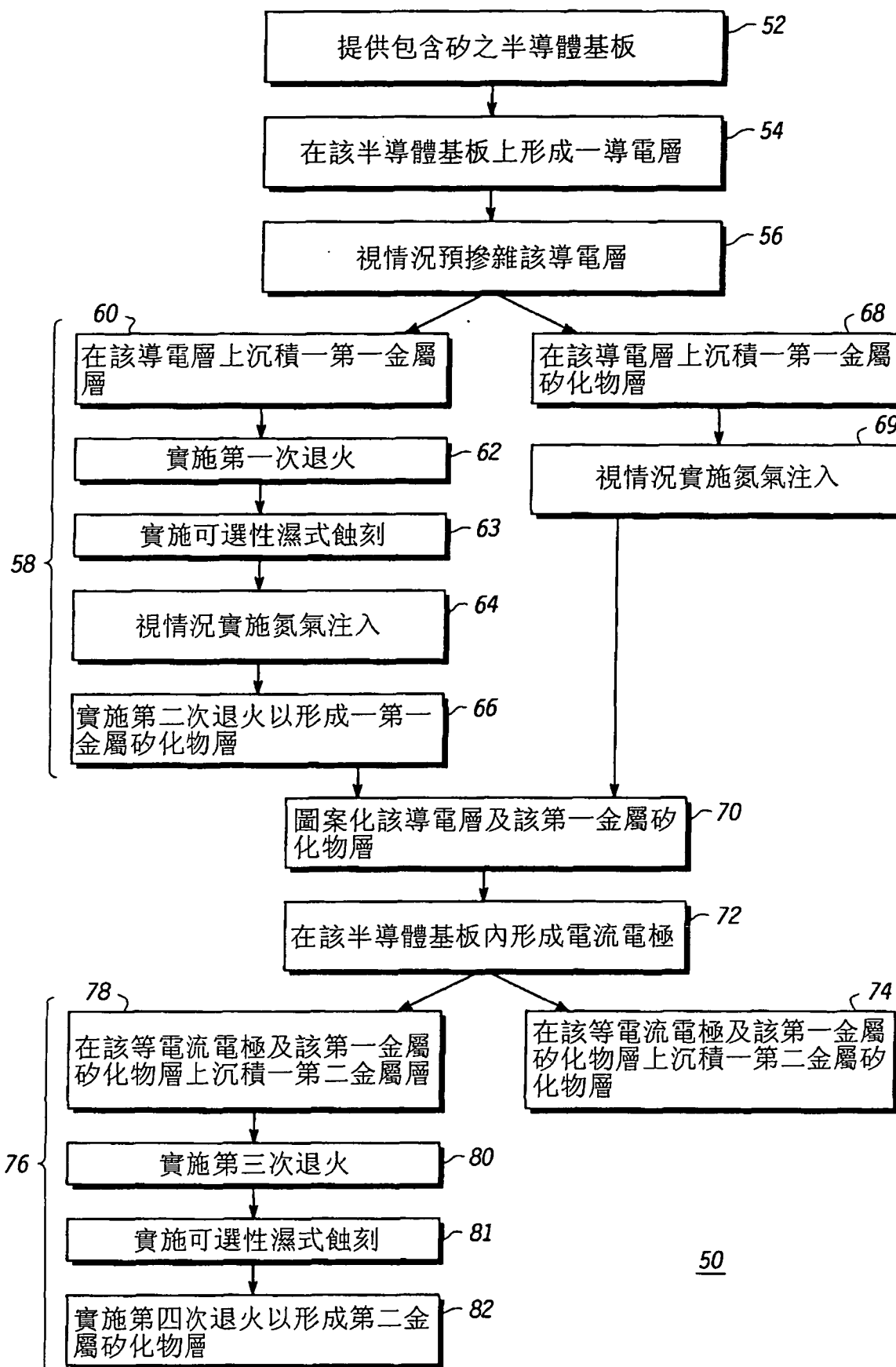


圖 5