

(11) 特許出願公開番号

特開2008-16732

(P2008-16732A)

(43) 公開日 平成20年1月24日(2008.1.24)

(51) Int.Cl.

H O 1 L 33/00 (2006.01)

F I

H01L 33/00

J

テーマコード (参考)

5 F O 4 1

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2006-188443 (P2006-188443)

(22) 出願日 平成18年7月7日 (2006.7.7)

(71) 出願人 000006220

ミツミ電機株式会社

東京都多摩市鶴牧2丁目1-1番地2

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 發明者 山口 公一

神奈川県厚木市酒井1601 ミツミ電機
株式会社厚木事業所内

(72) 発明者 鈴木 大介

神奈川県厚木市酒井1601 ミツミ電機
株式会社厚木事業所内

Fターム(参考) 5F041 AA10 BB06 BB07 BB26 BB27
FF13

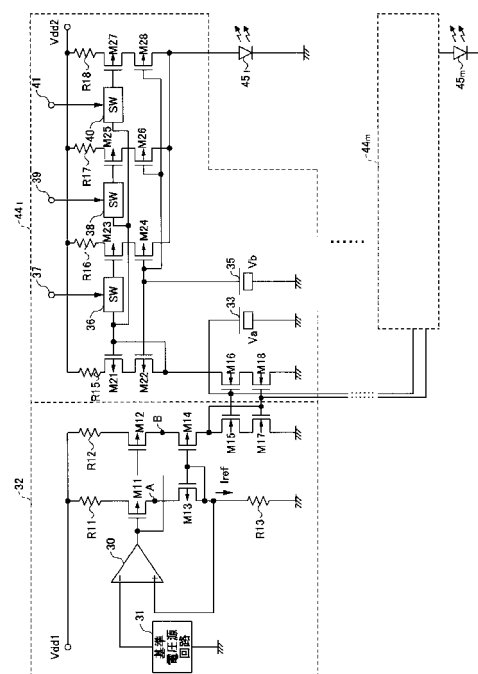
(54) 【発明の名称】 発光ダイオード駆動回路

(57) 【要約】

【課題】本発明は発光ダイオードの発光輝度の変動を抑えることができる発光ダイオード駆動回路を提供することを目的とする。

【解決手段】基準電流部 33 は、基準電流が抵抗を流れることで発生する電圧が一定の基準電圧と同一となるよう基準電流を制御する演算増幅器 30 と、基準電流に基づく第 1 の電流を生成する第 1 のカレントミラー回路を有し、各チャネルの電流出力部は、基準電流部の一部と共に構成され、第 1 の電流に基づく第 2 の電流を生成する第 2 のカレントミラー回路と、第 2 の電流を供給され、複数系統のスイッチのうちオンとなったスイッチに対応して第 2 の電流に比例する電流を生成する第 3 のカレントミラー回路を有し、第 1、第 2、第 3 のカレントミラー回路それぞれは、カスケード接続された 2 段のカレントミラー回路である。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基準電流を生成する基準電流部と、複数系統のスイッチをオン/オフ制御して前記基準電流に比例した複数系統の駆動電流を生成し発光ダイオードに供給する複数チャンネル分の電流出力部からなる発光ダイオード駆動回路であって、

前記基準電流部は、前記基準電流が抵抗を流れることで発生する電圧が一定の基準電圧と同一となるよう前記基準電流を制御する演算増幅器と、

前記基準電流に基づく第 1 の電流を生成する第 1 のカレントミラー回路を有し、

各チャンネルの前記電流出力部は、前記基準電流部の一部と共に構成され、前記第 1 の電流に基づく第 2 の電流を生成する第 2 のカレントミラー回路と、

前記第 2 の電流を供給され、前記複数系統のスイッチのうちオンとなったスイッチに対応して前記第 2 の電流に比例する電流を生成する第 3 のカレントミラー回路を有し、

前記第 1、第 2、第 3 のカレントミラー回路それぞれは、カスケード接続された 2 段のカレントミラー回路であることを特徴とする発光ダイオード駆動回路。

【請求項 2】

請求項 1 記載の発光ダイオード駆動回路において、

前記第 1 及び第 3 のカレントミラー回路を構成し高電圧側の電源に接続される各トランジスタと前記高電圧側の電源との間に抵抗を設けたことを特徴とする発光ダイオード駆動回路。

【請求項 3】

請求項 1 または 2 記載の発光ダイオード駆動回路において、

前記第 2 のカレントミラー回路を構成し低電圧側の電源に接続される各トランジスタと前記低電圧側の電源との間に抵抗を設けたことを特徴とする発光ダイオード駆動回路。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項記載の発光ダイオード駆動回路において、

前記複数チャンネル分の電流出力部を一方向に並べて配置し、前記複数チャンネル分の電流出力部の上に電源配線を前記一方向に延在させて配置し、

前記電源配線と各チャンネルの前記電流出力部を接続する各チャンネルのコンタクト領域の一部を開けて囲むよう前記電源配線を切り欠いたスリットを各チャンネルに設けたことを特徴とする発光ダイオード駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光ダイオード駆動回路に関し、配列された複数の発光ダイオードそれぞれを駆動する発光ダイオード駆動回路に関する。

【背景技術】

【0002】

プリンタ等において感光体を感光させる手段として、発光ダイオード（以下、「LED」という）をリニアに配列した LED アレイを用いたものがある。このような LED アレイの各 LED を駆動する駆動回路としては、例えば特許文献 1、2 等に記載されているものがある。

【0003】

図 9 は、従来の発光ダイオード駆動回路の一例の回路構成図を示す。この駆動回路は半導体集積回路化されている。

【0004】

同図中、演算増幅器 10 の反転入力端子には基準電圧源 11 より基準電圧 V_{ref} が印加されている。演算増幅器 10 の出力端子は p チャンネル MOS 電界効果トランジスタ（以下、単に「MOS トランジスタ」という）M1 のゲートに接続されると共に、p チャンネル MOS トランジスタ M2 のゲートに接続されている。MOS トランジスタ M1、M2 のソースは電源 V_{dd1} に接続されている。MOS トランジスタ M1、M2 はカレントミラー

10

20

30

40

50

回路を構成している。

【0005】

MOSトランジスタM1のドレインは演算増幅器10の非反転入力端子に接続されると共に、抵抗R1を介して接地されている。MOSトランジスタM2のドレインはnチャネルMOSトランジスタM4のドレインに共通接続されている。

【0006】

MOSトランジスタM4のドレインはnチャネルMOSトランジスタM4, M5のゲートに共通接続され、MOSトランジスタM4, M5のソースは接地されており、MOSトランジスタM4, M5はカレントミラー回路を構成している。

【0007】

MOSトランジスタM5のドレインはpチャネルMOSトランジスタM6のゲートとドレインに接続されている。MOSトランジスタM6のゲートはアナログスイッチ等のスイッチ15, 16それぞれを介してpチャネルMOSトランジスタM7, M8のゲートに接続されている。MOSトランジスタM6, M7, M8のソースは電源V_{dd2}に接続され、MOSトランジスタM7, M8のドレインはLED(発光ダイオード)18のアノードに接続され、LED18のカソードは接地されている。

【0008】

スイッチ15, 16は、端子17a, 17bそれぞれから供給される階調制御用のスイッチ制御信号に応じてオン/オフを切り換える。MOSトランジスタM7, M8はスイッチ15, 16がオンのときにMOSトランジスタM6とカレントミラー回路を構成する。スイッチ15はLED18を発光させるタイミングでオンとなり、スイッチ16はLED18の発光輝度を増大させて階調表現を行う場合にオンとなる。

【特許文献1】特許第3296882号公報

【特許文献2】特許第2516236号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

従来の発光ダイオード駆動回路では、カレントミラー回路を構成しているMOSトランジスタM1のドレインであるA点の電位と、MOSトランジスタM2のドレインであるB点の電位が同電位ではないために両トランジスタのドレイン・ソース間電圧が異なり、また、両トランジスタの導通電圧V_tのばらつきは10%程度となるため、MOSトランジスタM1のドレイン電流とMOSトランジスタM2のドレイン電流が両トランジスタのゲート面積の比にならず、カレントミラーの精度が悪いという問題があった。

【0010】

また、MOSトランジスタM4とM5やMOSトランジスタM6とM7, M8が構成する他のカレントミラー回路についても同様にカレントミラーの精度が悪いという問題があった。このため、基準電流I_{ref}が一定であってもLED18に流れる電流が変動し、LED18の発光輝度が変動するという問題があった。

【0011】

本発明は、上記の点に鑑みなされたものであり、発光ダイオードの発光輝度の変動を抑えることができる発光ダイオード駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の発光ダイオード駆動回路は、基準電流を生成する基準電流部と、複数系統のスイッチをオン/オフ制御して前記基準電流に比例した複数系統の駆動電流を生成し発光ダイオードに供給する複数チャネル分の電流出力部からなる発光ダイオード駆動回路であって、

前記基準電流部は、前記基準電流が抵抗を流れることで発生する電圧が一定の基準電圧と同一となるよう前記基準電流を制御する演算増幅器と、

前記基準電流に基づく第1の電流を生成する第1のカレントミラー回路を有し、

10

20

30

40

50

各チャンネルの前記電流出力部は、前記基準電流部の一部と共に構成され、前記第 1 の電流に基づく第 2 の電流を生成する第 2 のカレントミラー回路と、

前記第 2 の電流を供給され、前記複数系統のスイッチのうちオンとなったスイッチに対応して前記第 2 の電流に比例する電流を生成する第 3 のカレントミラー回路を有し、

前記第 1、第 2、第 3 のカレントミラー回路それぞれは、カスケード接続された 2 段のカレントミラー回路であることにより、発光ダイオードの発光輝度の変動を抑えることができる。

【0013】

前記発光ダイオード駆動回路において、

前記第 1 及び第 3 のカレントミラー回路を構成し高電圧側の電源に接続される各トランジスタと前記高電圧側の電源との間に抵抗を設けることができる。 10

【0014】

前記発光ダイオード駆動回路において、

前記第 2 のカレントミラー回路を構成し低電圧側の電源に接続される各トランジスタと前記低電圧側の電源との間に抵抗を設けることができる。

【0015】

また、前記発光ダイオード駆動回路において、

前記複数チャンネル分の電流出力部を一方向に並べて配置し、前記複数チャンネル分の電流出力部の上に電源配線を前記一方向に延在させて配置し、

前記電源配線と各チャンネルの前記電流出力部を接続する各チャンネルのコンタクト領域の一部を開けて囲むよう前記電源配線を切り欠いたスリットを各チャンネルに設けることができる。 20

【発明の効果】

【0016】

本発明によれば、発光ダイオードの発光輝度の変動を抑えることができる。

【発明を実施するための最良の形態】

【0017】

以下、図面に基づいて本発明の実施形態について説明する。

【0018】

< LED アレイ駆動回路の構成 >

図 1 は、本発明の発光ダイオード駆動回路を用いた LED アレイ装置の一実施形態のブロック構成図を示す。この LED アレイ装置は例えば 48 チャンネル構成である。 30

【0019】

同図中、シフトレジスタ 20 には 1 チャンネルについて例えば 6 ビットの発光時間データが 48 チャンネル分時系列で供給され、シフトレジスタ 20 で順次シフトされてラッチされたのち、パルス幅変調回路 22 に供給される。パルス幅変調回路 22 は、チャンネル毎に発光時間データで指示されるパルス幅の発光パルスを生成し、48 チャンネル分の発光パルスを LED アレイ駆動回路 26 に供給する。

【0020】

シフトレジスタ 24 には 1 チャンネルについて例えば 6 ビットの発光輝度データが 48 チャンネル分時系列で供給され、シフトレジスタ 24 で順次シフトされてラッチされたのち、LED アレイ駆動回路 26 に供給される。LED アレイ駆動回路 26 は、チャンネル毎に発光輝度データをデコードして n 系統のスイッチ制御信号を生成し、チャンネル毎に発光パルスでオンさせる MOS トランジスタを上記 n 系統のスイッチ制御信号によって決定する。LED アレイ駆動回路 26 は LED アレイ 28 を構成する 48 チャンネルの LED をチャンネル単位に駆動する。 40

【0021】

< 発光ダイオード駆動回路の構成 >

図 2 は、本発明の発光ダイオード駆動回路の一実施形態の回路構成図を示す。この駆動回路は半導体集積回路化されている。 50

【 0 0 2 2 】

同図中、演算増幅器 30 の反転入力端子には基準電圧源回路 31 より基準電圧 V_{ref} が印加されている。演算増幅器 30 の出力端子は p チャンネル MOS トランジスタ M 11 , M 12 それぞれのゲートに接続されている。MOS トランジスタ M 11 , M 12 それぞれのソースは抵抗 R 11 , R 12 それぞれを介して電源 V_{dd1} に接続されてカレントミラー回路を構成している。MOS トランジスタ M 11 , M 12 それぞれのドレインは p チャンネル MOS トランジスタ M 13 , M 14 それぞれのソースに接続されている。

【 0 0 2 3 】

MOS トランジスタ M 13 , M 14 のゲートは MOS トランジスタ M 13 のドレインに共通接続されてカレントミラー回路を構成しており、MOS トランジスタ M 13 のドレインは演算増幅器 30 の非反転入力端子に接続されると共に、抵抗 R 13 の一端に接続されている。抵抗 R 13 の他端は接地されている。 10

【 0 0 2 4 】

ここで、MOS トランジスタ M 11 , M 12 にカスケード接続された MOS トランジスタ M 13 , M 14 は能動領域で動作してゲート・ソース間電圧 V_{gs} は略同一となるため、カレントミラー回路を構成している MOS トランジスタ M 11 のドレインである A 点の電位と、MOS トランジスタ M 12 のドレインである B 点の電位は略同電位となる。このために、MOS トランジスタ M 11 , M 12 のドレイン・ソース間電圧 V_{ds} は略同一となる。 20

【 0 0 2 5 】

また、MOS トランジスタ M 11 , M 12 のソースに接続された抵抗 R 11 , R 12 の抵抗値は、MOS トランジスタ M 11 , M 12 の導通抵抗に比して例えば 100 倍程度に選定されている。このため、MOS トランジスタ M 11 , M 12 の導通電圧 V_t のばらつきは、抵抗 R 11 , R 12 がないときに対して 1 % 未満に圧縮され、導通電圧 V_t のばらつきは無視できる。 30

【 0 0 2 6 】

ここで、MOS トランジスタ M 11 , M 12 のドレイン電流 I_d は (1) 式で表される。なお、 λ , μ は比例定数、 W はゲート幅、 L はゲート長である。

【 0 0 2 7 】

$$I_d = (1 + \lambda \cdot V_{ds}) \times (1 / 2) \times \mu \times (W / L) \times (V_{gs} - V_t)^2 \quad \dots (1)$$
 30

(1) 式において、MOS トランジスタ M 11 , M 12 の V_{ds} は略同一であり、 V_t のばらつきは無視できるために、MOS トランジスタ M 11 , M 12 のドレイン電流は両トランジスタのゲート面積の比となり、カレントミラーの精度が向上する。

【 0 0 2 8 】

MOS トランジスタ M 14 のドレインは n チャンネル MOS トランジスタ M 15 のドレインに接続されている。MOS トランジスタ M 15 のゲートは n チャンネル MOS トランジスタ M 16 のゲートと接続されてカレントミラー回路を構成している。

【 0 0 2 9 】

MOS トランジスタ M 15 , M 16 それぞれのソースは n チャンネル MOS トランジスタ M 17 , M 18 それぞれのドレインに接続されている。MOS トランジスタ M 17 , M 18 のゲートは MOS トランジスタ M 15 のドレインに共通接続されてカレントミラー回路を構成し、MOS トランジスタ M 17 , M 18 のソースは接地されている。 40

【 0 0 3 0 】

MOS トランジスタ M 15 ~ M 18 はカレントミラー回路がカスケード接続された構成となることにより、MOS トランジスタ M 11 ~ M 14 と同様に、MOS トランジスタ M 15 , M 16 のソース電位が略同一となり、ゲート面積が同一の場合 MOS トランジスタ M 15 , M 16 のドレイン電流は略同一となる。なお、MOS トランジスタ M 15 , M 16 のゲートには電圧源 33 より定電圧 V_a が印加されることで MOS トランジスタ M 17 , M 18 のドレイン電位は $V_a - V_{gs1}$ (V_{gs1} は n チャンネル MOS トランジスタ 50

タのゲート・ドレイン間電圧)となる。

【0031】

上記の演算増幅器30, 基準電圧源回路31, MOSトランジスタM11~M15及びM17は基準電流部32を構成しており、MOSトランジスタM13のドレインに基準電流I_{ref}を流す。また、カレントミラー回路によってMOSトランジスタM16のドレインに基準電流I_{ref}に比例した電流が流れる。

【0032】

MOSトランジスタM16のドレインはpチャネルMOSトランジスタM22のドレインに接続されている。MOSトランジスタM22のソースはpチャネルMOSトランジスタM21のドレインに接続されている。MOSトランジスタM21のソースは抵抗R15を介して電源V_{dd2}に接続されている。 10

【0033】

MOSトランジスタM21のゲートはMOSトランジスタM22のドレインに接続されると共に、アナログスイッチ等のスイッチ36, 38, 40それぞれを介してpチャネルMOSトランジスタM23, M25, M27のゲートに接続されている。スイッチ36, 38, 40がオンするとMOSトランジスタM23, M25, M27のゲート電位をMOSトランジスタM21のゲート電圧と同一にしてMOSトランジスタM23, M25, M27をオンし、スイッチ36, 38, 40がオフするとMOSトランジスタM23, M25, M27のゲート電位を電源電圧V_{dd2}としてMOSトランジスタM23, M25, M27をオフする。 20

【0034】

MOSトランジスタM23, M25, M27それぞれのソースは抵抗R16, R17, R18それぞれを介して電源V_{dd2}に接続されており、MOSトランジスタM23, M25, M27はスイッチ36, 38, 40がオンのときにMOSトランジスタM21とカレントミラー回路を構成する。

【0035】

MOSトランジスタM22のゲートはpチャネルMOSトランジスタM24, M26, M28のゲートに接続されている。MOSトランジスタM23, M25, M27それぞれのドレインはMOSトランジスタM24, M26, M28のソースに接続されており、MOSトランジスタM22, M24, M26, M28はカレントミラー回路を構成している。 30

【0036】

MOSトランジスタM21~M28はカレントミラー回路がカスケード接続された構成となることにより、MOSトランジスタM11~M14と同様に、MOSトランジスタM21, M23, M25, M27のドレイン電位が略同一となり、ゲート面積が同一の場合MOSトランジスタM22, M24, M26, M28のドレイン電流は略同一となる。ここでは、階調表現を行うために、例えばMOSトランジスタM21, M22のゲート面積に対して、MOSトランジスタM23, M24のゲート面積は6倍、MOSトランジスタM25, M26のゲート面積は3倍、MOSトランジスタM27, M28のゲート面積は2倍というように、ゲート面積をそれぞれ異ならせている。 40

【0037】

なお、MOSトランジスタM22, M24, M26, M28のゲートには電圧源35より定電圧V_bが印加されて、MOSトランジスタM22, M24, M26, M28のソース電位はV_b+V_{gs2}(V_{gs2}はpチャネルMOSトランジスタのゲート・ドレイン間電圧)とされている。

【0038】

スイッチ36, 38, 40それぞれは端子37, 39, 41それぞれから供給されるn(ここではn=3)系統のスイッチ制御信号に応じてオン/オフを切り換える。なお、nは3に限らない。MOSトランジスタM24, M26, M28のドレインはLED45₁のアノードに接続され、LED45₁のカソードは接地されている。 50

【0039】

ここで、スイッチ36, 38, 40がオフのときMOSトランジスタM23, M25, M27はオフしLED45₁に電流は流れない。スイッチ36がオンするとMOSトランジスタM23のドレイン電流がLED45₁に流れ、スイッチ36, 38がオンするとMOSトランジスタM23, M25のドレイン電流の和がLED45₁に流れ、スイッチ36, 38, 40がオンするとMOSトランジスタM23, M25, M27のドレイン電流の和がLED45₁に流れ、LED45₁は流れる電流が大きくなるほど発光輝度が大きくなる。

【0040】

上記のスイッチ36, 38, 40, MOSトランジスタM16, M18~M28が1チャンネル分の電流出力部44₁を構成している。LED45₁はLEDアレイ28の一部である。

【0041】

m (= 48)チャンネル分の電流出力部44₁ ~ 44_mそれぞれは同一構成であり、mチャンネル分のLED45₁ ~ 45_mそれぞれを駆動する。

【0042】

このように、各カレントミラー回路のカレントミラーの精度を向上できるため、各チャンネルのLED45₁ ~ 45_mの発光輝度の変動を抑えることができる。

【0043】

< 発光ダイオード駆動回路の変形例 >

図3は、本発明の発光ダイオード駆動回路の一実施形態の変形例の回路構成図を示す。同図中、図2と異なる部分について説明する。図3では、MOSトランジスタM17, M18のソースは抵抗Ra, Rbを介して接地されている。なお、電源Vdd1, Vdd2を高電圧側の電源とすれば、接地は低電圧側の電源と言える。

【0044】

この場合、MOSトランジスタM17, M18にカスケード接続されたMOSトランジスタM15, M16は能動領域で動作してゲート・ソース間電圧Vgsは略同一となるため、カレントミラー回路を構成しているMOSトランジスタM17のドレインであるC点の電位と、MOSトランジスタM18のドレインであるD点の電位は略同電位となる。このために、MOSトランジスタM11, M12のドレイン・ソース間電圧Vdsは略同一となる。

【0045】

また、MOSトランジスタM17, M18のソースに接続された抵抗Ra, Rbの抵抗値は、MOSトランジスタM17, M18の導通抵抗に比して例えば100倍程度に選定されているため、MOSトランジスタM17, M18の導通電圧Vtのばらつきは、抵抗Ra, Rbがないときに対して1%未満に圧縮され、導通電圧Vtのばらつきは無視できる。これによって、MOSトランジスタM17, M18のドレイン電流は両トランジスタのゲート面積の比となり、カレントミラーの精度が向上する。

【0046】

更に、この変形例では、半導体集積回路の接地ラインを構成するアルミニウム配線の影響を抑えることができる。

【0047】

図2の構成において、電流出力部44_mが基準電流部32から最も離れて配置され、電流出力部44_mの近傍に半導体集積回路の接地端子が設けられている場合を考えると、接地ラインのアルミニウム配線によって数Ωの抵抗値が生じる。このため、電流出力部44_mのMOSトランジスタM18のソースが直接接地されるのに対し、基準電流部32のMOSトランジスタM17のソースは数Ωの抵抗値を介して接地された状態となり、MOSトランジスタM17, M18のゲート面積が同一であったとしても、電流出力部44_mのMOSトランジスタM18のドレイン電流は基準電流部32のMOSトランジスタM17のドレイン電流と異なったものとなる。

【0048】

これに対し、図3の構成において、抵抗 R_a 、 R_b の抵抗値が共に数100 Ω であるとすると、電流出力部44mと基準電流部32の間の接地ラインのアルミニウム配線によって数 Ω の抵抗値が生じたとしても、数100 Ω の抵抗 R_a が数 Ω 増加しただけであり、この程度の抵抗値の変化は無視することができ、電流出力部44mのMOSトランジスタM18のドレイン電流は基準電流部32のMOSトランジスタM17のドレイン電流と同一とみなすことができる。すなわち、上記接地ラインのアルミニウム配線の影響を十分に抑えることができる。

【0049】

< 電源配線 >

図4は、本発明の発光ダイオード駆動回路における電流出力部44₁～44m部分の半導体集積回路の一例の平面図を示す。同図中、電流出力部44₁～44mはX方向に一直列に並べて配置されている。梨地で示す電源配線50は電流出力部44₁～44mの上をX方向に延在しており、電源V_{dd2}を電流出力部44₁～44mに供給する。

【0050】

電流出力部44₁～44mそれぞれには、ハッチングで示すコンタクト領域51₁～51mが設けられている。コンタクト領域51₁～51mには電流出力部44₁～44mそれぞれの抵抗 R_{15} ～ R_{18} を電源V_{dd2}に接続するためのコンタクトが設けられる。図4の等価回路は図5に示すようになる。図5において、 R_x は電源配線50の配線抵抗である。

【0051】

この場合、電流出力部44₁～44mのうちある電流出力部ではスイッチ36、38、40の全てがオンとなり、また、他の電流出力部ではスイッチ36、38、40のいずれかがオンとなり、各電流出力部44₁～44mでスイッチ36、38、40のオンとなるパターンがそれぞれ異なる。このため、電流出力部44₁～44mそれぞれで発生する電圧降下が異なり、電流出力部44₁～44mそれぞれが駆動するLED45₁～45mの駆動電流が安定しない、つまり、LED45₁～45mの発光輝度が安定しない。

【0052】

なお、図6に示すように、電流出力部44₁～44mそれぞれに個別の電源配線52₁～52mから電源V_{dd2}を供給することも考えられるが、個別の電源配線52₁～52mを設ける領域が大幅に増加するため、実現性は極めて低い。図6において、 R_{x1} ～ R_{xm} は電源配線50の配線抵抗である。

【0053】

図7は、本発明の発光ダイオード駆動回路における電流出力部44₁～44m部分の半導体集積回路の一実施形態の平面図を示す。同図中、電流出力部44₁～44mはX方向に一直列に並べて配置されている。梨地で示す電源配線50は電流出力部44₁～44mの上にX方向に延在して配置されており、電源V_{dd2}を電流出力部44₁～44mに供給する。

【0054】

電流出力部44₁～44mそれぞれには、ハッチングで示すコンタクト領域51₁～51mが設けられている。コンタクト領域51₁～51mには電流出力部44₁～44mそれぞれの抵抗 R_{15} ～ R_{18} を電源V_{dd2}に接続するためのコンタクトが設けられる。なお、コンタクト領域51₁～51mの上部は電源配線50が設けられている。

【0055】

更に、コンタクト領域51₁～51mそれぞれの周囲には、電源配線50を切り欠いたスリット部55₁～55mが設けられ、コンタクト領域51₁～51mはスリット部55₁～55mによって一部（電流流入部）を開けて囲まれている。スリット部55₁～55mはコンタクト領域51₁～51mに流れ込む電流を制限するために設けられている。図7の等価回路は図8に示すようになる。図8において、 R_y は電源配線50の配線抵抗、 R_s はスリット部55₁～55mによる等価的な制限抵抗である。なお、図7でスリット

10

20

30

40

50

部 5 5₁ ~ 5 5 m はコンタクト領域 5 1₁ ~ 5 1 m の左側を開けて囲んでいるが、コンタクト領域 5 1₁ ~ 5 1 m の右側または上側または下側を開けて囲む形状であっても良い。

【 0 0 5 6 】

このスリット部 5 5₁ ~ 5 5 m を設けることにより、各電流出力部 4 4₁ ~ 4 4 m でスイッチ 3 6 , 3 8 , 4 0 のオンとなるパターンがそれぞれ異なっても、電流出力部 4 4₁ ~ 4 4 m に流れ込む電流が一定量以下に制限されるため、電流出力部 4 4₁ ~ 4 4 m それぞれで発生する電圧降下が制限される。

【 0 0 5 7 】

これにより、電流出力部 4 4₁ ~ 4 4 m それぞれにおける電源電圧 V d d 2 を安定化することができる。基準電流部 3 2 の電源電圧 V d d 1 に対する電流出力部 4 4₁ ~ 4 4 m それぞれの電源電圧 V d d 2 が安定すると、電流出力部 4 4₁ ~ 4 4 m それぞれが駆動する L E D 4 5₁ ~ 4 5 m それぞれの駆動電流が安定し、L E D 4 5₁ ~ 4 5 m の発光輝度が安定する。 10

【 0 0 5 8 】

なお、スリット部 5 5₁ ~ 5 5 m は、コンタクト領域 5 1₁ ~ 5 1 m の一部（電流流入部）を開けて囲むものであるが、どの部分を開けるかは自由に選定できる。

【 0 0 5 9 】

なお、M O S トランジスタ M 1 1 ~ M 1 4 が請求項記載の第 1 のカレントミラー回路に相当し、M O S トランジスタ M 1 4 のドレイン電流が第 1 の電流に相当し、M O S トランジスタ M 1 5 ~ M 1 8 が第 2 のカレントミラー回路に相当し、M O S トランジスタ M 1 6 のドレイン電流が第 2 の電流に相当し、M O S トランジスタ M 2 1 ~ M 2 8 が第 3 のカレントミラー回路に相当する。 20

【図面の簡単な説明】

【 0 0 6 0 】

【図 1】本発明の発光ダイオード駆動回路を用いた L E D アレイ装置の一実施形態のブロック構成図である。

【図 2】本発明の発光ダイオード駆動回路の一実施形態の回路構成図である。

【図 3】本発明の発光ダイオード駆動回路の一実施形態の変形例の回路構成図である。

【図 4】半導体集積回路の一例の平面図である。

【図 5】半導体集積回路の一例の等価回路図である。 30

【図 6】半導体集積回路の他の一例の等価回路図である。

【図 7】本発明の発光ダイオード駆動回路における半導体集積回路の一実施形態の平面図である。

【図 8】半導体集積回路の一実施形態の等価回路図である。

【図 9】従来の発光ダイオード駆動回路の一例の回路構成図である。

【符号の説明】

【 0 0 6 1 】

3 0 演算増幅器

3 1 基準電圧源回路

3 2 基準電流部 40

3 3 , 3 5 電圧源

3 6 , 3 8 , 4 0 スイッチ

4 4₁ ~ 4 4 m 電流出力部

4 5₁ ~ 4 5 m L E D

5 0 電源配線

5 1₁ ~ 5 1 m コンタクト領域

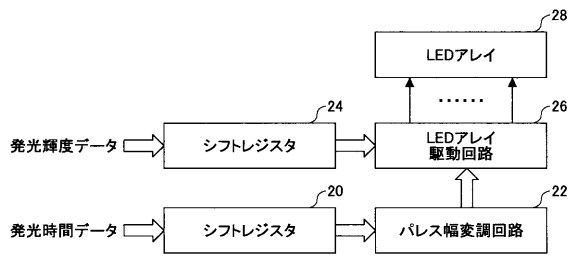
5 5₁ ~ 5 5 m スリット部

M 1 1 ~ M 2 8 M O S トランジスタ

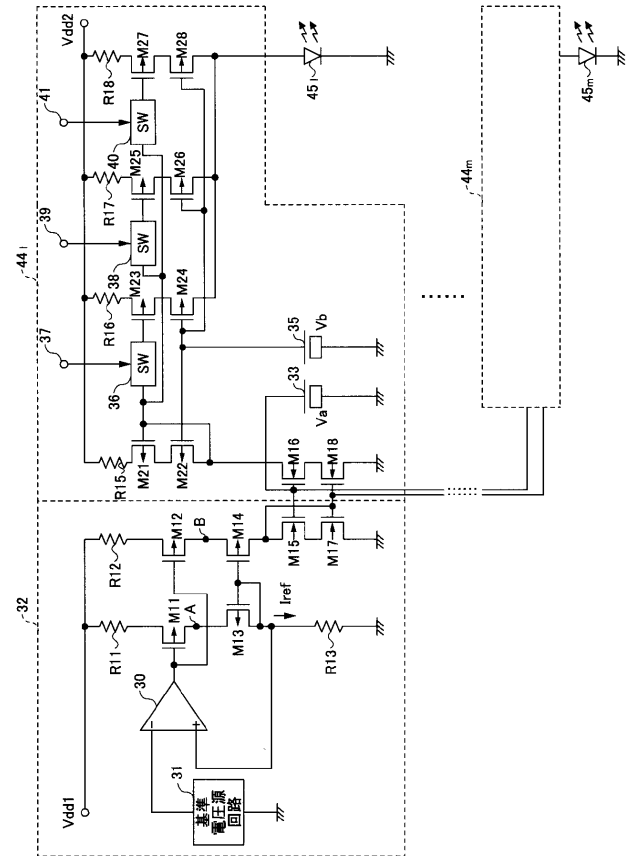
R 1 1 ~ R 1 8 , R a , R b 抵抗

V d d 1 , V d d 2 電源 50

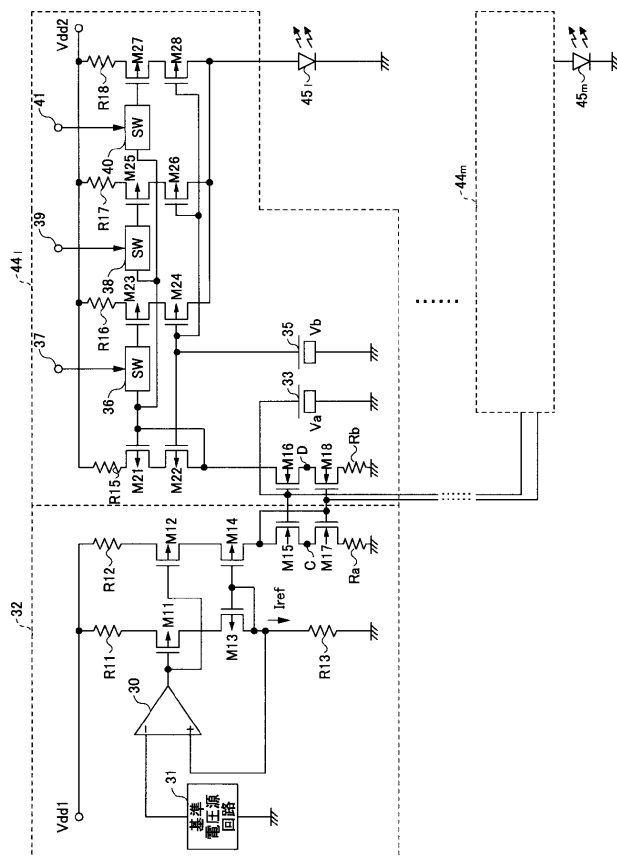
【図 1】



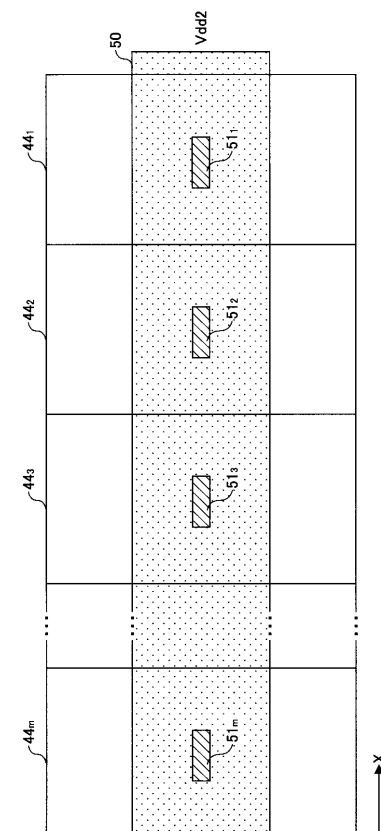
【図 2】



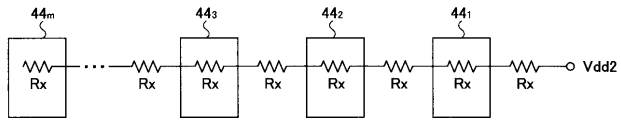
【図 3】



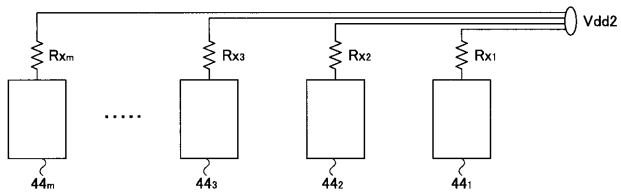
【図 4】



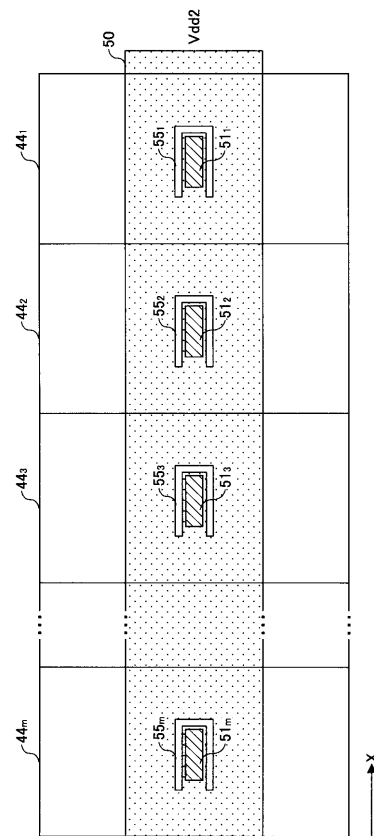
【図 5】



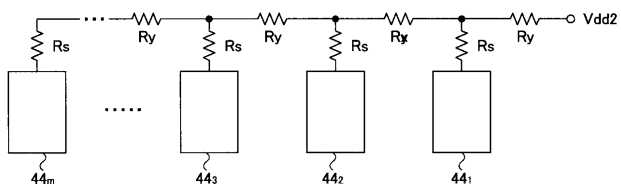
【図 6】



【図 7】



【図 8】



【図 9】

