

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年6月29日(29.06.2017)



(10) 国際公開番号

WO 2017/110723 A1

- (51) 国際特許分類:
H03H 7/46 (2006.01) H04B 1/50 (2006.01)
- (21) 国際出願番号: PCT/JP2016/087736
- (22) 国際出願日: 2016年12月19日(19.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-253378 2015年12月25日(25.12.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 鷲森 直史(WASHIMORI, Tadashi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 吉田 正人(YOSHIDA, Masato); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 河本 尚志(KAWAMOTO, Takashi); 〒6128101 京都府京都市伏見区観音寺町218 武三ビルディング411号室 河本特許事務所 Kyoto (JP).

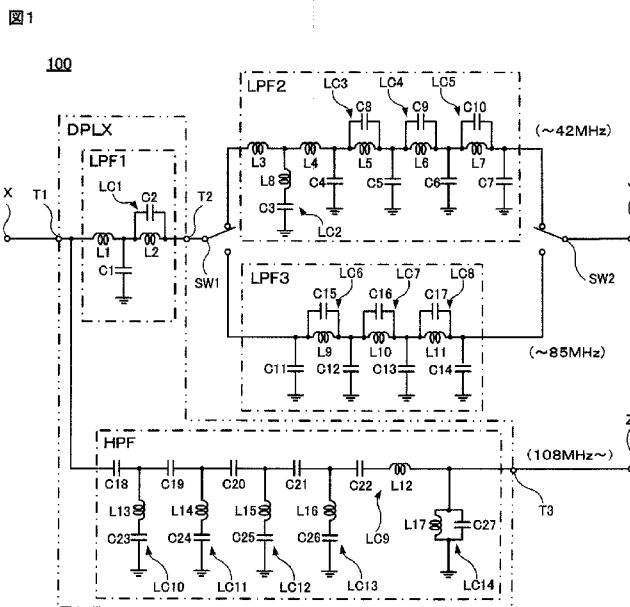
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: DIPLEXER CIRCUIT AND DIPLEXER CIRCUIT MODULE

(54) 発明の名称: ダイプレクサ回路およびダイプレクサ回路モジュール



(57) Abstract: Provided is a diplexer circuit in which unnecessary attenuation occurring in a pass band of a high-pass filter (or a band-pass filter) is inhibited. The present invention is provided with: a shared terminal X; a transmission terminal Y; a reception terminal Z; a diplexer DPLX which is equipped with a first terminal T1, a second terminal T2, a third terminal T3, a first low-pass filter LPF1, and a high-pass filter HPF (or a band-pass filter BPF); a second low-pass filter LPF2; a third low-pass filter LPF3; and a first switch SW1 and a second switch SW2 that are switched in a linked manner, wherein the configuration of switching the first switch SW1 and the second switch SW2 in a linked manner enables, either the second low-pass filter LPF2 or the third low-pass filter LPF3 to be alternatively connected between the first switch SW1 and the second switch SW2.

(57) 要約: ハイパスフィルタ (またはバンドパスフィルタ) の通過帯域内に発生する不要な減衰が抑制されたダイプレクサ回路を提供する。共用端子Xと、送信端子Yと、受信端子Zと、ダイプレクサDPLXであって、第1端子T1と、第2端子T2と、第3端子T3と、第1ローパスフィルタLPF1と、ハイパスフィルタHPF (またはバンドパスフィルタBPF) とを備えたものと、第2ローパスフィルタLPF2と、第3ローパスフィルタLPF3と、連

動して切り替えられる第1スイッチSW1および第2スイッチSW2と、を備え、第1スイッチSW1および第2スイッチSW2を連動して切り替えることにより、第2ローパスフィルタLPF2および第3ローパスフィルタLPF3のいずれか一方が、第1スイッチSW1と第2スイッチSW2との間に択一的に接続されるようにした。

WO 2017/110723 A1

明 細 書

発明の名称：

ダイプレクサ回路およびダイプレクサ回路モジュール

技術分野

[0001] 本発明は、複数のローパスフィルタと、ハイパスフィルタまたはバンドパスフィルタとを備え、複数のローパスフィルタを切り替えて使用するダイプレクサ回路に関し、さらに詳しくは、ハイパスフィルタまたはバンドパスフィルタの通過帯域内に発生する不要な減衰が抑制されたダイプレクサ回路に関する。

[0002] また、本発明は、1つのモジュール基板に、本発明のダイプレクサ回路を構成したダイプレクサ回路モジュールに関する。

背景技術

[0003] ケーブルテレビの回線を利用した高速データ通信の規格として、DOCSIS（登録商標）（Data Over Cable Service Interface Specifications）が定められ、同規格によるデータ通信サービスが多く の国において採用されている。

[0004] DOCSISは、これまで数度にわたって改善がなされ、バージョンアップがなされてきた。また、今後も、バージョンアップが予定されている。

[0005] DOCSISのバージョンアップにおいては、通信周波数が変更される場合がある。

[0006] DOCSISは、バージョンアップにおいて通信周波数が変更される場合には、新バージョンの通信機器が、旧バージョンにおいても使用できること、言い換えれば、旧バージョンの通信周波数にも対応できることを義務付けている。すなわち、新しい通信機器が、旧バージョンが採用されているサービス地域においても、新バージョンが採用されているサービス地域においても、互換性をもって兼用できることを義務付けている。このため、DOCSISのように、1つの通信機器を使用して、複数の通信周波数で、双方向の

通信を行いたい場合、外部からのアンテナやケーブルと、内部（室内）の通信配線とを繋ぐセットトップボックスに、最新バージョンのDOCSISや旧バージョンのDOCSISに対応した複数のフィルタを切り替えて用いるダイプレクサ回路を使用する場合がある。

[0007] そのようなダイプレクサ回路が、特許文献1（米国特許第7020186号公報）に開示されている。このダイプレクサ回路は、2つのローパスフィルタを切り替えて用いることにより、2つの異なる周波数での送信が可能になっている。

[0008] 図5に、特許文献1に開示されたダイプレクサ回路（切り替え可能なローパスフィルタを備えたダイプレクサ）300を示す。

[0009] ダイプレクサ回路300は、3つの端子X、Y、Zを備える。

[0010] また、ダイプレクサ回路300は、それぞれ、インダクタとキャパシタとで構成された、第1ローパスフィルタLPF1と、第2ローパスフィルタLPF2と、ハイパスフィルタHPFを備える。図6（A）に、第1ローパスフィルタLPF1の等価回路を示す。図6（B）に、第2ローパスフィルタLPF2の等価回路を示す。図6（C）に、ハイパスフィルタHPFの等価回路を示す。

[0011] また、ダイプレクサ回路300は、連動して切り替えられる第1スイッチSW1と、第2スイッチSW2とを備える。

[0012] ダイプレクサ回路300は、第1スイッチSW1および第2スイッチSW2を連動して切り替えることにより、第1ローパスフィルタLPF1および第2ローパスフィルタLPFのいずれか一方が、端子Xと端子Yとの間に択一的に接続される。端子Xと端子Zとの間には、常時、ハイパスフィルタHPFが接続される。

[0013] ダイプレクサ回路300においては、端子Xを、コンテンツを提供する事業者などのケーブルに接続する。また、ダイプレクサ回路300においては、端子Yを、送信回路（アップストリーム・プロセッシング回路；upstream processing circuitry）に接続する。さらに、ダイプレクサ回路300にお

いては、端子Zを、受信回路（ダウンストリーム・プロセッシング回路；downstream processing circuitry）に接続する。

[0014] ダイプレクサ回路300は、第1スイッチSW1および第2スイッチSW2を連動して切り替えることにより、第1ローパスフィルタLPF1および第2ローパスフィルタLPF2のいずれか一方を選択し、異なる2つの周波数のうちの一方の周波数により送信をおこなうことができる。

先行技術文献

特許文献

[0015] 特許文献1：米国特許第7020186号公報

発明の概要

発明が解決しようとする課題

[0016] 特許文献1に開示されたダイプレクサ回路300により、2つの異なる周波数で送信が可能なダイプレクサ回路を作製した。

[0017] 具体的には、第1ローパスフィルタLPF1のカットオフ周波数を42MHzに設定した。また、第2ローパスフィルタLPF2のカットオフ周波数を65MHzに設定した。さらに、ハイパスフィルタHPFのカットオフ周波数を88MHzに設定した。これらのカットオフ周波数は、各フィルタを構成するインダクタおよびキャパシタの定数を選定することによりおこなった。

[0018] また、第1スイッチSW1および第2スイッチSW2には、それぞれ、SPDT（Single Pole Double Throw）スイッチを使用した。第1スイッチSW1と第2スイッチSW2とは、連動して切り替えがおこなわれる。

[0019] 図7（A）、（B）に、ダイプレクサ回路300の第1スイッチSW1と第2スイッチSW2との間に、第1ローパスフィルタLPF1を接続した場合の周波数特性を示す。また、図8（A）、（B）に、ダイプレクサ回路300の第1スイッチSW1と第2スイッチSW2との間に、第2ローパスフィルタLPF2を接続した場合の周波数特性を示す。なお、図7（A）は図

7 (B) を部分的に拡大して示したものの、図 8 (A) は図 8 (B) を部分的に拡大して示したものである。

[0020] 図 7 (B) から分かるように、ダイプレクサ回路 300 の第 1 スイッチ SW1 と第 2 スイッチ SW2 との間に第 1 ローパスフィルタ LPF1 を接続した場合、ハイパスフィルタ HPF の通過帯域内の 1.4 GHz 近傍に、不要な減衰 D1 が発生している。また、図 8 (B) から分かるように、ダイプレクサ回路 300 の第 1 スイッチ SW1 と第 2 スイッチ SW2 との間に第 2 ローパスフィルタ LPF2 を接続した場合も、同様に、ハイパスフィルタ HPF の通過帯域内の 1.4 GHz 近傍に、不要な減衰 D2 が発生している。

[0021] これらの不要な減衰 D1、D2 は、図 5 に示す X 端子からみた入力インピーダンスと第 1 スイッチ SW1 が持つインピーダンスが異なることによるインピーダンス不整合による共振現象によるものである。なお、ダイプレクサ回路 300 のハイパスフィルタ HPF が、バンドパスフィルタ BPF (図示せず) に置換えられた場合にも、同様の問題が発生する。

[0022] 特許文献 1 に開示されたダイプレクサ回路 300 は、ハイパスフィルタ HPF の通過帯域内の 1.4 GHz 近傍に、不要な減衰 D1、D2 が発生するため、DOCSIS 3.1 に準拠したシステムでは、事実上、2 つの周波数で送信し得るダイプレクサ回路として使用することができなかった。

課題を解決するための手段

[0023] 本発明は、上述した従来の問題を解決するためになされたものであり、その手段として本発明のダイプレクサ回路は、共用端子と、送信端子と、受信端子と、ダイプレクサであって、第 1 端子と、第 2 端子と、第 3 端子と、第 1 ローパスフィルタと、ハイパスフィルタまたはバンドパスフィルタとを備え、第 1 端子と第 2 端子との間に第 1 ローパスフィルタが挿入され、第 1 端子と第 3 端子との間にハイパスフィルタまたはバンドパスフィルタが挿入されたものと、第 2 ローパスフィルタと、第 3 ローパスフィルタと、連動して切り替えられる第 1 スイッチおよび第 2 スイッチと、を備え、ダイプレクサの第 1 端子が共用端子に接続され、ダイプレクサの第 2 端子が第 1 スイッチ

に接続され、ダイプレクサの第3端子が受信端子に接続され、第2スイッチが送信端子に接続され、第1スイッチおよび第2スイッチを連動して切り替えることにより、第2ローパスフィルタおよび第3ローパスフィルタのいずれか一方が、第1スイッチと第2スイッチとの間に択一的に接続されるものとした。

[0024] 第1ローパスフィルタと、ハイパスフィルタまたはバンドパスフィルタとで構成されるダイプレクサが、1つのモジュール基板に形成されていることが好ましい。この場合には、多層基板で構成したダイプレクサモジュールや、多層基板にキャパシタなどの電子部品を実装して構成したダイプレクサモジュールを使用することにより、容易に本発明のダイプレクサ回路を作製することができる。

[0025] また、ダイプレクサの第1ローパスフィルタが、第1端子に接続された第1インダクタと、第1インダクタと第2端子との間に接続された第2インダクタと、第1インダクタと第2インダクタとの接続点とグランドとの間に接続されたキャパシタと、を備えたT型フィルタであることが好ましい。この場合には、T型フィルタにより、第1ローパスフィルタに要求される通過特性を容易に形成することができる。

[0026] また、上記第2インダクタと並列にキャパシタが接続され、第2インダクタとそのキャパシタとでLC共振器が形成されることが好ましい。この場合には、このLC共振器により、第1ローパスフィルタおよび第2ローパスフィルタにより形成される通過帯域特性、および、第1ローパスフィルタおよび第3ローパスフィルタにより形成される通過帯域特性を、それぞれ、より優れたものに改善することができる。

[0027] また、上記LC共振器の共振周波数が、ハイパスフィルタまたはバンドパスフィルタの通過帯域内に設けられていることが好ましい。この場合には、このLC共振器により、受信信号が、第1ローパスフィルタおよび第2ローパスフィルタを経由して、または、第1ローパスフィルタおよび第3ローパスフィルタを経由して、送信回路に混信することを抑制することができるか

らである。

[0028] さらに、第2ローパスフィルタのカットオフ周波数よりも、第3ローパスフィルタのカットオフ周波数が高く、第3ローパスフィルタは、少なくとも1個のLC共振器を備え、そのLC共振器の共振周波数が、ハイパスフィルタまたはバンドパスフィルタの通過帯域内に設けられていることが好ましい。この場合には、このLC共振器により、受信信号が、第1ローパスフィルタおよび第3ローパスフィルタを経由して、送信回路に混信することを抑制することができる。

[0029] 本発明のダイプレクサ回路を、セラミックや樹脂などからなるモジュール基板に構成し、ダイプレクサ回路モジュールを作製することができる。

発明の効果

[0030] 本発明のダイプレクサ回路は、第1スイッチと、ハイパスフィルタまたはバンドパスフィルタとの間の不要な共振が抑制され、ハイパスフィルタまたはバンドパスフィルタの通過帯域内に不要な減衰が発生しない。

[0031] また、本発明のダイプレクサ回路は、第1ローパスフィルタと第2ローパスフィルタとで構成される送信フィルタ回路と、第1ローパスフィルタと第3ローパスフィルタとで構成される送信フィルタ回路との、2つの送信フィルタ回路を備えるが、両者の一部分を、それぞれ、第1ローパスフィルタにより兼用しているため、ダイプレクサ回路を作製するのに必要な電子部品の個数が削減されている。

図面の簡単な説明

[0032] [図1]第1実施形態にかかるダイプレクサ回路100を示す等価回路図である。

[図2]図2(A)、(B)は、それぞれ、第2ローパスフィルタLPF2を選択した場合のダイプレクサ回路100の周波数特性を示すグラフである。ただし、図2(A)は、図2(B)を部分的に拡大して示している。

[図3]図3(A)、(B)は、それぞれ、第3ローパスフィルタLPF3を選択した場合のダイプレクサ回路100の周波数特性を示すグラフである。た

だし、図3（A）は、図3（B）を部分的に拡大して示している。

[図4]第2実施形態にかかるダイプレクサ回路200を示すブロック図である。

[図5]特許文献1に開示されたダイプレクサ回路300を示す等価回路図である。

[図6]図6（A）は、ダイプレクサ回路300の第1ローパスフィルタLPF1の等価回路図である。図6（B）に、ダイプレクサ回路300の第2ローパスフィルタLPF2の等価回路図である。図6（C）に、ダイプレクサ回路300のハイパスフィルタHPFの等価回路図である。

[図7]図7（A）、（B）は、それぞれ、第1ローパスフィルタLPF1を選択した場合のダイプレクサ回路300の周波数特性を示すグラフである。ただし、図7（A）は、図7（B）を部分的に拡大して示している。

[図8]図8（A）、（B）は、それぞれ、第2ローパスフィルタLPF2を選択した場合のダイプレクサ回路300の周波数特性を示すグラフである。ただし、図8（A）は、図8（B）を部分的に拡大して示している。

発明を実施するための形態

[0033] 以下、図面とともに、本発明を実施するための形態について説明する。

[0034] なお、各実施形態は、本発明の実施の形態を例示的に示したものであり、本発明が実施形態の内容に限定されることはない。また、異なる実施形態に記載された内容を組合せて実施することも可能であり、その場合の実施内容も本発明に含まれる。また、図面は、実施形態の理解を助けるためのものであり、必ずしも厳密に描画されていない場合がある。たとえば、描画された構成要素ないし構成要素間の寸法の比率が、明細書に記載されたそれらの寸法の比率と一致していない場合がある。また、明細書に記載されている構成要素が、図面において省略されている場合や、個数を省略して描画されている場合などがある。

[0035] [第1実施形態]

図1に、第1実施形態にかかるダイプレクサ回路100の等価回路を示す

。

- [0036] ダイプレクサ回路 100 は、共用端子 X と、送信端子 Y と、受信端子 Z と、を備える。
- [0037] また、ダイプレクサ回路 100 は、ダイプレクサ DPLX を備える。ダイプレクサ DPLX は、第 1 端子 T1 と、第 2 端子 T2 と、第 3 端子 T3 と、第 1 ローパスフィルタ LPF1 と、ハイパスフィルタ HPF とを備える。ダイプレクサ DPLX は、第 1 端子 T1 と第 2 端子 T2 との間に第 1 ローパスフィルタ LPF1 が挿入されている。また、ダイプレクサ DPLX は、第 1 端子 T1 と第 3 端子 T3 との間にハイパスフィルタ HPF が挿入されている。なお、ダイプレクサ DPLX は、第 1 ローパスフィルタ LPF1 とハイパスフィルタ HPF とが、1 つのモジュール基板上に構成されている。なお、ハイパスフィルタ HPF に代えて、バンドパスフィルタ BPF（図示せず）を使用しても良い。
- [0038] なお、ダイプレクサ DPLX の第 1 ローパスフィルタ LPF1 は、ローパスフィルタとしての機能だけではなく、第 1 スイッチ SW1 とハイパスフィルタ HPF との整合回路としても機能している。
- [0039] また、ダイプレクサ回路 100 は、第 2 ローパスフィルタ LPF2 と、第 3 ローパスフィルタ LPF3 とを備える。
- [0040] さらに、ダイプレクサ回路 100 は、連動して切り替えられる第 1 スイッチ SW1 および第 2 スイッチ SW2 を備える。第 1 スイッチ SW1 および第 2 スイッチ SW2 には、たとえば、SPDT（Single Pole Double Throw）スイッチが使用される。第 1 スイッチ SW1 と第 2 スイッチ SW2 とは、連動して切り替えがおこなわれる。
- [0041] ダイプレクサ回路 100 は、ダイプレクサ DPLX の第 1 端子 T1 が、共用端子 X に接続されている。また、ダイプレクサ DPLX の第 2 端子 T2 が、第 1 スイッチ SW1 に接続されている。また、ダイプレクサ DPLX の第 3 端子 T3 が、受信端子 Z に接続されている。さらに、第 2 スイッチ SW2 が、送信端子 Y に接続されている。

- [0042] ダイプレクサ回路100は、第1スイッチSW1および第2スイッチSW2を連動して切り替えることにより、第2ローパスフィルタLPF2および第3ローパスフィルタLPF3のいずれか一方が、第1スイッチSW1と第2スイッチSW2との間に択一的に接続される。
- [0043] 第1ローパスフィルタLPF1は、2個のインダクタL1（第1インダクタ）、インダクタL2（第2インダクタ）が直列に接続され、インダクタL1とインダクタL2との接続点と、グランドとの間にキャパシタC1が接続された、T型フィルタにより構成されている。また、インダクタL2と並列にキャパシタC2が接続されて、インダクタL2とキャパシタC2とでLC並列共振器LC1が形成されている。
- [0044] ハイパスフィルタHPFは、5個のキャパシタC18～C22と、インダクタL12とが直列に接続されている。なお、キャパシタC22とインダクタL12とで、LC直列共振器LC9が形成されている。そして、キャパシタC18とキャパシタC19との接続点と、グランドとの間に、インダクタL13とキャパシタC23とで構成されるLC直列共振器LC10が接続されている。キャパシタC19とキャパシタC20との接続点と、グランドとの間に、インダクタL14とキャパシタC24とで構成されるLC直列共振器LC11が接続されている。キャパシタC20とキャパシタC21との接続点と、グランドとの間に、インダクタL15とキャパシタC25とで構成されるLC直列共振器LC12が接続されている。キャパシタC21とキャパシタC22との接続点と、グランドとの間に、インダクタL16とキャパシタC26とで構成されるLC直列共振器LC13が接続されている。インダクタL12と第3端子T3との接続点と、グランドとの間に、インダクタL17とキャパシタC27とで構成されるLC並列共振器LC14が接続されている。
- [0045] ハイパスフィルタHPFは、インダクタおよびキャパシタの定数を選定することにより、カットオフ周波数が108MHzに設定されている。
- [0046] 第2ローパスフィルタLPF2は、5個のインダクタL3～L7が直列に

接続されている。そして、インダクタL 3とインダクタL 4との接続点と、グラウンドとの間に、インダクタL 8とキャパシタC 3とで構成されるLC直列共振器LC 2が接続されている。インダクタL 4とインダクタL 5との接続点と、グラウンドとの間にキャパシタC 4が接続されている。インダクタL 5とインダクタL 6との接続点と、グラウンドとの間に、キャパシタC 5が接続されている。インダクタL 6とインダクタL 7との接続点と、グラウンドとの間に、キャパシタC 6が接続されている。インダクタL 7と第2スイッチSW 2との接続点と、グラウンドとの間に、キャパシタC 7が接続されている。

[0047] また、第2ローパスフィルタLPF 2は、インダクタL 5と並列にキャパシタC 8が接続されて、インダクタL 5とキャパシタC 8とでLC並列共振器LC 3が形成されている。インダクタL 6と並列にキャパシタC 9が接続されて、インダクタL 6とキャパシタC 9とでLC並列共振器LC 4が形成されている。インダクタL 7と並列にキャパシタC 10が接続されて、インダクタL 7とキャパシタC 10とでLC並列共振器LC 5が形成されている。

[0048] 第2ローパスフィルタLPF 2は、第1ローパスフィルタと接続された場合、両方で42MHzのカットオフ周波数を備えたローパスフィルタになる。

[0049] 第3ローパスフィルタLPF 3は、3個のインダクタL 9～L 11が直列に接続されている。そして、第1スイッチSW 1とインダクタL 9との接続点と、グラウンドとの間に、キャパシタC 11が接続されている。インダクタL 9とインダクタL 10との接続点と、グラウンドとの間にキャパシタC 12が接続されている。インダクタL 10とインダクタL 11との接続点と、グラウンドとの間にキャパシタC 13が接続されている。インダクタL 11と第2スイッチSW 2との接続点と、グラウンドとの間に、キャパシタC 14が接続されている。

[0050] また、第3ローパスフィルタLPF 3は、インダクタL 9と並列にキャパ

シタC 1 5 が接続されて、インダクタL 9 とキャパシタC 1 5 とでLC 並列共振器LC 6 が形成されている。インダクタL 1 0 と並列にキャパシタC 1 6 が接続されて、インダクタL 1 0 とキャパシタC 1 6 とでLC 並列共振器LC 7 が形成されている。インダクタL 1 1 と並列にキャパシタC 1 7 が接続されて、インダクタL 1 1 とキャパシタC 1 7 とでLC 並列共振器LC 8 が形成されている。

[0051] 第3ローパスフィルタLPF 3は、第1ローパスフィルタと接続された場合、両方で85MHzのカットオフ周波数を備えたローパスフィルタになる。

[0052] 第1ローパスフィルタLPF 1に形成したLC 並列共振器LC 1、第2ローパスフィルタLPF 2に形成したLC 直列共振器LC 2、LC 並列共振器LC 3～LC 5、第3ローパスフィルタLPF 3に形成したLC 並列共振器LC 6～LC 8、ハイパスフィルタHPFに形成したLC 直列共振器LC 9～LC 13、LC 並列共振器LC 14の、それぞれの共振周波数を表1に示す。

[0053]

[表1]

表1

各LC共振器の共振周波数

形成位置		種別	共振周波数 (MHz)
LPF1	LC1	並列共振器	133
LPF2	LC2	直列共振器	82
	LC3	並列共振器	55
	LC4	並列共振器	55
	LC5	並列共振器	64
LPF3	LC6	並列共振器	113
	LC7	並列共振器	130
	LC8	並列共振器	187
HPF	LC9	直列共振器	763
	LC10	直列共振器	85
	LC11	直列共振器	84
	LC12	直列共振器	58
	LC13	直列共振器	53
	LC14	並列共振器	510

本実施形態にかかるダイプレクサ回路100においては、第1ローパスフィルタLPFに形成したLC並列共振器LC1の共振周波数を133MHzとして、ハイパスフィルタHPFの通過帯域（108MHz～）内に設けている。この結果、ダイプレクサ回路100においては、LC並列共振器LC1により、受信信号が、第1ローパスフィルタLPF1および第2ローパス

フィルタLPF2、または、第1ローパスフィルタLPF1および第3ローパスフィルタLPF3を経由して、送信回路に混信することが抑制されている。

[0054] また、ダイプレクサ回路100においては、第2ローパスフィルタLPF2に比べてカットオフ周波数が高い第3ローパスフィルタLPF3が、3個のLC並列共振器LC6～LC8を備え、それらの共振周波数を113MHz～187MHzとして、ハイパスフィルタHPFの通過帯域（108MHz～）内に設けている。この結果、ダイプレクサ回路100においては、LC並列共振器LC6～LC8により、受信信号が、第1ローパスフィルタLPF1および第3ローパスフィルタLPF3を経由して、送信回路に混信することが抑制されている。

[0055] 本実施形態にかかるダイプレクサ回路100は、共用端子Xを、コンテンツを提供する事業者のケーブルに接続し、送信端子Yを送信回路に接続し、受信端子Zを受信回路に接続することにより、DOCSIS（登録商標）3.0とDOCSIS3.1の両方に対応したダイプレクサ回路として使用することができる。

[0056] すなわち、第1スイッチSW1と第2スイッチSW2との間に、第2ローパスフィルタLPF2が接続された場合には、第1ローパスフィルタLPF1と第2ローパスフィルタLPF2とで、42MHzのカットオフ周波数を備えたローパスフィルタが構成される。ダイプレクサ回路100は、このローパスフィルタを経由することにより、DOCSIS3.0に準拠した送信をおこなうことができる。

[0057] また、第1スイッチSW1と第2スイッチSW2との間に、第3ローパスフィルタLPF3が接続された場合には、第1ローパスフィルタLPF1と第3ローパスフィルタLPF3とで、85MHzのカットオフ周波数を備えたローパスフィルタが構成される。ダイプレクサ回路100は、このローパスフィルタを経由することにより、DOCSIS3.1に準拠した送信をおこなうことができる。

[0058] 図2 (A)、(B)に、第1スイッチSW1と第2スイッチSW2との間に、第2ローパスフィルタLPF2を接続した場合(DOCSIS3.0に準拠)の周波数特性を示す。また、図3 (A)、(B)に、第1スイッチSW1と第2スイッチSW2との間に、第3ローパスフィルタLPF3を接続した場合(DOCSIS3.1に準拠)の周波数特性を示す。なお、図2 (A)は図2 (B)を部分的に拡大して示したものの、図3 (A)は図3 (B)を部分的に拡大して示したものである。

[0059] 図2 (B)、図3 (B)から分かるように、ダイプレクサ回路100においては、第1スイッチSW1と第2スイッチSW2との間に、第2ローパスフィルタLPF2、第3ローパスフィルタLPF3のいずれを接続した場合においても、ハイパスフィルタHPFの通過帯域内に、不要な減衰は発生していない。すなわち、ダイプレクサ回路100においては、第1ローパスフィルタLPF1が、第1スイッチSW1とハイパスフィルタHPFと間の整合回路として機能しているため、第1スイッチSW1とハイパスフィルタHPFとの間に不要な共振が発生せず、ハイパスフィルタHPFの通過帯域内に不要な減衰が発生していないものと考えられる。

[0060] ダイプレクサ回路100は、第1ローパスフィルタLPF1と第2ローパスフィルタLPF2とで構成される送信フィルタ回路と、第1ローパスフィルタLPF1と第3ローパスフィルタLPF3とで構成される送信フィルタ回路との、2つの送信フィルタ回路を備えているが、両者の一部分を、それぞれ、第1ローパスフィルタLPF1により兼用しているため、必要な電子部品の個数を削減するという効果も奏している。

[0061] 本実施形態にかかるダイプレクサ回路100を使用すれば、DOCSIS3.0とDOCSIS3.1の両方のバージョンに対応した通信をおこなうことができる。

[0062] [第2実施形態]

図4に、第2実施形態にかかるダイプレクサ回路200のブロック図を示す。

- [0063] 第1実施形態にかかるダイプレクサ回路100では、ダイプレクサDPLXが、ハイパスフィルタHPFを備えていた。
- [0064] 第2実施形態にかかるダイプレクサ回路200は、ハイパスフィルタHPFに代えて、ダイプレクサDPLXが、バンドパスフィルタBPFを備えたものとした。ダイプレクサ回路200の他の構成は、第1実施形態にかかるダイプレクサ回路100と同じにした。
- [0065] ダイプレクサ回路200においても、第1ローパスフィルタLPF1が、第1スイッチSW1とバンドパスフィルタBPFと間の整合回路として機能するため、第1スイッチSW1とバンドパスフィルタBPFとの間に不要な共振が発生せず、バンドパスフィルタBPFの通過帯域内に不要な減衰が発生しない。
- [0066] 以上、第1実施形態、第2実施形態にかかるダイプレクサ回路100、200について説明した。しかしながら、本発明のダイプレクサ回路が上述した内容に限定されることはなく、発明の趣旨に沿って、種々の変形をなすことができる。
- [0067] たとえば、第1ローパスフィルタLPF1、第2ローパスフィルタLPF2、第3ローパスフィルタLPF3、ハイパスフィルタHPF（あるいはバンドパスフィルタBPF）の各回路構成は任意であり、上述した内容には限定されない。また、設定される各カットオフ周波数も任意であり、上述した内容には限定されない。
- [0068] また、実施形態においては、DOCSISのバージョン3.0およびバージョン3.1を例にとって説明したが、本発明のダイプレクサ回路が使用される通信規格がDOCSISに限定されることはない。また、DOCSISに使用される場合であっても、バージョン3.0およびバージョン3.1に限定されることはない。

符号の説明

- [0069] X・・・共用端子
Y・・・送信端子

Z . . . 受信端子

D P L X . . . ダイプレクサ

T 1 . . . 第 1 端子

T 2 . . . 第 2 端子

T 3 . . . 第 3 端子

L P F 1 . . . 第 1 ローパスフィルタ

H P F . . . ハイパスフィルタ

B P F . . . バンドパスフィルタ

L P F 2 . . . 第 2 ローパスフィルタ

L P F 3 . . . 第 3 ローパスフィルタ

S W 1 . . . 第 1 スイッチ

S W 2 . . . 第 2 スイッチ

請求の範囲

[請求項1]

共用端子と、
送信端子と、
受信端子と、

第1端子と、第2端子と、第3端子と、第1ローパスフィルタと、
ハイパスフィルタまたはバンドパスフィルタとを備え、前記第1端子
と前記第2端子との間に前記第1ローパスフィルタが挿入され、前記
第1端子と前記第3端子との間に前記ハイパスフィルタまたは前記バ
ンドパスフィルタが挿入されたダイプレクサと、

第2ローパスフィルタと、

第3ローパスフィルタと、

連動して切り替えられる第1スイッチおよび第2スイッチと、を備
え、

前記ダイプレクサの前記第1端子が、前記共用端子に接続され、

前記ダイプレクサの前記第2端子が、前記第1スイッチに接続され

、

前記ダイプレクサの前記第3端子が、前記受信端子に接続され、

前記第2スイッチが、前記送信端子に接続され、

前記第1スイッチおよび前記第2スイッチを連動して切り替えるこ
とにより、前記第2ローパスフィルタおよび前記第3ローパスフィル
タのいずれか一方が、前記第1スイッチと前記第2スイッチとの間に
択一的に接続されるダイプレクサ回路。

[請求項2]

前記第1ローパスフィルタと、前記ハイパスフィルタまたは前記バ
ンドパスフィルタとで構成される前記ダイプレクサが、1つのモジュ
ール基板で形成されている、請求項1に記載されたダイプレクサ回路
。

[請求項3]

前記ダイプレクサの前記第1ローパスフィルタが、前記第1端子に
接続された第1インダクタと、前記第1インダクタと前記第2端子と

の間に接続された第2インダクタと、前記第1インダクタと前記第2インダクタとの接続点とグランドとの間に接続されたキャパシタと、を備えたT型フィルタからなる、請求項1または2に記載されたダイプレクサ回路。

[請求項4] 前記第2インダクタと並列にキャパシタが接続され、前記第2インダクタと当該キャパシタとでLC共振器が形成された、請求項3に記載されたダイプレクサ回路。

[請求項5] 前記LC共振器の共振周波数が、前記ハイパスフィルタまたは前記バンドパスフィルタの通過帯域内に設けられている、請求項4に記載されたダイプレクサ回路。

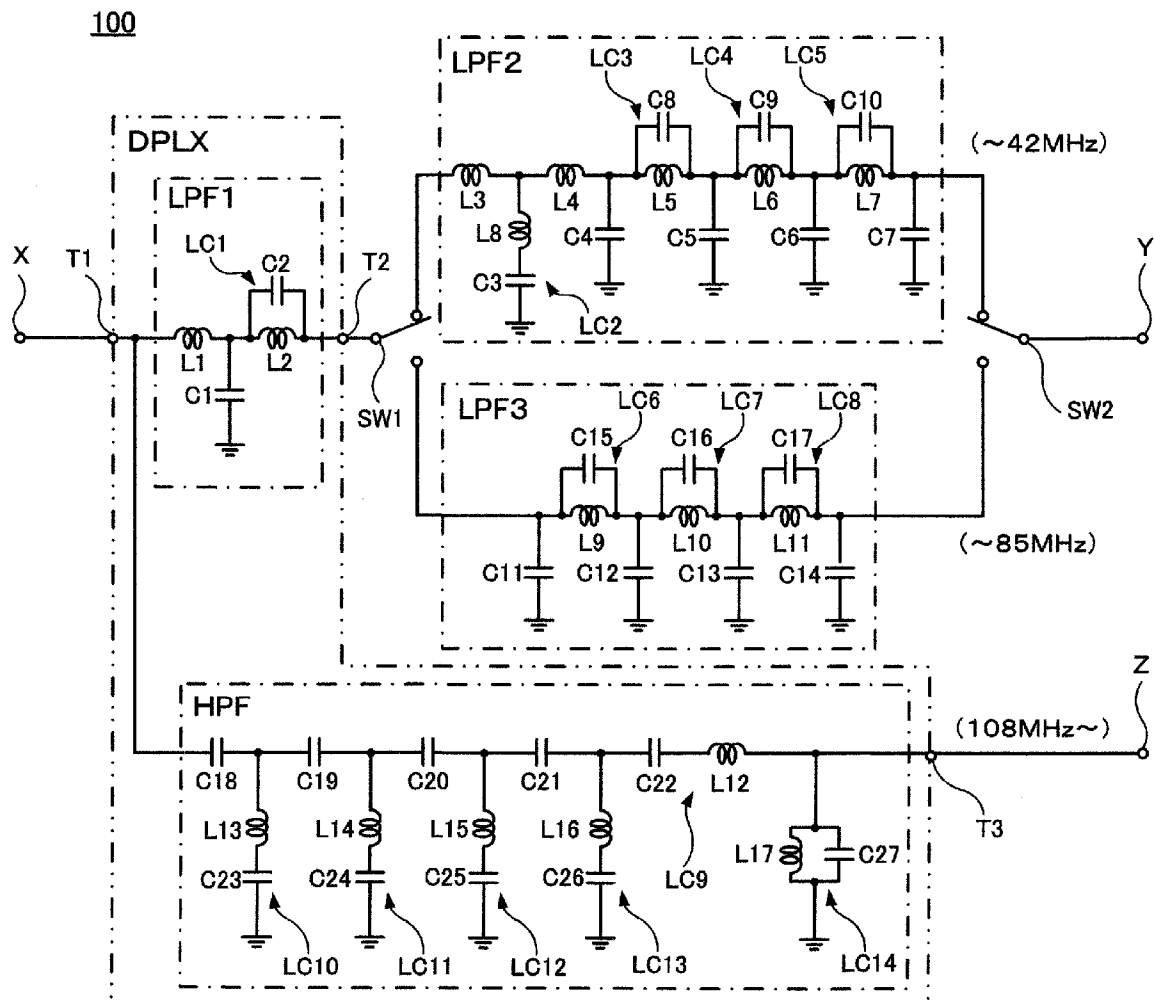
[請求項6] 前記第2ローパスフィルタのカットオフ周波数よりも、前記第3ローパスフィルタのカットオフ周波数が高く、

前記第3ローパスフィルタは、少なくとも1個のLC共振器を備え、当該LC共振器の共振周波数が、前記ハイパスフィルタまたは前記バンドパスフィルタの通過帯域内に設けられている、請求項1ないし5のいずれか1項に記載された、ダイプレクサ回路。

[請求項7] 1つのモジュール基板に、請求項1ないし6のいずれか1項に記載されたダイプレクサ回路が構成されたダイプレクサ回路モジュール。

[図1]

図1

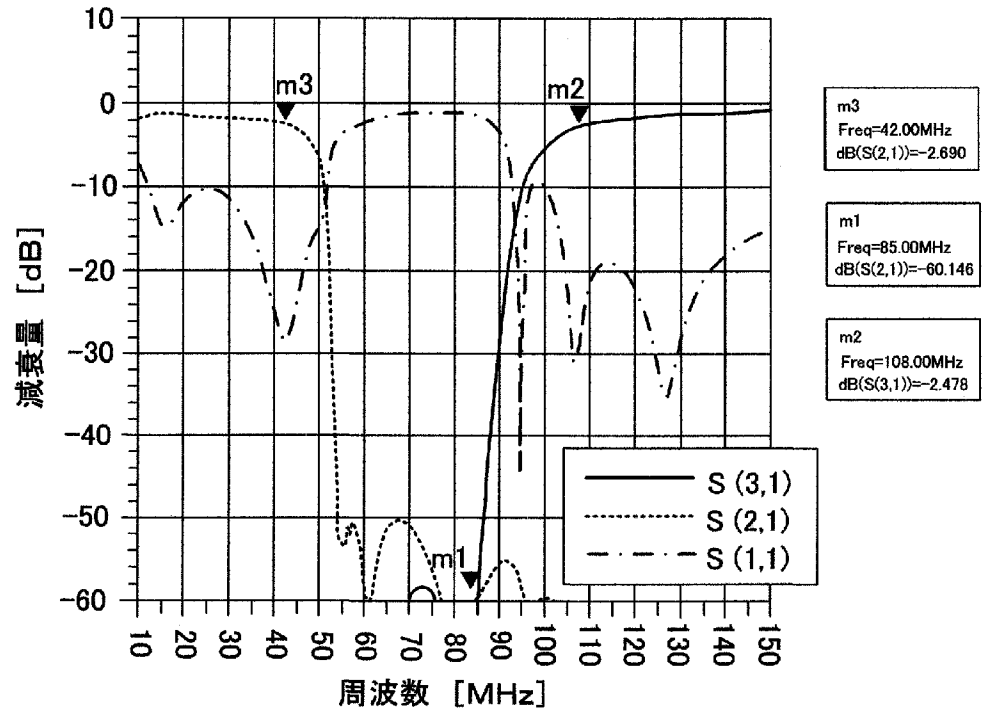


[図2]

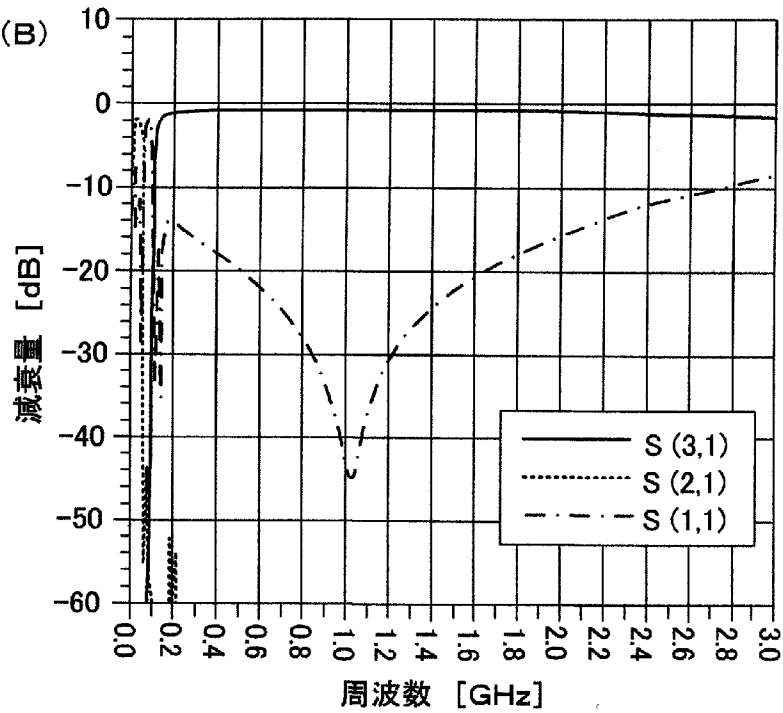
図2

DOCSIS3.0

(A)



(B)

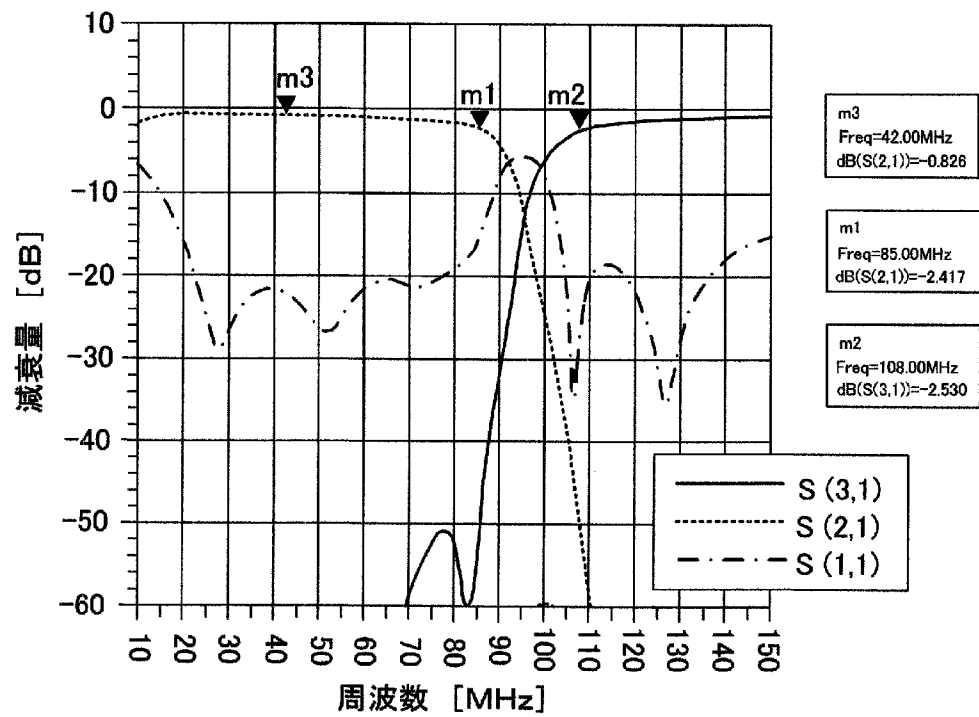


[図3]

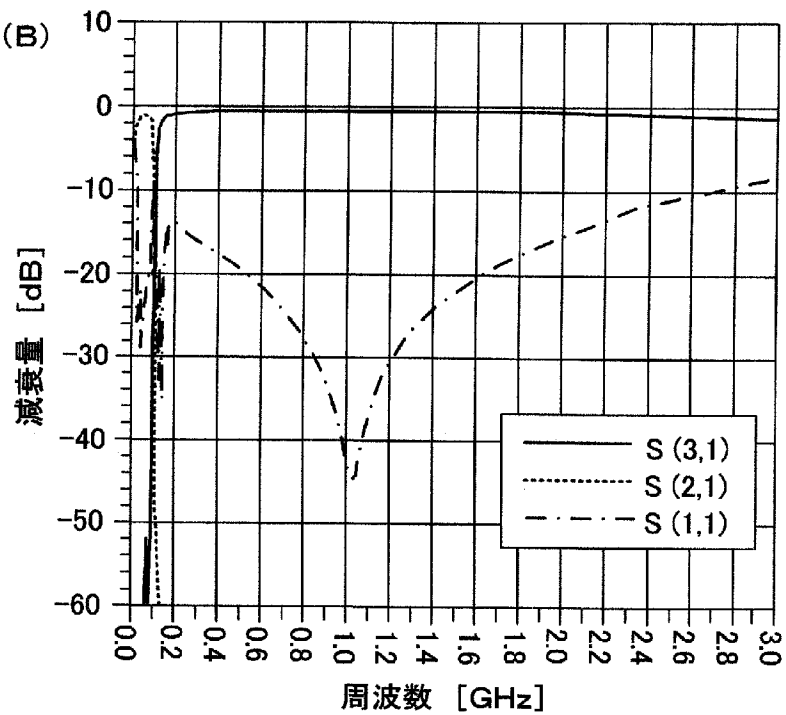
図3

DOCSIS3. 1

(A)



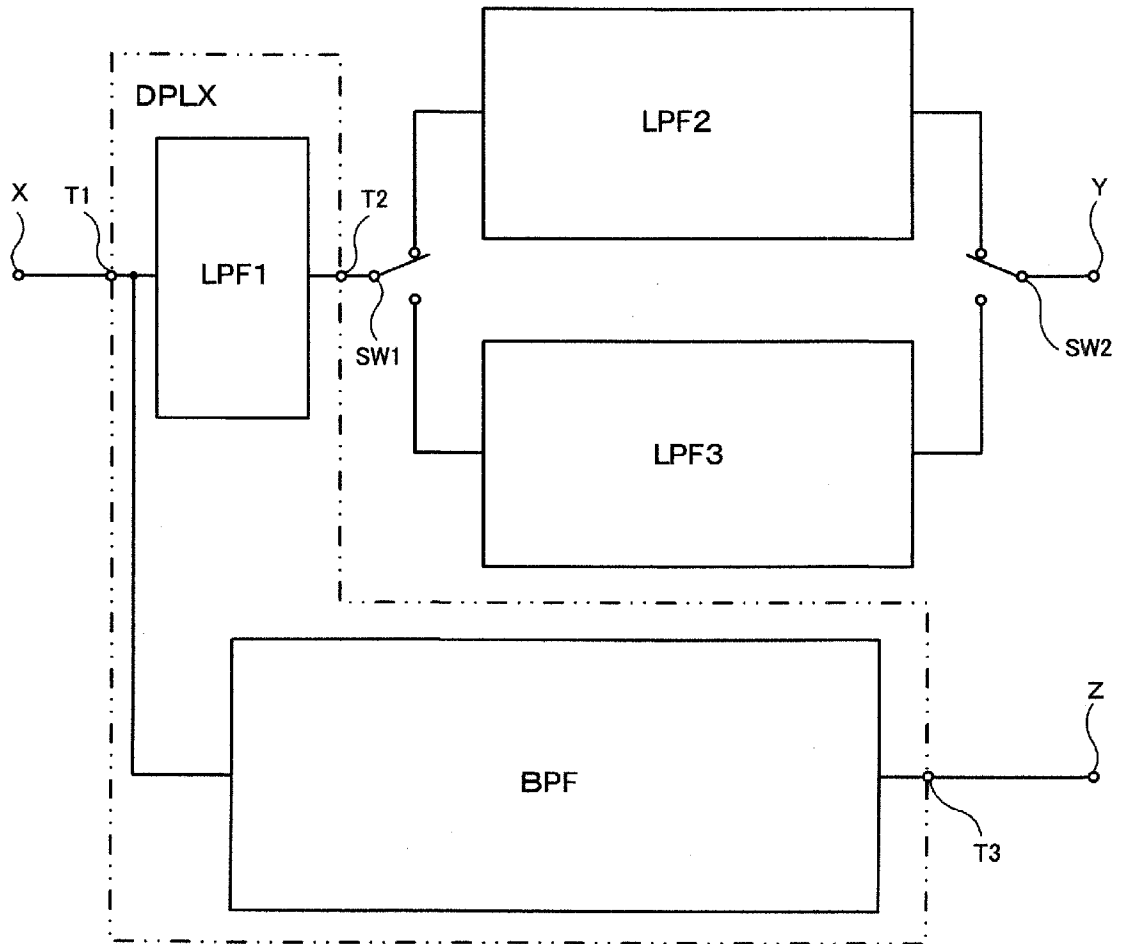
(B)



[図4]

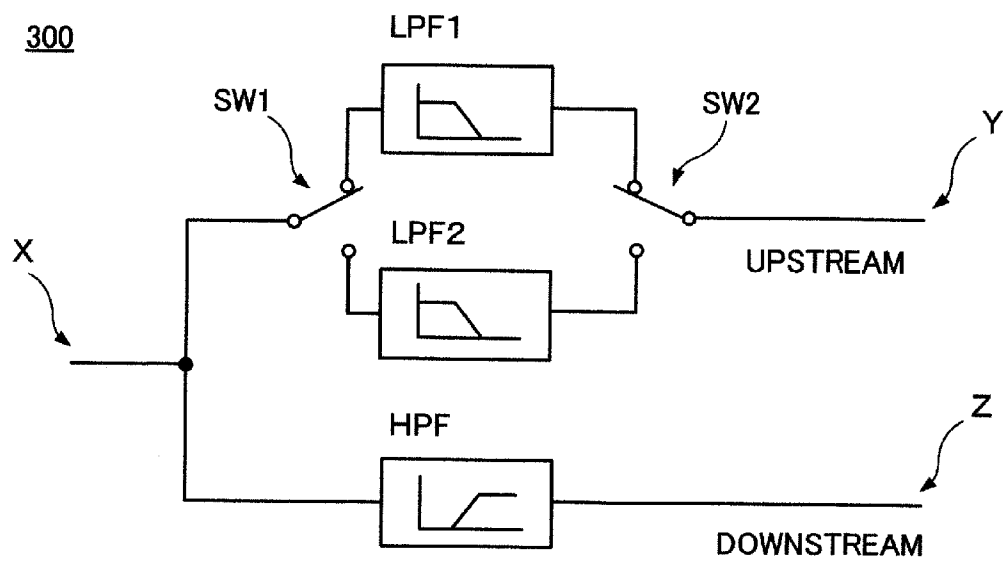
図4

200



[図5]

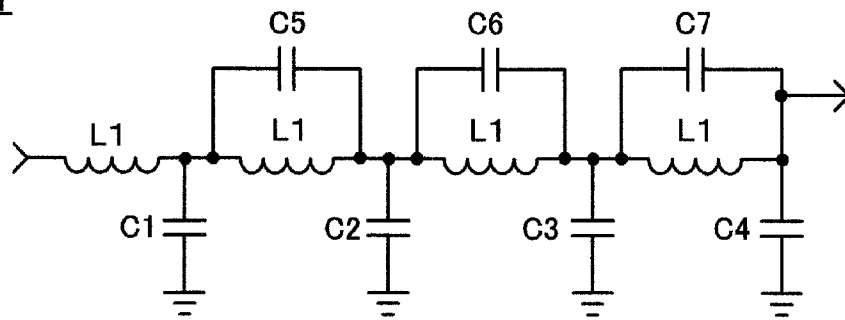
図5



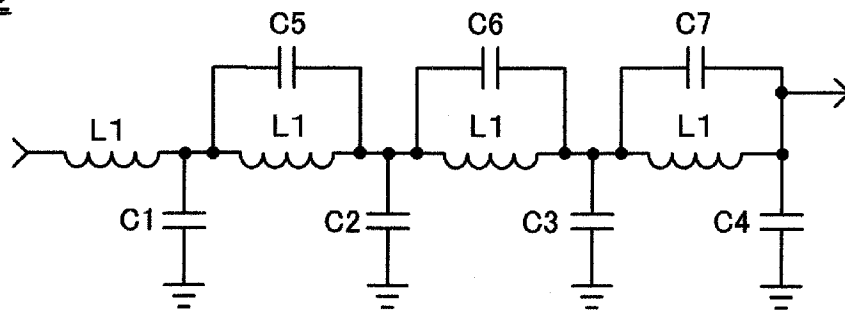
[図6]

図6

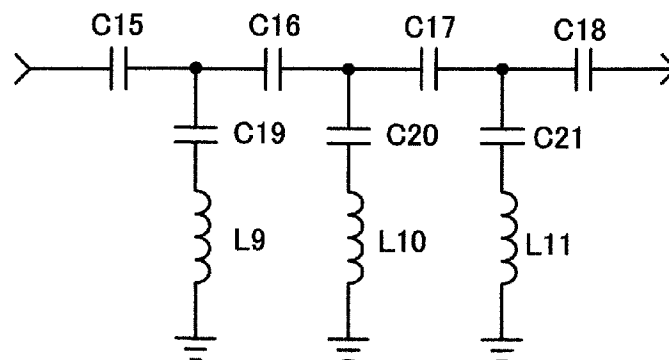
(A)

LPF1

(B)

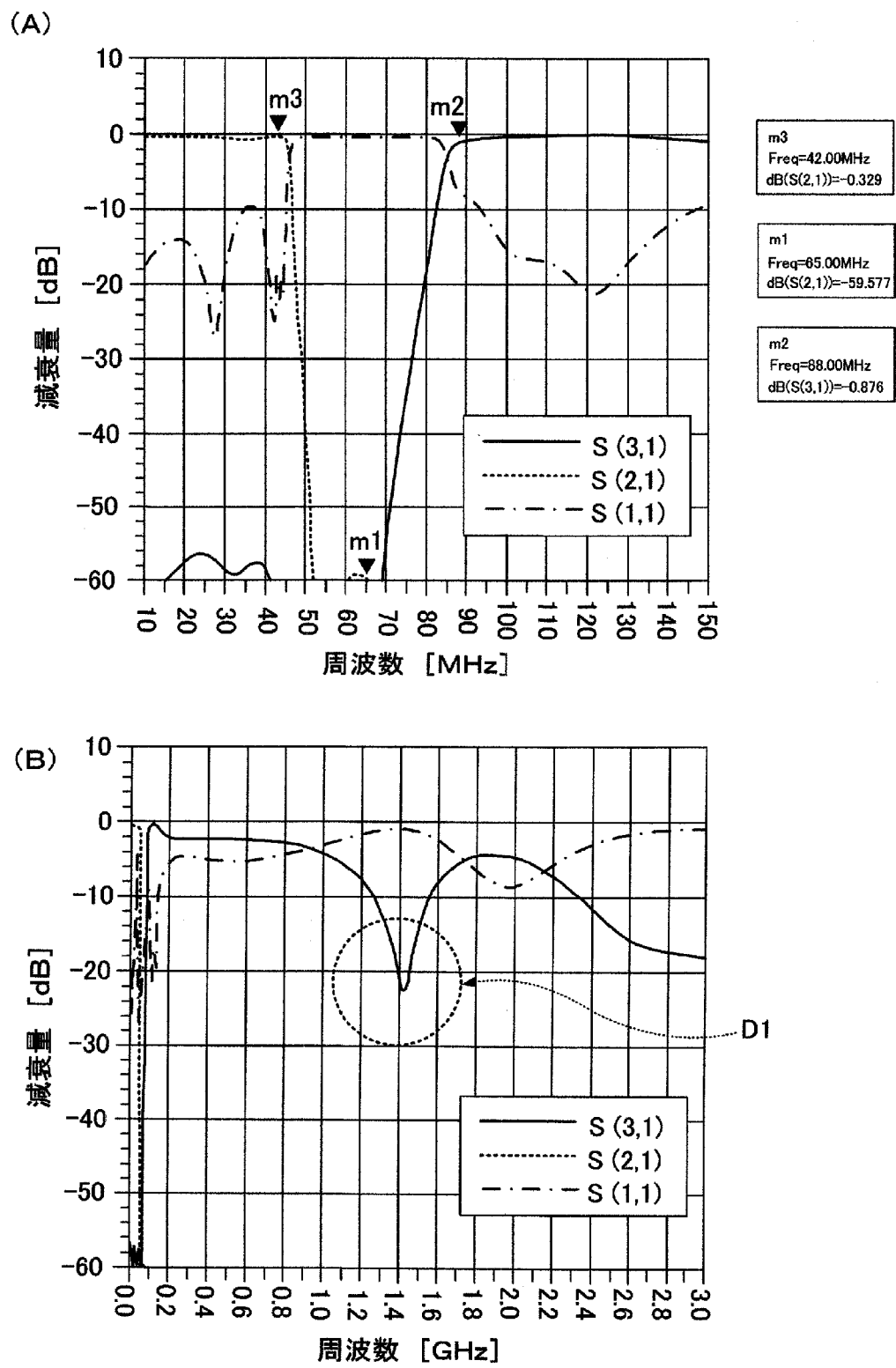
LPF2

(C)

HPE

[図7]

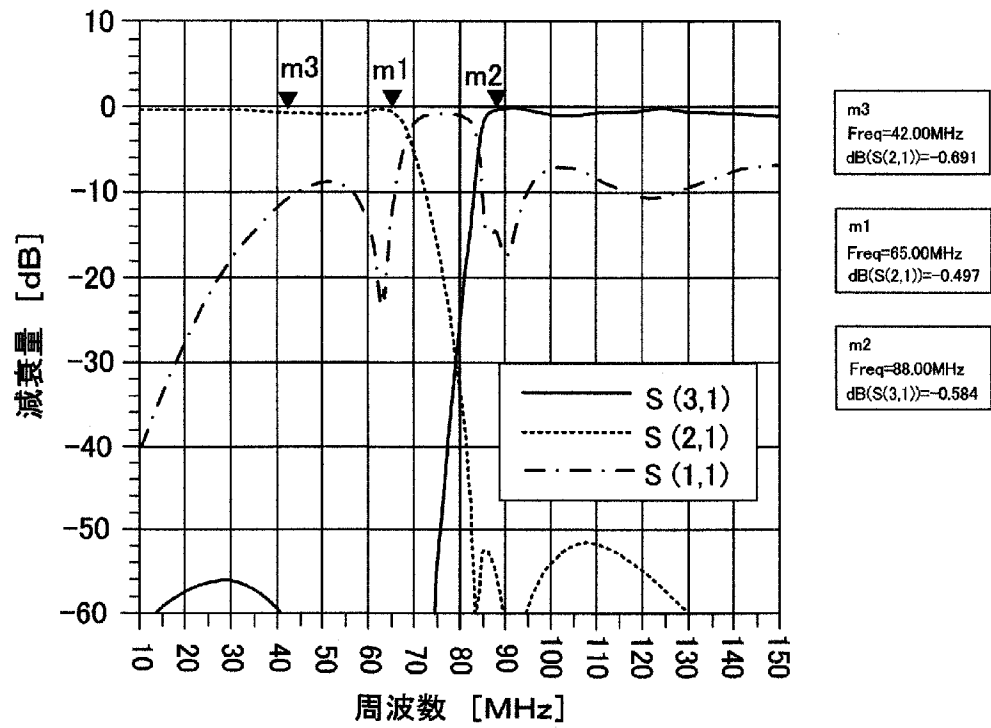
図7



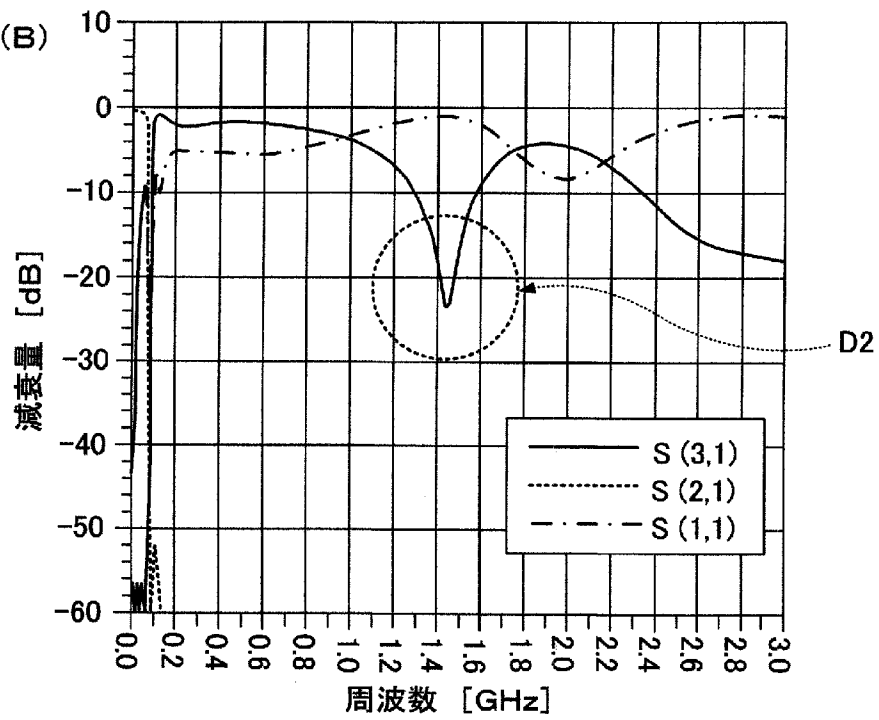
[図8]

図8

(A)



(B)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087736

A. CLASSIFICATION OF SUBJECT MATTER

H03H7/46(2006.01)i, H04B1/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H7/46, H04B1/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 7020186 B2 (THOMSON LICENSING), 28 March 2006 (28.03.2006), column 3, line 52 to column 4, line 4; column 5, line 54 to column 6, line 24 & US 2003/0012271 A1 & US 2003/0035073 A1	1-7
Y	JP 2003-209454 A (Matsushita Electric Industrial Co., Ltd.), 25 July 2003 (25.07.2003), paragraphs [0074], [0117] to [0125] & US 2003/0092397 A1 paragraphs [0190], [0236] to [0244] & EP 1311063 A2 & KR 10-2003-0039319 A & CN 1419338 A	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
03 February 2017 (03.02.17)

Date of mailing of the international search report
14 February 2017 (14.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087736

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-128881 A (Kyocera Corp.), 18 May 2006 (18.05.2006), paragraphs [0025] to [0029] (Family: none)	3-7
Y	JP 2006-332980 A (Alps Electric Co., Ltd.), 07 December 2006 (07.12.2006), paragraph [0020] (Family: none)	3-7
A	US 2003/0022631 A1 (THOMSON MULTIMEDIA LICENSING INC.), 30 June 2003 (30.06.2003), fig. 2 & US 2003/0035073 A1	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H7/46(2006.01)i, H04B1/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H7/46, H04B1/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 7020186 B2 (THOMSON LICENSING) 2006.03.28, 第3欄第52行—第4欄第4行, 第5欄第54行—第6欄第24行 & US 2003/0012271 A1 & US 2003/0035073 A1	1-7
Y	JP 2003-209454 A (松下電器産業株式会社) 2003.07.25, 段落 [0074], [0117] — [0125] & US 2003/0092397 A1, [0190], [0236]—[0244] & EP 1311063 A2 & KR 10-2003-0039319 A & CN 1419338 A	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

03.02.2017

国際調査報告の発送日

14.02.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 正明

5W

4241

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-128881 A (京セラ株式会社) 2006.05.18, 段落 [0025] — [0029] (ファミリーなし)	3-7
Y	JP 2006-332980 A (アルプス電気株式会社) 2006.12.07, 段落 [0020] (ファミリーなし)	3-7
A	US 2003/0022631 A1 (THOMSON MULTIMEDIA LICENSING INC.) 2003.06.30, FIG.2 & US 2003/0035073 A1	1-7