

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-40590

(P2011-40590A)

(43) 公開日 平成23年2月24日(2011.2.24)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/747 (2006.01)	HO 1 L 29/747	4M104
HO 1 L 29/861 (2006.01)	HO 1 L 29/90 Z	5F005
HO 1 L 29/417 (2006.01)	HO 1 L 29/50 Z	5F038
HO 1 L 29/74 (2006.01)	HO 1 L 29/74 P	
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H	

審査請求 未請求 請求項の数 4 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2009-187053 (P2009-187053)  
 (22) 出願日 平成21年8月12日 (2009.8.12)

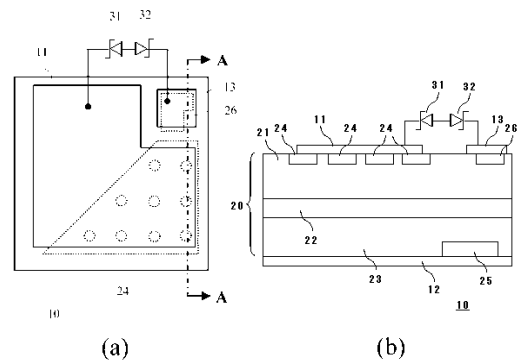
(71) 出願人 000106276  
 サンケン電気株式会社  
 埼玉県新座市北野3丁目6番3号  
 (72) 発明者 森川 直樹  
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内  
 Fターム(参考) 4M104 AA01 BB13 BB16 CC03 FF17  
 GG07  
 5F005 AA01 AA02 AB01 AB02 AE03  
 AF01 AH01 AH02 EA02  
 5F038 BH04 BH05 BH16 EZ05 EZ06  
 EZ20

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高温度における電圧上昇率 (dV/dt) 耐量を向上し、誤動作を防止することができるサイリスタを提供する。

【解決手段】 半導体層 (20) の一方の主面において、第1の導電型 (p型) をもつ第1の半導体層 (21) 上に第1の主電極 (11) が形成され、前記第1の導電型と反対の第2の導電型 (n型) をもち前記第1の半導体層中に局所的に形成された第2の半導体層 (24) と、該第2の半導体層と前記第1の半導体層とに接続するゲート電極 (13) とが、前記第1の主電極が形成されていない箇所に形成され、前記半導体層の他方の主面において、第2の主電極 (12) が形成され、前記第1の主電極と前記第2の主電極との間に電流が流れる、サイリスタとしての動作をする半導体装置であって、前記ゲート電極と前記第1の主電極との間に接続され、SBD (31、32) から成る双方向ダイオードを具備



**【特許請求の範囲】****【請求項 1】**

半導体層に第 1 の主電極、第 2 の主電極、及びゲート電極が接続された構成を具備し、前記半導体層の一方の主面において、第 1 の導電型をもつ第 1 の半導体層上に前記第 1 の主電極が形成され、前記第 1 の導電型と反対の第 2 の導電型をもち前記第 1 の半導体層中に局所的に形成された第 2 の半導体層と、該第 2 の半導体層と前記第 1 の半導体層とに接続する前記ゲート電極とが、前記第 1 の主電極が形成されていない箇所に形成され、

前記半導体層の他方の主面において、前記第 2 の主電極が形成され、前記ゲート電極と前記第 1 の主電極との間に印加する電圧がトリガ電圧を超えた場合に前記第 1 の主電極と前記第 2 の主電極との間に電流が流れる、サイリスタとしての動作をする半導体装置であって、

前記ゲート電極と前記第 1 の主電極との間に接続され、ショットキバリアダイオードから成る双方向ダイオードを具備することを特徴とする半導体装置。

**【請求項 2】**

前記ショットキバリアダイオードは前記半導体層中に形成されたことを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記ショットキバリアダイオードは前記半導体層と別体で構成され、前記ダイオードと前記半導体層とは一体化されてモールド材中に設けられたことを特徴とする請求項 1 に記載の半導体装置。

**【請求項 4】**

前記半導体層の一方の主面において、前記第 2 の導電型をもつ第 3 の半導体層が前記第 1 の半導体層中に局所的に形成され、前記第 1 の主電極は、前記第 1 の半導体層及び前記第 3 の半導体層に接続され、

前記第 1 の主電極と前記第 2 の主電極との間に流れる双方向の電流のオンオフが、前記ゲート電極と前記第 1 の主電極との間に印加する電圧によって制御されることを特徴とする請求項 1 から請求項 3 までのいずれか 1 項に記載の半導体装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、pn 接合を利用して電流の制御を行う半導体装置、特にサイリスタ及びトライアックの構造に関する。

**【背景技術】****【0002】**

複数の pn 接合を利用して電流のオンオフを制御する半導体装置として、サイリスタが知られている。サイリスタにおいては、ゲート電流をトリガとして、アノード・カソード間の電流のオンが制御される。また、逆向きのサイリスタを並列に接続して同一の半導体基板に形成した構成のトライアック（双方向サイリスタ）も広く用いられている。サイリスタやトライアックは、大電流を流すことが可能であるため、電源回路等に広く用いられている。

**【0003】**

サイリスタやトライアックにおいては、ゲート電圧を印加しなければアノード、カソード間に流れる電流は無視できるほど小さく、ゲート電圧がトリガ電圧を超えた場合に、ゲート電流がある値（トリガ電流）を越え、主電極となるアノード・カソード間（トライアックにおいては主電極間）に電流が流れる。この電流は、その後ゲート電流を零にしても流れ続ける。

**【0004】**

トライアックの動作を、トライアックの上面から見た平面図（図 4（a））、その C - C 方向の断面図（図 4（b））を用いて説明する。このトライアック 80 を制御する電極は、主電極となる T1 電極 81、T2 電極 82 と、ゲート電極 83 である。トライアック

10

20

30

40

50

80を構成する半導体層90は、図に示すように、P1層(p型層:ベース)91、N1層(n型層:ベース)92、P2層(p型層:ベース)93、N2層(n型層:エミッタ)94、N3層(n型層:エミッタ)95、N4層(n型層)96で構成される。このトライアック80においてスイッチングされる電流(動作電流)はT1電極81とT2電極82間に流れる。T1電極81は、この半導体層90の上面において、P1層(p型層)91とN2層94の両方に接するように形成され、ゲート電極83は、P1層91とN4層96の両方に接するように形成される。T1電極81とゲート電極83の平面形状は、図4(a)に示されるとおりであり、その面積は、大電流(動作電流)が流れるT1電極81の方が大きくなっている。一方、やはり大電流が流れるT2電極82は、半導体層90の下面においてほぼ全面にわたり形成され、P2層93とN3層95の両方に接するよう

10

#### 【0005】

このトライアックがオフ状態からオン状態、すなわち、T1電極81とT2電極82との間に電流が流れるようになる場合には、T1電極81の電位を基準として考えた場合に、(1)T2電極82が正、ゲート電極83が正、(2)T2電極82が正、ゲート電極83が負、(3)T2電極82が負、ゲート電極83が正、(4)T2電極82が負、ゲート電極83が負、の4つの場合がある。どの場合においても、T1電極81とゲート電極83との間でP1層91中を流れるゲート電流によって、P1層91中で時定数が大きな電圧降下が生じることがトリガとなっている。この電圧降下によって、P1層91とN2層94間のpn接合、又はP1層91とN4層96間のpn接合が順方向となり、P1層91中に電子が注入されることによってこのトライアック80はオン状態となる。その後ゲート電流を零にした場合でも、T1電極81とT2電極82間に電流が流れている間は、P1層91中には電子が注入され続けるため、この状態は維持される、すなわち、ゲート電流を零にした場合でも、オン状態は維持される。

20

#### 【0006】

以上の動作において、このトライアックがオン状態となるのはゲート電極83からゲート電流を流した場合であるが、実際には、T1電極81とT2電極82間に急激な電圧変化があった場合( $dV/dt$ が大きな場合)、ゲート電極83からゲート電流を流していないにも関わらず、オン状態となる(誤点弧する)ことがある。この電圧上昇率( $dV/dt$ )を高めることで、トライアックの誤動作耐量の向上が図られる。

30

#### 【0007】

誤点弧が発生する主原因は、急激な電圧変化があった場合に、ベース中のpn接合の容量を流れる変位電流(充電電流)が流れ、これがP1層91中を流れることもこの原因となる。トリガ電流あるいはトリガ電圧を大きく設定すれば、こうした誤点弧は抑制されることは明らかであるが、この場合には本来のスイッチング動作を行うために大電流(大電圧)が必要となるため、好ましくない。すなわち、トリガ電流を小さくすることと、 $dV/dt$ が大きな場合の誤点弧に対する耐性( $dV/dt$ 耐量)を高めることはトレードオフの関係にあり、これらを両立させるための技術が要求されている。

40

#### 【0008】

こうした技術として、例えば、特許文献1に記載の技術がある。特許文献1に記載の技術には、トライアックにおいて、各サイリスタのエミッタとなるN2層94とN3層95間の水平方向における距離、及びN4層96とT1電極81間の距離を最適化することによって、半導体層90の表面におけるT1電極81とN4層96との間に抵抗成分を設け、P1層91中の電圧降下に寄与しない電流成分(無効電流)を減少させることが記載されている。これによって、トリガ電流を減少させることができる、あるいは、トリガ電流

50

を減少させない場合には、より誤点弧を抑制させることができる。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開平8-97407号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、図5に示すように、サイリスタ（並びにトライアック）が環境温度又は自身の動作によって高温になると、熱励起されたキャリアの増加等の影響によりゲートトリガ電流（IGT）は小さくなり、その結果 $dV/dt$ 耐量が低下する。そして、近年、サイリスタ動作の補償温度の高温化が求められており、高温において $dV/dt$ 耐量の向上が求められている。

10

【0011】

従って、本発明は、高温における電圧上昇率（ $dV/dt$ ）耐量を向上し、誤動作を防止することができるサイリスタを提供することである。

【課題を解決するための手段】

【0012】

上記の課題を解決するため、本発明に係る絶縁ゲート型半導体装置は、半導体層（20）に第1の主電極（11）、第2の主電極（12）、及びゲート電極（13）が接続された構成を具備し、前記半導体層の一方の主面において、第1の導電型（P型）をもつ第1の半導体層（21）上に前記第1の主電極が形成され、前記第1の導電型と反対の第2の導電型（N型）をもち前記第1の半導体層中に局所的に形成された第2の半導体層（26）と、該第2の半導体層と前記第1の半導体層とに接続する前記ゲート電極とが、前記第1の主電極が形成されていない箇所形成され、

20

前記半導体層の他方の主面において、前記第2の主電極が形成され、前記ゲート電極と前記第1の主電極との間に印加する電圧がトリガ電圧を超えた場合に前記第1の主電極と前記第2の主電極との間に電流が流れる、サイリスタとしての動作をする半導体装置であって、

前記ゲート電極と前記第1の主電極との間に接続され、ショットキバリアダイオード（31、32）から成る双方向ダイオードを具備することを特徴とする。

30

【発明の効果】

【0013】

本発明は以上のように構成されているので、高温における電圧上昇率（ $dV/dt$ ）耐量を向上し、誤動作を防止することができるサイリスタを提供することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施の形態に係るトライアックの平面図（a）及び断面図（b）である。

【図2】本発明の第1の実施の形態に係るトライアックの電流 - 温度特性の一例を示す図である。

40

【図3】本発明の第2の実施の形態に係るトライアックの平面図（a）及び断面図（b）である。

【図4】従来のトライアックの平面図（a）及び断面図（b）である。

【図5】従来のトライアックの動作特性の一例を示す図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態に係る半導体装置として、特にトライアックについて説明する。ただし、図面は模式的なものであり、現実のものとは異なる。

【実施例1】

50

## 【0016】

第1の実施の形態に係るトライアックにおいては、ゲート電極と第1の主電極（T1電極）との間にダイオードが接続されている。図1は、本発明の実施の形態となるトライアックの平面図（a）及びそのA-A方向の断面図（b）である。

## 【0017】

図示しない基板は、シリコン（Si）、シリコンカーバイド（SiC）又はサファイア、セラミック等の材料で形成される。

## 【0018】

このトライアック10を制御する電極は、主電極となるT1電極（第1の主電極）11、T2電極（第2の主電極）12と、ゲート電極13である。トライアック10を構成する半導体層20は、図に示すように、P1層（第1の半導体層：p型層：ベース）21、N1層（n型層：ベース）22、P2層（p型層：ベース）23、N2層（第3の半導体層：n型層：エミッタ）24、N3層（n型層：エミッタ）25、N4層（第2の半導体層：n型層）26で構成される。これらの各層は不純物拡散、イオン注入、エピタキシャル成長等の方法によって適宜作成される。

10

## 【0019】

このトライアック10の動作電流はT1電極11とT2電極12間に流れる。T1電極11は、この半導体層20の上面（一方の主面）において、P1層（p型層）21とN2層24の両方に接するように形成され、ゲート電極13は、P1層21とN4層26の両方に接するように形成される。T1電極11とゲート電極13の平面形状は、図1（a）に示されるとおりであり、その面積は、大電流（動作電流）が流れるT1電極11の方が大きくなっている。一方、やはり大電流が流れるT2電極12は、半導体層20の下面（他方の主面）においてほぼ全面にわたり形成され、P2層23とN3層25の両方に接するように形成されている。この場合には、T1電極11、N2層24、P1層21、N1層22、P2層23、T2電極12からなる第1の主サイリスタと、T1電極11、P1層21、N1層22、P2層23、N3層25、T2電極12からなる第2の主サイリスタとが並列に形成された構成となる。また、ゲート電極13、N4層26、P1層21、N1層22、P2層23、T2電極12からなる補助サイリスタが、これら2つの主サイリスタの動作を補助する補助サイリスタとして形成されている。以上はこのトライアック10における本体の構成であり、これは従来のトライアック（図4）と同様であり、その動作についても同様である。なお、このトライアックをオン状態とするために必要なゲート電極13・T1電極11間の電圧（トリガ電圧）は約0.9V程度である。

20

30

## 【0020】

このトライアック10がオフ状態からオン状態、すなわち、T1電極11とT2電極12との間に電流が流れるようになる場合には、T1電極11の電位を基準として考えた場合、（1）T2電極12が正、ゲート電極13が正、（2）T2電極12が正、ゲート電極13が負、（3）T2電極12が負、ゲート電極13が負、（4）T2電極12が負、ゲート電極13が正、の4つの場合がある。

40

## 【0021】

このトライアック10においては、上記の本体に加え、ショットキバリアダイオード（以下SBDと称する）31及び32が、互いに異なる整流方向となるように、トライアック本体の外部におけるゲート電極13とT1電極11との間に直列に設置される。即ち、双方向ダイオードがゲート電極13とT1電極11との間に接続される。周知のように、SBDの順方向電圧（Vf）は0.2V程度なのでサイリスタのトリガ電圧よりも十分小さく、また、SBDの漏れ電流はショットキ接合の温度上昇に伴い増大する。従って、SBD31及び32から成る双方向ダイオードは、順方向電圧よりも大きい電圧が印加された時に、ショットキ接合温度に応じた電流を双方向に流すものである。

## 【0022】

50

このトライアック 10 において、SBD 31 及び 32 は、ゲート電極 13 と T1 電極 11 との間に流れるゲート電流をトライアック本体の外部にバイパスさせることにより、見かけ上のゲートトリガ電流 (IGT) を大きくする。このとき、SBD 31 及び 32 を流れる電流は、トライアック 10 の点弧に直接影響しないため、これを無効電流と呼ぶことができる。従って、トライアック 10 は、ゲート電極 13 と T1 電極 11 との間に無効電流を流すことで電圧上昇率 ( $dV/dt$ ) 耐量を大きくする。このメカニズムについて以下に説明する。

【0023】

前記の通り、図 4 に示す従来 of トライアック 80 においては、T1 電極 81 とゲート電極 83 との間で流れるゲート電流によって、P1 層 91 中で電圧降下が生じ、T1 電極 81 と T2 電極 82 との間で電流が流れる、即ち、オン状態となる。ここで、T1 電極 81 を接地し、ゲート電極 83 に電圧を印加しない状態においても、 $dV/dt$  が大きな場合には、ベース中の pn 接合の容量を流れる変位電流 (充電電流) が発生し、これが P1 層 91 中を流れ、T1 電極 81 に到達する。この電流はゲート電流と等価であるため、オン状態を作り出し、誤点弧の原因となる。

10

【0024】

一方、図 1 に示す本発明の第 1 の実施の形態に係るトライアック 10 において、P1 層 21 中を流れる変位電流によりゲート電極 13 と T1 電極 11 との間に電位差が生じると、ゲート電極 13 と T1 電極 11 との間に形成された双方向ダイオードの両端にも上記の電位差が生じる。この電位差により、SBD 31 は順バイアスされ、SBD 32 は逆バイアスされる。そして、上記の電位差による順バイアス電圧が SBD 31 の順方向電圧より大きくなると、SBD 31 が導通し、SBD 32 の漏れ電流に等しい電流が双方向ダイオード中に流れる。このようにゲート電極 13 と T1 電極 11 との間に流れる変位電流の一部をトライアック本体の外部にバイパスさせることにより、P1 層 21 中を流れる変位電流の増大を防止する。即ち、トライアック 10 は、見かけ上のゲートトリガ電流を大きくすることができる。

20

【0025】

なお、双方向ダイオードを構成する SBD 31 及び 32 は、トライアック 10 において上記のような作用効果を有するため、トライアック本体と同一のモールド材中に収納し良好な熱結合性を確保することが好ましい。

30

【0026】

図 2 は、実線で示す第 1 の実施の形態に係るトライアック 10 におけるゲートトリガ電流 (IGT) と、一点鎖線で示す SBD の漏れ電流 ( $I_r$ ) と、破線で示す従来 of トライアック 80 におけるゲートトリガ電流 (IGT) と、の温度特性を示す図である。高温度におけるトライアック 10 のゲートトリガ電流の低下が、従来 of トライアック 80 におけるゲートトリガ電流と比較して抑制されていることが分かる。従って、第 1 の実施例に係るトライアック 10 は、SBD の漏れ電流を流すことによってゲートトリガ電流の温度特性を改善し、高温度における電圧上昇率 ( $dV/dt$ ) 耐量を向上し、誤動作を防止することができる。

40

【0027】

また、SBD 31 及び 32 が双方向ダイオードを構成するため、トライアック 10 がオフ状態からオン状態になる上記 4 つの場合のいずれにおいても、高温度における誤点弧を防止することができる。

【0028】

また、SBD の接合温度が比較的低いときは双方向ダイオードを流れる無効電流が小さくなるため、低温時には無効電流による効率低下を抑制することができる。

【実施例 2】

【0029】

図 3 は、第 2 の実施の形態となるトライアック 50 の構造を示す平面図 (a) 及びその B-B 方向の断面図である。このトライアック 50 を構成する T1 電極 51、T2 電極 5

50

2、ゲート電極53、半導体層60、P1層61、N1層62、P2層63、N2層64、N3層65、N4層(n型層)66について、及びこれらの間の関係については、第1の実施の形態と同様である。従って、その説明は省略する。

【0030】

このトライアック50においては、第1の実施の形態におけるSBD31及び32を、半導体基板60中に形成している。このため、図1の構造に対して、P1層61層中にND1層(第4の半導体層)71が、N2層64中にND2層(第5の半導体層)72が新たに形成される。さらに、金属配線73が絶縁層(シリコン酸化膜)74を介して半導体基板60上に形成され、金属配線73とND1層71との間及び金属配線73とND2層72との間にはバリアメタル層75が形成される。これによって、ND1層71とバリアメタル層75との間及びND2層72とバリアメタル層75との間に整流方向が異なる2つのSBDが形成され、金属配線73により直列接続される2つのSBDは双方向ダイオードとして機能する。

10

【0031】

ND1層71及びND2層72は、N1層62及びN2層64と同一の導電性を有するが、その不純物濃度が異なる。また、本実施形態における金属配線73は、Al(アルミニウム)で形成され、バリアメタル配線73は、V(バナジウム)又はMo(モリブデン)で形成される。なお、小さいSBD形成領域で所望の漏れ電流を得るためには、Vで形成することが好ましい。双方向ダイオードを構成するこれらの構造は、従来のトライアックに対し、フォトリソグラフィ、イオン注入及び蒸着等の周知の技術により形成することができる。

20

【0032】

従って、以上の構造においては、第1の実施例の形態に係るトライアック10と同様の効果が得られるだけでなく、バイパス用のダイオードがトライアック本体と同一基板中に形成されるため、新たにダイオードを接続する必要がない。従って、第1の実施の形態に係るトライアック10と比べて、このトライアック50を実装する際に、より小型化することができる。

【0033】

また、トライアック本体とバイパス用のダイオードとを同一の半導体層60中に形成することによって、熱結合性が改善される。従って、このトライアック50は、第1の実施の形態のトライアック10よりもより確実に高温度における電圧上昇率(dV/dt)耐量を向上し、誤動作を防止することができる。

30

【0034】

なお、上記のいずれの実施の形態においても、トライアックについて記載したが、その動作原理より、本発明は、トライアックに限らず、単体のサイリスタについても同様に用いられることは明らかである。その場合、サイリスタのゲート電極とカソード電極との間に少なくとも1つのSBDを設ければ良い。詳細には、サイリスタのカソード電極からゲート電極に向かう整流方向を有するSBDを設ければ良い。

【0035】

以上、本発明の実施の形態の一例について説明したが、本発明に係る特定の実施の形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において種々の変更や、各実施例或いは各変形例の組合せが可能である。上記の例においては、P1層21を第1の半導体層とした場合に、その導電型(第1の導電型)をp型とし、その反対の導電型(第2の導電型:n型)をもつN2層(第3の半導体層)24、N4層(第2の半導体層)26等を形成した場合について示した。これに対して、上記の構成におけるp型とn型とを入れ替えた構成においても、同様のサイリスタ又はトライアックを構成できることは明らかであり、SBD31及び32を形成するためのバリアメタル配線73の材料を適宜変更できることは明らかである。

40

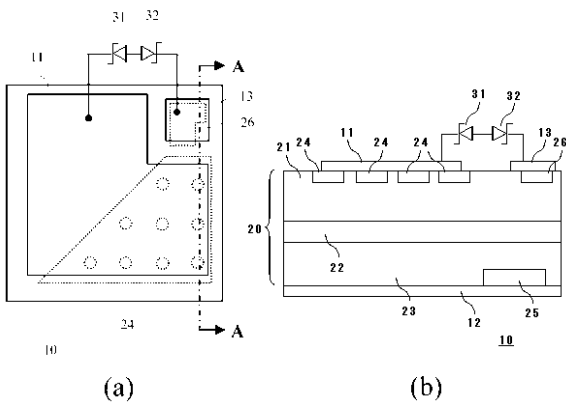
【符号の説明】

【0036】

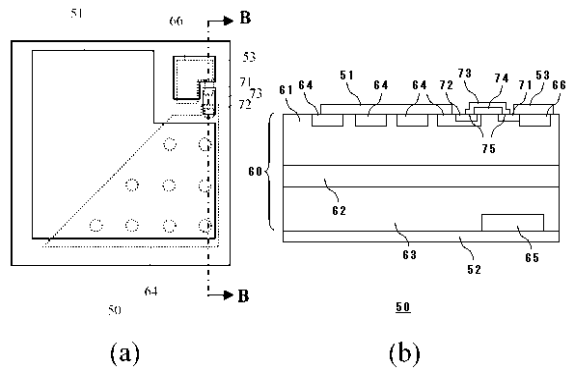
50

- 10、50、80    トライアック
- 11、51、81    T1電極（第1の主電極）
- 12、52、82    T2電極（第2の主電極）
- 13、53、83    ゲート電極
- 20、60、90    半導体層
- 21、61、91    P1層（p型層：第1の半導体層）
- 22、62、92    N1層（n型層）
- 23、63、93    P2層（p型層）
- 24、64、94    N2層（n型層：第3の半導体層）
- 25、65、95    N3層（n型層）
- 26、66、96    N4層（n型層：第2の半導体層）
- 31、32    SBD
- 71    ND1層（第4の半導体層）
- 72    ND2層（第5の半導体層）
- 73    バリアメタル配線
- 74    絶縁層（シリコン酸化膜）

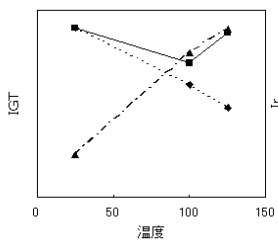
【図1】



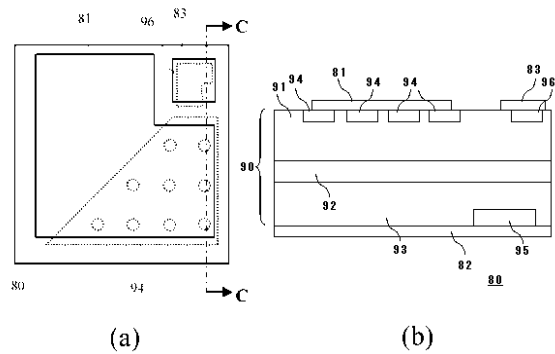
【図3】



【図2】

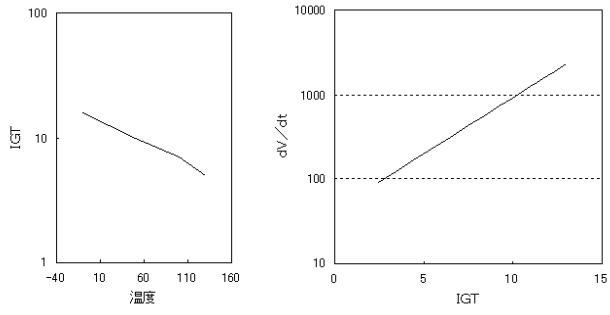


【図4】





【 図 5 】



---

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/822 (2006.01)	H 0 1 L 29/48	F
H 0 1 L 29/47 (2006.01)		
H 0 1 L 29/872 (2006.01)		

【要約の続き】

することを特徴とする半導体装置。

【選択図】図1