



(12) 发明专利

(10) 授权公告号 CN 101393910 B

(45) 授权公告日 2011.05.18

(21) 申请号 200810149484.0

(22) 申请日 2008.09.18

(30) 优先权数据

241517/07 2007.09.18 JP

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 绪方博美

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

H01L 27/02 (2006.01)

H01L 23/522 (2006.01)

H03K 17/687 (2006.01)

审查员 杨嘉

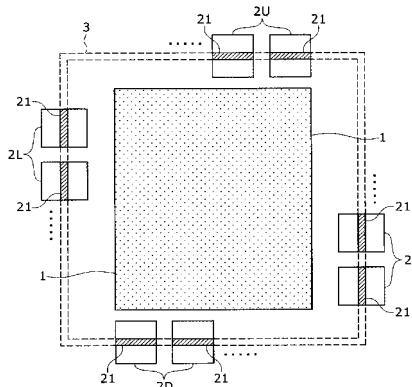
权利要求书 2 页 说明书 15 页 附图 16 页

(54) 发明名称

半导体集成电路

(57) 摘要

一种半导体集成电路包括：具有内部电压线的电路块；环形轨道线，在电路块周围形成封闭环形线并提供有电源电压和参考电压之一；和多个开关块，在电路块周围沿着环形轨道线配置，该多个开关块的每个都包括：电压线段，形成部分环形轨道线；和开关，用于控制电压线段和内部电压线间的连接和断开。



1. 一种半导体集成电路,包括:
具有内部电压线的电路块;
环形轨道线,在所述电路块的周围形成封闭环形线并提供有电源电压和参考电压之一;以及
多个开关块,在所述电路块周围沿所述环形轨道线配置,所述多个开关块的每个都包括:电压线段,形成部分所述环形轨道线;和开关,用于控制所述电压线段和所述内部电压线间的连接和断开,
其中在每个所述开关块中,
所述电压线段设置为与所述开关的配置区交叉和位于所述开关的配置区附近的状态之一,
接收并运行从所述电压线段供给的电压的缓冲电路形成在所述开关的配置区和所述电压线段的与所述电路块相反的侧,
第一控制线段设置在所述缓冲电路的输入侧,控制信号经由控制线输入到所述第一控制线段,且
第二控制线段设置在所述缓冲电路的输出侧,所述第二控制线段电连接至所述开关的控制节点,
第一控制线段和第二控制线段关于所述开关块的中心非对称地配置。
2. 根据权利要求1所述的半导体集成电路,
其中所述多个开关块具有在内部彼此连接的所述电压线段和所述开关,且
在所述多个开关块中,位于块框架的两个相对边的所述电压线段的端边的位置关系设置为相同。
3. 根据权利要求1所述的半导体集成电路,
其中所述多个开关块具有相同的尺寸,并且所述多个开关块包括对于所述电路块的四个边的四种不同的开关块。
4. 根据权利要求3所述的半导体集成电路,
其中对于所述多个开关块,决定所述电路块的每个边上配置的开关块的数目,以使随着从所述电路块的四个边中每个边来看的向所述电路块供给所述电源电压和所述参考电压之一的配线阻抗的减小,开关块的数目增加。
5. 根据权利要求1所述的半导体集成电路,
其中在所述多个开关块中,作为所述开关的晶体管的栅极的长度方向相同。
6. 根据权利要求1所述的半导体集成电路,
其中所述环形轨道线的与所述电路块的四个边中一对相对边平行的配线部分和所述环形轨道线的与所述电路块的四个边中另一对相对边平行的配线部分由在不同阶层的配线层形成。
7. 一种半导体集成电路,包括:
具有内部电压线的电路块;
第一环形轨道线,在所述电路块周围形成封闭环形线并提供有电源电压和参考电压之一;
第二环形轨道线,在所述电路块周围形成封闭环形线并在所述第一环形轨道线和所述

电路块间的多个位置处连接至所述内部电压线 ; 以及

多个开关块, 在所述电路块周围沿所述第一环形轨道线和所述第二环形轨道线配置, 所述多个开关块的每个都包括 : 第一电压线段, 形成部分所述第一环形轨道线 ; 第二电压线段, 形成部分所述第二环形轨道 ; 和开关, 连接在所述第一电压线段和所述第二电压线段之间,

其中在每个所述开关块中,

所述电压线段设置为与所述开关的配置区交叉和位于所述开关的配置区附近的状态之一,

接收并运行从所述电压线段供给的电压的缓冲电路形成在所述开关的配置区和所述电压线段的与所述电路块相反的侧,

第一控制线段设置在所述缓冲电路的输入侧, 控制信号经由控制线输入到所述第一控制线段, 且

第二控制线段设置在所述缓冲电路的输出侧, 所述第二控制线段电连接至所述开关的控制节点,

第一控制线段和第二控制线段关于所述开关块的中心非对称地配置。

8. 根据权利要求 7 所述的半导体集成电路,

其中在所述多个开关块中, 所述第一电压线段、所述第二电压线段和所述开关之间的相互位置关系是一致的。

9. 根据权利要求 7 所述的半导体集成电路,

其中在所述多个开关块中, 在块框架的两个相对边的所述第一电压线段和所述第二电压线段的端边的位置关系设定为相同。

半导体集成电路

技术领域

[0001] 本发明涉及一种半导体集成电路,该半导体集成电路通过开关控制电路块(block)的内部电压线和配线之间的连接和断开,电源电压或参考电压施加到该配线。

背景技术

[0002] MTCMOS(Multi-Threshold Complementary Metal Oxide Semiconductor,多阈值互补金属氧化物半导体)技术作为通过开关控制对电路的电源供给的关断及取消关断的技术为人们所熟知。

[0003] 通常地,需要降低作为设计值的逻辑电路等中的晶体管阈值电压,以防止伴随着电源电压减小或元件微型化的信号延迟。当逻辑电路等中的晶体管阈值电压小时,会产生大的泄漏电流。通过利用比逻辑电路等中的晶体管具有更高阈值的晶体管(电源开关)来关断停止状态(stopped state)中的电路的泄漏电流通道,MTCMOS技术能防止停止状态下由电路的不必要的功率消耗。

[0004] 将MTCMOS技术应用于电路块时,在电路块中设置内部电压线,称作所谓的虚拟VDD线(virtual VDD line)和所谓的虚拟GND线(virtual GNDline)。经由用于电源关断和取消关断的电源开关,将内部电压线连接至全局(global)实电源线(实VDD线,real VDD line)和实参考电压线(实VSS线,real VSS line),以建立电路块外的块间的连接。

[0005] 电源开关被设置在三种类型的位置,也就是,重复启动及停止的功能电路和实VDD线之间的位置,功能电路和实VSS线之间的位置,及以上两种位置。通常,PMOS晶体管用作VDD侧的开关,NMOS晶体管用作VSS线侧的开关。

[0006] 在应用MTCMOS的块中,功能电路的启动和停止是通过未应用MTCMOS的块中的电路来控制的,在半导体集成电路启动之后该未应用MTCMOS的块一直设定在运行状态并提供有来自实VDD线和实VSS线的功率。或者,采用这样的结构,在该结构中从半导体集成电路的外部终端输入用于控制应用MTCMOS的块中功能电路的启动和停止的控制信号。

[0007] 电源开关可通过应用MTCMOS的块中的单元来实现。具体地说,存在这样的情况:在应用MTCMOS的块中,电源开关设置在反相器(inverter)、NAND(与非)电路、NOR(或非)电路等每个逻辑电路单元中,或者设置在由几个逻辑电路实现的功能电路单元中,还有这样的情况:设置无逻辑电路或功能电路的专用电源开关。下面将这种类型的开关配置称作“内部开关(SW)配置”,并将采用该配置的半导体集成电路称作“内部SW配置型IC”。

[0008] 与内部SW配置型IC相反,已知一种半导体集成电路,在该半导体集成电路中电源开关在作为电源控制对象的电路块周围配置(例如,参见日本专利申请公开第2003-289245号,下面称作专利文件1,和日本专利申请公开第2003-158189号,下面称作专利文件2)。下面将这种类型的开关配置称作“外部开关(SW)配置”,并将采用该配置的半导体集成电路称作“外部SW配置型IC”。

[0009] 外部SW配置适合于与具有通用电路(general-purpose circuit)(比如存储器,CPU等)的电路块结合使用,该通用电路作为电路块的部分或全部,被称作所谓的“宏

(macro) ”。

[0010] 专利文件 2 公开了这样的构造,在该构造中晶体管单元(开关)设置在电路块的三侧或四侧,开关具有这样的形状以使开关的长度方向沿着各个侧,并且开关中晶体管栅极线的配置方向与长度方向一致。

[0011] 在这样的结构中,在晶体管单元配置区的与电路块相反的侧(外侧),VDD 供给环(VDD supply ring)和 VSS 供给环配置为环形线环形地包围电路块的外围。VDD 供给环和开关晶体管的漏极由与 VDD 供给环不同阶层(level)的金属配线层彼此连接。VSS 供给环和电路块中的 VSS 线由与 VSS 供给环不同阶层的金属配线层彼此连接。开关晶体管的源极和电路块中的虚拟 VSS 线由与 VSS 供给环不同阶层的金属配线层彼此连接。

发明内容

[0012] 上述专利文件 1 中的半导体集成电路不具有在电路块(内部电路)周围设置为环形形式的 VDD 电压供给线。因此,在远离 VDD 电压供给源的 VDD 电压供给线的位置会发生电压降(voltage drop)。因此,即使当与其它开关晶体管尺寸相同的开关晶体管导通或截止相同的时间,该开关晶体管也会具有不同的使内部电路的内部电压线充电或放电的能力。从而,需要一种装置,使得随着开关晶体管的位置与 VDD 电压供给源的逐渐变远,开关晶体管的尺寸增加或者晶体管的数量增加。这会导致在其中内部电路停止的状态中经由开关晶体管的泄漏电流增加的缺点。

[0013] 设定开关晶体管的阈值电压高于内部电路中晶体管的阈值电压,以使泄漏电流相对的小。然而,当停止的时间段长的时候,就不能忽视由开关晶体管尺寸或开关晶体管数量增加导致的不必要的功率消耗。

[0014] 上面的专利文件 2 中描述的半导体集成电路,具有以环形形式配置为供给环的 VDD 电压供给线和 VSS 电压供给线。因此,与上面的专利文件 1 中描述的不具有供给环的半导体集成电路相比,上面的专利文件 2 中描述的半导体集成电路使得从电压供给源到每个开关晶体管的电压降均匀化。从而,相对地抑制了泄漏电流的增加。

[0015] 然而,上面的专利文件 2 中描述的半导体集成电路,具有环形线(供给线)和彼此分离配置的开关晶体管,并因此为了使开关晶体管和供给环(VDD 供给环和 VSS 供给环)彼此连接而具有复杂的配线。

[0016] 设置 VDD 供给环和 VSS 供给环以达到均匀化电压降的目的的同时,由于受到运行的外围电路的影响,VDD 供给环和 VSS 供给环的电势不会完全地均匀化。当然,通过降低这些供给环的电阻,电势会变得更加均匀。然而,比如,由于受到外围电路的影响,在以高振幅频繁运行的外围电路的附近,VSS 供给环的电势可能会从参考电势(比如 0[V])上升。然而,很难完全地评估外围电路的运行。因此,为了避免外围电路的影响并稳定开关晶体管的运行,在设计过程中就出现了移动开关晶体管的位置或改变开关晶体管的尺寸的需求,并增加了再次进行连接配线的沉重设计负担。

[0017] 也就是说,专利文件 2 中描述的开关晶体管的构造(在专利文件 2 中称作“宏(macro)”)不具有对应这种设计改变的结构。

[0018] 顺便提及,在专利文件 2 揭露的各种修正实例中,改变开关晶体管尺寸或双重设置开关晶体管也清楚地表明开关晶体管位置和尺寸的重要性。

[0019] 根据本发明第一实施例的半导体集成电路包括：具有内部电压线的电路块；环形轨道线，该环形轨道线 (annular rail line) 在该电路块的周围形成为封闭环形线并提供有电源电压和参考电压中的一个；沿着环形轨道线在电路块周围配置的多个开关块，该多个开关块的每个都包括形成部分环形轨道线的电压线段 (voltage line segment) 及用于控制电压线段和内部电压线间的连接和断开的开关。

[0020] 在本发明中，优选地，多个开关块具有在内部彼此连接的电压线段和开关，在多个开关块中，在块框架的两个相对边的电压线段的端边的位置关系设定为相同。

[0021] 在本发明中，优选地，通过具有相同的尺寸并包括对于电路块的四个边的四种不同的开关块，多个开关块被标准化。

[0022] 或者，优选地，对于多个开关块，决定电路块每个边上配置的开关块的数目，以使随着从电路块的四个边中每个边来看的向电路块供给电源电压和参考电压之一的配线阻抗的减小，开关块的数目增加。

[0023] 在本发明中，优选地，环形轨道线的与电路块的一对相对边平行的配线部分和环形轨道线的与电路块的另一对相对边平行的配线部分由在不同阶层的配线层形成。

[0024] 在本发明中，优选地，在每个开关块中，电压线段设置为与开关的配置区交叉或在开关的配置区附近的状态之一，运行接收从电压线段供给的电压的缓冲电路形成在开关的配置区和电压线段的与电路块的相反侧，第一控制线段设置在缓冲电路的输入侧，控制信号经由控制线输入到第一控制线段，且第二控制线段设置在缓冲电路的输出侧，第二控制线段电连接至开关的控制节点。

[0025] 此外，在多个开关块中，作为开关的晶体管的栅极的长度方向相同。

[0026] 根据本发明第二实施例的半导体集成电路包括：具有内部电压线的电路块；第一环形轨道线，在电路块周围形成封闭环形线并提供有电源电压和参考电压之一；第二环形轨道线，在电路块周围形成封闭环形线并在第一环形轨道线和电路块间的多个位置处连接至内部电压线；以及多个开关块，在电路块周围沿第一环形轨道线和第二环形轨道线配置，多个开关块的每个都包括：第一电压线段，形成部分第一环形轨道线；第二电压线段，形成部分第二环形轨道；和开关，连接在第一电压线段和第二电压线段之间。

[0027] 在本发明中，优选地，在多个开关块中，第一电压线段、第二电压线段和开关之间的相互位置关系是一致的。

[0028] 在本发明中，优选地，在多个开关块中，在块框架的两个相对边的第一电压线段和第二电压线段的端边的位置关系设定为相同的。

[0029] 根据上述的第一实施例的结构，开关块形成为包括形成部分环形轨道线的电压线段和开关，并且多个这样的开关块在电路块周围配置。因此，在多个开关块中，环形轨道线和开关之间的相互位置关系是一致的。

[0030] 通过使开关块彼此邻接而将两个电压线段彼此连接，或者当开关块彼此有一距离时，在两个电压线段之间连接配线，由此在电路块周围形成封闭的环形轨道线。

[0031] 根据上述的第二实施例的结构，形成称作第一环形轨道线和第二环形轨道线的两条环形轨道线。

[0032] 从而，多个开关块的每个都包括形成部分第一环形轨道线的第一电压线段和形成部分第二环形轨道线的第二电压线段。开关连接在第一电压线段和第二电压线段之间。在

这种情形下,优选地,在多个开关块中,第一环形轨道线、第二环形轨道线和开关之间的相互位置关系是一致的。

[0033] 因此,通过使开关块彼此邻接而将第一电压线段彼此连接以及第二电压线段彼此连接,或者当开关块彼此有一距离时,通过配线在相应的电压线段之间建立连接,由此在电路块周围形成两条封闭的环形轨道线。

[0034] 当开关块被移动时,要移动的开关块的除电压线段外的构成元件被移到希望的位置,并且在构成元件已经移动到的位置处,将构成元件连接至环形轨道线。

[0035] 这时,在第一实施例中,改变对电路块的连接是必要的。然而,如第二实施例中当每个开关块具有部分第一环形轨道线和部分第二环形轨道线时,具体地说,不需要改变对电路块的连接。从而,通过仅在第一环形轨道线和第二环形轨道线的每个上移动开关块的第一电压线段和第二电压线段外的构成元件,开关块可以在电源线轨道上自由地移动。

[0036] 上面是对移动开关效果的说明。同样在开关插入或删除的情形下,类似地适于在必要的位置插入或删除必要数目的除电压线段(或第一电压线段和第二电压线段)外的构成元件。

[0037] 根据本发明的实施例,在移动开关或改变开关数目时,主要适于改变开关块的除电压线段外的构成元件。因此,就获得了易于进行设计改变和易于优化开关位置及数目的优点。更具体地说,在电源电压供给线或参考电压供给线与开关分离及供给线和开关间的相互位置关系不一致的情况下,进行如移动开关、插入和删除开关等的设计改变时需要将在不同阶层的金属配线层再次彼此连接。然而,本发明消除了再次连接除环形轨道线外这样的配线的每一段的需要。

附图说明

[0038] 图 1 是示出根据本发明实施例的半导体集成电路的整体结构的方块图;

[0039] 图 2 是根据实施例的电源关断对象电路块的内部结构的示意图;

[0040] 图 3 是示出实施例的轨道配置的第一实例的示意图;

[0041] 图 4 是示出实施例的轨道配置的第二实例的示意图;

[0042] 图 5 是示出实施例中的电路块和通至电路块周围的开关块的控制线的示意图;

[0043] 图 6 是示出没有环形轨道线的结构的方块图;

[0044] 图 7 是示意性地示出实施例中开关晶体管的配置的示意图;

[0045] 图 8A 和 8B 与实施例相关,图 8A 是上开关块的结构示意图,而图 8B 是下开关块的结构示意图;

[0046] 图 9A 和 9B 与实施例相关,图 9A 是左开关块的结构示意图,而图 9B 是右开关块的结构示意图;

[0047] 图 10 是示出由符号 1M 到 7M 示出在多层配线结构中的各个阶层的配线层的使用情况的示意图;

[0048] 图 11 是根据实施例的开关单元的示意性布局图;

[0049] 图 12 是根据实施例的另一个开关单元的示意性布局图;

[0050] 图 13A 和 13B 与实施例相关,图 13A 是使用图 11 的开关单元形成的上开关块的结构图,图 13B 是下开关块的结构图;

[0051] 图 14A 和 14B 与实施例相关,图 14A 是使用图 11 的开关单元形成的左开关块的结构图,图 14B 是右开关块的结构图;以及

[0052] 图 15 是示出实施例中开关块的合适配置的示意图。

具体实施方式

[0053] 下面将参考附图描述本发明的优选实施例。

[0054] < 整体结构 >

[0055] 图 1 示出根据本发明实施例的半导体集成电路的整体结构。

[0056] 在图 1 中,分别配置多个输入-输出单元 40 以形成沿矩形半导体芯片四边的列(column),在该半导体芯片上形成半导体集成电路。

[0057] 在用于电路配置的芯片区中配置几个电路块,该芯片区在所有四个边被输入-输出单元 40 包围,如图 1 所示。在图 1 所示的实例中,在该芯片区域中设置被称为“激励区域(energized region)”的半导体集成电路的基本构造,比如包括 CPU、寄存器(register)、存储器、电源电路等的激励电路块 32。激励电路块 32 对应于未应用 MTCMOS 技术的电路块。在半导体集成电路启动之后,激励电路块 32 通过一直被供给电源电压 VDD 和参考电压 VSS 而运行。

[0058] 在用于电路配置的芯片区域进一步配置大量的称作“宏”的电路块,在该电路块的部分或全部包括单独设计以也可在其它半导体集成电路中使用的通用电路。“宏”可由外部委托(outsourcing)设计,且可作为 IP(IntellectualProperty,知识产权)从其它公司购买。

[0059] 作为“宏”的电路块可大致地分成被称作“激励宏”的未应用电路块 33,与激励电路块 32 一样,该未应用电路块 33 未应用 MTCMOS 技术且在半导体集成电路启动后通过被一直供给电源电压 VDD 和参考电压 VSS 来运行;以及被称作“电源关断宏”的电源关断对象电路块 1,该电源关断对象电路块 1 应用 MTCMOS 技术且必要时关断对该电路块 1 的电源。

[0060] 顺便提及,在由输入-输出单元 40 围绕的芯片区中配置的激励电路块 32、未应用电路块 33 和电源关断对象电路块 1 具有在其中配置的成对的实 VDD 线和实 VSS 线(未在图 1 中示出)并因此提供有电源。更具体地说,一些输入-输出单元 40 被分配用于电源供给,且自用于电源供给的输入-输出单元 40 以行方向和列方向的每一个在芯片区中配置成对的实电源线。因此,形成激励电路块 32、未应用电路块 33 和电源关断对象电路块 1 的电源供给配线。

[0061] 电源关断对象电路块 1 是所谓的“外部 SW 配置型”,控制电源关断和连接的开关配置在电源关断对象电路块 1 周围。如图 1 所示,预定数目的包括开关的开关块 2 在电源关断对象电路块 1 周围配置。

[0062] 尽管未在图 1 中示出,环形轨道线以重叠在于电源关断对象电路块 1 周围配置的多个开关块 2 上的方式配置,电源电压 VDD 或参考电压 VSS 施加到该环形轨道线。设置至少一条环形轨道线或优选地设置两条环形轨道线。环形轨道线和开关块 2 之间的配置关系将在下面参考附图进行描述。

[0063] 正如上面所描述的在 MTCMOS 技术中,开关晶体管设置在三种类型的位置,也就是,重复启动及停止的功能电路和实 VDD 线之间的位置,功能电路和实 VSS 线之间的位置,

及以上两种位置。通常,PMOS 晶体管用作 VDD 侧的开关,NMOS 晶体管用作 VSS 线侧的开关。

[0064] 本实施例的开关晶体管可设置在上述三种类型位置的任何一种。然而,考虑到在 VDD 侧和 VSS 侧提供开关晶体管的效果,既在 VDD 侧也在 VSS 侧设置开关晶体管会导致开关晶体管占有面积增大的显著缺点。因此希望开关晶体管设置在 VDD 侧和 VSS 侧之一。此外,NMOS 晶体管具有比 PMOS 晶体管更高的每单位栅极宽度的驱动功率。因此,更希望开关晶体管设置在 VSS 侧。

[0065] 因此,下面的描述假设开关(晶体管)的位置在 VSS 侧。

[0066] 图 2 示出电源关断对象电路块 1 的内部结构实例。

[0067] 在图示的结构实例中,举例来说,电源关断对象电路块 1 的内部分成标准单元配置区 1A 和 RAM 的宏单元区 1B,在标准单元配置区 1A 中通过标准单元实现功能电路。顺便提及,对于本发明的应用,作为电源关断控制对象的“电路块”不需要具有宏,可仅由标准单元配置区 1A 形成。

[0068] 在标准单元配置区 1A 和宏单元区 1B 的行方向和列方向的每个上,被称作所谓“虚拟 VSS 线”的内部电压线 11 彼此平行配置,参考电压 VSS 施加到内部电源线 11。行方向的内部电压线 11 和列方向的内部电压线 11 由高于单元的阶层的配线层形成,并在交叉点互连。

[0069] 另一方面,尽管为了避免复杂性而未示出,被称作所谓“实 VDD 线”且向其施加电源电压 VDD 的电源线和向其施加参考电压 VSS 的电源线类似地以格子(lattice)形式配置。

[0070] 在标准单元配置区 1A 中,多个分支线 11A 以与作为“虚拟 VSS 线”的内部电压线 11 的列方向的主干配线的预定间隔在行方向延伸。此外,在标准单元配置区 1A 中,多个分支线 12A 以与在图 2 中未示出的作为“实 VDD 线”的电源线的列方向的主干配线的预定间隔在行方向延伸。

[0071] 图 2 示出一个处于放大状态的反相器单元 13,该反相器单元 13 代表标准单元。该反相器单元 13 具有形成部分分支线 11A 的 VSS 线段和形成部分分支线 12A 的 VDD 线段。PMOS 晶体管和 NMOS 晶体管彼此串联连接在两个线段之间。PMOS 晶体管和 NMOS 晶体管的栅极均连接至输入信号线。PMOS 晶体管和 NMOS 晶体管间的节点连接至输出信号线。输入信号线和输出信号线由反相器单元 13 和临近单元中的信号线段形成。然而,整个标准单元配置区 1A 的输入和输出线由位于更高阶层的配线层(未示出)形成。

[0072] <轨道配置的第一实例>

[0073] 图 3 示出轨道配置的第一实例。

[0074] 如图 3 所示,配置多个开关块 2 以在电源关断对象电路块 1 的四个边附近围绕电源关断对象电路块 1。在这种情形下,为了方便,对于电源关断对象电路块 1 的各个边,开关块 2 分成上开关块 2U、下开关块 2D、右开关块 2R、和左开关块 2L。上开关块 2U 具有相同的结构;下开关块 2D 具有相同的结构;右开关块 2R 具有相同的结构;和左开关块 2L 具有相同的结构。

[0075] 四种开关块 2U、2D、2R 和 2L 的每种都具有电压线段 21 和在图 3 中未示出的开关。

[0076] 图 3 中由虚线表示电压线段 21。电压线段 21 是形成部分环形轨道线 3 的配线部分,环形轨道线 3 形成为在电源关断对象电路块 1 周围的封闭环形线。

[0077] 在配置配线的设计阶段中,在配置开关后的配线阶段,环形轨道线 3 被设置并连接至开关等。一旦设置并连接环形轨道线 3 后,除电压线段 21 外的构成元件(包括开关)在开关块 2U、2D、2R、或 2L 的单元中移动,且开关等在移动后的位置处连接至环形轨道线 3。顺便提及,在图 3 中,每次移动开关块时,需要改变用于电源关断对象电路块 1 中的内部电压线 11(见图 2)和开关之间的连接配线。然而,免除了改变用以连接环形轨道线 3 到开关的连接配线的麻烦,并相应地易于移动开关。

[0078] 相似地,在插入开关块的情形下,必要数目的开关块被插入必要的位置,以开关块中除电压线段 21 外的构成元件为单位(unit),并且开关等在这些位置连接至环形轨道线 3。

[0079] 相似地,在删除开关的情形下,删除开关,以开关块中除电压线段 21 外的构成元件为单位。

[0080] 即使在插入和删除开关时,也免除了改变用以连接环形轨道线 3 到开关的连接配线的麻烦,并且相应地易于移动开关。

[0081] < 轨道配置的第二实例 >

[0082] 图 4 示出轨道配置的第二实例。

[0083] 作为图 4 所示配置实例与图 3 的第一个差别,除作为“第一环形轨道线”的环形轨道线 3 外还设置了作为“第二环形轨道线”的虚拟环形轨道线 3V。

[0084] 在环形轨道线 3 和电源关断对象电路块 1 之间与环形轨道线 3 平行地设置虚拟环形轨道线 3V。虚拟环形轨道线 3V 连接至电源关断对象电路块 1 中内部电压线 11(见图 2)的预定位置,比如图 2 情形中的内部电压线 11 的每个端部(行方向的三个位置和列方向的四个位置)。

[0085] 在每个开关块 2U、2D、2R 和 2L 中,未在图中示出的开关被连接在环形轨道线 3(电压线段 21)和虚拟环形轨道线 3V 之间(虚拟电压线段 21V)。

[0086] 作为第二个差别,在每个开关块 2U、2D、2R 和 2L 中,设置与作为“第一电压线段”的电压线段 21 平行的作为“第二电压线段”的虚拟电压线 21V。

[0087] 相对于电源关断对象电路块 1 的开关块 2U、2D、2R 和 2L 的其它配置本身与图 3 中的相同。

[0088] 在轨道配置的第二实例中,如同轨道配置的第一实例,仅移动、插入和删除开关块的除电压线段 21 和虚拟电压线段 21V 外的构成元件。免除了改变用以连接环形轨道线 3 到开关的连接配线的麻烦,并且相应地易于移动开关。

[0089] 此外,在轨道配置的第二实例中,举例来说,虚拟环形轨道线 3V 连接至内部电压线 11 的每个端部(行方向的三个位置和列方向的四个位置)。同样免除了改变用以连接虚拟环形轨道线 3V 到开关的连接配线的麻烦而未改变连接的位置,并且相应地易于移动开关。

[0090] 正如已经描述的,在上述的轨道配置的第一实例(图 3)和轨道配置的第二实例(图 4)中,通过仅仅移动、插入或删除不包括上述开关块的电压线段 21(和虚拟电压线段 21V)的构成元件就能够自由地改变开关块的位置和数目。

[0091] 为了实现这样的自由的设计改变,有必要使开关块 2U、2D、2R 和 2L 具有相同的尺寸,并标准化(固定)电压线段 21(和虚拟电压线段 21V)的端边(end side)位置,电压线

段 21 (和虚拟电压线段 21V) 的端边位置位于开关块 2U、2D、2R 和 2L 的块框架的两个相对的侧,且环形轨道线 3 (和虚拟环形轨道线 3V) 横跨该相对的侧。

[0092] 顺便提及,当没有标准化端边位置时,在开关块的除电压线段 21 (和虚拟电压线段 21V) 外的构成元件沿着环形轨道线 3 (和虚拟轨道线 3V) 移动、插入或删除后,需要纠正环形轨道线 3 (和虚拟环形轨道线 3V) 的图案以使得在临近的开关块间端边位置彼此连接。然而,这样的工作是连接端边位置的简单操作,并因而能自动化。因此,在配置开关后,与手动地再次进行使用位于另一阶层的配线层将开关连接至设置在开关外部的环形线的的连接配线的情形相比,开关配置的改变更加容易。

[0093] < 开关控制线 >

[0094] 尽管未在图 3 和图 4 中示出,根据同时控制的开关组的数目可配置多个开关控制线。

[0095] 图 5 是示出两条控制线配置的实例的示意图。在这种情形下,采用轨道配置的第二实例 (图 4) 作为环形轨道线。

[0096] 举例来说,图 5 所示的控制电路 34 设置在如图 1 的激励电路块 32 或未应用电路块 33 的 MTCMOS 未应用电路块中。因此,在半导体集成电路启动之后,当提供电源时控制电路 34 能一直运行。自控制电路 34 的控制线 35 依次通至上开关块 2U、左开关块 2L、下开关块 2D、和右开关块 2R,并依次施加控制信号。在每个开关块中,控制信号控制开关的导通和非导通。

[0097] 顺便提及,在图 5 所示的结构中,在环形轨道线 3 的预定位置设置有实 VSS 配线的分支以可用作对于图 6 所示的没有环形轨道线的结构的置换 (replacement)。

[0098] 在没有应用本发明的图 6 所示的外部 SW 配置结构中,以格子形式设置的全局实 VSS 配线 5 的段经由开关块 SB 连接至电源关断对象电路块 1。

[0099] 图 5 所示的环形轨道线 3 在行方向的两个位置和列方向的四个位置连接到以格子形式配置的实 VSS 配线 5。

[0100] 另一方面,虚拟环形轨道线 3V 在行方向的六个位置和列方向的八个位置连接到电源关断对象电路块 1。

[0101] 当开关块 2U、2D、2R 或 2L 移动、插入或删除时,这些连接位置根本不需要改变。

[0102] 接着将参考附图描述由两条控制线 35 执行开关控制的实例中的更详细的开关结构。

[0103] < 开关结构实例 >

[0104] 图 7 是示意性地示出在向其施加参考电压 VSS (比如 0[V]) 的电压线段 21 和保持在虚拟参考电压 VSSV 的虚拟电压线段之间的开关晶体管的配置。

[0105] 在图 7 中,三条分支线 21B 设置到电压线段 21,并且三条分支线 21VB 设置到虚拟电压线段 21V。分支线 21B 和分支线 21VB 彼此交替地配置。四个开关晶体管 SWT 在一条分支线 21B 和一条与该分支线 21B 相邻的分支线 21VB 之间彼此并行地 (in parallel) 连接。设置五段这样的开关晶体管串 (string),并以矩阵形式配置总数为 $4 \times 5 = 20$ 的开关晶体管 SWT。

[0106] 图 7 中未示出的一条控制线控制 20 个开关晶体管 SWT 的每段中的一个开关晶体管或总数为五个的开关晶体管 SWT 的导通和非导通。五个开关晶体管 SWT 的电路标志部分

(circuit symbol part) 在图 7 中以暗的网格示出。未设置网格的其它 15 个开关晶体管 SWT 由另一条控制线同时控制。

[0107] 从而,当电源供给开始从其中到电源关断对象电路块 1(见图 1 到 5) 被关断的停止状态恢复到运行状态时,为了抑制由突然开关导致的电压线段 21(环形轨道线 3) 的电势变化,部分开关和其余的开关被彼此分离地控制。从而,执行控制使得小数目的开关晶体管 SWT 或本情形中的五个开关晶体管 SWT 首先被打开以通过相对高的接激励阻 (on resistance) 将虚拟电压线段 21V(电源关断对象电路块 1 中的内部电压线段 11) 的电势降低到一定程度,并当虚拟电压线段 21V 的电势稳定时,打开其余 15 个开关晶体管 SWT。因此,从环形轨道线 3 传输至实 VSS 配线 5 的参考电压 VSS 的电势上升(电源噪声)峰值被抑制到不影响一直运行的其它电路的水平。

[0108] 图 8A 到 9B 示出实际开关块中的配置实例。就与图 3 和图 4 对应而言,图 8A 示出上开关块 2U,图 8B 示出下开关块 2D,图 9A 示出左开关块 2L,而图 9B 示出右开关块 2R。

[0109] 四种开关块 2U、2D、2R 和 2L 具有相同的尺寸。在这种情形下,块框架的边(后面称作连接边)即图 8A 中的边 LU1 和 LU2,图 8B 中的边 LD1 和 LD2,图 9A 中的边 LL1 和 LL2,和图 9B 中的边 LR1 和 LR2 被设定为相同的长度,在这些边参考电压 VSS、虚拟参考电压 VSSV、和控制信号被输入和输出。此外,电压线段 21、虚拟电压线段 21V、第一开关控制线 35_1、和第二开关控制线 35_2 的各个端边在任一连接边的相同位置被标准化。

[0110] 在这种情形下,第一开关控制线 35_1 控制如图 7 中首先被控制的数个开关晶体管 SWT,第二开关控制线 35_2 控制其余数个开关晶体管 SWT。

[0111] 不同于图 7,图 8A 和 8B 以及图 9A 和 9B 所示的开关块 2U、2D、2R 和 2L 具有以这样的方式彼此并行配置的电压线段 21 和虚拟电压线段 21V,以重叠在由虚线包围的开关配置区上。这提供了减少块占有面积的好处。然而,也能采用如图 7 中电压线段 21 和虚拟电压线段 21V 不重叠在开关配置区上的配置。

[0112] 当电压线段 21 和虚拟电压线段 21V 以这样的方式彼此并行配置以重叠在开关配置区上时,第一开关控制线 35_1 和第二开关控制线 35_2 可不配置在具有有限层数的多层配线结构的开关配置区。因此,本实例中,第一开关控制线 35_1 和第二开关控制线 35_2 被设置在与电源关断对象电路块 1 相对的外侧的开关配置区的外部。

[0113] 图 9A 和 9B 所示的左开关块 2L 和右开关块 2R 具有在 X 方向(图的水平方向)的六个如图 7 所示的开关单元,和在 Y 方向(图的垂直方向)的六个如图 7 所示的开关单元,也就是,在其中配置了总数为 36 的开关单元。

[0114] 另一方面,虽然图 8A 和 8B 所示的上开关块 2U 和下开关块 2D 具有总数为 36 的开关单元,该数目与图 9A 和 9B 所示的相同,但是上开关块 2U 和下开关块 2D 在 X 方向配置 12 个开关单元并在 Y 方向配置 3 个开关块。

[0115] 原因是与 X 方向相比,开关单元在 Y 方向具有大的尺寸,并且为了满足使栅极电极的长度方向与图 8A 和 8B 以及图 9A 和 9B 中的 Y 方向对应的要求,所以包含在相同尺寸的开关块的开关配置区的纵横比被调整至开关块的纵向尺寸和横向尺寸,图 8A 和 8B 以及图 9A 和 9B 中的开关块的纵向和横向尺寸被相互交换。

[0116] 在图 9A 和 9B 的情形下,电压线段 21 和虚拟电压线段 21V 的每个都与所有的分支线 21B 和 21VB 交叉。从而,电压线段 21 可经由接触被连接至在下层的所有分支线 21B 和

21VB, 并且虚拟电压线段 21V 可经由接触被连接至在下层的所有分支线 21B 和 21VB。

[0117] 另一方面, 在图 8A 和 8B 的情形下, 电压线段 21 和虚拟电压线段 21V 不与向其提供接触的所有下层配线 (分支线 21B 和 21VB) 交叉。从而, 如图 8A 和 8B 所示, 在上开关块 2U 和下开关块 2D 中, 在从电压线段 21 到分支线 21B 的通道路径 (access path) 中需要设置与电压线段 21 和分支线 21B 垂直的通道分支线 (access branch line) 21Ba。通道分支线 21Ba 由比电压线段 21 低和比分支线 21B 高的配线层形成。从而, 采用两段分支结构, 在该结构中电压线段 21 的分支线是通道分支线 21Ba, 并且进一步地, 分支线 21B 从通道分支线 21Ba 分叉。

[0118] 相似地, 采用两段分支结构, 在该结构中, 垂直于虚拟电压线段 21V 的通道分支线 21VBa 从虚拟电压线段 21V 分叉, 并且进一步地, 与通道分支线 21VBa 垂直的分支线 21VB 从通道分支线 21VBa 分叉。

[0119] 在图 8A 和 8B 以及图 9A 和 9B 中, 由第一控制线 35_1 控制的开关晶体管 SWT 的总的栅极宽度 (在长度方向的总长度) 被设定为相同。相似地, 在图 8A 和 8B 以及图 9A 和 9B 中, 由第二控制线 35_2 控制的开关晶体管 SWT 的总的栅极宽度被设定为相同。

[0120] 在开关配置区与电路块 1 的相对侧 (外侧), 每个开关块 2U、2D、2R 和 2L 具有设置在第一控制线 35_1 的中间点的缓冲电路 BUF1 和设置在第二控制线 35_2 的中间点的缓冲电路 BUF2。

[0121] 缓冲电路 BUF1 和 BUF2 连接至图中未示出的实 VDD 线和电压线段 21, 以由此执行将传输过程中衰减的控制信号的波形整形 (shaping) 成为具有电源电压 VDD 的振幅的脉冲信号的波形。从而, 由虚线表示的缓冲电路配置区设置在开关配置区的外部。

[0122] 用以开关控制的配线从缓冲电路 BUF1 和 BUF2 的每个输出延伸至开关配置区, 并连接至相应的开关晶体管组的栅极。

[0123] 顺便提及, 该配线和第一开关控制线 35_1 及第二开关控制线 35_2 在图 8A 和 8B 以及图 9A 和 9B 中以线表示, 但实际是由具有与电压线段 21 等的宽度类似的宽度的配线层形成。

[0124] 开关块中第一开关控制线 35_1 和第二开关控制线 35_2 的每个都包括: “第一控制线段”, 设置在相应的缓冲电路 BUF1 或 BUF2 的输入侧, 并且控制信号输入到该“该第一控制线段”; 和“第二控制线段”, 设置在相应的缓冲电路 BUF1 或 BUF2 的输出侧, 并输出波形整形的控制信号。

[0125] < 配线结构 >

[0126] 图 10 示出在多层配线结构中使用各个阶层的配线层的实例。在这种情形下, 每段配线使用从多层配线结构中的底层依次层叠的第一阶层的配线层 (第一配线层 (1M)) 到第七阶层的配线层 (第七配线层 (7M)) 形成。

[0127] 具体地说, 在电源关断对象电路块 1 中的如反相器单元 13 (图 2) 等的标准单元 15 间的配线由第一配线层 (1M) 到第四配线层 (4M) 形成。从某个标准单元 15 通向外部的信号线也由第一配线层 (1M) 到第四配线层 (4M) 形成。

[0128] 在环形轨道线 3 的列方向的配线 3C 由第五配线层 (5M) 形成。在环形轨道线 3 的行方向的配线 3R 由比第五配线层 (5M) 高一个阶层的第六配线层 (6M) 形成, 并被连接至列方向的配线 3C 的两端。

[0129] 相似地,在虚拟环形轨道线 3V 的列方向的配线 3VC 由第五配线层 (5M) 形成。在虚拟环形轨道线 3V 的行方向的配线 3VR 由比第五配线层 (5M) 高一个阶层的第六配线层 (6M) 形成,并被连接至列方向的配线 3VC 的两端。

[0130] 在内部电压线 11 的行方向的配线 11R 由比第五配线层 (5M) 高一个阶层的第六配线层 (6M) 形成,以连接至虚拟环形轨道线 3V 的列方向的配线 3VC,配线 3VC 由第五配线层 (5M) 形成。此外,内部电压线 11 行方向的配线 11R 在配线 11R 和配线 11C 的交叉点被连接至内部电压线 11 列方向的配线 11C,配线 11R 由第六配线层 (6M) 形成的,配线 11C 由比第六配线层 (6M) 高一个阶层的第七配线层 (7M) 形成。

[0131] 顺便提及,实 VSS 配线 5 也由第七配线层 (7M) 形成。

[0132] 从而,通过由比行方向的配线低一个阶层的配线来形成列方向的配线并应用这个规则就能很好地获得配线间连接。

[0133] 在上面的描述中,开关单元的模式是任意的且没有提及。然而,接着将描述具有双轴对称模式的开关单元作为希望的具体实例。

[0134] 图 11 是一个开关单元的示意性布局图。顺便提及,图 11 中的图案尺寸等与实际开关晶体管的尺寸不相等,并且图 11 只是示意性地示出粗略的配置和模式的连接关系。

[0135] 通过将一个 NMOS 晶体管转换成标准单元以形成图 11 所示的开关单元 20N。开关单元 20N 具有对于穿过单元中心的 X 轴和 Y 轴的每个都对称的结构。这种对称被称作“双轴对称”。

[0136] 图 11 所示的开关单元 20N 的整个区域形成部分 P 阱。

[0137] 形成沿 X 轴穿过单元中心的栅极电极耦合部分 (coupling part) 21C。以 Y 轴作为边界,耦合部分 21C 自单元中心的长度相同 (对称)。也就是,耦合部分 21C 具有双轴对称模式。

[0138] 在耦合部分 21C 宽度方向的一侧,长度相同的四个栅极电极 21A 从耦合部分 21C 延伸;在耦合部分 21C 宽度方向的另一侧,长度相同的四个栅极电极 21B 从耦合部分 21C 延伸。在 X 轴方向四个栅极电极 21A 以相等的间隔配置。相似的,在 X 轴方向四个栅极电极 21B 以相等的间隔配置。由于栅极电极 21A 和栅极电极 21B 具有相同的长度和相同的厚度,所以栅极电极 21A 和栅极电极 21B 关于 Y 轴对称。由于栅极电极 21A 和 21B 从耦合部分 21C 的相同位置分叉,所以栅极电极 21A 和 21B 关于 X 轴对称。耦合部分 21C 及栅极电极 21A 和 21B 通过处理相同的导电材料而彼此一体地形成。

[0139] 距 X 轴在相等的距离处,在 P 阱中形成两个尺寸相同的 N 型有源区 22A 和 22B。在 N 型有源区 22A 与四个栅极电极 21A 交叉的位置中形成 N 型有源区 22A。在 N 型有源区 22B 与四个栅极电极 21B 交叉的位置中形成 N 型有源区 22B。在栅极电极 21A 和 21B 形成之后,以栅极电极 21A 和 21B 作为掩模,通过选择性地向 P 阱引入 N 型杂质而形成 N 型有源区 22A 和 22B。

[0140] 通过栅极电极的部分将 N 型有源区 22A 和 22B 的每个分成五个区域,交替地用作源极 (S) 和漏极 (D)。

[0141] 因此,形成了具有双轴对称的基本结构,该结构包括:第一单位晶体管 (TR1),具有分割 N 型有源区 22A 的部分作为沟道;和第二单位晶体管 (TR2),具有分割 N 型有源区 22B 的部分作为沟道。

[0142] 在设置第一单位晶体管 (TR1) 的区域中, 设置由第二配线层 (2M) 形成的电压单元线 23A 以与四个栅极电极 21A 垂直。相似地, 在设置第二单位晶体管 (TR2) 的区域中, 设置由第二配线层 (2M) 形成的电压单元线 23B 以与四个栅极电极 21B 垂直。

[0143] 两条电压单元线 23A 和 23B 的每个都是单元内部线, 通过在高于电压单元线 23A 和 23B 的层中的虚拟电压线段 21V (见图 7) 电连接至电路块 1 中的内部电压线 11 (见图 2)。也就是, 就与图 7 对应而言, 图 11 中的两条电压单元线 23A 和 23B 与图 7 中的一条分支线 21VB 对应。

[0144] 在 N 型有源区 22A 和 22B 的每个中设置经由第一接触 (1C) 连接至两个各自的漏极 (D) 的两条漏极线 28。在 N 型有源区 22A 和 22B 的每个中的两条漏极线 28 或总数为四条的漏极线 28 由第一配线层 (1M) 形成。

[0145] 经由第二接触 (2C) 电压单元线 23A 连接至在 N 型有源区 22A 上的两条漏极线 28。相似地, 经由第二接触 (2C) 电压单元线 23B 连接至在 N 型有源区 22B 上的两条漏极线 28。

[0146] 两条电压单元线 23A 和 23B 彼此平行, 并自 X 轴在相等的距离处配置。

[0147] 在四个栅极电极 21A 的顶侧 (tip side) 设置与电压单元线 23A 平行的电源单元线 24A。相似地, 在四个栅极电极 21B 的顶侧配置与电压单元线 23B 平行的电源单元线 24B。

[0148] 电源单元线 24A 和 24B 的每个都是单元内部线, 电连接至在高于电源单元线 24A 和 24B 的层中的实 VDD 线 (图 7 中的电压线段 21)。也就是, 就与图 7 对应而言, 图 11 中的两条电源单元线 24A 和 24B 与图 7 中的一条分支线 21B 对应。

[0149] 两条电源单元线 24A 和 24B 的每个都包括: 配线区 24d, 与未在图中示出的 P 型有源区等同时形成; 第一衬里配线 (lining wiring) 24m1, 由第一配线层 (1M) 形成; 和第二衬里配线 24m2, 由第二配线层 (2M) 形成。

[0150] 在两个电源单元线 24A 和 24B 的每个中, 由间隔相等的第一接触 (1C) 将配线区 24d 和第一衬里配线 24m1 短路, 并由间隔相等的第二接触 (2C) 将第一衬里配线 24m1 和第二衬里配线 24m2 短路。

[0151] 形成电源单元线 24A 的第一衬里配线 24m1 与在 N 型有源区 22A 的两个源极 (S) 侧延伸的两条源极线 24S 一体地形成。相似地, 形成电源单元线 24B 的第一衬里配线 24m1 与在 N 型有源区 22B 的两个源极 (S) 侧延伸的两条源极线 24S 一体地形成。

[0152] 经由第一接触 (1C) 源极 (S) 连接至源极线 24S。

[0153] 在这种情形下, 可省略首先描述的栅极电极耦合部分 21C, 并可由四个接触垫部分替代。

[0154] 在任何情形下, 总体上, 由与 Y 轴平行的栅极电极 21A 和 21B 形成的四个栅极电极由高于栅极电极的配线层短路。短路栅极电极的单元内部配线将被称作“控制单元线”。

[0155] 通过在由第一配线层 (1M) 形成的第一控制单元线 26 上叠加由第二配线层 (2M) 形成的第二控制单元线 27, 以形成本实例中的控制单元线 25。耦合部分 21C (或四个接触垫部分) 和第一控制单元线 26 通过第一接触 (1C) 彼此连接。第一控制单元线 26 和第二控制单元线 27 通过第二接触 (2C) 彼此连接。

[0156] 控制单元线 25 沿 X 轴配置, 并且控制单元线 25 的宽度方向和长度方向的中心与单元的中心一致。

[0157] 从而, 控制单元线 25 与两条电压单元线 23A 和 23B 及两条电源单元线 24A 和 24B

并行设置。

[0158] 图 12 示出 PMOS 晶体管的开关单元 20P。

[0159] 图 12 所示的开关单元 20P 与图 11 的开关单元 20N 的区别在于：整个开关单元 20P 形成在 N 阱中，并且形成在 N 阱中的第一单位晶体管 (TR1) 和第二单位晶体管 (TR2) 的有源区是 P 型有源区 22AP 和 22BP。其余结构与图 11 中相同。因此，对于其余结构提供了相同的附图标记，并将其描述省略。

[0160] 图 13A 和 13B 是使用了图 11 中 NMOS 晶体管构造的开关单元 20N 的上开关块 2U 和下开关块 2D 的结构图。图 14A 和 14B 是类似地使用了开关单元 20N 的左开关块 2L 和右开关块 2R 的结构图。

[0161] 图 13A 和 13B 及图 14A 和 14B，与图 8A 和 8B 及图 9A 和 9B 的比较显示：对应于 8A 和 8B 及图 9A 和 9B 中的分支线 21B 的电源单元线 24AB 以两倍于分支线 21B 的密度形成，并且对应于图 8A 和 8B 及图 9A 和 9B 中的分支线 21VB 的电压单元线 23A 和 23B 以两倍于分支线 21VB 的密度形成。在这种情形下，电源单元线 24AB 由图 11 中的电源单元线 24A 和在 Y 方向相邻的另一单元的电源单元线 24B 共用。

[0162] 其余结构是共同的，因此将省略其描述。

[0163] 尽管未在图 13A 和 13B 及图 14A 和 14B 中示出，多层配线结构被用来在预定的位置将预定数目的开关单元 20N 连接至第一开关控制线 35_1 和第二开关控制线 35_2 的每个。当配线层的数目增加，开关控制线可关于块中心对称配置。然而，不希望使配线结构复杂化并从而只为此目的增加制作成本。此外，在本实例中，由设置缓冲电路 BUF1 和 BUF2 的需要，有必要关于电路块的中心非对称地配置第一开关控制线 35_1 和第二开关控制线 35_2。

[0164] 接着，将描述当开关控制线关于块中心不对称配置时开关单元的对称配线结构的优点。

[0165] 首先，作为第一个优点，将描述易于开关块的设计。

[0166] 本实施例中的优选开关配置配线方法（开关块设计方法）将按照下面的利用开关单元 20N 的布局对称性的步骤进行。

[0167] 第一步：配置晶体管，并关于穿过单元中心的 X 轴和 Y 轴的每个对称配置下列各项并将其连接至晶体管：电连接至内部电压线 11 的两条电压单元线 23A 和 23B 的每个；电连接至第二电源线的两条电源单元线 24A 和 24B（或两条共用电源单元线 24AB），电源电压 VDD（在开关单元 20P 的情形下）或参考电压 VSS（在开关单元 20N 的情形下）施加到该第二电源线；电连接至开关控制线 29A 到 29C 的控制单元线 25。从而，形成开关单元 20N 或 20P（或其两者）。

[0168] 第二步：以矩阵形式配置形成的开关单元 20N 或 20P（或其两者）。预定的开关单元 20N 或 20P（或其两者）被连接至多个开关控制线 29A 到 29C 的每个。从而形成开关块 20。

[0169] 第三步：开关块 2 上的生成数据在平行于 X 轴或 Y 轴的线上镜像反转，或者在单元中心旋转 180 度（反转 180 度）。从而形成反转的开关块。

[0170] 第四步：在设置的开关块和反转的开关块之间连接多个开关控制线 29A 到 29C 和第二电源线。电压单元线 23A 和 23B 连接至电路块 1 的内部电压线 11。

[0171] 使描述更具体些，尽管该描述是重复的，控制单元线 25、电压单元线 23A 和 23B 及

电源单元线 24A 和 24B (或两条电源单元线 24AB) 关于 X 轴和 Y 轴的每个对称。从而,即使当开关单元 20N 以沿 X 轴或 Y 轴的线作为反转轴被镜像反转或在单元中心旋转 180 度时,上述的五条单元线间位置关系仍保持原始状态。

[0172] 在图 5 所示的甚至晶体管双轴对称配置的情形中,具体地,甚至在如图 4 的直到开关控制线的设计阶段,某个开关块 2 的整个被镜像反转或旋转 180 度时,举例来说,在以在矩阵形式的开关单元组中的图 11 所示的每个开关单元 20N 的基本图案也根本不改变。在块中不是对称配置并由第三配线层 (3M) 或更高的配线层形成的开关控制线 29A 到 29C 及其连接线发生改变。

[0173] 当第一开关控制线 35_1 和第二开关控制线 35_2 的每个从电路块 1 的距离相同时,易于块间配线。此外,通常会有这样的限制,为了特性均匀化要求集成电路中的晶体管的栅极取向 (长度方向) 相同。在这种情形下,配置在电路块 1 四个边的开关块对于每个边具有不同的图案。

[0174] 然而,当使用图 11 所示的开关单元时,在该开关单元中五条单元线,也就是,电压单元线 23A 和 24B、电源单元线 24A 和 24B、和控制单元线 25 具有双轴对称性,通过具有上述第一到第五步骤的工序的方法能够容易地设计开关块。

[0175] 利用由于镜像反转或 180 度旋转五条单元线间关系不改变而高于单元线的层中的配线改变的事实,在第一和第二步骤中设计了要设置在电路块 1 两个相对边的一个边的一个开关块 2 后,设计后的开关块 2 的数据在平行于该两个相对边的线上镜像反转或被旋转 180 度。从而,能容易地产生要设置在另一边的另一个开关块 2 的数据 (第三步)。

[0176] 相似地,对于其余两个边,在第一和第二步骤中,设计要设置在两边之一上的开关块 2 后,设计后的数据被镜像反转或旋转 180 度 (第三步骤)。从而,能容易地产生要设置在另一边的开关块 2 的数据。

[0177] 在如此产生的四种开关块 (2U、2D、2L、和 2R) 中的开关控制线 29A 到 29C 的每个都具有到电路块 1 相同的距离。因此,在第四步中易于连接块间的开关控制线。此外,也适用于块间其它要连接的配线。

[0178] 接着将描述开关单元设计本身的容易性。

[0179] 即使当晶体管图案具有如图 11 和 12 所示的双轴对称性和五条单元线的对称性时,设计由 X 轴和 Y 轴分成的第一到第四象限的一个的图案 (后面将该图案称作四分之一分割图案),并随后仅仅通过复制设计后的图案数据并在执行镜像反转或镜像反转和 180 度旋转的结合的同时粘贴该图案数据,而形成其余三个四分之一分割图案。从而,完成开关单元的设计。

[0180] 从而,能非常容易地设计开关单元。此外,当进行高密度设计,以使在四分之一分割图案的第一设计阶段能确保最大的栅极宽度时,能无浪费地设计开关单元。

[0181] 根据本实施例,得到以下的好处。

[0182] 在电源关断对象电路块 1 周围配置的多个开关块具有开关和作为部分环形轨道线的电压线段,电源电压或参考电压施加到该环形轨道线。所以,可以说,在电压线段和开关间的位置关系固定的状态中,开关段仅仅通过移动、插入或删除开关块就可以沿环形轨道线自由地移动、新插入或容易地删除。

[0183] 具体地,如图 15 所示,配置多个开关块,以使当从电路块 1 四边的每个看时,向电

源关断对象电路块 1 供给电源电压或参考电压的配线（在本实施例的描述中，具体地指实 VSS 配线 5 和环形轨道线 3）的阻抗越低，开关块的数目就越高。

[0184] 在图 15 中，粗箭头指示的边的阻抗低于细箭头指示的边的阻抗。也就是，因为图 1 所示的输入 - 输出单元 40 配置在粗箭头的边上，所以外部参考电压为接近 0[V] 的值。另一方面，因为另一个一直运行的电路块（比如激励电路块 32）设置在细箭头指示的边上，所以实 VSS 线的时间平均电势高于 0[V]。

[0185] 在这样的情形下，当在参考电压固定为 0[V] 的边上设置许多开关块时，在相同的导通时间内能更高效地进行内部电压线 11 的放电。另一方面，当在参考电压高于 0[V] 的边上设置许多的开关时，为了获得相同的放电效果就需要增加开关块的数目，从而导致了浪费。

[0186] 本实施例具有使这样的高效开关块配置变得容易的效果。

[0187] 具体地，在后半段设计中确定功率消耗时能预作安排，并且与已有的情形相比能降低使用的开关块的数目。当通过降低开关块的数目使开关晶体管的总栅极宽度减小时，漏电流就会相应地减小，从而取得功率减小的效果。此外，由于在输入 - 输出单元 40 侧没有运行电路块，所以由放电导致电源噪声的效应就小，并能抑制对其它电路块运行速度的不利影响。

[0188] 此外，由于能够设置向其施加电源电压或参考电压的环形线以叠加在开关上，所以取得了面积减小的显著效果。

[0189] 此外，当使用具有双轴对称图案的开关单元时，就获得了上述的第一优点（开关块设计的容易性）和第二个优点（开关单元设计本身的容易性）。

[0190] 本领域的技术人员应该了解，根据设计需要及其它因素，在权利要求及其等同特征的范围内，可进行各种修改、结合、部分结合和变化。

[0191] 本发明包含 2007 年 9 月 18 日在日本专利局递交的日本专利申请 JP2007-241517 所涉及的主题，将其全部内容引用结合于此。

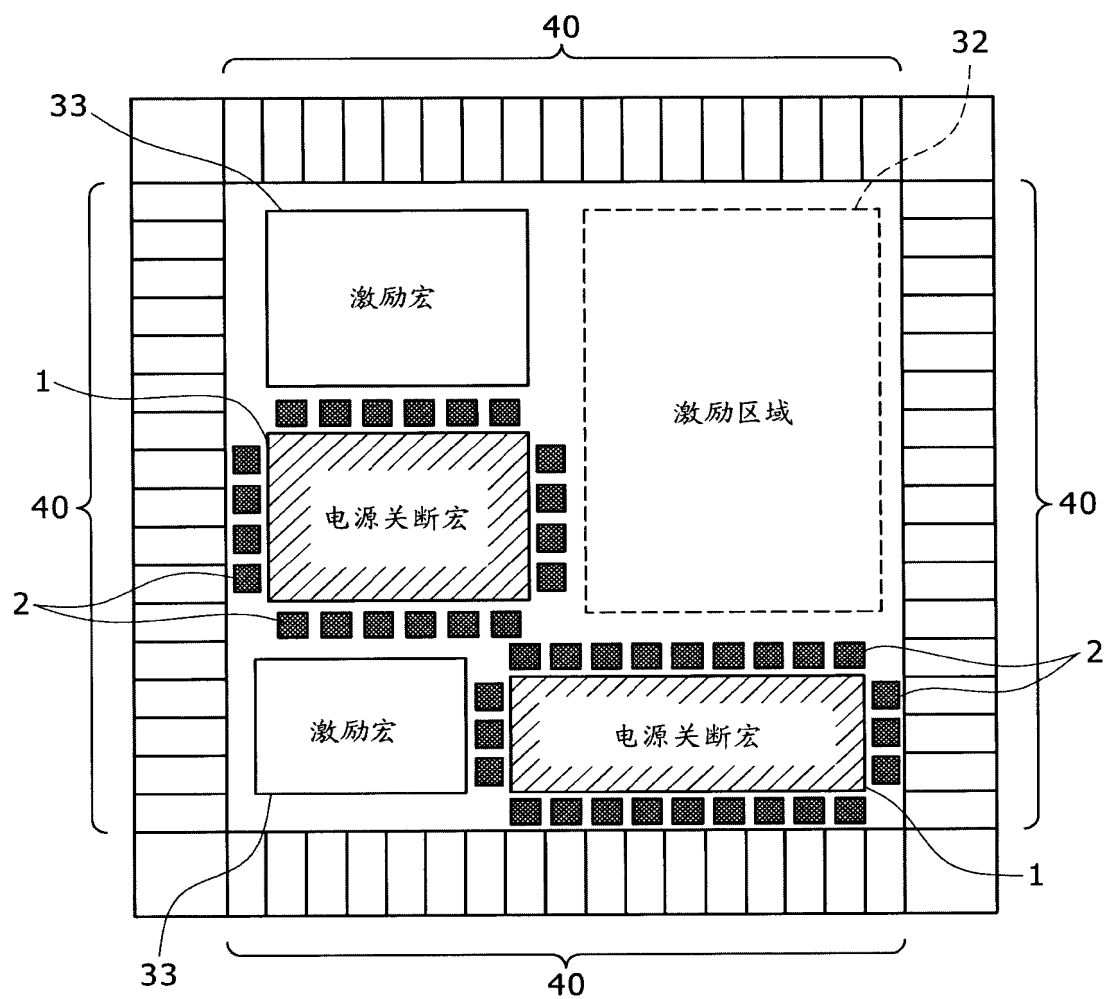


图 1

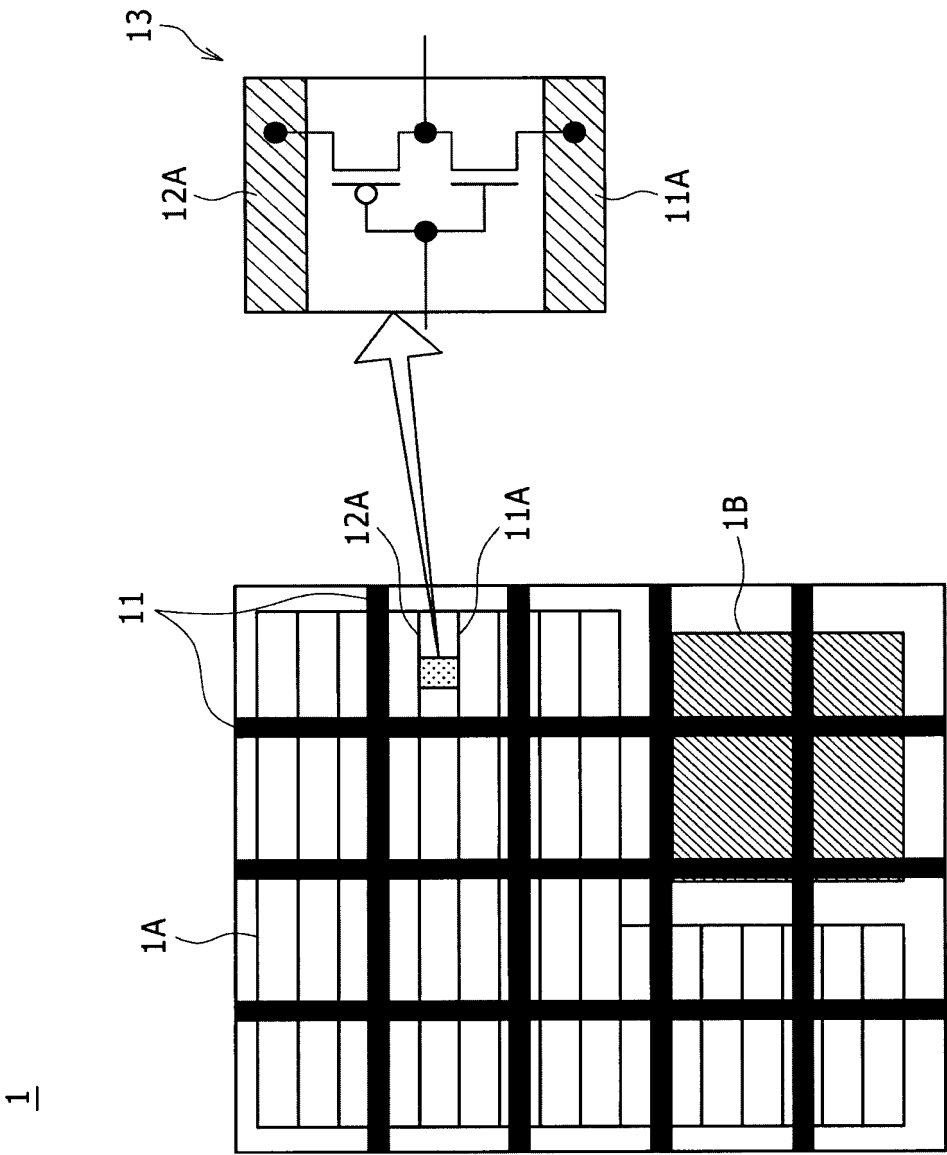


图 2

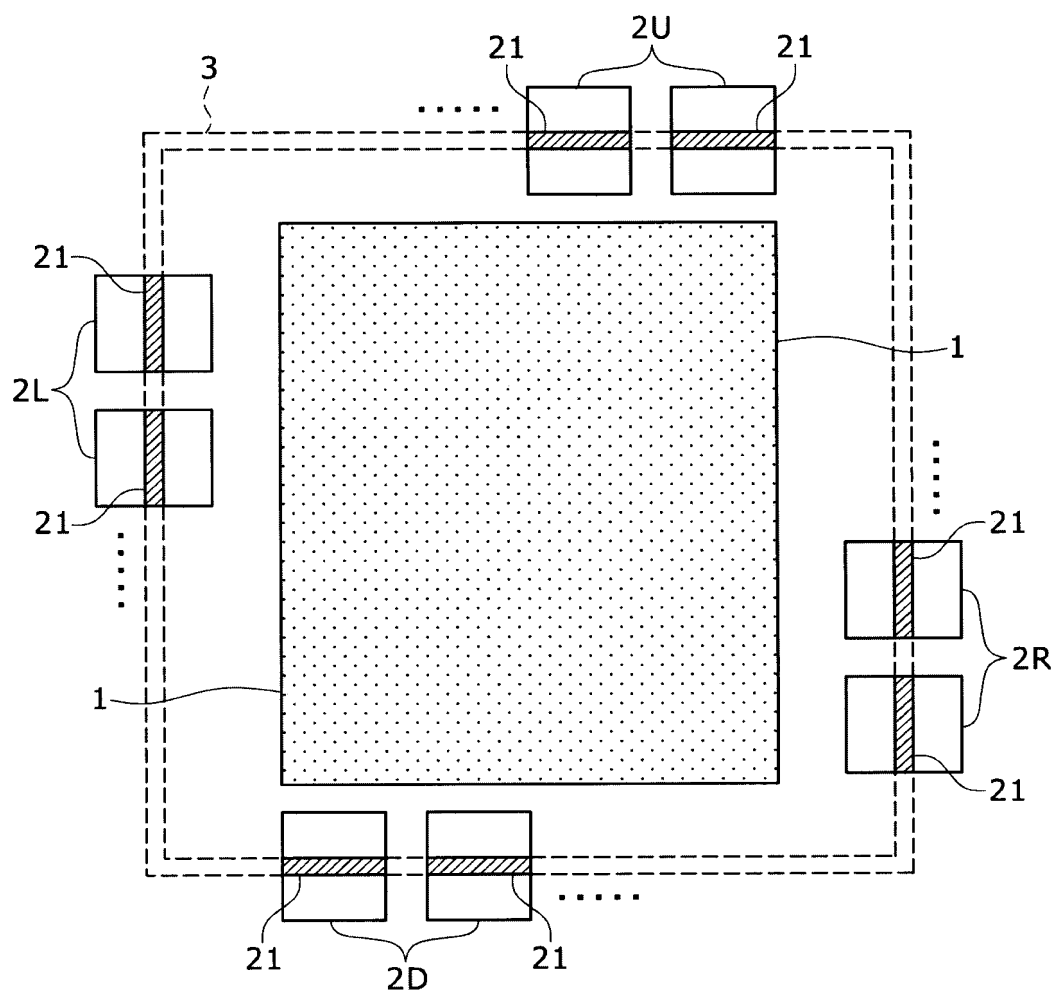


图 3

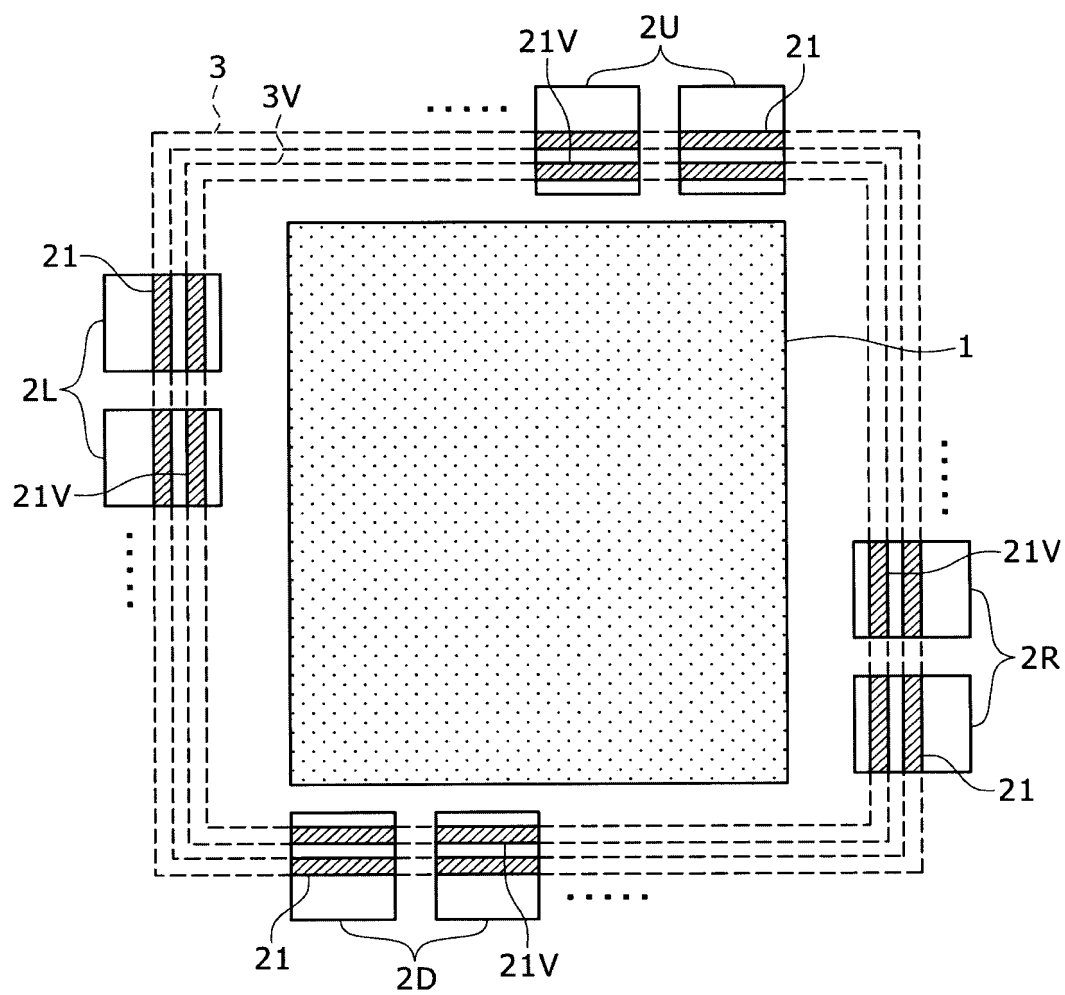


图 4

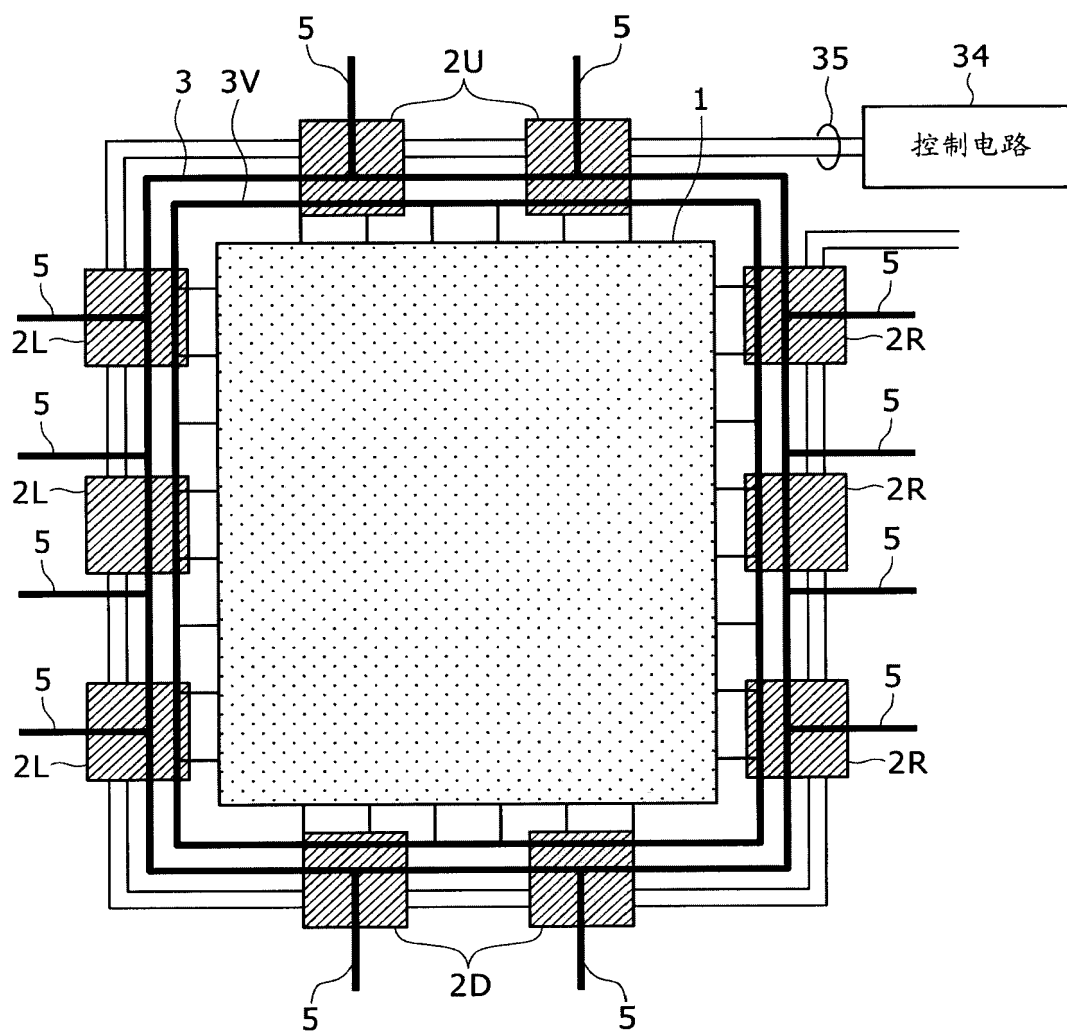


图 5

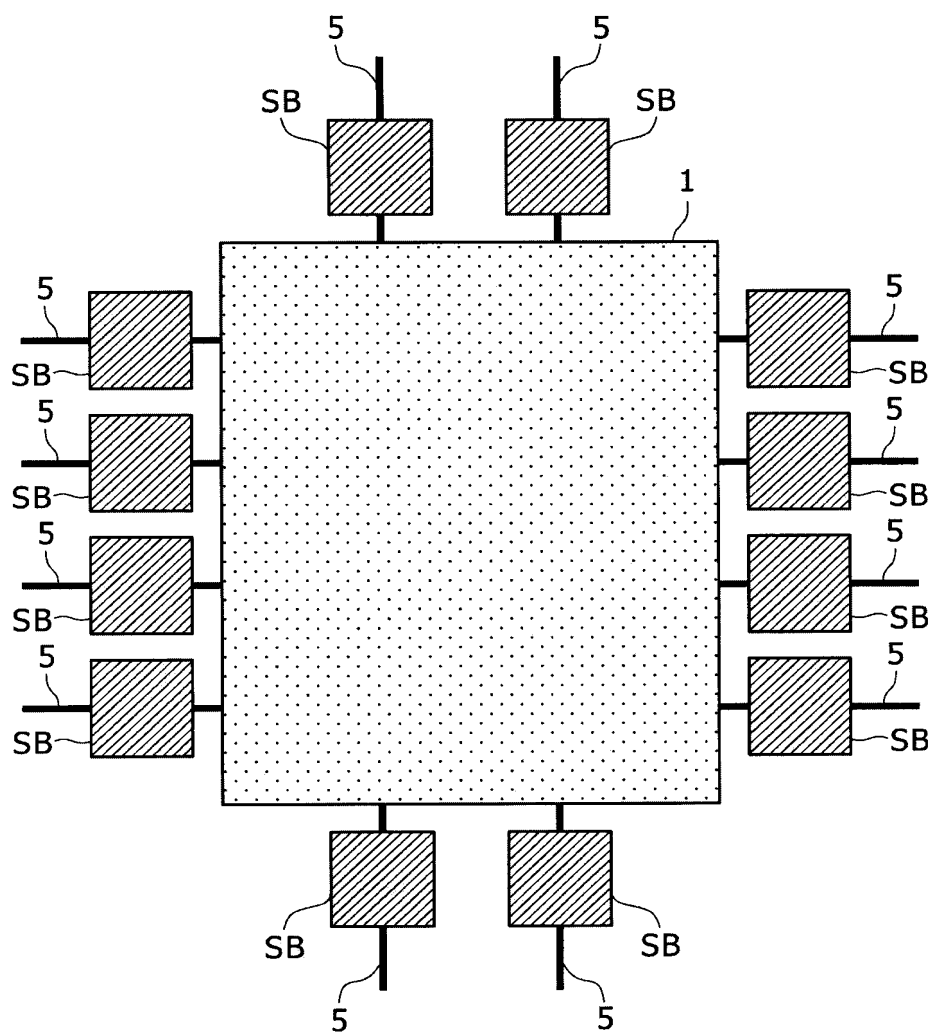


图 6

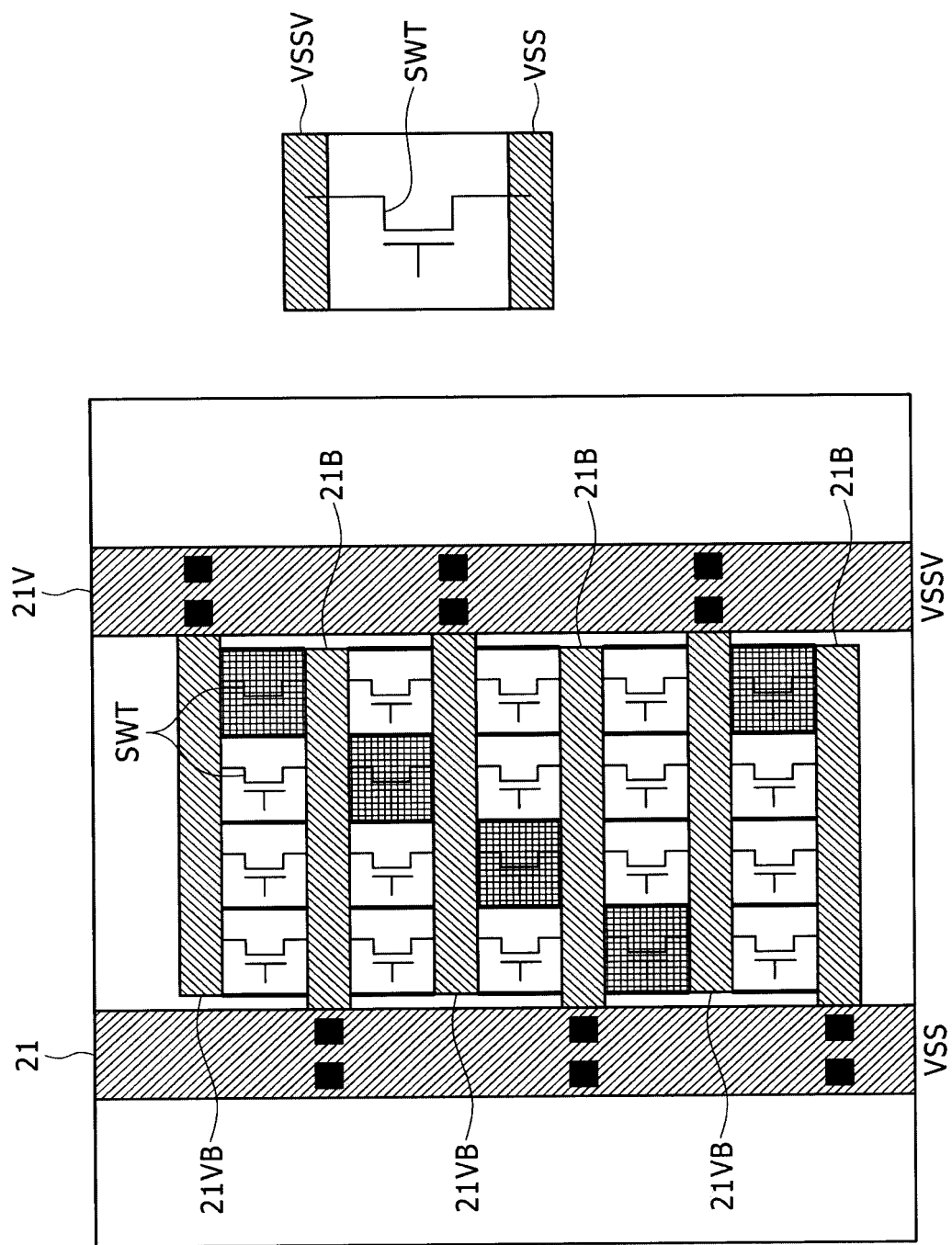


图 7

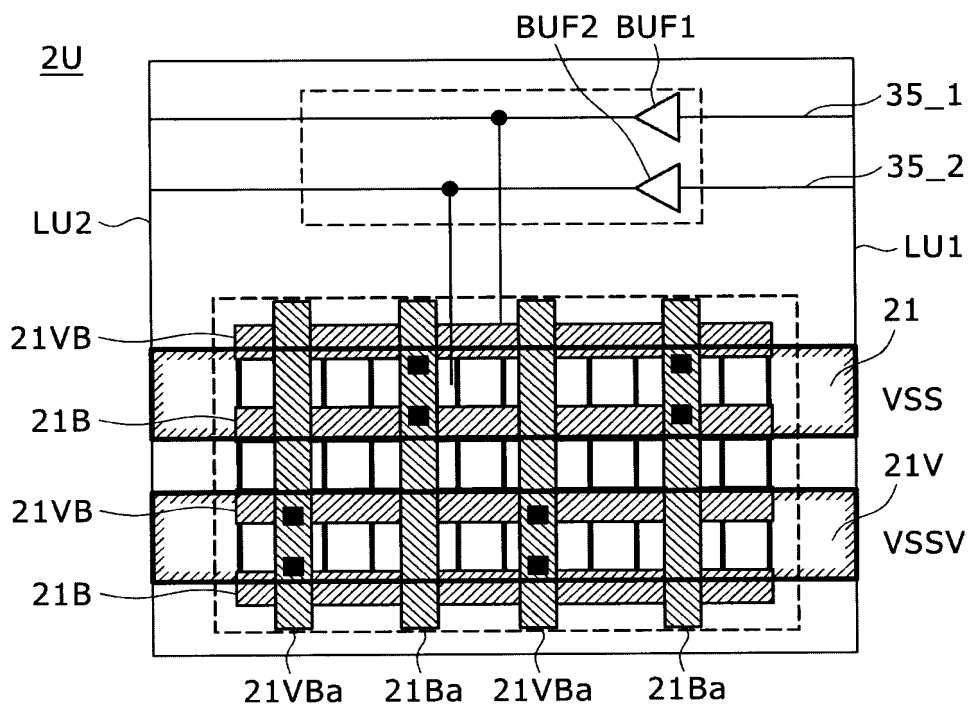


图 8A

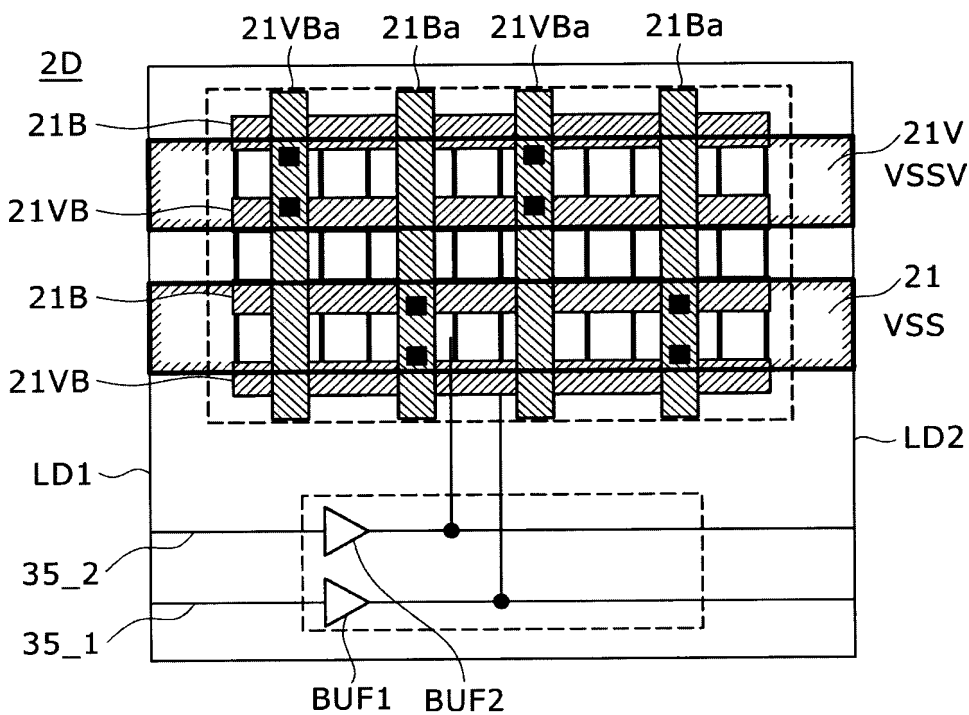
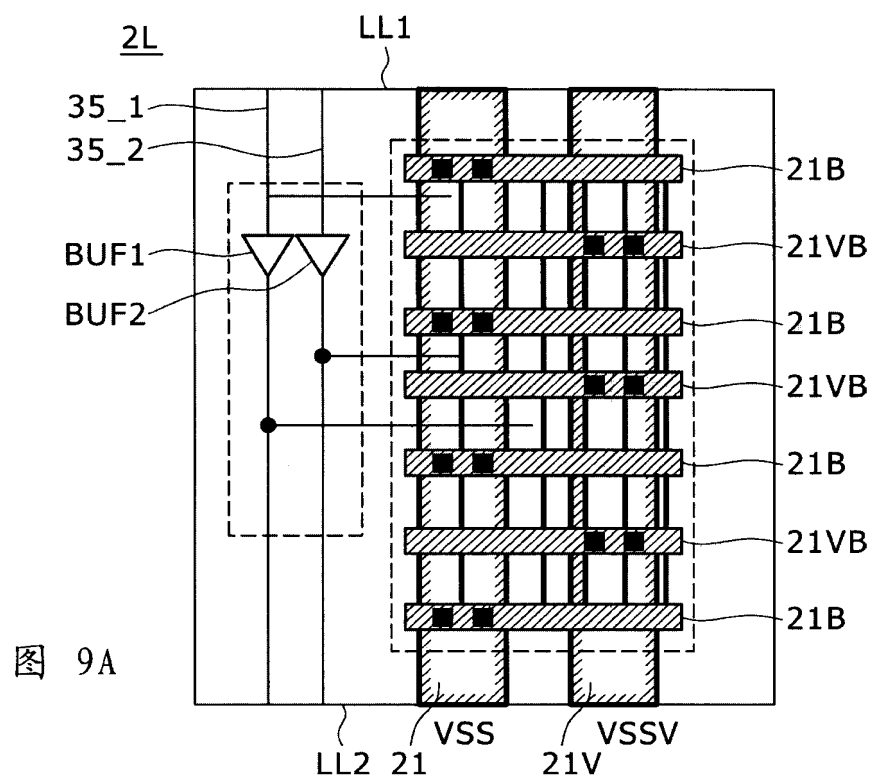
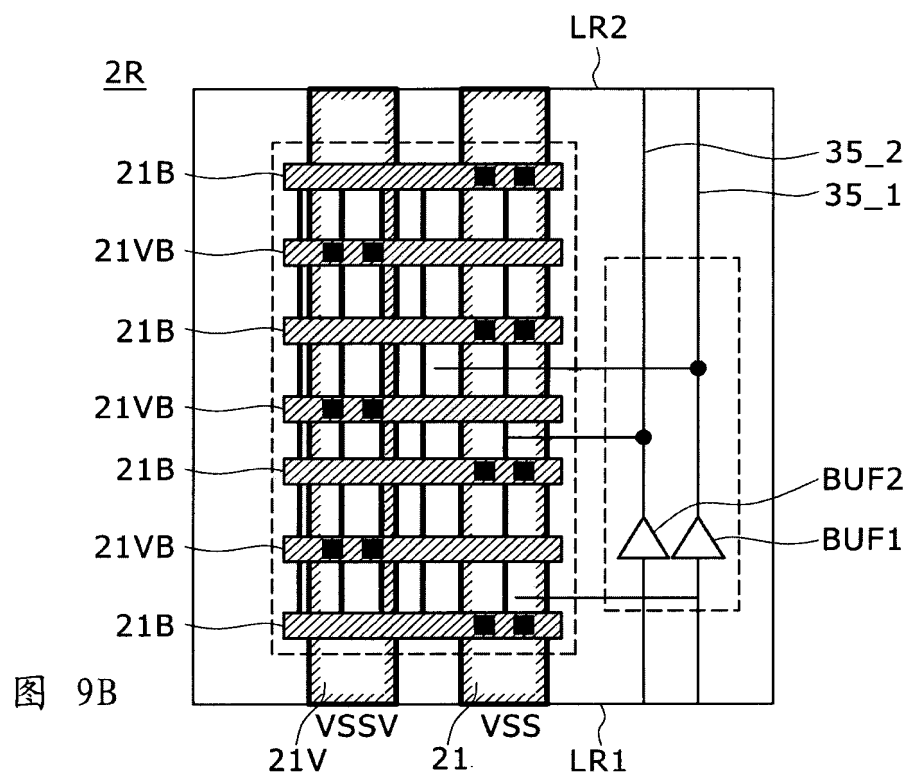
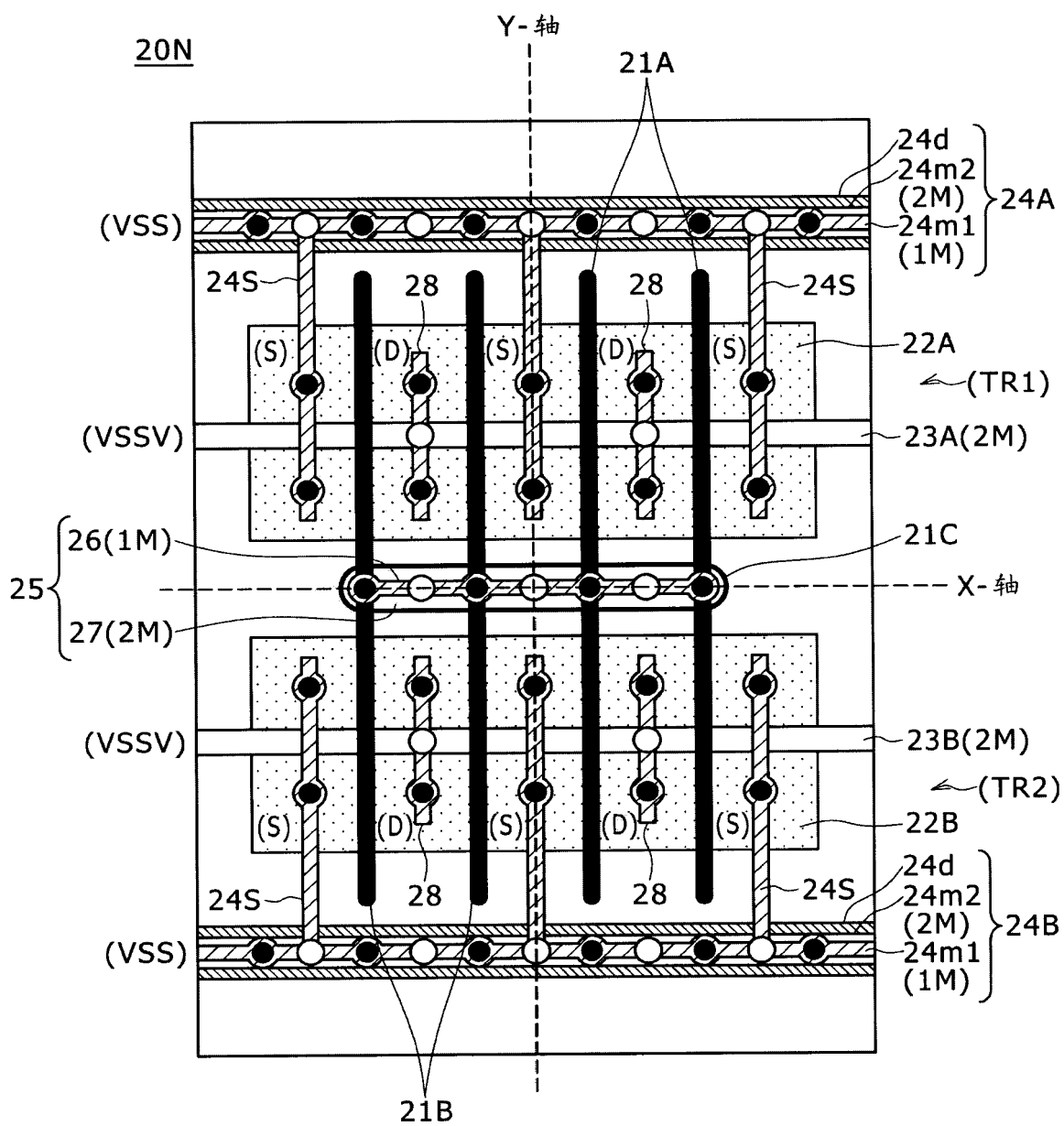


图 8B







23A,23B: 电压单元线
24A,24B: 电源单元线
25 : 控制单元线

图 11

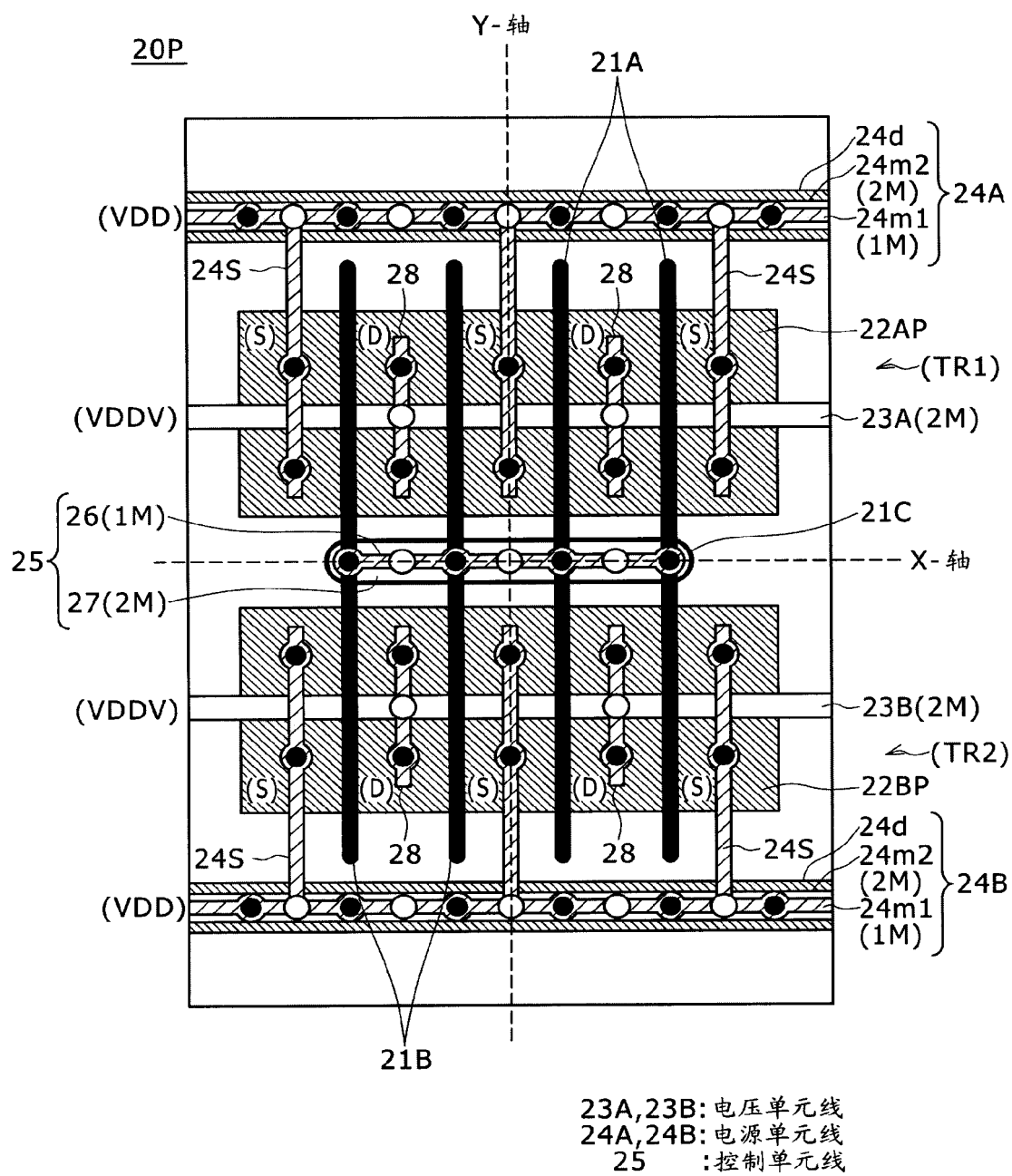


图 12

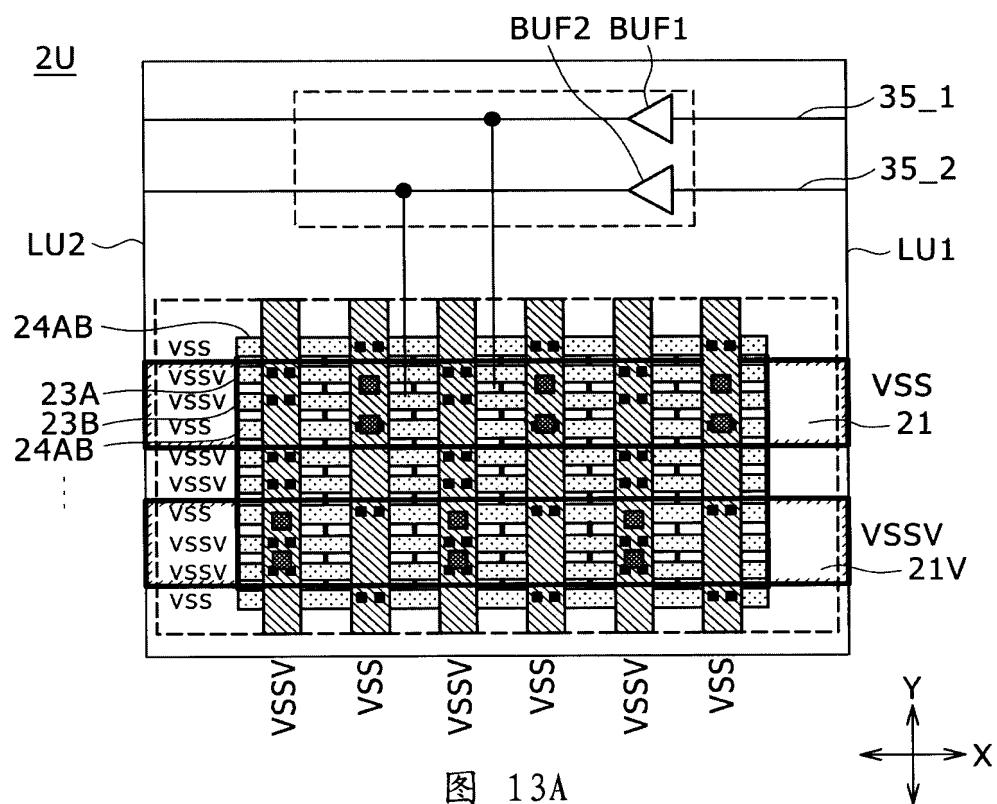


图 13A

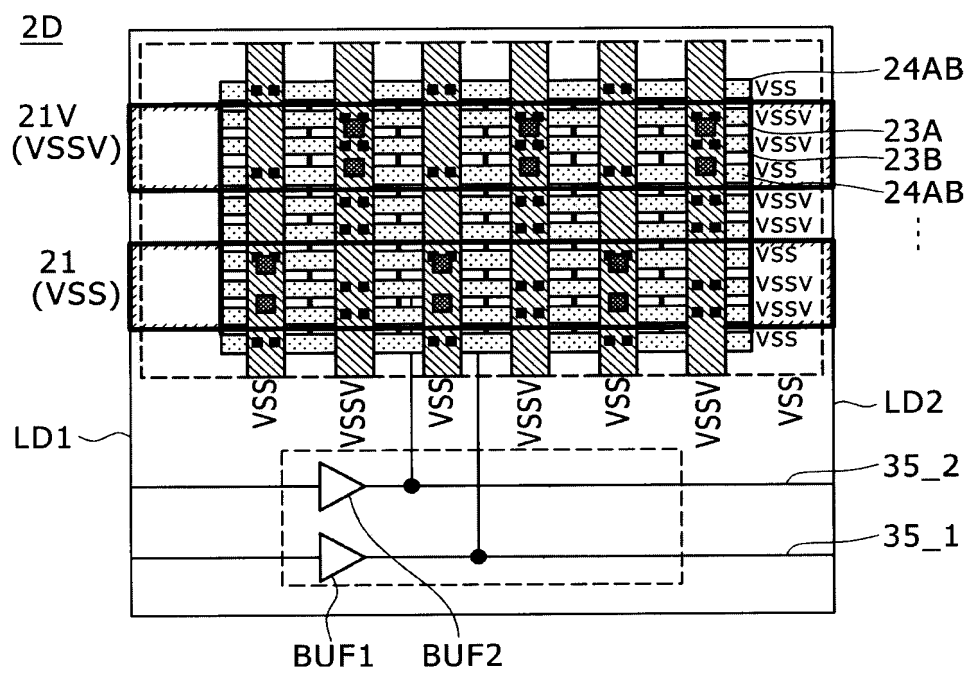
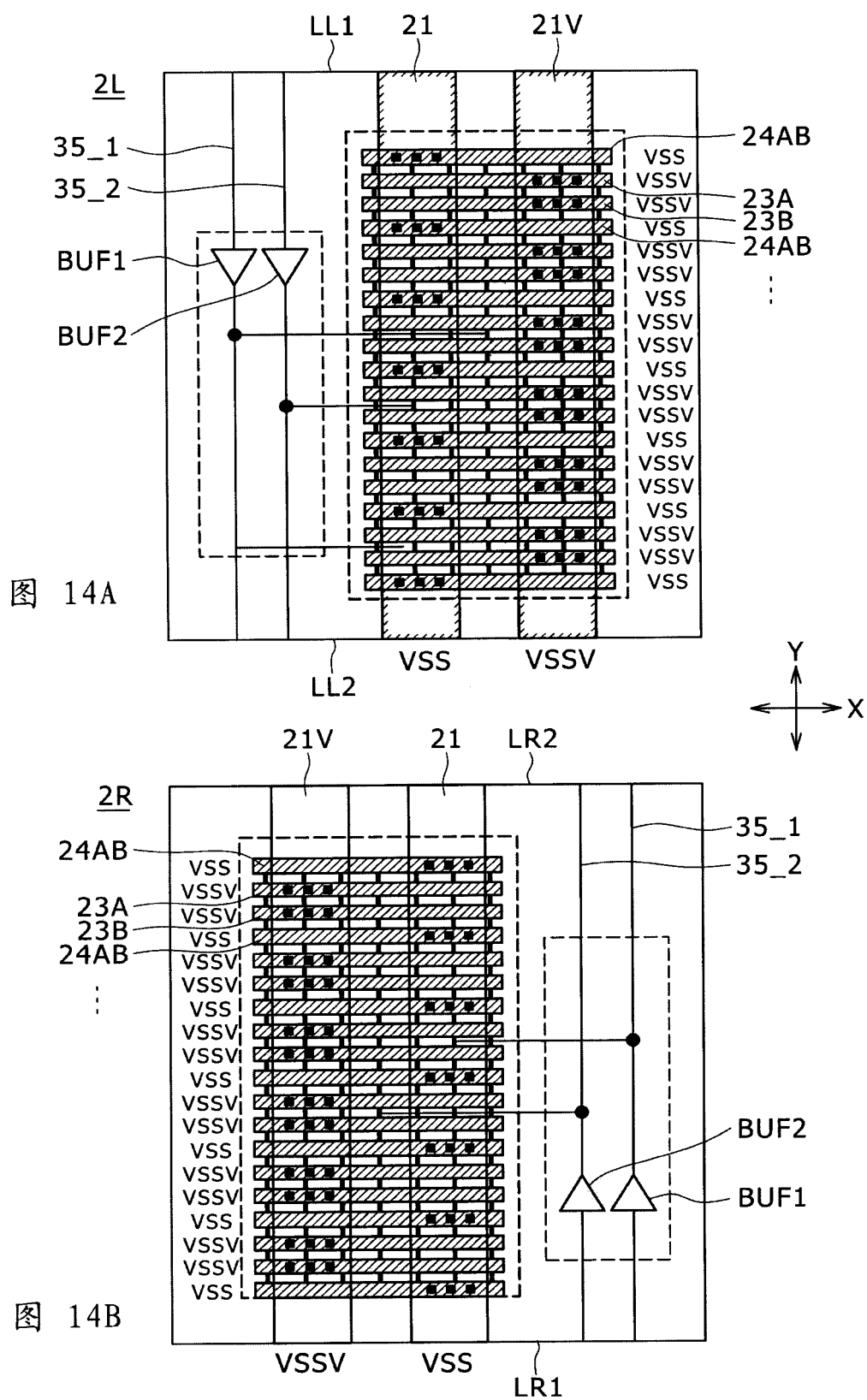


图 13B



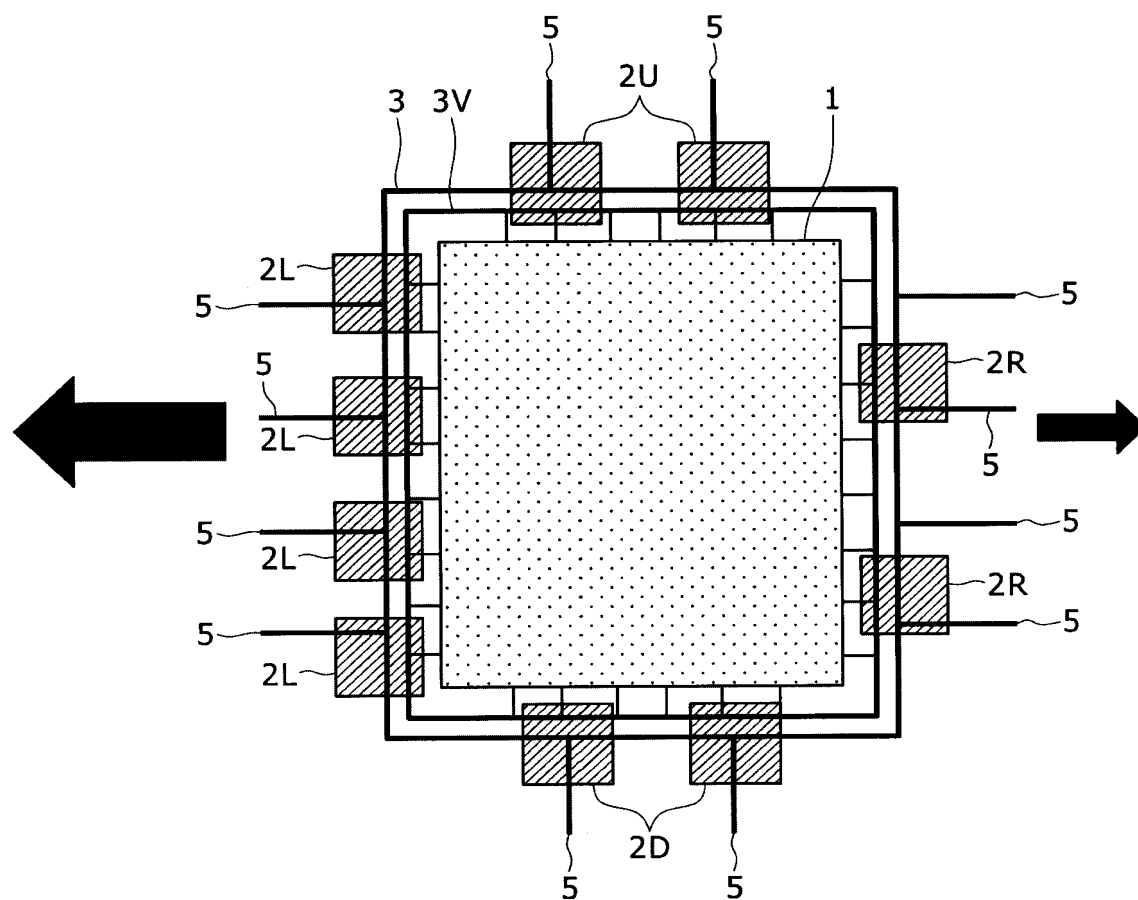


图 15