

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/00

(45) 공고일자 1999년03월30일

(11) 등록번호 특0170774

(24) 등록일자 1998년10월16일

(21) 출원번호	특1991-000169	(65) 공개번호	특1991-014995
(22) 출원일자	1991년01월08일	(43) 공개일자	1991년08월31일
(30) 우선권주장	461,715 1990년01월08일 미국(US)		
(73) 특허권자	해리스코퍼레이션 로버트 W. 페이		
	미합중국 플로리다 32919 멜보른		
(72) 발명자	제임스 D. 비숍		
	미합중국 플로리다 멜보른 와일드우스레인 506		
(74) 대리인	김영길		

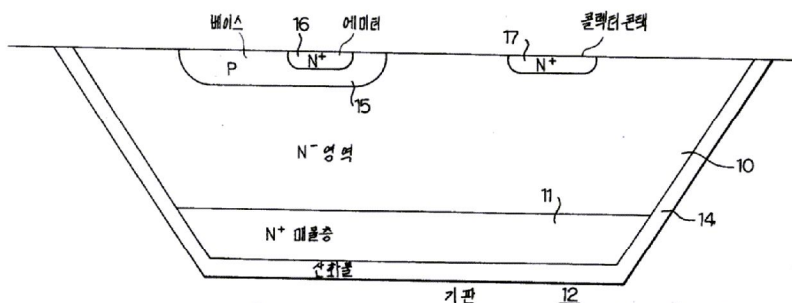
심사관 : 남승희

(54) 낮은 콜렉터저항을 갖도록 얇고 유전체에 의해 격리된 영역으로 구성되는 트랜지스터의 구조

요약

제1도 전형의 반도체 물질로서 유전체적으로 격리된 격리영역을 가지고 있는 반도체 기판과, 상기 격리 영역의 제1표면에 형성되고 상기 제1도 전형과는 반대인 제2도 전형의 반도체 물질인 제1반도체영역과, 상기 제1반도체영역의 제1표면 부근에 형성된 상기 제1도 전형의 제2반도체영역을 구비한 반도체장치에 있어서, 상기 격리영역의 상기 제1도 전형의 반도체물질은 상기 제1도반도체영역의 아래까지 확장되어서 상기 격리 영역의 기저면으로 부터 상기 제1반도체영역의 기저면을 격리시키고 상기 격리영역은 상기 격리영역의 상기 기저면 보다는 상기 제1반도체영역과 접합면에서 더 높은 고농도 불순물을 갖는 특징과, 상기 제1반도체영역 아래까지 확장되어서 상기 격리 영역의 기저면으로 부터 상기 제1반도체영역의 기저면을 격리시키는 상기 격리영역의 일부분이 상기 격리영역과 상기 제1반도체영역 사이에 인가된 바이어스 전위차 때문에 상기 격리영역과 상기 제1반도체영역 사이에 파괴전계가 발생되기 이전에 캐리어공핍 상태로 되는 특징을 구비한 반도체장치에 관한 것이다.

대표도



명세서

[발명의 명칭]

낮은 콜렉터저항을 갖도록 얇고 유전체에 의해 격리된 영역으로 구성되는 트랜지스터의 구조

[도면의 간단한 설명]

제1도는 이미 잘 알려진 기술의 예로서 유전체에 의해 격리된 격리영역을 가진 트랜지스터의 구조를 나타낸 것인데, 격리영역 안의 NPN트랜지스터는 불순물이 고농도(N+)로 도핑되고 메몰된 의사콜렉터 영역을 갖고 있는 구조이다.

제2도는 NPN바이폴라트랜지스터를 포함하고 있으면서 유전체적으로 격리된 격리영역에 관련된 본 발명의 제1의 실시예를 나타낸 도면이다.

제3도는 제2도의 실시예를 산화실리콘절연체(SOI)의 구조와 결합시킨 예를 나타낸 것이다.

제4도는 제2도에 보인 실시예를 수정한 예로서, 불순물 농도를 적절하게 조정한 조정영역의 깊이가 베이스 영역의 깊이보다 작게한 구조이다.

제5도는 본 발명의 제2의 실시예로서, 베이스영역과 근접시켜 깊은 반도체가드영역을 설치한 구조를 나

타낸다.

제6도는 깊은 가드영역을 가진 제2의 실시예를 부분적으로 절개한 단면도를 나타낸 것이다.

제7도는 본 발명의 제3의 실시예로서, DMOS 구조에서 드레인-드리프트영역의 저항을 감소시키는 실시예이다.

[발명의 상세한 설명]

본 발명은 반도체장치에 관한 것이며, 특히 콜렉터저항은 낮은 반면 유전체적으로 격리된 얇은 영역안에 형성되어 높은 파괴전압을 갖도록 특성이 개선된 트랜지스터의 구조에 관한 것이다.

유전체적으로 격리된 격리영역의 구조는 여러가지 형태의 회로소자, 예를들면 바이폴라트랜지스터, 접합형 전계효과소자, DMOS소자 등을 제작하기 위하여 집적회로에서 일반적으로 사용되는 기술이다.

제1도의 구조와 같은 대표적인 NPN트랜지스터의 구조에서, 고농도의 물순물(N⁺)로 이루어지고 매몰된 의사콜렉터(subcollector)영역 11은 실리콘의 격리영역 10의 아래부분에 형성된다. 매몰된 영역 11과 기판 12사이에는 절연재료14(산화실리콘)가 있어서 영역 11과 기판 12는 전기적으로 절연상태에 있게 된다. 의사콜렉터영역 11의 두께는 5~15마이크론 정도인데, 불순물의 도핑정도의 웨이퍼의 처리과정에서 0t물질이 어느정도로 사용되는가에 따라 결정된다.

N-형 격리영역 10의 두께는, 베이스-콜렉터 공핍층의 피크전압이 베이스-개방 콜렉터-에미터 파괴전압(BVCE0)을 초과하지 않도록 베이스-콜렉터의 공핍층을 유지할 수 있는 정도로 충분히 두껍게 해야 한다.

영역 10의 윗부분에는 P형 베이스영역 15와, N+형 에미터영역 16(실제는 베이스영역 15의 안에 조성됨)과, N+형 콜렉터 접촉영역 17이 형성된다.

HFE가 400이고 BVCE0가 100V인 NPN소자를 얻기 위해서는, 베이스 아래의 N-층의 두께는 10마이크론 정도이어야 하는데 이런 소자가 갖는 저항의 최소값은 10Ω-cm이다.

두께가 2~8마이크론인 콜렉터-에미터접합을 얻으려면, 격리 영역의 두께의 최소값은 22마이크론 정도의 비교적 큰값이어야 하므로 제조하는 비용이 높아진다. 것처럼 두꺼운 격리영역의 크기를 크게해야 하는 것은, 그 격리영역의 기저(bottom)를 결정하는 광식각 마스크를 통해서 이방성식각물질(anisotropic etchant)을 인가한 결과 격리영역의 옆면이 경사지게 되기 때문이다.

마무리된 격리영역의 앞표면의 최소면적은, 기저면적의 최소값+2*cot(격리영역의 두께 *a)보다 작을 수는 없다.

여기서 상수 a는 격리영역의 표면과 경사진 옆면사이의 각도이다.

100인 웨이퍼를 사용한 대표적인 격리영역의 제조공법에 있어서 a는 55도 정도이다.

따라서, 매몰층으로 된 100V용 트랜지스터에 위에서 예로 들었던 최소두께가 22마이크론의 격리영역을 적용하면, 격리 영역의 너비의 최소값인 31마이크론과 기저면의 최소값인 10마이크론의 합 즉 41마이크론 정도이다.

이렇게 넓은 영역을 일반적으로 작은 소자에 할당하는 면적에 비해 상당히 큰 넓이로서 웨이퍼를 낭비하는 것과 같다.

본 발명에 따르면, 격리영역의 기저에 매몰된 의사콜렉터에 의해 낮은 콜렉터저항을 달성하는 트랜지스터 구조의 면적과 두께는 얇고 유전체적으로 격리되는 격리구조를 사용함으로써 크게 감소시킬 수 있다.

여기서 감소된 두께를 갖는 격리영역의 불순물 농도는, 베이스영역의 밑에 있는 격리영역으로부터 직접 콜렉터 접촉으로 흐르는 전류경로가 낮은 저항을 가질 수 있도록 낮은 저항의 영역을 제공할 수 있도록 잘 조정된다.

이와 더불어, 기판의 전위는 최대 콜렉터전압 보다 낮게 유지시켜서 베이스의 바로 아래에 있는 부분의 콜렉터는 이부분의 전계가 BVCE0파괴를 야기하는 값에 도달하기 전에 캐리어의 공핍상태로 되어서 BVCE0를 감소시키는 효과를 갖지 않도록 한다.

기판의 바이어스 전압이 베이스영역의 바로 아래에 있는 부분의 격리영역을 캐리어의 공핍상태로 만들기 때문에, 그 격리영역의 도핑은 기기판이 바이어스 되는 경우의 값에 비해서 크게 해주어야 하고, 반면에 그 부분의 전계는 BVCE0보다 낮게 유지해 주어야 한다.

본 발명의 제1실시예에 따르면, 특히 바이폴라 트랜지스터 구조는 격리영역의 제1표면부분에 베이스영역을 조성함으로써 기판안에 유전체적으로 격리된 격리영역안에 형성된다. 그리하여 격리영역의 반도체 물질이 베이스영역 아래에까지 확장되어서 베이스영역의 기저부분과 격리영역의 기저부분이 서로 격리되게 한다.

기판은 유전체적으로 격리된 격리영역을 에워싼 형태이거나 절연 재료위에 반도체(실리콘)로서 형성될 수 있다.

이때 기판과 격리영역으로부터 동시에 유전체적으로 격리된 도전재료(도핑된 다결정 실리콘)의 채널이 격리영역의 옆면에 근접해서 배치된다.

다결정 실리콘채널을 기판의 바이어스 전압과 다른전압으로 바이어스 되는데, 채널의 바이어스는 베이스 아래의 영역(이 영역의 경계면이 아니다)에 영향을 미치지 않기 때문이다. 그 결과로서, 공핍영역 제어의 기판바이어스 방법과는 달리, 다결정 실리콘 채널에 인가된 전압은 제약성을 갖지 않는다. 에미터 영역은 베이스영역안에 형성되고, 콜렉터 접촉은 베이스영역으로 부터 떨어져 있는 격리영역의 표면에 형

성된다.

격리된 컬렉터영역의 불순물 농도는 이 영역의 아래부분 보다는 베이스영역과 가까운 경계면에서 더 크다.

그리하여 베이스의 아래부분의 한점으로부터 컬렉터 접촉에 이르는 컬렉터 경로의 컬렉터저항이 아주 낮은 값을 갖게한다. 이와 더불어, 격리영역과 베이스 사이에 인가되는 바이어스 전압 때문에, 베이스영역의 아래에까지 확장되어서 베이스의 아래면을 격리영역의 아래면으로 부터 분리시키는 컬렉터 부분이 컬렉터 격리영역과 베이스 사이에 인가되는 파괴전압이 일어나기 전에 캐리어의 공핍현상을 갖도록 컬렉터 영역의 바이전압에 깊은 관계가 있는 전압으로 기판이 바이어스가 된다.

베이스영역과 근접한 부분의 격리영역안의 불순물 농도를 잘 조정하려는 것은 격리영역의 표면으로부터 베이스의 깊이보다 더 깊게 정의된 깊이까지 확장되고 격리영역보다 더 높은 농도의 불순물영역을 형성하기 위한 격리영역의 표면에 불순물을 주입(이온주입, 확산)시킴으로서 달성될 수 있다.

그리하면 격리영역은 베이스영역의 기저의 밑부분과 낮은 농도의 불순물을 가진 격리영역의 윗부분으로 확장된다. 잘 조정된 도핑은 격리영역을 통과해서 완벽하게 확장되어서, 격리영역의 불순물 농도는 격리영역의 표면으로 부터 점진적으로 감소되어가면서 베이스영역의 깊이보다 더 깊은곳(모든 두께에 걸쳐)까지 확장되어 분포되는 형태를 갖는다.

또 컬렉터 격리영역의 낮은 불순물 농도는 베이스영역의 기저의 아래에서 발생한다.

컬렉터 저항을 낮게 감소하는 것이 정해진 BVCEO를 얻기 위한 격리영역의 두께를 선택할때 융통성을 얻기 위한 목적으로 조정될 수 있는 경우, 불순물 농도가 조정되는 영역의 깊이는 베이스영역의 깊이보다 작게해서 불순물영역이 베이스영역의 옆면에서 끝나도록 한다.

본 발명의 제2의 실시예에 따르면, 컬렉터 저항을 감소시키는 것은 베이스영역과 인접해서 베이스영역보다 더 깊으면서 베이스영역과 같은 도전성을 갖는 반도체가드영역을 설치함으로써 이루어지는데, 가드영역은 격리영역을 통해서 컬렉터 접촉영역에 이르는 표면경로를 차단한다.

기판은 격리영역의 바이어전압과 밀접한 관계가 있는 전압으로 바이어스 되는데, 베이스의 밑부분까지 확장되어 격리영역의 기저면으로부터 베이스영역의 기저면을 격리시키는 격리영역의 일부분은, 격리영역과 베이스 사이에 인가된 바이어스 전압 때문에 컬렉터 격리영역과 베이스영역 사이에 파괴전압이 나타나기 전에 캐리어의 공핍상태를 맞게된다. 깊은 가드영역은 베이스영역의 옆면경계에 근접해서 둥근데모양으로 형성되거나, 베이스의 한쪽끝에 근접되어 배치되고 격리영역을 기판으로부터 유전체적으로 격리시키는 유전체 물질과 교차하도록 격리영역을 가로질러 확장되기도 한다. 게다가 본 발명의 제2의 실시예에는 제1의 실시예에 불순물 농도의 조정영역을 부가함으로써 더욱 향상될 수 있다.

본 발명의 제3의 실시예에 따르면, 상기의 불순물 농도의 조정영역을 채택함으로써 DMOS구조에서 드레인-드리프트 영역의 저항을 감소시킬 수 있다.

그러한 구조에서, 격리영역은 드레인으로 작용하며 채널은 격리영역의 도전형과는 반대인 몸체영역에 형성되게 한다. 드레인 접촉영역은 채널영역과는 떨어져 있는 격리영역의 표면에 형성한다.

소오스영역은 채널을 포함하고 있는 반대의 도전형 물질인 몸체영역안에 형성시킨다.

채널을 깔고 그위에 형성되는 것은 게이트 절연층이며, 게이트 금속은 소오스영역과 격리영역위에 동시에 형성되는데 소오스와 격리영역 사이에는 채널이 설치되어 있다

처음 두개의 실시예에서와 같이, 감소된 저항을 갖는 영역은 채널을 포함하는 몸체영역의 기저면의 밑면과 불순물 농도가 낮은 격리영역의 윗면까지 확장되도록 격리영역의 표면으로부터 채널을 포함하는 몸체영역의 깊이보다 더 깊은곳까지 확장된다.

또, 이 격리영역중 가장 낮은 불순물 농도는 몸체영역의 기저면 아래에서 발생한다.

몸체영역과 기판사이에 있는 격리영역이 그 영역안에서 파괴전압에 도달하기 전에 모두 캐리어 공핍상태에 도달할 수 있도록 기판은 드레인전압 보다 낮은 전압으로 바이어스 되어 있다.

이하, 도면을 참조하여 본 발명을 상세히 설명한다.

제2도는 본 발명의 제1의 실시예를 나타낸 것으로서 격리 영역 21의 기저면 22와 옆면24에 있는 (산화) 절연층 14에 의해 (실리콘)기판 12로 부터 유전체적으로 격리된(N형 실리콘) 격리영역 21안에 형성된 바이폴라(예를들어 NPN)트랜지스터 구조 20으로 구성되어 있다.(여기서 특히 유념해야 할 점은 본 발명이 특정한 형태의 소자에만 적용되는 것이 아니며, 여기서 NPN트랜지스터라고 하는 것은 설명을 위한 하나의 예를 나타낸다는 점이다)

제1도에 나타난 이미 알려진 기술의 구성에서와 같이, 트랜지스터 20은, 격리영역 21의 반도체 물질이 베이스영역 15의 기저면 25의 아래까지 확장되어서 격리영역의 기저면22로 부터 베이스영역의 기저면 25를 격리시킬 수 있도록 N형의 격리영역 21의 제1의 표면에 배치된 (P형)베이스 영역 15를 포함하고 있다.

기판 12는 제2도에 나타난 것과 같이 격리영역 21을 유전체적으로 에워싼 형태일 수 있거나, 제3도에 보인 것과 같이 절연재료 위에 반도체(실리콘)로서 배치될 수도 있다. 제3도의 구조는, 격리영역(이 영역의 옆면)에 근접해서 배치되고 절연층 34에 의해 기판 12의 격리영역 21로 부터 유전체적으로 격리되어 있는 도전성(도핑된 다결정 실리콘) 재료의 채널 31을 포함한 구성이다.

다결정 실리콘 채널 31은 기판 12의 전압과 다른 전압으로 바이어스 되어야 하는데, 이 바이어스 전압은(채널이 베이스의 경계면이 아니기 때문에) 베이스영역 15의 아래에 있는 격리영역 21에 아무런

영향을 끼치지 않게해야 한다.

따라서 다결정 실리콘 채널에 인가된 전압에는 아무런 제약이 따르지 않는다.

NPN트랜지스터 20은 베이스영역 15의 표면에 형성된 N+형 에미터영역 16과, 베이스영역 15로부터 분리 영역 18에 의해 분리된 격리영역의 표면에 형성된 N+형 콜렉터 접촉영역을 더 포함하고 있다.

제2도와 제3도의 실시예에서 제1도의 기존구성과는 달리, 격리영역 21의 윗면 27로부터 베이스영역 15의 기저면 25의 아래까지 확장되어 있는 격리영역 21의 윗(N형)부분 23을 격리영역의 기저면 22에 근접한 낮은 농도(N-형)의 부분 26보다는 베이스영역과의 경계면에서 더 불순물 농도를 갖는다. 영역23은 비선택적으로, 특수한 마스크를 필요로 하지 않고(이온주입, 확산에 의해)형성될 수도 있으며, 또는 특수한 설계에서 필요한 것처럼, 기판 12안에 특정한 격리영역만 선택적으로 형성시킬 수 있다.

앞에서 설명했던 것처럼, 비교적 고농도의 불순물을 가진 윗부분 23은, 격리영역의 윗부분 23의 N형 물질을 통해서 에미터영역 16을 설치한 베이스영역 15의 일부분 아래에 있는 콜렉터 격리영역안의 한점 41로부터 콜렉터 접촉영역 17에 이르는 (콜렉터) 격리영역의 경로에 낮은 콜렉터저항을 제공한다.

정상적으로 주어진 콜렉터 전압에서, 이처럼 증가된 도핑 상태의 영역은 도핑을 증가시키지 않는 경우보다 베이스 영역 15아래에 있는 격리영역21의 일부분 45안에 형성된 베이스-콜렉터 공핍층에 더 높은 전계(결과적으로 BVCE0를 낮추는 결과)를 초래할 것이다.

이렇게 바람직하지 못한 BVCE0의 감소는, 격리(콜렉터)영역 21과 에미터영역 16사이에 인가된 바이어스 전압 때문에 베이스영역 15아래까지 확장되어 격리영역 21의 기저면 22로부터 베이스의 기저면 25를 격리시키는 콜렉터 격리영역 21의 일부분 45가 콜렉터 격리영역 21과 에미터영역 16 사이에 파괴전압이 발생되기 전에 캐리어 공핍상태로 되게 할 수 있도록, 콜렉터 격리영역 21의 전위에 관련되는 전위로 기판 21을 바이어스 시킴으로서 미연에 방지될 수 있다.

이들테면, 기판에 바이어스를 가해주기 때문에, BVCE0보다 낮은 점에서의 전계는 그대로 유지시켜주는 반면 베이스 아래에 있는 일부분 41의 도핑물질이 기판의 베이스가 없을때 보다 더 높은 농도를 갖게한다.

베이스영역 15아래에 있는 콜렉터영역 21의 일부분 45가 기판의 바이어스와 베이스-콜렉터 접합의 역바이어스의 결합된 작용때문에 파괴전압에 이르기 전에 충분한 공핍상태로 미끌어지면, 콜렉터 전압은 베이스-콜렉터 접합의 옆면(영역 45로부터 떨어진곳)에서 파괴전압에 도달할때까지 계속 증가하게 된다.

앞에서 지정한 것과 같이, 또 제2도와 제3도의 실시예를 설명한 것과 같이, 베이스영역과 콜렉터 접촉영역 17사이의 경로에 감소된 저항을 제공하기 위해서 격리영역 21의 불순물 농도를 조정하는 것은 격리영역 21의 윗면 27에 불순물을 도핑(이온주입, 확산)시킴으로서 달성되는데, 이때 더 높은 농도의 불순물을 갖는 영역 23은 격리영역의 윗표면 27로부터 베이스영역 15의 깊이보다 더 깊게 정의된 점까지 확장될 수 있도록 해야 하고 또 영역 23은 베이스영역의 기저면 25의 아래까지 확장되는데 격리영역 21의 기저면 22에 근접한 부분에는 증가된 저항을 갖도록 낮은 N-형 분포영역 26이 존재할 수 있도록 한다.

이처럼 조정되는 도핑은, 격리영역이 윗표면 27로부터 감소하고 격리영역의 기저 22까지 확장되면서 불순물 농도와 점차 변화하는 분포를 가질 수 있도록 격리영역을 통해서 완전하게 확장되기도 한다.

격리영역의 윗부분은, 콜렉터 격리영역의 불순물 농도가 처리가 되는 곳이 베이스영역의 기저면의 아래에 나타날 수 있도록 더 높은 농도로 도핑될 것이다.

콜렉터 저항을 낮게 감소시키는 량을 주어진 BVCE0에 대한 격리영역의 두께를 선택할때 융통성을 부여할 목적으로 조정할 수 있는 경우, 불순물 농도의 조정영역 23의 깊이는 비교적 얇게 하거나 이 영역이 제4도의 실시예에 보인것처럼 베이스영역의 옆면 51에서 끝날 수 있도록 베이스영역 15의 깊이보다는 작게 하는것이다.

제5도에 보인 본 발명의 제2의 실시예에 따르면 베이스 영역 15의 깊이보다는 콜렉터 격리영역 21의 깊이를 더 깊게 해서 베이스영역과 같은 도전형의 깊은 반도체 가드영역 61을 형성함으로써 콜렉터 저항을 감소시키는 일은 성취되는데, 깊은 가드영역 61은 에미터영역 16을 아래에 깔고 있는 콜렉터 격리영역 21의 일부분 41부터 콜렉터 접촉영역 17사이에 나타나는 어떠한 표면 경로든지 차단할 수 있도록 한다.

베이스 콜렉터 바이어스와 기판바이어스의 결합된 작용이 콜렉터 격리영역과 베이스영역 사이에서 파괴전계가 발생하기 이전에 가드영역 61의 기저면 63과 격리영역 21의 기저면 22사이에 있는 격리영역 21의 일부분 65에 캐리어 공핍현상이 나타나게 할 수 있도록, 콜렉터 전압보다 낮은 전압으로 기판 12가 바이어스 되어야 한다.

일단 공핍영역이 기판과 같은 가드영역 61사이에 형성되었다면, 공핍영역의 차폐작용 때문에 베이스-콜렉터 전압이 더 증가하는 현상에 따라 에미터영역 16의 아래에 있는, 이를테면 깊게 설치된 P형 가드영역의 제한구역만의 전계는 극히 미미한 변화만을 일으킬 것이다.

따라서, 콜렉터-에미터 사이의 전압은 더 증가할 수 있고, 같은 정도의 도핑과 두께를 가진 콜렉터에서 얻을 수 있는 값보다 더 큰 BVCE0를 성취할 수 있다.

이와같은 에워싼 차폐효과를 제공하기 위해서 깊은 가드영역 61이, 제5도에 보인것과 같이, 베이스의 옆경계면까지 환상형으로 형성되어야 좋다.

가드영역은, 제6도의 부분절개 단면도에 보인것과 같이, 베이스영역 15의 한쪽 경계면과 근접되어 있으면서 기판 12로부터 격리영역을 유전체적으로 격리시키는 유전체물질 14와 교차할 수 있도록 격리영역 21의 너비를 가로질러 확장되어 있는 것이 좋다.

깊게 설치된 P형 가드영역의 차폐효과에 의해서 이미 설정된 BVCE0를 얻기 위하여 더 두껍고 더 큰 농도

와 격리영역이 사용될 수 있기 때문에 게이트 도체물질(예를들면 도핑된 다결정 실리콘이나 금속) 82는 게이트 절연층 위에 형성되고, 채널영역 75위까지 확장될 수 있도록 소오스영역 74와 격리 영역 21위에 걸쳐서 배치된다.

처음 두개의 실시예에서와 마찬가지로 (드레인-드리프트) 저항이 감소된 영역 83은, 채널을 포함한 몸체 영역의 기저면 76의 아래와 저농도의 불순물을 가진 격리영역의 기저면 22의 위까지 확장되도록, 격리영역의 윗표면 84부터 채널을 포함한 몸체영역 72의 깊이보다 더 깊은곳까지 확장되어 있다. 또, 격리영역에서 가장 낮은 불순물 농도를 갖는 점은 몸체 영역의 바로 아래부분에서 나타난다.

격리영역안에서 파괴전계가 발생되기 이전에 몸체영역과 밑에 깔린 기판사이의 격리영역이 완전히 공핍상태로 되게 하기 위해서 기판의 바이어스 전압은 드레인 전압보다 낮게 한다. 지금까지 설명한 모든 실시예에서, 기판의 전압이 콜렉터(격리영역)의 전압보다 낮은 전압이기만 하면 기판 12의 바이어스는 기판위에 저항성 접촉 또는 기계적 접촉이 아닌 결합방식에 의해 공급될 수 있으며, 이것은 베이스(DMOS의 경우는 채널)과 기판사이의 파괴전계에 이르기 전에 완전히 공핍상태로 될 수 있게 한다.

기판에 대해 기계적 접촉이 아닌 바이어스 공급방식은 누설 전류 동화작용(기판으로 흘러가는 전류는 0이어야 한다) 또는 커패시터 결합방식에 의해 이루어진다.

어떤 기술이든 이들은, 집적회로에 인가되는 제일 낮은 음전위와 제일 높은 양전위의 중간전압이 기판의 바이어스가 되도록 설정하게 된다.

본 발명에 대한 앞의 설명으로부터 알 수 있는 것처럼, 격리영역의 기저에 매몰된 의사콜렉터영역에 의해 낮은 콜렉터 저항을 갖게 되는 트랜지스터 구조가 차지하는 면적(및 두께)이 얇고 유전체적으로 격리된 격리영역에 의해 현저히 감소된다. 여기서 감소된 두께의 격리영역안의 불순물 농도는, 에미터 영역의 바로아래에 있는 격리영역의 위치로부터 콜렉터 접촉점에 이르는 전류의 경로가 낮은 저항을 가질 수 있도록 감소된 저항의 영역을 제공하기 위해서 잘 조정되어야 한다.

이와 더불어, BVCE0를 감소시키지 않도록 에미터가 베이스 위로 투사된 부분의 바로 아래에 있는 콜렉터(격리영역)의 부분은 이 전계가 BVCE0에 이르기 전에 먼저 캐리어의 공핍상태로 된다.

기판의 바이어스가 베이스영역의 바로 아래에 있는 격리영역의 일부분을 공핍상태에 있게 하기 때문에, 이 부분의 전계는 BVCE0보다 낮게 유지해주는 반면 격리영역의 도핑정도는 기판에 바이어스가 걸리지 않은 경우보다 더높게 증가시켜야 한다.

본 출원에서는 본 발명에 관해서 몇가지의 실시예를 들어 설명하고 있지만, 똑같은 원리가 기재된 예에만 국한되는 것이 아니고 수많은 변화와 수정된 발명들이 본 발명의 범위안에서 이루어질 수 있음에 유념해야 한다.

(57) 청구의 범위

청구항 1

제1도는 전형의 반도체 물질로서 유전체적으로 격리된 격리영역을 가지고 있는 반도체 기판과, 상기 격리영역의 제1표면에 형성되고 상기 제1도 전형과는 반대인 제2도 전형의 반도체 물질인 제1반도체영역과, 상기 제1반도체영역의 제1표면 부근에 형성된 상기 제1도 전형의 제2반도체영역을 구비한 반도체장치에 있어서, 상기 격리영역의 상기 제1도 전형의 반도체물질은 상기 제1반도체영역의 아래까지 확장되어서 상기 격리영역의 기저면으로 부터 상기 제1반도체영역의 기저면을 격리시키고 상기 격리영역은 상기 격리영역의 상기 기저면 보다는 상기 제1반도체영역과 접한면에서 더 높은 고농도 불순물을 갖는 특징과, 상기 제1반도체영역 아래까지 확장되어서 상기 격리 영역의 기저면으로 부터 상기 제1반도체영역의 기저면을 격리시키는 상기 격리영역의 일부분이 상기 격리영역과 상기 제1반도체 영역사이에 인가된 바이어스 전위차 때문에 상기 격리영역과 상기 제1반도체영역 사이에 파괴전계가 발생되기 이전에 캐리어공핍상태로 되는 특징을 구비한 반도체장치.

청구항 2

제1항의 반도체장치에 있어서, 상기 제1반도체영역의 기저면 아래까지 확장될 수 있도록 상기 고농도 불순물을 갖는 영역은 상기 격리영역안에 있는 상기 제1반도체영역의 깊이보다 더 깊은 깊이를 갖는 특징을 구비한 반도체장치.

청구항 3

제1항의 반도체장치에 있어서, 상기 격리영역에서 가장 낮은 불순물 농도를 갖는 점이 상기 제1반도체영역의 기저면 아래에 존재할 수 있도록 상기 격리영역의 불순물 농도는 상기 격리영역의 표면으로부터 단계적 모양에 따라 감소하면서 상기 격리영역안에 있는 상기 제1반도체영역의 깊이보다 더 깊은 곳까지 확장되는 특징을 구비한 반도체장치.

청구항 4

제3항의 반도체장치에 있어서, 상기 격리영역으로 정의되는 모든 영역의 두께에 따라 상기 단계적 모양으로 불순물 농도가 분포되는 특징을 구비한 반도체장치.

청구항 5

제2항의 반도체장치에 있어서, 상기 격리영역은 제3반도체영역을 포함하되 상기 제3반도체영역은 상기 격리영역의 상기 고농도 불순물 영역의 아래까지 배치되고 상기 고농도 불순물 보다는 더 낮은 불순물 농도를 갖는 특징을 구비한 반도체장치.

청구항 6

제1항의 반도체장치에 있어서, 상기 격리영역안에서 상기 고농도 불순물을 가진 상기 격리영역의 일부분이 상기 제1반도체영역의 옆면과 교차할 수 있도록 상기 제1반도체영역보다 더 깊은 깊이를 갖는 특징을 구비한 반도체장치.

청구항 7

제1항의 반도체장치에 있어서, 상기 격리영역에 근접한 곳에 배치되어 상기기판과 상기 격리영역으로 부터 유전체적으로 격리된 물질의 채널을 더 구비함을 특징으로 한 반도체장치.

청구항 8

제7항의 반도체장치에 있어서, 상기 물질의 채널이 상기 기판의 전압과는 다른 전압으로 바이어스 되는 특징을 구비한 반도체장치.

청구항 9

제1도의 전형의 반도체 물질로서 유전체적으로 격리된 격리영역을 가지고 있는 반도체 기판과, 상기 격리영역의 제1표면에 형성되고 상기 제1도 전형과는 반대인 제2도 전형의 반도체 물질인 제1반도체영역과, 상기 제1반도체영역의 제1표면부근에 형성된 상기 제1도 전형의 제2반도체영역을 구비한 반도체장치에 있어서, 상기 제1반도체 격리영역에 근접해 있지만 더 깊은 깊이를 가지고 상기 제2도 전형으로 된 제3반도체영역을 더 구비하고, 상기 격리영역의 상기 제1도 전형의 반도체물질은 상기 제1반도체영역의 아래까지 확장되어서 상기 격리영역의 기저면으로 부터 상기 제1반도체영역의 기저면을 격리시키는 특징과, 상기 제3반도체영역 아래까지 확장되어서 상기 격리영역의 기저면으로 부터 상기 제3반도체영역의 기저면을 격리시키는 상기 격리영역의 일부분이 상기 격리영역과 상기 제1반도체영역 사이에 인가된 바이어스 전위차 때문에 상기 격리영역과 상기 제1반도체영역 사이에 파괴전계가 발생되기 이전에 캐리어 공핍상태로 될 수 있도록 상기 기판이 상기 격리영역의 전위에 밀접한 관계가 있는 전압으로 바이어스되는 특징을 구비한 반도체장치.

청구항 10

제9항의 반도체장치에 있어서, 상기 제3반도체영역은 상기 제1반도체영역의 옆면에 근접하여 원형구조로 배치됨을 특징으로 한 반도체장치.

청구항 11

제9항의 반도체장치에 있어서, 상기 격리영역의 불순물은 상기 격리영역의 기저면보다는 상위표면에 가까운 영역에서 더 높은 농도를 갖는 특징을 구비한 반도체장치.

청구항 12

제9항의 반도체장치에 있어서, 상기 격리영역의 불순물은 상기 격리영역의 기저면 보다는 상기 제1반도체영역과 근접한 부분에서 더 높은 농도를 갖는 특징을 구비한 반도체장치.

청구항 13

제3항의 반도체장치에 있어서, 상기 반도체장치는 상기 격리영역에 형성되고 상기 제1도 전형으로 된 제4반도체영역을 더 구비하되, 상기 제4반도체영역은 상기 제1반도체영역의 기저면에 근접한 곳에 배치되며 상기 제3반도체영역의 깊이 보다는 낮은 깊이를 갖고 상기 격리영역의 기저부분의 불순물 농도 보다는 더 높은 불순물 농도를 가진 것을 특징으로 한 반도체장치.

청구항 14

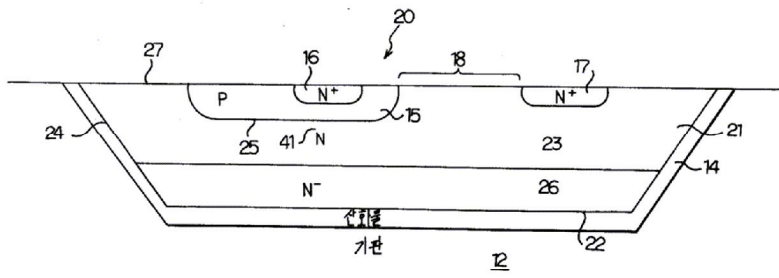
제1도 전형의 반도체 물질로서 유전체적으로 격리된 격리영역을 가지고 있는 반도체기판과, 상기 격리영역의 제1표면에 형성되고 상기 제1도 전형과는 반대인 제2도 전형의 반도체 물질인 제1반도체영역과, 상기 제1반도체영역의 제1표면 부근에 형성된 상기 제1도 전형의 제2반도체영역과, 상기 제1도 전형으로 된 제3반도체영역과, 상기 격리영역의 상기 제3표면위에 배치되고 상기 제2도 전형으로 된 제4반도체영역을 구비한 반도체 장치에 있어서, 상기 격리영역의 상기 제1도 전형의 반도체물질은 상기 제1반도체영역의 아래까지 확장되어서 상기 격리영역의 기저면으로부터 상기 제1반도체영역의 기저면을 격리시키는 특징과, 상기 제3반도체영역은 상기 격리영역의 불순물 농도보다 더 높은 불순물 농도를 갖고 상기 격리영역의 상기 제3표면 부분만큼 상기 제1표면 부분으로 부터 떨어져 상기 격리영역의 제2표면부분에 형성되는 특징과, 상기 제1반도체영역으로 부터 상기 격리영역의 표면을 통하여 상기 제3반도체영역으로 향하는 표면경로는 상기 제4반도체영역의 반도체물질에 의해 차단되며 상기 제4반도체영역은 상기 제2반도체 격리영역의 깊이보다는 더 깊은 깊이를 갖는 특징과, 상기 제4반도체영역의 아래까지 확장되어 상기 격리영역의 기저면으로 부터 상기 제4반도체영역의 기저면을 격리시키는 상기 격리영역의 일부분이 상기 격리영역과 상기 제1반도체영역 사이에 인가된 바이어스 전위차 때문에 상기 격리영역과 상기 제1반도체영역 사이에 파괴전계가 발생되기 이전에 캐리어 공핍상태로 될 수 있도록 상기 기판이 상기 격리영역의 전위에 밀접한 관계가 있는 전압으로 바이어스 되는 특징을 구비한 반도체장치.

청구항 15

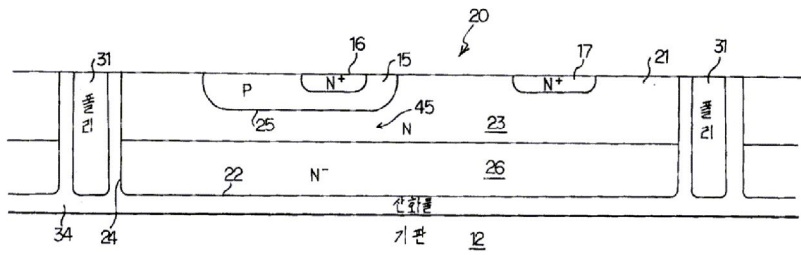
제14항의 반도체장치에 있어서, 상기 제4반도체영역은 상기 제1반도체영역의 옆면에 근접하여 원형구조로 배치됨을 특징으로 한 반도체장치.

청구항 16

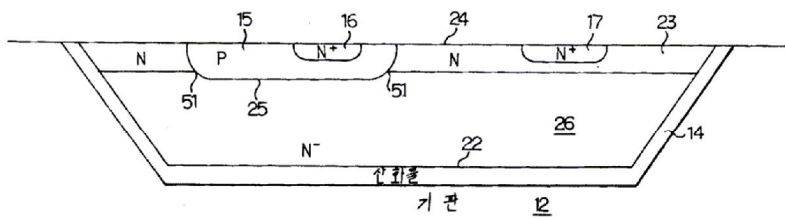
도면2



도면3



도면4



도면5

