



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201834255 A

(43) 公開日：中華民國 107 (2018) 年 09 月 16 日

(21) 申請案號：107119203

(22) 申請日：中華民國 103 (2014) 年 10 月 17 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30) 優先權：2013/10/22 日本

2013-219046

(71) 申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74) 代理人：林怡芳；童啓哲

申請實體審查：有 申請專利範圍項數：10 項 圖式數：34 共 141 頁

(54) 名稱

半導體裝置

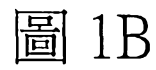
SEMICONDUCTOR DEVICE

(57) 摘要

本發明提供一種具有良好的電特性的半導體裝置。在半導體層的通道寬度方向上的剖面中，半導體層包括：位於半導體層的一個側部且一個端部與絕緣層接觸的第一區域；位於半導體層的上部且一個端部與第一區域的另一個端部接觸的第二區域；以及位於半導體層的另一個側部並且一個端部與第二區域的另一個端部接觸且另一個端部與絕緣層接觸的第三區域，該三個區域都與閘極絕緣膜接觸，在第二區域中與閘極絕緣膜之間的介面具有從一個端部至另一個端部依次連接有曲率半徑為 $R1$ 的區域、曲率半徑為 $R2$ 的區域以及曲率半徑為 $R3$ 的區域的凸形形狀， $R2$ 比 $R1$ 及 $R3$ 大。

In a cross section in a channel width direction, a semiconductor layer includes a first region of which one end portion is in contact with an insulating layer and which is positioned at one side portion of the semiconductor layer; a second region of which one end portion is in contact with the other end portion of the first region and which is positioned at an upper portion of the semiconductor layer; and a third region of which one end portion is in contact with the other end portion of the second region and the other end portion is in contact with the insulating layer and which is positioned at the other side portion of the semiconductor layer. In the second region, an interface with a gate insulating film is convex and has three regions respectively having curvature radii $R1$, $R2$, and $R3$ that are connected in this order from the one end portion side toward the other. $R2$ is larger than $R1$ and $R3$.

指定代表圖：



方向

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置/ SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明係關於一種物體、方法或者製造方法。此外，本發明係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或者組合物 (composition of matter)。本發明的一個方式尤其係關於一種半導體裝置、顯示裝置、發光裝置、記憶體裝置、算術裝置、拍攝裝置、上述裝置的驅動方法或者上述裝置的製造方法。

【0002】 在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。電晶體、半導體電路為半導體裝置的一個方式。另外，記憶體裝置、顯示裝置、電子裝置有時包含半導體裝置。

【先前技術】

【0003】 藉由利用形成在具有絕緣表面的基板上的半導體薄膜來構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路 (IC) 及影像顯示裝置 (也簡稱為顯示裝置) 等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被周知。另外，作為其他材料，氧化物半導體受到注目。

【0004】 例如，公開了作為氧化物半導體使用氧化鋅或In-Ga-Zn類氧化物半導體來製造電晶體的技術 (參照專利文獻1及專利文獻2)。

【0005】 近年來，隨著電子裝置的高功能化、小型化或輕量化，對高密度地集成有被微型化的電晶體等半導體元件的積體電路的要求提高。

【0006】

[專利文獻1]日本專利申請公開第2007-123861號公報

[專利文獻2]日本專利申請公開第2007-96055號公報

【發明內容】

【0007】 本發明的一個方式的目的之一是使半導體裝置具有良好的電特性。本發明的一個方式的其他目的之一是提供一種適合於微型化的半導體裝置。本發明的一個方式的其他目的之一是提供一種集成度高的半導體裝置。本發明的一個方式的其他目的之一是提供一種低功耗的半導體裝置。本發明的一個方式的其他目的之一是提供一種可靠性高的半導體裝置。本發明的一個方式的其他目的之一是提供一種在關閉電源的狀態下也能保持資料的半導體裝置。本發明的一個方式的其他目的之一是提供一種新穎的半導體裝置。

【0008】 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的目的。

【0009】 本發明的一個方式係關於一種在通道形成區域中具有氧化物半導體層的電晶體，該電晶體的特徵在於該氧化物半導體層的通道寬度（W）方向上的剖面形狀。

【0010】 本發明的一個方式是一種半導體裝置，該半導體裝置包括：絕緣層；絕緣層上的半導體層；與半導體層電連接的源極電極層及汲極電極層；半導體層、源極電極層及汲極電極層上的閘極絕緣膜；以及隔著閘極絕緣膜與半導體層、源極電極層的一部分及汲極電極層的一部分重疊的

閘極電極層，在半導體層的通道寬度方向上的剖面中，半導體層包括：位於半導體層的一個側部且一個端部與絕緣層接觸的第一區域；位於半導體層的上部且一個端部與第一區域的另一個端部接觸的第二區域；以及位於半導體層的另一個側部並且一個端部與第二區域的另一個端部接觸且另一個端部與絕緣層接觸的第三區域，該三個區域都與閘極絕緣膜接觸，在第二區域中與閘極絕緣膜之間的介面具有從一個端部至另一個端部依次連接有曲率半徑為 $R1$ 的區域、曲率半徑為 $R2$ 的區域以及曲率半徑為 $R3$ 的區域的凸形形狀， $R2$ 比 $R1$ 及 $R3$ 大。

【0011】 另外，在本說明書等中使用的“第一”、“第二”等序數詞是爲了方便識別構成要素而附的，而不是爲了在數目方面上進行限定的。

【0012】 本發明的另一個方式是一種半導體裝置，該半導體裝置包括：絕緣層；絕緣層上的半導體層；與半導體層電連接的源極電極層及汲極電極層；半導體層、源極電極層及汲極電極層上的閘極絕緣膜；以及隔著閘極絕緣膜與半導體層、源極電極層的一部分及汲極電極層的一部分重疊的閘極電極層，在半導體層的通道寬度方向上的剖面中，半導體層包括：位於半導體層的一個側部且一個端部與絕緣層接觸的第一區域；位於半導體層的上部且一個端部與第一區域的另一個端部接觸的第二區域；以及位於半導體層的另一個側部並且一個端部與第二區域的另一個端部接觸且另一個端部與絕緣層接觸的第三區域，該三個區域都與閘極絕緣膜接觸，在第二區域中與閘極絕緣膜之間的介面具有從一個端部至另一個端部依次連接有曲率半徑為 $R1$ 的區域、曲率半徑為 $R2$ 的區域以及曲率半徑為 $R3$ 的區域的凸形形狀，在第一區域中一個端部的與閘極絕緣膜之間的介面具有曲率

半徑為R4的凹形形狀，在第三區域中另一個端部的與閘極絕緣膜之間的介面具有曲率半徑為R5的凹形形狀，R2比R1及R3大，R1及R3都比R4及R5大。

【0013】 在上述半導體裝置中，R2較佳為R1和R3中的較小一個的兩倍以上。

【0014】 另外，R1及R3較佳為R4和R5中的較小一個的三倍以上。

【0015】 另外，R1除以R3的值及R4除以R5的值較佳為0.7以上且1.3以下。

【0016】 另外，重合於第一區域與閘極絕緣膜之間的介面且延伸在閘極電極層一側的線和重合於第三區域與閘極絕緣膜之間的介面且延伸在閘極電極層一側的線所成的角度較佳為5°以上且45°以下。

【0017】 另外，半導體層的通道寬度方向上的剖面的高度較佳為30nm以上且3000nm以下。

【0018】 另外，半導體層的通道寬度方向上的剖面的高度除以通道寬度的值較佳為0.5以上。

【0019】 另外，上述半導體裝置也可以採用形成有隔著絕緣層與半導體層重疊的導電層的結構。

【0020】 另外，作為半導體層，可以使用氧化物半導體層。

【0021】 上述氧化物半導體層也可以採用從絕緣層一側層疊第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層的結構。

【0022】 另外，較佳的是，第一氧化物半導體層至第三氧化物半導體層包含In-M-Zn氧化物（M為Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd或Hf），各第一氧化物半導體層及第三氧化物半導體層的對於In的M的原子數比比

第二氧化物半導體層大。

【0023】 另外，氧化物半導體層較佳為包括c軸配向結晶。

【0024】 本發明的另一個方式是一種半導體裝置，該半導體裝置包括：絕緣層；絕緣層上的依次形成有第一半導體層、第二半導體層的疊層；與疊層的一部分電連接的源極電極層及汲極電極層；覆蓋疊層的一部分、源極電極層的一部分及汲極電極層的一部分的第三半導體層；以及與疊層的一部分、源極電極層的一部分、汲極電極層的一部分以及第三半導體層重疊的閘極絕緣膜及閘極電極層，在第三半導體層覆蓋疊層的區域的通道寬度方向上的剖面中，第三半導體層包括：覆蓋疊層的一個側部及絕緣層的一部分的第一區域；覆蓋第二半導體層的上部的第二區域；以及覆蓋疊層的另一個側部及絕緣層的一部分的第三區域，在第二區域中與閘極絕緣膜之間的介面具有從一個端部至另一個端部依次連接有曲率半徑為 $R1$ 的區域、曲率半徑為 $R2$ 的區域以及曲率半徑為 $R3$ 的區域的凸形形狀， $R2$ 比 $R1$ 及 $R3$ 大。

【0025】 本發明的另一個方式是一種半導體裝置，該半導體裝置包括：絕緣層；絕緣層上的依次形成有第一半導體層、第二半導體層的疊層；與疊層的一部分電連接的源極電極層及汲極電極層；覆蓋疊層的一部分、源極電極層的一部分及汲極電極層的一部分的第三半導體層；以及與疊層的一部分、源極電極層的一部分、汲極電極層的一部分以及第三半導體層重疊的閘極絕緣膜及閘極電極層，在第三半導體層覆蓋疊層的區域的通道寬度方向上的剖面中，第三半導體層包括：覆蓋疊層的一個側部及絕緣層的一部分的第一區域；覆蓋第二半導體層的第二區域；以及覆蓋疊層的另一

一個側部及絕緣層的一部分的第三區域，在第二區域中與閘極絕緣膜之間的介面具有從一個端部至另一個端部依次連接有曲率半徑為 R_1 的區域、曲率半徑為 R_2 的區域以及曲率半徑為 R_3 的區域的凸形形狀，在第一區域中覆蓋絕緣層的一部分的部位的與閘極絕緣膜之間的介面具有曲率半徑為 R_4 的凹形形狀，在第三區域中覆蓋絕緣層的一部分的部位的與閘極絕緣膜之間的介面具有曲率半徑為 R_5 的凹形形狀， R_2 比 R_1 及 R_3 大， R_1 及 R_3 都比 R_4 及 R_5 大。

【0026】 在上述半導體裝置中， R_2 較佳為 R_1 和 R_3 中的較小一個的兩倍以上。

【0027】 另外， R_1 及 R_3 都較佳為 R_4 和 R_5 中的較小一個的三倍以上。

【0028】 另外， R_1 除以 R_3 的值及 R_4 除以 R_5 的值較佳為0.7以上且1.3以下。

【0029】 另外，重合於第一區域與閘極絕緣膜之間的介面且延伸在閘極電極層一側的線和重合於第三區域與閘極絕緣膜之間的介面且延伸在閘極電極層一側的線所成的角度較佳為 5° 以上且 45° 以下。

【0030】 另外，第一半導體層至第三半導體層的通道寬度方向上的剖面的整個高度較佳為30nm以上且3000nm以下。

【0031】 另外，第一半導體層至第三半導體層的通道寬度方向上的剖面的整個高度除以通道寬度的值較佳為0.5以上。

【0032】 另外，上述半導體裝置也可以採用形成有隔著絕緣層與第一半導體層至第三半導體層重疊的導電層的結構。

【0033】 另外，作為第一半導體層至第三半導體層，可以使用氧化物

半導體層。

【0034】 另外，較佳的是，相當於第一半導體層至第三半導體層的第一氧化物半導體層至第三氧化物半導體層包含In-M-Zn氧化物(M為Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd或Hf)，各第一氧化物半導體層及第三氧化物半導體層的對於In的M的原子數比比第二氧化物半導體層大。

【0035】 另外，第一氧化物半導體層至第三氧化物半導體層較佳為包括c軸配向結晶。

【0036】 另外，與源極電極層的一部分或汲極電極層的一部分重疊的閘極電極層的通道長度方向上的長度較佳為3nm以上且小於300nm。

【0037】 藉由使用本發明的一個方式，可以使半導體裝置具有良好的電特性。另外，可以提供一種適合於微型化的半導體裝置。另外，可以提供一種集成度高的半導體裝置。另外，可以提供一種低功耗的半導體裝置。可以提供一種可靠性高的半導體裝置。可以提供一種在關閉電源的狀態下也能保持資料的半導體裝置。可以提供一種新穎的半導體裝置。

【0038】 注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個方式並不需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的效果。

【圖式簡單說明】

【0039】 在圖式中：

圖1A至1C是說明電晶體的俯視圖及剖面圖；

圖2A和2B是說明電晶體的通道寬度方向上的剖面的圖；

圖3是說明電晶體的通道寬度方向上的剖面的圖；

圖4是說明電晶體的通道寬度方向上的剖面的圖；

圖5是說明電晶體的剖面圖；

圖6A至6C是說明電晶體的俯視圖及剖面圖；

圖7A至7C是說明電晶體的俯視圖及剖面圖；

圖8A和8B是說明電晶體的通道寬度方向上的剖面的圖；

圖9是說明電晶體的通道寬度方向上的剖面的圖；

圖10是說明電晶體的剖面圖；

圖11A至11C是說明電晶體的製造方法的圖；

圖12A至12C是說明電晶體的製造方法的圖；

圖13A至13C是說明電晶體的製造方法的圖；

圖14A至14C是說明電晶體的製造方法的圖；

圖15A至15D是CAAC-OS的剖面的Cs修正高解析度TEM影像以及
CAAC-OS的剖面示意圖；

圖16A至16D是CAAC-OS的平面的Cs修正高解析度TEM影像；

圖17A至17C是說明藉由XRD得到的CAAC-OS以及單晶氧化物半導體
的結構分析的圖；

圖18A至18D是半導體裝置的剖面圖及電路圖；

圖19A至19C是記憶體裝置的剖面圖及電路圖；

圖20是說明RF標籤的結構實例的圖；

圖21是說明CPU的結構實例的圖；

圖22是記憶元件的電路圖；

圖23A至23C是說明顯示裝置的結構實例的圖及像素的電路圖；

圖24是說明顯示模組的圖；

圖25A至25F是說明電子裝置的圖；

圖26A至26F是說明RF標籤的使用例子的圖；

圖27A和27B是電晶體的剖面TEM照片；

圖28是電晶體的剖面TEM照片；

圖29是電晶體的剖面TEM照片；

圖30A和30B是示出CAAC-OS的電子繞射圖案的圖；

圖31是因電子照射導致的In-Ga-Zn氧化物的結晶部的變化的圖；

圖32A和32B是示出CAAC-OS及nc-OS的成膜模型的示意圖；

圖33A至33C是說明InGaZnO₄的結晶及顆粒的圖；

圖34A至34D是說明CAAC-OS的成膜模型的示意圖。

【實施方式】

【0040】 參照圖式對實施方式進行詳細說明。注意，本發明不侷限於以下說明，所屬發明所屬之技術領域的普通技術人員可以很容易地理解一個事實就是，其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在以下說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。注意，有時在不同的圖式中適當地省略或改變相同構成要素的陰影。

【0041】 例如，在本說明書等中，當明確地記載為“X與Y連接”時，在本說明書等中公開了如下情況：X與Y電連接的情況；X與Y在功能上連接

的情況；以及X與Y直接連接的情況。因此，不侷限於圖式或文中所示的連接關係等規定的連接關係，圖式或文中所示的連接關係以外的連接關係也在本說明書等中公開了。

【0042】 這裡，X和Y為目標物（例如，裝置、元件、電路、佈線、電極、端子、導電膜和層等）。

【0043】 作為X與Y直接連接的情況的一個例子，可以舉出在X與Y之間沒有連接能夠電連接X與Y的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件和負載等），並且X與Y沒有藉由能夠電連接X與Y的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）連接的情況。

【0044】 作為X與Y電連接的情況的一個例子，例如可以在X與Y之間連接一個以上的能夠電連接X與Y的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件和負載等）。另外，開關具有控制開啓和關閉的功能。換言之，藉由使開關處於導通狀態（開啓狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。另外，X與Y電連接的情況包括X與Y直接連接的情況。

【0045】 作為X與Y在功能上連接的情況的一個例子，例如可以在X與Y之間連接一個以上的能夠在功能上連接X與Y的電路（例如，邏輯電路（反相器、NAND電路、NOR電路等）、信號轉換電路（DA轉換電路、AD轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、

切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在X與Y之間夾有其他電路，當從X輸出的信號傳送到Y時，也可以說X與Y在功能上是連接著的。另外，X與Y在功能上連接的情況包括X與Y直接連接的情況及X與Y電連接的情況。

【0046】 此外，當明確地記載為“X與Y電連接”時，在本說明書等中公開了如下情況：X與Y電連接的情況（換言之，以中間夾有其他元件或其他電路的方式連接X與Y的情況）；X與Y在功能上連接的情況（換言之，以中間夾有其他電路的方式在功能上連接X與Y的情況）；以及X與Y直接連接的情況（換言之，以中間不夾有其他元件或其他電路的方式連接X與Y的情況）。換言之，當明確記載為“電連接”時，在本說明書等中公開了與只明確記載為“連接”的情況相同的內容。

【0047】 注意，例如，在電晶體的源極（或第一端子等）藉由Z1（或沒有藉由Z1）與X電連接，電晶體的汲極（或第二端子等）藉由Z2（或沒有藉由Z2）與Y電連接的情況下以及在電晶體的源極（或第一端子等）與Z1的一部分直接連接，Z1的另一部分與X直接連接，電晶體的汲極（或第二端子等）與Z2的一部分直接連接，Z2的另一部分與Y直接連接的情況下，可以表現為如下。

【0048】 例如，可以表現為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與Y依次電連接”。或者，可以表現為“電晶體的源極（或第一端子等）與X電連接，電晶體的汲極（或第二

端子等)與Y電連接,X、電晶體的源極(或第一端子等)、電晶體的汲極(或第二端子等)與Y依次電連接”。或者,可以表現為“X藉由電晶體的源極(或第一端子等)及汲極(或第二端子等)與Y電連接,X、電晶體的源極(或第一端子等)、電晶體的汲極(或第二端子等)、Y依次設置為相互連接”。藉由使用與這種例子相同的表現方法規定電路結構中的連接順序,可以區別電晶體的源極(或第一端子等)與汲極(或第二端子等)而決定技術範圍。

【0049】 另外,作為其他表現方法,例如可以表現為“電晶體的源極(或第一端子等)至少藉由第一連接路徑與X電連接,所述第一連接路徑不具有第二連接路徑,所述第二連接路徑是藉由電晶體的源極(或第一端子等)與電晶體的汲極(或第二端子等)之間的路徑,所述第一連接路徑是藉由Z1的路徑,電晶體的汲極(或第二端子等)至少藉由第三連接路徑與Y電連接,所述第三連接路徑不具有所述第二連接路徑,所述第三連接路徑是藉由Z2的路徑”。或者,也可以表現為“電晶體的源極(或第一端子等)至少經過第一連接路徑,藉由Z1與X電連接,所述第一連接路徑不具有第二連接路徑,所述第二連接路徑具有藉由電晶體的源極(或第一端子等)到電晶體的汲極(或第二端子等)的電子路徑,電晶體的汲極(或第二端子等)至少經過第三連接路徑,藉由Z2與Y電連接,所述第三連接路徑不具有所述第二連接路徑”。或者,也可以表現為“電晶體的源極(或第一端子等)至少經過第一電子路徑,藉由Z1與X電連接,所述第一電子路徑不具有第二電子路徑,所述第二電子路徑是從電晶體的源極(或第一端子等)到電晶體的汲極(或第二端子等)的電子路徑,電晶體的汲極(或第二端子等)至少經過第三電子路徑,藉由Z2與Y電連接,所述第三

電子路徑不具有第四電子路徑，所述第四電子路徑是從電晶體的汲極（或第二端子等）到電晶體的源極（或第一端子等）的電子路徑”。藉由使用與這種例子同樣的表現方法規定電路結構中的連接路徑，可以區別電晶體的源極（或第一端子等）和汲極（或第二端子等）來決定技術範圍。

【0050】 注意，這種表現方法只是一個例子而已，不侷限於上述表現方法。在此，X、Y、Z1及Z2為目標物（例如，裝置、元件、電路、佈線、電極、端子、導電膜和層等）。

【0051】 另外，即使圖式示出在電路圖上獨立的構成要素彼此電連接，也有一個構成要素兼有多個構成要素的功能的情況。例如，在佈線的一部分被用作電極時，一個導電膜兼有佈線和電極的兩個構成要素的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個構成要素的功能的情況。

【0052】 另外，根據情況或狀態，可以互相調換“膜”和“層”。例如，有時可以將“導電層”調換為“導電膜”。此外，有時可以將“絕緣膜”調換為“絕緣層”。

【0053】 實施方式1

在本實施方式中，參照圖式本發明的一個方式的半導體裝置。

【0054】 在本發明的一個方式的電晶體中，可以將矽（包含應變矽（strained silicon））、銻、矽銻、碳化矽、銻砷、砷化鋁銻、磷化銻、氮化銻、有機半導體或氧化物半導體等用於通道形成區域。尤其是，較佳為包含比矽的能帶間隙大的氧化物半導體形成通道形成區域。

【0055】 例如，作為上述氧化物半導體，至少包含銦(In)或鋅(Zn)。

更佳的是，上述氧化物半導體採用包含以In-M-Zn類氧化物(M是Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金屬)表示的氧化物的結構。

【0056】 下面，在沒有特別的說明的情況下，作為一個例子舉出在通道形成區域中包含氧化物半導體的半導體裝置而進行說明。

【0057】 圖1A、1B和1C是本發明的一個方式的電晶體101的俯視圖及剖面圖。圖1A為俯視圖，並且圖1A所示的點劃線A1-A2方向上的剖面相當於圖1B。另外，圖1A所示的點劃線A3-A4方向上的剖面相當於圖1C。在圖1A、1B和1C中，為了明確起見，放大、縮小或省略構成要素的一部分而進行圖示。另外，有時將點劃線A1-A2方向稱為通道長度方向，將點劃線A3-A4方向稱為通道寬度方向。

【0058】 注意，例如，通道長度是指電晶體的俯視圖中的半導體（或在電晶體處於導通狀態時，在半導體中電流流過的部分）和閘極電極重疊的區域或者形成通道的區域中的源極（源極區域或源極電極）和汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道長度有時不成為唯一的值。因此，在本說明書中，通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

【0059】 例如，通道寬度是指半導體（或在電晶體處於導通狀態時，在半導體中電流流過的部分）和閘極電極重疊的區域或者形成通道的區域中的源極和汲極相對的部分的長度。另外，在一個電晶體中，通道寬度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道寬度有時不成為唯一的值。因此，在本說明書中，通道寬度是形成通道的區域中

的任一個值、最大值、最小值或平均值。

【0060】 另外，根據電晶體的結構，有時實際上形成通道的區域中的通道寬度（下面稱為實效的通道寬度）和電晶體的俯視圖所示的通道寬度（下面稱為外觀上的通道寬度）不同。例如，在具有立體結構的電晶體中，有時因為實效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，所以不能忽略其影響。例如，在具有微型且立體的結構的電晶體中，有時形成在半導體的側面上的通道區域的比例大於形成在半導體的頂面上的通道區域的比例。在此情況下，實際上形成通道的實效的通道寬度大於俯視圖所示的外觀上的通道寬度。

【0061】 在具有立體結構的電晶體中，有時難以藉由實測估計實效的通道寬度。例如，為了根據設計值估計實效的通道寬度，需要預先知道半導體的形狀作為假定。因此，當半導體的形狀不清楚時，難以準確地測量實效的通道寬度。

【0062】 於是，在本說明書中，有時在電晶體的俯視圖中將作為半導體和閘極電極重疊的區域中的源極和汲極相對的部分的長度的外觀上的通道寬度稱為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地表示“通道寬度”時，有時是指圍繞通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效的通道寬度。注意，藉由取得剖面TEM影像等並對其影像進行分析等，可以決定通道長度、通道寬度、實效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

【0063】 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度

的電流值等時，有時使用圍繞通道寬度進行計算。在此情況下，有時成爲與使用實效的通道寬度進行計算時不同的值。

【0064】 電晶體101包括：基板110上的絕緣層120；絕緣層120上的氧化物半導體層130；與氧化物半導體層130電連接的源極電極層140及汲極電極層150；氧化物半導體層130、源極電極層140及汲極電極層150上的閘極絕緣膜160；以及隔著閘極絕緣膜160與氧化物半導體層130、源極電極層140的一部分及汲極電極層150的一部分重疊的閘極電極層170。此外，在閘極絕緣膜160及閘極電極層170上也可以設置有絕緣層180。在絕緣層180上也可以設置有由氧化物形成的絕緣層185。絕緣層180及185根據需要設置即可，也可以在其上還設置其他絕緣層。

【0065】 在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，“源極”和“汲極”的功能有時互相調換。因此，在本說明書中，“源極”和“汲極”可以調換而使用。

【0066】 源極電極層140（或/及汲極電極層150）的至少一部分（或者全部）設置在氧化物半導體層130等半導體層的表面、側面、頂面或/及底面的至少一部分（或者全部）。

【0067】 源極電極層140（或/及汲極電極層150）的至少一部分（或者全部）與氧化物半導體層130等半導體層的表面、側面、頂面或/及底面的至少一部分（或者全部）接觸。另外，源極電極層140（或/及汲極電極層150）的至少一部分（或者全部）與氧化物半導體層130等半導體層的至少一部分（或者全部）接觸。

【0068】 源極電極層140（或/及汲極電極層150）的至少一部分（或

者全部)與氧化物半導體層130等半導體層的表面、側面、頂面或/及底面的至少一部分(或者全部)電連接。另外,源極電極層140(或/及汲極電極層150)的至少一部分(或者全部)與氧化物半導體層130等半導體層的至少一部分(或者全部)電連接。

【0069】 源極電極層140(或/及汲極電極層150)的至少一部分(或者全部)設置在氧化物半導體層130等半導體層的表面、側面、頂面或/及底面的至少一部分(或者全部)的鄰近。另外,源極電極層140(或/及汲極電極層150)的至少一部分(或者全部)設置在氧化物半導體層130等半導體層的至少一部分(或者全部)的鄰近。

【0070】 源極電極層140(或/及汲極電極層150)的至少一部分(或者全部)設置在氧化物半導體層130等半導體層的表面、側面、頂面或/及底面的至少一部分(或者全部)的橫方向上。另外,源極電極層140(或/及汲極電極層150)的至少一部分(或者全部)設置在氧化物半導體層130等半導體層的至少一部分(或者全部)的橫方向上。

【0071】 源極電極層140(或/及汲極電極層150)的至少一部分(或者全部)設置在氧化物半導體層130等半導體層的表面、側面、頂面或/及底面的至少一部分(或者全部)的斜上方。另外,源極電極層140(或/及汲極電極層150)的至少一部分(或者全部)設置在氧化物半導體層130等半導體層的至少一部分(或者全部)的斜上方。

【0072】 源極電極層140(或/及汲極電極層150)的至少一部分(或者全部)設置在氧化物半導體層130等半導體層的表面、側面、頂面或/及底面的至少一部分(或者全部)的上方。另外,源極電極層140(或/及汲極電

極層150)的至少一部分(或者全部)設置在氧化物半導體層130等半導體層的至少一部分(或者全部)的上方。

【0073】 本發明的一個方式的電晶體採用通道長度為10nm以上且300nm以下的頂閘極型結構。該電晶體還包括閘極電極層170與源極電極層140重疊的區域191(LovS)及閘極電極層170與汲極電極層150重疊的區域192(LovD)。區域191及區域192的通道長度方向上的寬度較佳為3nm以上且小於300nm，以可以減小寄生電容。

【0074】 圖2A是放大圖1C所示的電晶體101的通道寬度方向上的剖面的構成要素中的一部分的放大圖。在該剖面中，氧化物半導體層130包括：一個端部與絕緣層120接觸的第一區域201；位於氧化物半導體層130的上部且一個端部與第一區域201的另一個端部接觸的第二區域202；以及一個端部與第二區域202的另一個端部接觸且另一個端部與絕緣層120接觸的第三區域203。

【0075】 如圖2B所示，在第二區域202中與閘極絕緣膜160之間的介面具有從第二區域202的一個端部至另一個端部依次連接有曲率半徑為R1的區域211、曲率半徑為R2的區域212以及曲率半徑為R3的區域213的凸形形狀。

【0076】 在第一區域201中一個端部的與閘極絕緣膜160之間的介面具有曲率半徑為R4的凹形區域214，在第三區域203中另一個端部的與閘極絕緣膜160之間的介面具有曲率半徑為R5的凹形區域215。另外，當計算區域214及區域215的曲率半徑時，也可以包含絕緣層120的凹形區域。

【0077】 在此，R2較佳為比R1及R3大。R2更佳為R1和R3中的較小一

個的兩倍以上。R1與R3大致相等，較佳為 $R1/R3=0.7$ 以上且 1.3 以下。R4與R5大致相等，較佳為 $R4/R5=0.7$ 以上且 1.3 以下。R1及R3較佳為比R4及R5大。R1及R3都更佳為R4和R5中的較小一個的三倍以上。另外，當通道寬度大時，如圖3所示，R2增至無限大，由此區域212實質上成為平坦。

【0078】 另外，如圖4所示，重合於第一區域201與閘極絕緣膜160之間的介面且延伸在閘極電極層170一側的線和重合於第三區域203與閘極絕緣膜160之間的介面且延伸在閘極電極層170一側的線所成的角度 θ 為 5° 以上且 45° 以下，較佳為 8° 以上且 30° 以下，更佳為 10° 以上且 25° 以下。

【0079】 另外，氧化物半導體層130的通道寬度方向上的剖面的高度(H)較佳為 30nm 以上且 3000nm 以下。例如，可以為 100nm 至 200nm 。此外，該數值也可以包括對絕緣層120進行過蝕刻來形成的凸部的高度。

【0080】 另外，氧化物半導體層130的通道寬度方向上的剖面的高度除以通道寬度的值為 0.5 以上。例如，較佳為 5 至 10 。

【0081】 藉由採用上述結構，可以提高覆蓋氧化物半導體層130的閘極絕緣膜160的覆蓋性，從而可以容易實現閘極絕緣膜160的薄膜化。另外，可以形成不具有電場會局部地集中的凹部或凸部的氧化物半導體層130，由此可以形成耐受電壓高的電晶體。

【0082】 另外，如圖5所示，電晶體101也可以包括氧化物半導體層130與基板110之間的導電膜172。藉由將該導電膜用作第二閘極電極（背後閘極），能夠增加通態電流或控制臨界電壓。當想要增加通態電流時，例如，對閘極電極層170和導電膜172供應相同的電位來實現雙閘極電晶體即可。另外，當想要控制臨界電壓時，對導電膜172供應與閘極電極層170不同的

恆電位即可。

【0083】 本發明的一個方式的電晶體也可以採用圖6A至6C所示的結構。圖6A為俯視圖，並且圖6A所示的點劃線B1-B2方向上的剖面相當於圖6B。另外，圖6A所示的點劃線B3-B4方向上的剖面相當於圖6C。在圖6A至6C中，爲了明確起見，放大、縮小或省略構成要素的一部分而進行圖示。另外，有時將點劃線B1-B2方向稱爲通道長度方向，將點劃線B3-B4方向稱爲通道寬度方向。

【0084】 圖6A至6C所示的電晶體102與電晶體101之間的不同之處在於：從絕緣層120一側依次形成有第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133而構成氧化物半導體層130。

【0085】 例如，作爲第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133，可以使用其組成彼此不同的氧化物半導體層等。

【0086】 另外，可以將與電晶體101的氧化物半導體層130的形狀有關的說明適用於電晶體102，所以電晶體102可以獲得與電晶體101相同的效果。也可以將圖5所示的結構適用於電晶體102。

【0087】 本發明的一個方式的電晶體也可以採用圖7A至7C所示的結構。圖7A為俯視圖，並且圖7A所示的點劃線C1-C2方向上的剖面相當於圖7B。另外，圖7A所示的點劃線C3-C4方向上的剖面相當於圖7C。在圖7A至7C中，爲了明確起見，放大、縮小或省略構成要素的一部分而進行圖示。另外，有時將點劃線C1-C2方向稱爲通道長度方向，將點劃線C3-C4方向稱爲通道寬度方向。

【0088】 圖7A至7C所示的電晶體103與電晶體101及電晶體102之間的不同之處在於：氧化物半導體層130包括從絕緣層120一側依次形成有第一氧化物半導體層131及第二氧化物半導體層132而構成的疊層，並且具有覆蓋該疊層的一部分的第三氧化物半導體層133。

【0089】 例如，作為第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133，可以使用其組成彼此不同的氧化物半導體層等。

【0090】 具體地，電晶體103包括：基板110上的絕緣層120；絕緣層120上的依次形成有第一氧化物半導體層131及第二氧化物半導體層132的疊層；與疊層的一部分電連接的源極電極層140及汲極電極層150；覆蓋疊層的一部分、源極電極層140的一部分及汲極電極層150的一部分的第三氧化物半導體層133；以及與疊層的一部分、源極電極層140的一部分、汲極電極層150的一部分以及第三氧化物半導體層133重疊的閘極絕緣膜160及閘極電極層170。另外，也可以在源極電極層140、汲極電極層150及閘極電極層170上設置有絕緣層180。在絕緣層180上也可以設置有由氧化物形成的絕緣層185。絕緣層180及185根據需要設置即可，也可以在其上還設置其他絕緣層。

【0091】 圖8A是放大圖7C所示的電晶體103的通道寬度方向上的剖面的構成要素中的一部分的放大圖。在該剖面中，第三氧化物半導體層133包括：覆蓋第一氧化物半導體層131及第二氧化物半導體層132的疊層的一個側部及絕緣層120的一部分的第一區域1331；覆蓋第二氧化物半導體層132的上部的第二區域1332；以及覆蓋該疊層的另一個側部及絕緣層120的

一部分的第三區域1333。

【0092】 如圖8B所示，在第二區域1332中與閘極絕緣膜160之間的介面具有從第二區域1332的一個端部至另一個端部依次連接有曲率半徑為R1的區域221、曲率半徑為R2的區域222以及曲率半徑為R3的區域223的凸形形狀。

【0093】 在第一區域1331中一個端部的與閘極絕緣膜160之間的介面具有曲率半徑為R4的凹形區域224，在第三區域1333中另一個端部的與閘極絕緣膜160之間的介面具有曲率半徑為R5的凹形區域225。

【0094】 在此，R2較佳為比R1及R3大。R2更佳為R1和R3中的較小一個的兩倍以上。R1與R3大致相等，較佳為 $R1/R3=0.7$ 以上且1.3以下。R4與R5大致相等，較佳為 $R4/R5=0.7$ 以上且1.3以下。R1及R3較佳為比R4及R5大。R1及R3都更佳為R4和R5中的較小一個的三倍以上。另外，當通道寬度大時，與圖3所示的電晶體同樣地R2增至無限大，由此區域222實質上成為平坦。

【0095】 另外，如圖9所示，重合於第一區域1331與閘極絕緣膜160之間的介面且延伸在閘極電極層170一側的線和重合於第三區域1333與閘極絕緣膜160之間的介面且延伸在閘極電極層170一側的線所成的角度 θ 為 5° 以上且 45° 以下，較佳為 8° 以上且 30° 以下，更佳為 10° 以上且 25° 以下。

【0096】 另外，氧化物半導體層130的通道寬度方向上的剖面的高度(H)較佳為30nm以上且3000nm以下。例如，可以為100nm至200nm。此外，該數值也可以包含對絕緣層120進行過蝕刻來形成的凸部的高度。

【0097】 另外，氧化物半導體層130的通道寬度方向上的剖面的高度

除以通道寬度的值為0.5以上。例如，較佳為5至10。

【0098】 藉由採用上述結構，可以提高覆蓋氧化物半導體層130的閘極絕緣膜160的覆蓋性，從而可以容易實現閘極絕緣膜160的薄膜化。另外，可以形成不具有電場會局部地集中的凹部或凸部的氧化物半導體層130，由此可以形成耐受電壓高的電晶體。

【0099】 另外，如圖10所示，電晶體103也可以包括氧化物半導體層130與基板110之間的導電膜172。藉由將該導電膜用作第二閘極電極（背後閘極），能夠增加通態電流或控制臨界電壓。當想要增加通態電流時，例如，對閘極電極層170和導電膜172供應相同的電位來實現雙閘極電晶體即可。另外，當想要控制臨界電壓時，對導電膜172供應與閘極電極層170不同的恆電位即可。

【0100】 另外，在圖1A至1C所示的電晶體101的形成通道的區域中，氧化物半導體層130為單層，而在圖6A至6C所示的電晶體102的形成通道的區域中，氧化物半導體層130具有從基板110一側層疊有第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133的三層結構。另外，在圖7A至7C所示的電晶體103中，氧化物半導體層130具有與電晶體102相同的三層結構，其中在通道形成區域中第二氧化物半導體層132被第一氧化物半導體層131及第三氧化物半導體層133圍繞。

【0101】 在上述任何結構中，在通道寬度方向上由閘極電極層170電性上包圍氧化物半導體層130，從而可以提高通態電流。將這種電晶體結構稱為surrounded channel(s-channel)結構。在電晶體102及電晶體103中，藉由適當地選擇構成氧化物半導體層130的三層的材料，可以使電流流過第二氧

化物半導體層132的整個部分。由於電流流過氧化物半導體層130內的第二氧化物半導體層132，因此不容易受到介面散射的影響，所以可以獲得很大的通態電流。另外，藉由增加第二氧化物半導體層132的厚度，可以增加通態電流。例如，可以將第二氧化物半導體層132的厚度設定為100nm至200nm。

【0102】 接著，對本發明的一個方式的電晶體的構成要素進行詳細的說明。

【0103】 基板110不侷限於僅進行支撐的基板，也可以是形成有電晶體等其他裝置的基板。此時，電晶體的閘極電極層170、源極電極層140和汲極電極層150中的至少一個也可以與上述其他裝置電連接。

【0104】 絕緣層120除了防止雜質從基板110擴散的功能以外，還可以具有對氧化物半導體層130供應氧的功能。因此，絕緣層120較佳為包含氧，更較佳為包含比化學計量比多的氧。例如，該絕緣膜為如下：當在膜的表面溫度為100℃以上且700℃以下或者100℃以上且500℃以下的溫度範圍中進行TDS分析時，換算為氧原子的氧的釋放量為 1.0×10^{19} atoms/cm³以上的膜。此外，如上所述，當基板110是形成有其他裝置的基板時，絕緣層120還用作層間絕緣膜。在此情況下，較佳為利用CMP（Chemical Mechanical Polishing：化學機械拋光）法等進行平坦化處理，以使其表面平坦。

【0105】 注意，在本實施方式中，以氧化物半導體層130採用三層結構的情況為主而進行詳細的說明，但是對疊層的個數沒有特別限制。當如電晶體101那樣氧化物半導體層130是單層時，可以使用相當於本實施方式所說明的第二氧化物半導體層132的層。此外，當氧化物半導體層130是兩

層時，例如也可以在電晶體102或電晶體103中所示的氧化物半導體層130中沒有設置第三氧化物半導體層133。在該結構中，也可以調換第二氧化物半導體層132和第一氧化物半導體層131。當氧化物半導體層130為四層以上時，例如可以採用在本實施方式所說明的三層結構的疊層上層疊其他的氧化物半導體層的結構或者該三層結構的層間插入其他氧化物半導體層的結構。

【0106】 例如，第二氧化物半導體層132使用其電子親和力（真空能階與導帶底之間的能量差）大於第一氧化物半導體層131及第三氧化物半導體層133的氧化物半導體。電子親和力是從真空能階與價帶頂之間的能量差（游離電位）減去導帶底與價帶頂之間的能量差（能隙）的值。

【0107】 第一氧化物半導體層131及第三氧化物半導體層133較佳為包含一種以上的構成第二氧化物半導體層132的金屬元素。例如，第一氧化物半導體層131及第三氧化物半導體層133較佳為使用其導帶底的能量比第二氧化物半導體層132的導帶底的能量更接近真空能階0.05eV、0.07eV、0.1eV或0.15eV以上且2eV、1eV、0.5eV或0.4eV以下的氧化物半導體形成。

【0108】 在上述結構中，當對閘極電極層170施加電場時，通道形成在氧化物半導體層130中的導帶底的能量最低的第二氧化物半導體層132中。

【0109】 另外，第一氧化物半導體層131包含一種以上的構成第二氧化物半導體層132的金屬元素，因此，與第二氧化物半導體層132與絕緣層120接觸時的兩者之間的介面相比，在第二氧化物半導體層132與第一氧化物半導體層131之間的介面不容易形成介面能階。上述介面能階有時形成通

道，因此有時導致電晶體的臨界電壓的變動。所以，藉由設置第一氧化物半導體層131，能夠抑制電晶體的臨界電壓等電特性的偏差。此外，可以提高該電晶體的可靠性。

【0110】 另外，第三氧化物半導體層133包含一種以上的構成第二氧化物半導體層132的金屬元素，因此，與第二氧化物半導體層132與閘極絕緣膜160接觸時的兩者之間的介面相比，在第二氧化物半導體層132與第三氧化物半導體層133之間的介面不容易發生載子散射。所以，藉由設置第三氧化物半導體層133，能夠提高電晶體的場效移動率。

【0111】 例如，第一氧化物半導體層131及第三氧化物半導體層133可以使用如下材料：包含Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf且該元素的原子數比高於第二氧化物半導體層132的材料。明確而言，上述元素的原子數比為第二氧化物半導體層132的1.5倍以上，較佳為2倍以上，更佳為3倍以上。上述元素與氧堅固地鍵合，所以具有抑制在氧化物半導體層中產生氧缺損的功能。由此可說，與第二氧化物半導體層132相比，在第一氧化物半導體層131及第三氧化物半導體層133中不容易產生氧缺損。

【0112】 另外，在第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133為至少包含銦、鋅及M（M為Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce或Hf等金屬）的In-M-Zn氧化物，且第一氧化物半導體層131的原子數比為In:M:Zn= $x_1:y_1:z_1$ ，第二氧化物半導體層132的原子數比為In:M:Zn= $x_2:y_2:z_2$ ，第三氧化物半導體層133的原子數比為In:M:Zn= $x_3:y_3:z_3$ 的情況下， y_1/x_1 及 y_3/x_3 為大於 y_2/x_2 。 y_1/x_1 及 y_3/x_3 為 y_2/x_2 的1.5倍以上，較佳為2倍以上，更佳為3倍以上。此時，在第二氧化物半導體層132中，在 y_2 為 x_2

以上的情況下，能夠使電晶體的電特性變得穩定。注意，在 y_2 為 x_2 的3倍以上的情況下，電晶體的場效移動率降低，因此 y_2 較佳為低於 x_2 的3倍。

【0113】 第一氧化物半導體層131及第三氧化物半導體層133中的除了Zn及O之外的In與M的原子百分比比較佳為In的比率低於50atomic%且M的比率為50atomic%以上，更佳為In的比率低於25atomic%且M的比率為75atomic%以上。另外，第二氧化物半導體層132中的除了Zn及O之外的In與M的原子百分比比較佳為In的比率為25atomic%以上且M的比率低於75atomic%，更佳為In的比率為34atomic%以上且M的比率低於66atomic%。

【0114】 第一氧化物半導體層131及第三氧化物半導體層133的厚度為3nm以上且100nm以下，較佳為3nm以上且50nm以下。另外，第二氧化物半導體層132的厚度為3nm以上且200nm以下，較佳為3nm以上且100nm以下，更佳為3nm以上且50nm以下。另外，第二氧化物半導體層132較佳為比第一氧化物半導體層131及第三氧化物半導體層133厚。

【0115】 此外，為了對其通道形成在氧化物半導體層中的電晶體賦予穩定電特性，藉由降低氧化物半導體層中的雜質濃度，來使氧化物半導體層成為本質或實質上本質是有效的。在此，“實質上本質”是指氧化物半導體層的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ ，較佳為低於 $1 \times 10^{15}/\text{cm}^3$ ，更佳為低於 $1 \times 10^{13}/\text{cm}^3$ 。

【0116】 此外，對氧化物半導體層來說，氫、氮、碳、矽以及主要成分以外的金屬元素是雜質。例如，氫和氮引起施體能階的形成，而增高載子密度。此外，矽引起氧化物半導體層中的雜質能階的形成。該雜質能階成為陷阱，有可能使電晶體的電特性劣化。因此，較佳為降低第一氧化物

半導體層131、第二氧化物半導體層132及第三氧化物半導體層133中或各層之間的介面的雜質濃度。

【0117】 爲了使氧化物半導體層成爲本質或實質上本質，例如氧化物半導體層的某個深度或氧化物半導體層的某個區域較佳爲如下：藉由SIMS（Secondary Ion Mass Spectrometry：二次離子質譜）分析測定出的矽濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳爲低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳爲低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。此外，例如氧化物半導體層的某個深度或氧化物半導體層的某個區域較佳爲如下：氫濃度爲 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下，較佳爲 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，更佳爲 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，進一步佳爲 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。此外，例如氧化物半導體層的某個深度或氧化物半導體層的某個區域較佳爲如下：氮濃度低於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳爲 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳爲 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，進一步較佳爲 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下。

【0118】 此外，當氧化物半導體層包含結晶時，如果以高濃度包含矽或碳，氧化物半導體層的結晶性則有可能降低。爲了防止氧化物半導體層的結晶性的降低，例如氧化物半導體層的某個深度或氧化物半導體層的某個區域爲如下即可：矽濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳爲低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳爲低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。此外，例如氧化物半導體層的某個深度或氧化物半導體層的某個區域爲如下即可：碳濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳爲低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳爲低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。

【0119】 此外，將如上述那樣的被高度純化了的氧化物半導體層用於通道形成區域的電晶體的關態電流（off-state current）極小。例如，可以使

以源極與汲極之間的電壓為0.1V、5V或10V左右時的電晶體的通道寬度正規化的關態電流降低到幾 $\mu\text{A}/\mu\text{m}$ 至幾 $\text{nA}/\mu\text{m}$ 。

【0120】 另外，作為電晶體的閘極絕緣膜，大多使用包含矽的絕緣膜，由於上述原因較佳為如本發明的一個方式的電晶體那樣不使氧化物半導體層的用作通道的區域與閘極絕緣膜接觸。另外，當通道形成在閘極絕緣膜與氧化物半導體層之間的介面時，有時在該介面產生載子散射而使電晶體的場效移動率降低。從上述觀點來看，可以說較佳為使氧化物半導體層的用作通道的區域與閘極絕緣膜離開。

【0121】 因此，藉由使氧化物半導體層130具有第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133的疊層結構，能夠將通道形成在第二氧化物半導體層132中，由此能夠形成具有高場效移動率及穩定的電特性的電晶體。

【0122】 在第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133的能帶圖中，導帶底的能量連續地變化。這是可以理解的，因為：由於第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133的組成相互相似，氧容易互相擴散。由此可以說，雖然第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133是組成互不相同的疊層體，但是在物性上是連續的。因此，在本說明書的圖式中，被層疊的各氧化物半導體層之間的介面由虛線表示。

【0123】 主要成分相同而層疊的氧化物半導體層130不是簡單地將各層層疊，而以形成連續結合（在此，尤其是指各層之間的導帶底的能量連續地變化的U型井（U-shaped well）結構）的方式形成。換言之，以在各層

的介面之間不存在會形成俘獲中心或再結合中心等缺陷能階的雜質的方式形成疊層結構。如果，雜質混入被層疊的氧化物半導體層的層間，能帶則失去連續性，因此載子在介面被俘獲或者再結合而消失。

【0124】 例如，第一氧化物半導體層131及第三氧化物半導體層133可以使用In:Ga:Zn=1:3:2、1:3:3、1:3:4、1:3:6、1:6:4或1:9:6（原子數比）的In-Ga-Zn氧化物等，第二氧化物半導體層132可以使用In:Ga:Zn=1:1:1、5:5:6或3:1:2（原子數比）等的In-Ga-Zn氧化物等。第一氧化物半導體層131可以使用In:Ga:Zn=1:6:4或1:9:6（原子數比）的In-Ga-Zn氧化物等，第三氧化物半導體層133可以使用In:Ga:Zn=1:3:2、1:3:3或1:3:4（原子數比）的In-Ga-Zn氧化物等。

【0125】 氧化物半導體層130中的第二氧化物半導體層132用作井（well），而在包括氧化物半導體層130的電晶體中，通道形成在第二氧化物半導體層132中。另外，氧化物半導體層130的導帶底的能量連續地變化，因此，也可以將氧化物半導體層130稱為U型井。另外，也可以將具有上述結構的通道稱為埋入通道。

【0126】 另外，雖然在第一氧化物半導體層131與氧化矽膜等絕緣膜之間以及第三氧化物半導體層133與氧化矽膜等絕緣膜之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置第一氧化物半導體層131及第三氧化物半導體層133，可以使第二氧化物半導體層132和該陷阱能階相隔。

【0127】 注意，第一氧化物半導體層131及第三氧化物半導體層133的導帶底的能量與第二氧化物半導體層132的導帶底的能量之間的能量差

小時，有時第二氧化物半導體層132的電子越過該能量差到達陷阱能階。成為負電荷的電子被陷阱能階俘獲，使得電晶體的臨界電壓向正方向漂移。

【0128】 因此，為了抑制電晶體的臨界電壓的變動，需要使第一氧化物半導體層131及第三氧化物半導體層133的導帶底的能量與第二氧化物半導體層132的導帶底的能量之間產生一定以上的能量差。該能量差都較佳為0.1eV以上，更佳為0.15eV以上。

【0129】 第一氧化物半導體層131、第二氧化物半導體層132及第三氧化物半導體層133較佳為包含結晶部。尤其是，藉由使用c軸配向結晶，能夠對電晶體賦予穩定的電特性。

【0130】 源極電極層140及汲極電極層150較佳為使用具有從氧化物半導體膜抽出氧的性質的導電膜。例如，可以使用Al、Cr、Cu、Ta、Ti、Mo和W等。在上述材料中，特別佳為使用容易與氧鍵合的Ti或在後面能以較高的溫度進行處理的熔點高的W。

【0131】 借助於具有從氧化物半導體膜抽出氧的性質的導電膜的作用，氧化物半導體膜中的氧被脫離，而在氧化物半導體膜中形成氧缺損。包含於膜中的微量的氫與該氧缺損鍵合而使該區域明顯地n型化。因此，可以該使n型化的區域用作電晶體的源極或汲極。

【0132】 作為閘極絕緣膜160，可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋇、氧化鐳、氧化釷和氧化鈾中的一種以上的絕緣膜。此外，閘極絕緣膜160也可以是上述材料的疊層。另外，閘極絕緣膜160也可以包含鐳(La)、氮、鋇(Zr)等作為雜質。

【0133】 另外，說明閘極絕緣膜160的疊層結構的一個例子。閘極絕緣膜160例如包含氧、氮、矽、鉛等。具體地，較佳為包含氧化鉛及氧化矽或者氧化鉛及氧氮化矽。

【0134】 氧化鉛的相對介電常數比氧化矽或氧氮化矽高。因此，可以使物理厚度比等效氧化物厚度（equivalent oxide thickness）大，即使將等效氧化物厚度設定為10nm以下或5nm以下也可以減少穿隧電流引起的洩漏電流。就是說，可以實現關態電流小的電晶體。再者，與包括非晶結構的氧化鉛相比，包括結晶結構的氧化鉛具有的相對介電常數高。因此，為了形成關態電流小的電晶體，較佳為使用包括結晶結構的氧化鉛。作為結晶結構的一個例子，可以舉出單斜晶結構或立方體晶結構。但是，本發明的一個方式不侷限於此。

【0135】 另外，在包括結晶結構的氧化鉛中有時具有起因於缺陷的介面能階。該介面能階有時用作陷阱中心。由此，當氧化鉛鄰近地設置在電晶體的通道區域時，有時該介面能階引起電晶體的電特性的劣化。於是，為了減少介面能階的影響，有時較佳為在電晶體的通道區域與氧化鉛之間設置其他膜而使它們互相離開。該膜具有緩衝功能。具有緩衝功能的膜可以為包含於閘極絕緣膜160的膜或者包含於氧化物半導體層130的膜。就是說，作為具有緩衝功能的膜，可以使用氧化矽、氧氮化矽、氧化物半導體等。另外，作為具有緩衝功能的膜，例如使用具有其能隙比成為通道區域的半導體大的半導體或絕緣體。另外，作為具有緩衝功能的膜，例如使用具有其電子親和力比成為通道區域的半導體小的半導體或絕緣體。另外，作為具有緩衝功能的膜，例如使用具有其電離能比成為通道區域的半導體

大的半導體或絕緣體。

【0136】 另一方面，藉由使包括上述結晶結構的氧化鉛中的介面能階（陷阱中心）俘獲電荷，有時可以調整電晶體的臨界電壓。爲了穩定地存在該電荷，例如在通道區域與氧化鉛之間可以設置其能隙比氧化鉛大的絕緣體。或者，可以設置其電子親和力比氧化鉛小的半導體或絕緣體。此外，作爲具有緩衝功能的膜，可以設置其電離能比氧化鉛大的半導體或絕緣體。藉由使用這種半導體或絕緣體，可以不容易釋放被介面能階俘獲的電荷，從而可以長期間保持電荷。

【0137】 作爲上述絕緣體，例如可以舉出氧化矽、氧氮化矽。藉由使電子從氧化物半導體層130移到閘極電極層170，可以使閘極絕緣膜160的介面能階俘獲電荷。作爲具體例子，可以舉出如下條件：以高溫度（例如，125℃以上且450℃以下，典型的是150℃以上且300℃以下）在使閘極電極層170的電位處於比源極電極或汲極電極高的狀態下保持1秒以上，典型的是1分以上。

【0138】 如此，在使閘極絕緣膜160等的介面能階俘獲所希望的量的電子的電晶體中，臨界電壓向正方向漂移。藉由調整閘極電極層170的電壓或施加電壓的時間，可以控制將俘獲電子的量（臨界電壓的變動量）。另外，只要能夠俘獲電荷，也可以不在閘極絕緣膜160中。也可以將具有相同的結構的疊層膜用於其他絕緣層。

【0139】 作爲閘極電極層170，可以使用Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta和W等的導電膜。此外，該閘極電極層也可以是上述材料的疊層。另外，該閘極電極層可以使用包含氮的導電膜。

【0140】 形成在閘極絕緣膜160及閘極電極層170上的絕緣層180較佳為包含氧化鋁膜。氧化鋁膜的不使氫、水分等雜質以及氧透過的阻擋效果高。因此，將氧化鋁膜適合用作具有如下效果的保護膜：在電晶體的製程中及製造電晶體之後，防止導致電晶體的電特性的變動的氫、水分等雜質向氧化物半導體層130混入；防止從氧化物半導體層釋放作為構成氧化物半導體層130的主要成分的材料氧；防止從絕緣層120的氧的不需要的釋放氧。也可以將包含於氧化鋁膜的氧擴散到氧化物半導體層中。

【0141】 在絕緣層180上較佳為形成有絕緣層185。作為絕緣層185，可以使用包含氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化釷、氧化鋇、氧化釷、氧化釷和氧化釷中的一種以上的絕緣膜。此外，該絕緣層也可以是上述材料的疊層。

【0142】 在此，絕緣層185較佳為與絕緣層120同樣地包含比化學計量比多的氧。能夠將從絕緣層185釋放的氧經由閘極絕緣膜160擴散到氧化物半導體層130的通道形成區域，因此能夠對形成在通道形成區域中的氧缺損填補氧。因此，可以獲得電晶體的穩定的電特性。

【0143】 為了實現半導體裝置的高集成化，必須進行電晶體的微型化。另一方面，已知伴隨著電晶體的微型化，電晶體的電特性劣化。通道寬度的縮短導致通態電流的減少。

【0144】 例如，在圖7A至7C所示的本發明的一個方式的電晶體中，如上所述，以覆蓋其中形成通道的第二氧化物半導體層132的方式設置有第三氧化物半導體層133，由此，通道形成層與閘極絕緣膜沒有接觸。因此，能夠抑制在通道形成層與閘極絕緣膜的介面產生的載子散射，而可以增加

電晶體的通態電流。

【0145】 在本發明的一個方式的電晶體中，如上所述，以在通道寬度方向上電性上包圍氧化物半導體層130的方式形成有閘極電極層170，由此除了垂直方向上的閘極電場之外，側面方向上的閘極電場也被施加到氧化物半導體層130。換而言之，閘極電場施加到整個氧化物半導體層130，所以電流流過整個成為通道的第二氧化物半導體層132，從而可以進一步提高通態電流。

【0146】 另外，在本發明的一個方式的電晶體中，藉由將第二氧化物半導體層132形成在第一氧化物半導體層131上，來使介面能階不容易產生。此外，藉由將第二氧化物半導體層132位於三層結構中的中間層，來防止雜質從上下方混入第二氧化物半導體層132。因此，除了可以增加上述電晶體的通態電流之外，還可以實現臨界電壓的穩定化及S值（次臨界值）的下降。因此，可以降低 I_{cut} （閘極電壓VG為0V時的電流），而可以降低功耗。另外，由於電晶體的臨界電壓得到穩定，因此能夠提高半導體裝置的長期可靠性。

【0147】 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

【0148】 實施方式2

在本實施方式中，說明實施方式1所說明的電晶體101、電晶體102及電晶體103的製造方法。

【0149】 首先，參照圖11A至圖12C說明電晶體102的製造方法。另外，在本實施方式中還說明僅氧化物半導體層130的結構不同的電晶體101

的製造方法。在圖11A至圖12C中，左邊的圖式示出電晶體的通道長度方向的剖面，而右邊的圖式示出電晶體的通道寬度方向的剖面。注意，通道寬度方向的圖式為放大圖，所以外觀上的各構成要素的膜厚度在左邊的圖式與右邊的圖式之間不同。

【0150】 基板110可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，也可以採用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI（Silicon On Insulator：絕緣層上覆矽）基板等，並且也可以在上述基板上設置半導體元件並將其用作基板110。

【0151】 作為絕緣層120可以藉由電漿CVD法或濺射法等使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氧化鎵、氧化鍺、氧化釔、氧化鋇、氧化釷、氧化鈾和氧化鋇等的氧化物絕緣膜、氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等的氮化物絕緣膜或者混合上述材料的膜而形成。此外，絕緣層120也可以是上述材料的疊層，其中，較佳為與氧化物半導體層130接觸的上層至少使用包含過剩氧的材料形成，以對氧化物半導體層130供應氧。

【0152】 另外，也可以利用離子植入法、離子摻雜法、電漿浸沒離子佈植技術（Plasma-immersion ion implantation method）等對絕緣層120添加氧。藉由添加氧，可以更容易地將氧從絕緣層120供應到氧化物半導體層130中。

【0153】 注意，基板110的表面由絕緣體構成，並且，雜質不會擴散到後面形成的氧化物半導體層130中的情況下，也可以不設置絕緣層120。

【0154】 接著，在絕緣層120上藉由濺射法、CVD法及MBE法等形成成為第一氧化物半導體層131的第一氧化物半導體膜131a、成為第二氧化物半導體層132的第二氧化物半導體膜132a及成為第三氧化物半導體層133的第三氧化物半導體膜133a（參照圖11A）。

【0155】 另外，當形成圖1A至1C所示的電晶體101時，也可以單獨設置第二氧化物半導體膜132a。

【0156】 當氧化物半導體層130採用疊層結構時，較佳為使用具備負載鎖定室的多腔室成膜裝置（例如，濺射裝置）以不暴露於大氣的方式連續地層疊各個層。在濺射裝置中的各腔室中，較佳為使用低溫泵等吸附式真空泵進行高真空抽氣（抽真空到 5×10^{-7} Pa至 1×10^{-4} Pa左右）且將被成膜的基板加熱到100°C以上，較佳為500°C以上，來盡可能地去除對氧化物半導體來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止將包含碳成分或水分等的氣體從排氣系統倒流到腔室內。

【0157】 為了獲得高純度本質的氧化物半導體，不僅需要對腔室進行高真空抽氣，而且需要進行濺射氣體的高度純化。藉由作為用作濺射氣體的氧氣體或氬氣體，使用露點為-40°C以下，較佳為-80°C以下，更佳為-100°C以下的高純度氣體，能夠盡可能地防止水分等混入氧化物半導體膜。

【0158】 第一氧化物半導體膜131a、第二氧化物半導體膜132a及第三氧化物半導體膜133a可以使用實施方式1所說明的材料。例如，第一氧化物半導體膜131a可以使用原子數比為In:Ga:Zn=1:3:6、1:3:4、1:3:3或1:3:2的In-Ga-Zn氧化物，第二氧化物半導體膜132a可以使用原子數比為In:Ga:Zn=1:1:1、3:1:2或5:5:6的In-Ga-Zn氧化物，第三氧化物半導體膜133a

可以使用原子數比為In:Ga:Zn=1:3:6、1:3:4、1:3:3或1:3:2的In-Ga-Zn氧化物。

【0159】 另外，能夠用於第一氧化物半導體膜131a、第二氧化物半導體膜132a及第三氧化物半導體膜133a的氧化物半導體較佳為至少包含銦(In)或鋅(Zn)。或者，較佳為包含In和Zn的兩者。另外，為了減少使用該氧化物半導體的電晶體的電特性偏差，除了上述元素以外，較佳為還包含穩定劑(stabilizer)。

【0160】 作為穩定劑，可以舉出鎵(Ga)、錫(Sn)、鈦(Hf)、鋁(Al)或鋇(Zr)等。另外，作為其他穩定劑，可以舉出鐳系元素的鐳(La)、鈰(Ce)、鐑(Pr)、釹(Nd)、釷(Sm)、鈾(Eu)、釷(Gd)、鉕(Tb)、鐳(Dy)、鈹(Ho)、鉕(Er)、釷(Tm)、鐳(Yb)、鐳(Lu)等。

【0161】 例如，作為氧化物半導體，可以使用氧化銦、氧化鎵、氧化錫、氧化鋅、In-Zn氧化物、Sn-Zn氧化物、Al-Zn氧化物、Zn-Mg氧化物、Sn-Mg氧化物、In-Mg氧化物、In-Ga氧化物、In-Ga-Zn氧化物、In-Al-Zn氧化物、In-Sn-Zn氧化物、Sn-Ga-Zn氧化物、Al-Ga-Zn氧化物、Sn-Al-Zn氧化物、In-Hf-Zn氧化物、In-La-Zn氧化物、In-Ce-Zn氧化物、In-Pr-Zn氧化物、In-Nd-Zn氧化物、In-Sm-Zn氧化物、In-Eu-Zn氧化物、In-Gd-Zn氧化物、In-Tb-Zn氧化物、In-Dy-Zn氧化物、In-Ho-Zn氧化物、In-Er-Zn氧化物、In-Tm-Zn氧化物、In-Yb-Zn氧化物、In-Lu-Zn氧化物、In-Sn-Ga-Zn氧化物、In-Hf-Ga-Zn氧化物、In-Al-Ga-Zn氧化物、In-Sn-Al-Zn氧化物、In-Sn-Hf-Zn氧化物、In-Hf-Al-Zn氧化物。

【0162】 注意，例如In-Ga-Zn氧化物是指作為主要成分包含In、Ga和Zn的氧化物。另外，也可以包含In、Ga、Zn以外的金屬元素。注意，在

本說明書中，將由In-Ga-Zn氧化物構成的膜稱為IGZO膜。

【0163】 另外，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ ，且 m 不是整數)表示的材料。注意， M 表示選自Ga、Y、Zr、La、Ce或Nd中的一種金屬元素或多種金屬元素。另外，也可以使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ ，且 n 是整數)表示的材料。

【0164】 注意，如在實施方式1中詳細地說明那樣，以使第一氧化物半導體膜131a及第三氧化物半導體膜133a的電子親和力小於第二氧化物半導體膜132a的方式選擇材料。

【0165】 另外，當形成氧化物半導體膜時，較佳為利用濺射法。作為濺射法，可以使用RF濺射法、DC濺射法、AC濺射法等。

【0166】 當作為第一氧化物半導體膜131a、第二氧化物半導體膜132a及第三氧化物半導體膜133a使用In-Ga-Zn氧化物時，例如可以使用In、Ga、Zn的原子數比為In:Ga:Zn=1:1:1、In:Ga:Zn=2:2:1、In:Ga:Zn=3:1:2、In:Ga:Zn=5:5:6、In:Ga:Zn=1:3:2、In:Ga:Zn=1:3:3、In:Ga:Zn=1:3:4、In:Ga:Zn=1:3:6、In:Ga:Zn=1:4:3、In:Ga:Zn=1:5:4、In:Ga:Zn=1:6:6、In:Ga:Zn=2:1:3、In:Ga:Zn=1:6:4、In:Ga:Zn=1:9:6、In:Ga:Zn=1:1:4、In:Ga:Zn=1:1:2中的任一個的材料。

【0167】 另外，較佳的是，第二氧化物半導體膜132a的銦的含量多於第一氧化物半導體膜131a及第三氧化物半導體膜133a的銦的含量。在氧化物半導體中，重金屬的s軌域主要有助於載子傳導，並且藉由增加In的比率來增加s軌域的重疊，由此In的比率多於Ga的氧化物的移動率比In的比率等於或少於Ga的氧化物高。因此，藉由將銦的比率高的氧化物用於第二氧化物

半導體層132，可以實現高移動率的電晶體。

【0168】 在形成第三氧化物半導體膜133a之後可以進行第一加熱處理。第一加熱處理在250℃以上且650℃以下，較佳為300℃以上且500℃以下的溫度下且在惰性氣體氛圍、包含10ppm以上的氧化氣體的氛圍或減壓狀態下進行即可。作為第一加熱處理，也可以進行惰性氣體氛圍下的加熱處理，然後為了補充脫離了的氧而進行包含10ppm以上的氧化氣體的氛圍下的加熱處理。藉由進行第一加熱處理，可以提高第一氧化物半導體膜131a至第三氧化物半導體膜133a的結晶性，而且可以從絕緣層120、第一氧化物半導體膜131a至第三氧化物半導體膜133a中去除氫或水等雜質。此外，也可以在後面說明的用來形成第一氧化物半導體層131至第三氧化物半導體層133的蝕刻之後進行第一加熱處理。

【0169】 接著，在第三氧化物半導體膜133a上形成第一光阻遮罩。第一光阻遮罩例如藉由利用電子束曝光、液浸曝光、EUV曝光等的光微影製程形成。此時，藉由將負性的光阻劑用於第一光阻遮罩，可以縮短曝光製程所需要的時間。使用該光阻遮罩對第三氧化物半導體膜133a、第二氧化物半導體膜132a及第一氧化物半導體膜131a選擇性地進行蝕刻，來形成層疊第三氧化物半導體層133、第二氧化物半導體層132及第一氧化物半導體層131的氧化物半導體層130（參照圖11B）。另外，也可以在第三氧化物半導體膜133a上形成金屬膜或絕緣膜等，利用第二光阻遮罩對該金屬膜或絕緣膜選擇性地進行蝕刻來形成層，將該層用於硬遮罩以形成氧化物半導體層130。此外，當形成圖1A至1C所示的電晶體101時，藉由上述方法對所形成的氧化物半導體膜進行蝕刻，形成氧化物半導體層130即可。

【0170】 此時，以將形成氧化物半導體層130的角部等形成爲實施方式1所說明的形狀的方式適當地調整蝕刻條件等。如圖式所示，也可以對絕緣層120的一部分進行了蝕刻。

【0171】 接著，在氧化物半導體層130上形成第一導電膜。作爲第一導電膜，可以使用：Al、Cr、Cu、Ta、Ti、Mo、W的單層；它們的疊層；或它們的合金。例如，藉由濺射法或CVD法等，形成100nm厚的鎢膜。

【0172】 接著，在第一導電膜上形成第二光阻遮罩。並且，將第二光阻遮罩用於遮罩對第一導電膜選擇性地進行蝕刻，來形成源極電極層140及汲極電極層150（參照圖11C）。

【0173】 接著，在氧化物半導體層130、源極電極層140及汲極電極層150上形成閘極絕緣膜160（參照圖12A）。作爲閘極絕緣膜160，可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化鉍、氧化銻、氧化釷、氧化釷、氧化釷和氧化釷等形成。此外，閘極絕緣膜160也可以爲上述材料的疊層。藉由濺射法、CVD法、MBE法等可以形成閘極絕緣膜160。

【0174】 接著，在閘極絕緣膜160上形成成爲閘極電極層170的第二導電膜。作爲第二導電膜，可以使用：Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta、W的單層；它們的疊層；或它們的合金。第二導電膜可以利用濺射法或CVD法等形成。另外，第二導電膜既可以使用包含氮的導電膜，又可以包含上述材料的導電膜與包含氮的導電膜的疊層。

【0175】 接著，在第二導電膜上形成第三光阻遮罩，使用該光阻遮罩對第二導電膜選擇性地進行蝕刻，來形成閘極電極層170（參照圖12B）。

【0176】 接著，在閘極絕緣膜160及閘極電極層170上形成絕緣層180及絕緣層185（參照圖12C）。絕緣層180及絕緣層185可以與絕緣層120同樣的材料及方法形成。另外，絕緣層180特別佳為使用氧化鋁。

【0177】 另外，也可以利用離子植入法、離子摻雜法、電漿浸沒離子佈植技術（Plasma-immersion ion implantation method）等對絕緣層180或/及絕緣層185添加氧。藉由添加氧，可以更容易地將氧從絕緣層180或/及絕緣層185供應到氧化物半導體層130中。

【0178】 接著，也可以進行第二加熱處理。第二加熱處理可以在與第一加熱處理同樣的條件下進行。藉由進行第二加熱處理，容易使絕緣層120、絕緣層180及絕緣層185釋放過剩氧，因此可以降低氧化物半導體層130中的氧缺損。

【0179】 經過上述步驟，可以製造圖6A至6C所示的電晶體102。另外，如上所述，藉由氧化物半導體層130為單層，可以製造圖1A至1C所示的電晶體101。

【0180】 接下來，說明圖7A至7C所示的電晶體103的製造方法。注意，省略與電晶體101及電晶體102的製造方法相同的製程而進行說明。

【0181】 利用濺射法、CVD法或MBE法等基板110上形成絕緣層120，在絕緣層120上形成成為第一氧化物半導體層131的第一氧化物半導體膜131a及成為第二氧化物半導體層132的第二氧化物半導體膜132a（參照圖13A）。

【0182】 接著，在第二氧化物半導體膜132a上形成第一光阻遮罩。使用第一光阻遮罩對第二氧化物半導體膜132a及第一氧化物半導體膜131a選

擇性地進行蝕刻，來形成第二氧化物半導體層132及第一氧化物半導體層131的疊層（參照圖13B）。

【0183】 接著，在第二氧化物半導體層132及第一氧化物半導體層131的疊層上形成第一導電膜。該製程可以參照如上所述的電晶體101及電晶體102的第一導電膜的說明。

【0184】 接著，在第一導電膜上形成第二光阻遮罩。並且，將第二光阻遮罩用於遮罩對第一導電膜選擇性地進行蝕刻，來形成源極電極層140及汲極電極層150（參照圖13C）。

【0185】 接著，藉由濺射法、CVD法、MBE法等，在第二氧化物半導體層132及第一氧化物半導體層131的疊層以及在源極電極層140及汲極電極層150上形成成為第三氧化物半導體層133的第三氧化物半導體膜133a。

【0186】 接著，在第三氧化物半導體膜133a上形成閘極絕緣膜160。該製程可以參照如上所述的電晶體101及電晶體102的閘極絕緣膜160的說明。

【0187】 接著，在閘極絕緣膜160上形成成為閘極電極層170的第二導電膜170a。該製程可以參照如上所述的電晶體101及電晶體102的第二導電膜的說明。

【0188】 接著，在第二導電膜170a上形成第三光阻遮罩190（參照圖14A）。然後，利用該光阻遮罩對第二導電膜170a選擇性地進行蝕刻，形成閘極電極層170。

【0189】 然後，將閘極電極層170用作遮罩對閘極絕緣膜160選擇性地進行蝕刻。

【0190】 然後，將閘極電極層170或閘極絕緣膜160用作遮罩對第三氧化物半導體膜133a進行蝕刻，來形成第三氧化物半導體層133(參照圖14B)。

【0191】 既可以對上述第二導電膜170a、閘極絕緣膜160及第三氧化物半導體膜133a的各層進行蝕刻，又可以連續地進行蝕刻。另外，作為蝕刻方法可以使用乾蝕刻或濕蝕刻，也可以對每個層分別使用適當的蝕刻方法。

【0192】 接著，在源極電極層140、汲極電極層150及閘極電極層170上形成絕緣層180及絕緣層185(參照圖14C)。該製程可以參照如上所述的電晶體101及電晶體102的絕緣層180及絕緣層185的說明。

【0193】 經過上述步驟，可以製造圖7A至7C所示的電晶體103。

【0194】 雖然本實施方式所說明的金屬膜、半導體膜及無機絕緣膜等各種膜可以典型地利用濺射法或電漿CVD法形成，但是也可以利用熱CVD法等其他方法形成。作為熱CVD法的例子，可以舉出MOCVD(Metal Organic Chemical Vapor Deposition:有機金屬化學氣相沉積)法或ALD(Atomic Layer Deposition:原子層沉積)法。

【0195】 由於熱CVD法是不使用電漿的成膜方法，因此具有不產生電漿損傷所引起的缺陷的優點。

【0196】 可以以如下方法進行利用熱CVD法的成膜：將源氣體及氧化劑同時供應到腔室內，將腔室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上起反應。

【0197】 另外，可以以如下方法進行利用ALD法的成膜：將腔室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入腔室，並且按

該順序反復地引入氣體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到腔室內。為了防止多種源氣體混合，例如，在引入第一源氣體的同時或之後引入惰性氣體（氬或氮等）等，然後引入第二源氣體。注意，當同時引入第一源氣體及惰性氣體時，惰性氣體用作載子氣體，另外，可以在引入第二源氣體的同時引入惰性氣體。另外，也可以利用真空抽氣將第一源氣體排出來代替引入惰性氣體，然後引入第二源氣體。第一源氣體附著到基板表面上形成第一層，之後引入的第二源氣體與該第一層起反應，由此第二層層疊在第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據按順序反復引入氣體的次數來進行調節，因此，ALD法可以準確地調節厚度而適用於製造微型FET。

【0198】 利用MOCVD法或ALD法等熱CVD法可以形成以上所示的實施方式所公開的金屬膜、半導體膜、無機絕緣膜等各種膜，例如，當形成In-Ga-Zn-O膜時，可以使用三甲基銦、三甲基鎵及二乙基鋅。三甲基銦的化學式為 $\text{In}(\text{CH}_3)_3$ 。三甲基鎵的化學式為 $\text{Ga}(\text{CH}_3)_3$ 。二乙基鋅的化學式為 $\text{Zn}(\text{C}_2\text{H}_5)_2$ 。但是，不侷限於上述組合，也可以使用三乙基鎵（化學式為 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二甲基鋅（化學式為 $\text{Zn}(\text{CH}_3)_2$ ）代替二乙基鋅。

【0199】 例如，在使用利用ALD法的成膜裝置形成氧化鋁膜時，使用如下兩種氣體：藉由使包含溶劑和鋁前體化合物的液體（鋁醇鹽溶液，典型為四二甲基醯胺鋁(TDMAH))氣化而得到的源氣體；以及用作氧化劑的臭氧(O_3)。此外，四二甲基醯胺鋁的化學式為 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 。另外，作為其它

材料液有四(乙基甲基醯胺)鋁等。

【0200】 例如，在使用利用ALD法的成膜裝置形成氧化鋁膜時，使用如下兩種氣體：藉由使包含溶劑和鋁前體化合物的液體(三甲基鋁(TMA)等)氣化而得到的源氣體；以及用作氧化劑的 H_2O 。此外，三甲基鋁的化學式為 $\text{Al}(\text{CH}_3)_3$ 。另外，作為其它材料液有三(二甲基醯胺)鋁、三異丁基鋁、鋁三(2,2,6,6-四甲基-3,5-庚二酮)等。

【0201】 例如，在使用利用ALD法的成膜裝置形成氧化矽膜時，使六氯乙矽烷附著在被成膜面上，去除附著物所包含的氯，供應氧化性氣體(O_2 ，一氧化二氮)的自由基使其與附著物起反應。

【0202】 例如，在使用利用ALD法的成膜裝置形成鎢膜時，依次反復引入 WF_6 氣體和 B_2H_6 氣體形成初始鎢膜，然後同時引入 WF_6 氣體和 H_2 氣體形成鎢膜。注意，也可以使用 SiH_4 氣體代替 B_2H_6 氣體。

【0203】 例如，在使用利用ALD法的成膜裝置形成氧化物半導體膜如In-Ga-Zn-O膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成In-O層，然後同時引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成Ga-O層，之後同時引入 $\text{Zn}(\text{CH}_3)_2$ 和 O_3 氣體形成Zn-O層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體來形成混合化合物層如In-Ga-O層、In-Zn-O層、Ga-Zn-O層等。注意，雖然也可以使用利用Ar等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含H的 O_3 氣體。另外，也可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{Ga}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{Zn}(\text{CH}_3)_2$ 氣體。

【0204】 本實施方式可以與本實施方式所示的其他實施方式及實施

例適當地組合而使用。

【0205】 實施方式3

〈氧化物半導體的結構〉

下面說明氧化物半導體的結構。

【0206】 在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。另外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

【0207】 在本說明書中，六方晶系包括三方晶系和菱方晶系。

【0208】 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor：c軸配向結晶氧化物半導體）、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體等。

【0209】 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及微晶氧化物半導體等。

【0210】 〈CAAC-OS〉

首先，對CAAC-OS進行說明。注意，也可以將CAAC-OS稱為具有CANC（C-Axis Aligned nanocrystals：c軸配向奈米晶）的氧化物半導體。

【0211】 CAAC-OS是包含多個c軸配向的結晶部（也稱為顆粒）的氧

化物半導體之一。

【0212】 在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所得到的CAAC-OS的明視場影像與繞射圖案的複合分析影像（也稱為高解析度TEM影像）中，觀察到多個顆粒。然而，在高解析度TEM影像中，觀察不到顆粒與顆粒之間的明確的邊界，即晶界（grain boundary）。因此，可以說在CAAC-OS中，不容易發生起因於晶界的電子移動率的降低。

【0213】 下面，對利用TEM觀察的CAAC-OS進行說明。圖15A示出從大致平行於樣本面的方向觀察所得到的CAAC-OS的剖面的高解析度TEM影像。利用球面像差修正（Spherical Aberration Corrector）功能得到高解析度TEM影像。將利用球面像差修正功能所得到的高解析度TEM影像特別稱為Cs修正高解析度TEM影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡JEM-ARM200F等得到Cs修正高解析度TEM影像。

【0214】 圖15B示出將圖15A中的區域（1）放大的Cs修正高解析度TEM影像。由圖15B可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成CAAC-OS膜的面（也稱為被形成面）或CAAC-OS膜的頂面的凸凹的配置並以平行於CAAC-OS的被形成面或頂面的方式排列。

【0215】 如圖15B所示，CAAC-OS具有特有的原子排列。圖15C是以輔助線示出特有的原子排列的圖。由圖15B和圖15C可知，一個顆粒的尺寸為1nm以上且3nm以下左右，由顆粒與顆粒之間的傾斜產生的空隙的尺寸為0.8nm左右。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。

【0216】 在此，根據Cs修正高解析度TEM影像，將基板5120上的CAAC-OS的顆粒5100的配置示意性地表示為推積磚塊或塊體的結構（參照圖15D）。在圖15C中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖15D所示的區域5161。

【0217】 圖16A示出從大致垂直於樣本面的方向觀察所得到的CAAC-OS的平面的Cs修正高解析度TEM影像。圖16B、圖16C和圖16D分別示出將圖16A中的區域（1）、區域（2）和區域（3）放大的Cs修正高解析度TEM影像。由圖16B、圖16C和圖16D可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

【0218】 接著，說明使用X射線繞射（XRD：X-Ray Diffraction）裝置進行分析的CAAC-OS。例如，當利用out-of-plane法分析包含InGaZnO₄結晶的CAAC-OS的結構時，如圖17A所示，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於InGaZnO₄結晶的（009）面，由此可知CAAC-OS中的結晶具有c軸配向性，並且c軸朝向大致垂直於被形成面或頂面的方向。

【0219】 注意，當利用out-of-plane法分析包含InGaZnO₄結晶的CAAC-OS的結構時，除了 2θ 為 31° 附近的峰值以外，有時在 2θ 為 36° 附近時也出現峰值。 2θ 為 36° 附近的峰值表示CAAC-OS中的一部分包含不具有c軸配向性的結晶。較佳的是，在利用out-of-plane法分析的CAAC-OS的結構中，在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

【0220】 另一方面，當利用從大致垂直於c軸的方向使X射線入射到樣本的in-plane法分析CAAC-OS的結構時，在 2θ 為 56° 附近時出現峰值。該

峰值來源於 InGaZnO_4 結晶的(110)面。在CAAC-OS中，即使將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸(ϕ 軸)旋轉樣本的條件下進行分析(ϕ 掃描)，也如圖17B所示的那樣觀察不到明確的峰值。相比之下，在 InGaZnO_4 的單晶氧化物半導體中，在將 2θ 固定為 56° 附近來進行 ϕ 掃描時，如圖17C所示的那樣觀察到來源於相等於(110)面的結晶面的六個峰值。因此，由使用XRD的結構分析可以確認到CAAC-OS中的a軸和b軸的配向沒有規律性。

【0221】 接著，說明利用電子繞射進行分析的CAAC-OS。例如，當對包含 InGaZnO_4 結晶的CAAC-OS在平行於樣本面的方向上入射束徑為300nm的電子線時，可能會獲得圖30A所示的繞射圖案（也稱為選區透過電子繞射圖案）。在該繞射圖案中包含起因於 InGaZnO_4 結晶的(009)面的斑點。因此，由電子繞射也可知CAAC-OS所包含的顆粒具有c軸配向性，並且c軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖30B示出對相同的樣本在垂直於樣本面的方向上入射束徑為300nm的電子線時的繞射圖案。由圖30B觀察到環狀的繞射圖案。因此，由電子繞射也可知CAAC-OS所包含的顆粒的a軸和b軸不具有配向性。可以認為圖30B中的第一環起因於 InGaZnO_4 結晶的(010)面和(100)面等。另外，可以認為圖30B中的第二環起因於(110)面等。

【0222】 另外，CAAC-OS是缺陷態密度低的氧化物半導體。氧化物半導體的缺陷例如有起因於雜質的缺陷、氧缺損等。因此，可以將CAAC-OS稱為雜質濃度低的氧化物半導體或者氧缺損少的氧化物半導體。

【0223】 包含於氧化物半導體的雜質有時會成為載子陷阱或載子發

生源。另外，氧化物半導體中的氧缺損有時會成為載子陷阱或因俘獲氫而成為載子發生源。

【0224】 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

【0225】 缺陷態密度低（氧缺損少）的氧化物半導體可以具有低載子密度。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS的雜質濃度和缺陷態密度低。也就是說，CAAC-OS容易成為高純度本質或實質上高純度本質的氧化物半導體。因此，使用CAAC-OS的電晶體很少具有負臨界電壓的電特性（很少成為常開啓）。高純度本質或實質上高純度本質的氧化物半導體的載子陷阱少。被氧化物半導體的載子陷阱俘獲的電荷需要很長時間才能被釋放，並且有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體有時電特性不穩定。但是，使用CAAC-OS的電晶體電特性變動小且可靠性高。

【0226】 由於CAAC-OS的缺陷態密度低，所以因光照射等而生成的載子很少被缺陷能階俘獲。因此，在使用CAAC-OS的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

【0227】 〈微晶氧化物半導體〉

接著說明微晶氧化物半導體。

【0228】 在微晶氧化物半導體的高解析度TEM影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。微晶氧化物半導體所包含的結晶部的尺寸大多為1nm以上且100nm以下或1nm以上且10nm以下。尤其是，將包含尺寸為1nm以上且10nm以下或1nm以上且3nm以下的微晶的奈米晶的氧化物半導體稱為nc-OS (nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體)。例如，在nc-OS的高解析度TEM影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與CAAC-OS中的顆粒相同。因此，下面有時將nc-OS的結晶部稱為顆粒。

【0229】 在nc-OS中，微小的區域（例如1nm以上且10nm以下的區域，特別是1nm以上且3nm以下的區域）中的原子排列具有週期性。另外，nc-OS在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時nc-OS在某些分析方法中與非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的X射線的XRD裝置藉由out-of-plane法對nc-OS進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒大（例如，50nm以上）的電子射線對nc-OS進行電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對nc-OS進行奈米束電子繞射時，觀察到斑點。另外，在nc-OS的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在nc-OS的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

【0230】 如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，

所以也可以將nc-OS稱為包含RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

【0231】 nc-OS是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS的缺陷態密度比非晶氧化物半導體低。但是，在nc-OS中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS的缺陷態密度比CAAC-OS高。

【0232】 〈非晶氧化物半導體〉

接著，說明非晶氧化物半導體。

【0233】 非晶氧化物半導體是膜中的原子排列沒有規律且不具有結晶部的氧化物半導體。其一個例子為具有如石英那樣的無定形態的氧化物半導體。

【0234】 在非晶氧化物半導體的高解析度TEM影像中無法發現結晶部。

【0235】 在使用XRD裝置藉由out-of-plane法對非晶氧化物半導體進行結構分析時，檢測不到表示結晶面的峰值。在對非晶氧化物半導體進行電子繞射時，觀察到光暈圖案。在對非晶氧化物半導體進行奈米束電子繞射時，觀察不到斑點而只觀察到光暈圖案。

【0236】 關於非晶結構有各種見解。例如，有時將原子排列完全沒有規律性的結構稱為完全的非晶結構（completely amorphous structure）。也有時將到最接近原子間距或到第二接近原子間距具有規律性，並且不是長程有序的結構稱為非晶結構。因此，根據最嚴格的定義，即使是略微具有原

子排列的規律性的氧化物半導體也不能被稱為非晶氧化物半導體。至少不能將長程有序的氧化物半導體稱為非晶氧化物半導體。因此，由於具有結晶部，例如不能將CAAC-OS和nc-OS稱為非晶氧化物半導體或完全的非晶氧化物半導體。

【0237】 〈amorphous-like氧化物半導體〉

注意，氧化物半導體有時具有介於nc-OS與非晶氧化物半導體之間的結構。將具有這樣的結構的氧化物半導體特別稱為amorphous-like氧化物半導體（a-like OS：amorphous-like Oxide Semiconductor）。

【0238】 在a-like OS的高解析度TEM影像中有時觀察到空洞（void）。另外，在高解析度TEM影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

【0239】 由於a-like OS包含空洞，所以其結構不穩定。為了證明與CAAC-OS及nc-OS相比a-like OS具有不穩定的結構，下面示出電子照射所導致的結構變化。

【0240】 作為進行電子照射的樣本，準備a-like OS（樣本A）、nc-OS（樣本B）和CAAC-OS（樣本C）。每個樣本都是In-Ga-Zn氧化物。

【0241】 首先，取得各樣本的高解析度剖面TEM影像。由高解析度剖面TEM影像可知，每個樣本都具有結晶部。

【0242】 注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知InGaZnO₄結晶的單位晶格具有包括三個In-O層和六個Ga-Zn-O層的9個層在c軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與（009）面的晶格表面間隔（也稱為d值）是幾乎相等的，由結晶結構分析求出其值為

0.29nm。由此，可以將晶格條紋的間隔為0.28nm以上且0.30nm以下的部分作為InGaZnO₄結晶部。每個晶格條紋對應於InGaZnO₄結晶的a-b面。

【0243】 圖31示出調查了各樣本的結晶部（22個部分至45個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖31可知，在a-like OS中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖31中的（1）所示，可知在利用TEM的觀察初期尺寸為1.2nm左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 時生長到2.6nm左右。另一方面，可知nc-OS和CAAC-OS在開始電子照射時到電子的累積照射量為 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖31中的（2）及（3）所示，可知無論電子的累積照射量如何，nc-OS及CAAC-OS的平均結晶部尺寸都分別為1.4nm左右及2.1nm左右。

【0244】 如此，有時電子照射引起a-like OS中的結晶部的生長。另一方面，可知在nc-OS和CAAC-OS中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS與CAAC-OS及nc-OS相比具有不穩定的結構。

【0245】 此外，由於a-like OS包含空洞，所以其密度比nc-OS及CAAC-OS低。具體地，a-like OS的密度為具有相同組成的單晶氧化物半導體的78.6%以上且小於92.3%。nc-OS的密度及CAAC-OS的密度為具有相同組成的單晶氧化物半導體的92.3%以上且小於100%。注意，難以形成其密度小於單晶氧化物半導體的密度的78%的氧化物半導體。

【0246】 例如，在原子數比滿足In:Ga:Zn=1:1:1的氧化物半導體中，具有菱方晶系結構的單晶InGaZnO₄的密度為 6.357 g/cm^3 。因此，例如，在原子數比滿足In:Ga:Zn=1:1:1的氧化物半導體中，a-like OS的密度為 5.0 g/cm^3

以上且小於 5.9g/cm^3 。另外，例如，在原子數比滿足 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 的氧化物半導體中，nc-OS的密度和CAAC-OS的密度為 5.9g/cm^3 以上且小於 6.3g/cm^3 。

【0247】 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳為盡可能減少所組合的單晶氧化物半導體的種類來計算密度。

【0248】 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、微晶氧化物半導體和CAAC-OS中的兩種以上的疊層膜。

【0249】 〈成膜模型〉

下面對CAAC-OS和nc-OS的成膜模型的一個例子進行說明。

【0250】 圖32A是示出利用濺射法形成CAAC-OS的狀況的成膜室內的示意圖。

【0251】 靶材5130被黏合到底板上。在隔著底板與靶材5130相對的位置配置多個磁鐵。由該多個磁鐵產生磁場。利用磁鐵的磁場提高沈積速度的濺射法被稱為磁控濺射法。

【0252】 基板5120以與靶材5130相對的方式配置，其距離 d （也稱為靶材與基板之間的距離（T-S間距離））為 0.01m 以上且 1m 以下，較佳為 0.02m 以上且 0.5m 以下。成膜室內幾乎被成膜氣體（例如，氧、氬或包含 $5\text{vol}\%$ 以上的氧的混合氣體）充滿，並且成膜室內的壓力被控制為 0.01Pa 以上且 100Pa 以下，較佳為 0.1Pa 以上且 10Pa 以下。在此，藉由對靶材5130施加一定程度

以上的電壓，開始放電且確認到電漿。由磁場在靶材5130附近形成高密度電漿區域。在高密度電漿區域中，因成膜氣體的離子化而產生離子5101。離子5101例如是氧的陽離子（ O^+ ）或氬的陽離子（ Ar^+ ）等。

【0253】 這裡，靶材5130具有包括多個晶粒的多晶結構，其中至少一個晶粒包括劈開面。作為一個例子，圖33A示出靶材5130所包含的 $InGaZnO_4$ 結晶的結構。注意，圖33A示出從平行於b軸的方向觀察 $InGaZnO_4$ 結晶時的結構。由圖33A可知，在靠近的兩個Ga-Zn-O層中，每個層中的氧原子彼此配置得很近。並且，藉由氧原子具有負電荷，在靠近的兩個Ga-Zn-O層之間產生斥力。其結果， $InGaZnO_4$ 結晶在靠近的兩個Ga-Zn-O層之間具有劈開面。

【0254】 在高密度電漿區域產生的離子5101由電場向靶材5130一側被加速而碰撞到靶材5130。此時，平板狀或顆粒狀的濺射粒子的顆粒5100a和顆粒5100b從劈開面剝離而濺出。注意，顆粒5100a和顆粒5100b的結構有時會因離子5101碰撞的衝擊而產生畸變。

【0255】 顆粒5100a是具有三角形（例如正三角形）的平面的平板狀或顆粒狀的濺射粒子。顆粒5100b是具有六角形（例如正六角形）的平面的平板狀或顆粒狀的濺射粒子。注意，將顆粒5100a和顆粒5100b等平板狀或顆粒狀的濺射粒子總稱為顆粒5100。顆粒5100的平面的形狀不侷限於三角形或六角形。例如，有時為組合多個三角形的形狀。例如，還有時為組合兩個三角形（例如正三角形）的四角形（例如菱形）。

【0256】 根據成膜氣體的種類等決定顆粒5100的厚度。顆粒5100的厚度較佳為均勻的，其理由在後面說明。另外，與厚度大的骰子狀相比，濺射粒子較佳為厚度小的顆粒狀。例如，顆粒5100的厚度為0.4nm以上且1nm

以下，較佳爲0.6nm以上且0.8nm以下。另外，例如，顆粒5100的寬度爲1nm以上且3nm以下，較佳爲1.2nm以上且2.5nm以下。顆粒5100相當於在上述圖31中的(1)所說明的初始晶核。例如，在使離子5101碰撞包含In-Ga-Zn氧化物的靶材5130的情況下，如圖33B所示，包含Ga-Zn-O層、In-O層和Ga-Zn-O層的三個層的顆粒5100剝離。圖33C示出從平行於c軸的方向觀察剝離的顆粒5100時的結構。可以將顆粒5100的結構稱爲包含兩個Ga-Zn-O層(麵包片)和In-O層(餡)的奈米尺寸的三明治結構。

【0257】 有時顆粒5100在穿過電漿時，其側面帶負電或帶正電。例如，在顆粒5100中，位於其側面的氧原子有可能帶負電。因側面帶相同極性的電荷而電荷相互排斥，從而可以維持平板形狀或顆粒形狀。當CAAC-OS是In-Ga-Zn氧化物時，與銦原子鍵合的氧原子有可能帶負電。或者，與銦原子、鎵原子或鋅原子鍵合的氧原子有可能帶負電。另外，有時顆粒5100在穿過電漿時與電漿中的銦原子、鎵原子、鋅原子和氧原子等鍵合而生長。上述圖31中的(2)和(1)的尺寸的差異相當於電漿中的生長程度。在此，當基板5120的溫度爲室溫左右時，不容易產生基板5120上的顆粒5100的生長，因此成爲nc-OS(參照圖32B)。由於能夠在室溫左右的溫度下進行成膜，即使基板5120的面積大也能夠形成nc-OS。注意，爲了使顆粒5100在電漿中生長，提高濺射法中的成膜功率是有效的。藉由提高成膜功率，可以使顆粒5100的結構穩定。

【0258】 如圖32A和圖32B所示，例如顆粒5100像風箏那樣在電漿中飛著，並輕飄飄地飛到基板5120上。由於顆粒5100帶有電荷，所以在它靠近其他顆粒5100已沉積的區域時產生斥力。在此，在基板5120的頂面產生

平行於基板5120頂面的磁場（也稱為水平磁場）。另外，由於在基板5120與靶材5130之間有電位差，所以電流從基板5120向靶材5130流過。因此，顆粒5100在基板5120頂面受到由磁場和電流的作用引起的力量（勞侖茲力）。這可以由弗萊明左手定則得到解釋。

【0259】 顆粒5100的質量比一個原子大。因此，為了在基板5120頂面移動，重要的是從外部施加某些力量。該力量之一有可能是由磁場和電流的作用產生的力量。為了對顆粒5100施加充分的力量以便顆粒5100在基板5120頂面移動，較佳為在基板5120頂面設置平行於基板5120頂面的磁場為10G以上，較佳為20G以上，更佳為30G以上，進一步佳為50G以上的區域。或者，較佳為在基板5120頂面設置平行於基板5120頂面的磁場為垂直於基板5120頂面的磁場的1.5倍以上，較佳為2倍以上，更佳為3倍以上，進一步佳為5倍以上的區域。

【0260】 此時，藉由磁鐵與基板5120相對地移動或旋轉，基板5120頂面的水平磁場的方向不斷地變化。因此，在基板5120頂面，顆粒5100受到各種方向的力量而可以向各種方向移動。

【0261】 另外，如圖32A所示，當基板5120被加熱時，顆粒5100與基板5120之間的由摩擦等引起的電阻小。其結果，顆粒5100在基板5120頂面下滑。顆粒5100的移動發生在使其平板面朝向基板5120的狀態下。然後，當顆粒5100到達已沉積的其他顆粒5100的側面時，它們的側面彼此鍵合。此時，顆粒5100的側面的氧原子脫離。CAAC-OS中的氧缺損有時被所脫離的氧原子填補，因此形成缺陷態密度低的CAAC-OS。注意，基板5120的頂面溫度例如為100℃以上且小於500℃、150℃以上且小於450℃或170℃以上

且小於400℃即可。因此，即使基板5120的面積大也能夠形成CAAC-OS。

【0262】 另外，藉由在基板5120上加熱顆粒5100，原子重新排列，從而離子5101的碰撞所引起的結構畸變得到緩和。畸變得到緩和的顆粒5100幾乎成為單晶。由於顆粒5100幾乎成為單晶，即使顆粒5100在彼此鍵合之後被加熱也幾乎不會發生顆粒5100本身的伸縮。因此，不會發生顆粒5100之間的空隙擴大導致晶界等缺陷的形成而成為裂縫（crevasse）的情況。

【0263】 CAAC-OS不是如一張平板的單晶氧化物半導體，而是具有如磚塊或塊體推積起來那樣的顆粒5100（奈米晶）的集合體的排列的結構。另外，顆粒5100之間沒有晶界。因此，即使因成膜時的加熱、成膜後的加熱或彎曲等而發生CAAC-OS的收縮等變形，也能夠緩和局部應力或解除畸變。因此，這是適合用於具有撓性的半導體裝置的結構。注意，nc-OS具有顆粒5100（奈米晶）無序地推積起來那樣的排列。

【0264】 當使離子5101碰撞靶材5130時，有時不僅是顆粒5100，氧化鋅等也剝離。氧化鋅比顆粒5100輕，因此先到達基板5120的頂面。並且形成0.1nm以上且10nm以下、0.2nm以上且5nm以下或0.5nm以上且2nm以下的氧化鋅層5102。圖34A至圖34D示出剖面示意圖。

【0265】 如圖34A所示，在氧化鋅層5102上沉積顆粒5105a和顆粒5105b。在此，顆粒5105a和顆粒5105b的側面彼此接觸。另外，顆粒5105c在沉積到顆粒5105b上後，在顆粒5105b上滑動。此外，在顆粒5105a的其他側面上，與氧化鋅一起從靶材剝離的多個粒子5103因來自基板5120的熱量而晶化，由此形成區域5105a1。注意，多個粒子5103有可能包含氧、鋅、銦和鎳等。

【0266】 然後，如圖34B所示，區域5105a1與顆粒5105a變為一體而成為顆粒5105a2。另外，顆粒5105c的側面與顆粒5105b的其他側面接觸。

【0267】 接著，如圖34C所示，顆粒5105d在沉積到顆粒5105a2上和顆粒5105b上後，在顆粒5105a2上和顆粒5105b上滑動。另外，顆粒5105e在氧化鋅層5102上向顆粒5105c的其他側面滑動。

【0268】 然後，如圖34D所示，顆粒5105d的側面與顆粒5105a2的側面接觸。另外，顆粒5105e的側面與顆粒5105c的其他側面接觸。此外，在顆粒5105d的其他側面上，與氧化鋅一起從靶材5130剝離的多個粒子5103因來自基板5120的熱量而晶化，由此形成區域5105d1。

【0269】 如上所述，藉由所沉積的顆粒彼此接觸，並且在顆粒的側面發生生長，在基板5120上形成CAAC-OS。因此，CAAC-OS的顆粒的每一個都比nc-OS的顆粒大。上述圖31中的（3）和（2）的尺寸的差異相當於沉積之後的生長程度。

【0270】 當顆粒彼此之間的空隙極小時，有時形成有一個大顆粒。一個大顆粒具有單晶結構。例如，從頂面看來顆粒的尺寸有時為10nm以上且200nm以下、15nm以上且100nm以下或20nm以上且50nm以下。此時，有時在用於微細的電晶體的氧化物半導體中，通道形成區域容納在一個大顆粒中。也就是說，可以將具有單晶結構的區域用作通道形成區域。另外，當顆粒變大時，有時可以將具有單晶結構的區域用作電晶體的通道形成區域、源極區域和汲極區域。

【0271】 如此，藉由電晶體的通道形成區域等形成在具有單晶結構的區域中，有時可以提高電晶體的頻率特性。

【0272】 如上述模型那樣，可以認為顆粒5100沉積到基板5120上。因此，可知即使被形成面不具有結晶結構，也能夠形成CAAC-OS，這是與磊晶生長不同的。此外，CAAC-OS不需要雷射晶化，並且在大面積的玻璃基板等上也能夠均勻地進行成膜。例如，即使基板5120的頂面（被形成面）結構為非晶結構（例如非晶氧化矽），也能夠形成CAAC-OS。

【0273】 另外，可知即使作為被形成面的基板5120頂面具有凹凸，在CAAC-OS中顆粒5100也根據基板5120頂面的形狀排列。例如，當基板5120的頂面在原子級別上平坦時，顆粒5100以使其平行於a-b面的平板面朝下的方式排列。當顆粒5100的厚度均勻時，形成厚度均勻、平坦且結晶性高的層。並且，藉由層疊n個（n是自然數）該層，可以得到CAAC-OS。

【0274】 另一方面，在基板5120的頂面具有凹凸的情況下，CAAC-OS也具有顆粒5100沿凹凸排列的層層疊為n個（n是自然數）層的結構。由於基板5120具有凹凸，在CAAC-OS中有時容易在顆粒5100之間產生空隙。注意，此時，由於在顆粒5100之間產生分子間力，所以即使有凹凸，顆粒也以盡可能地減小它們之間的空隙的方式排列。因此，即使有凹凸也可以得到結晶性高的CAAC-OS。

【0275】 因為根據這樣的模型形成CAAC-OS，所以濺射粒子較佳為厚度小的顆粒狀。注意，當濺射粒子為厚度大的骰子狀時，朝向基板5120上的面不固定，所以有時不能使厚度或結晶的配向均勻。

【0276】 根據上述成膜模型，即使在具有非晶結構的被形成面上也可以形成結晶性高的CAAC-OS。

【0277】 實施方式4

在本實施方式中，參照圖式利用本發明的一個方式的電晶體的電路的一個例子。

【0278】 [剖面結構]

圖18A示出本發明的一個方式的半導體裝置的剖面圖。圖18A所示的半導體裝置在下部包括使用第一半導體材料的電晶體2200，而在上部包括使用第二半導體材料的電晶體2100。圖18A示出作為使用第二半導體材料的電晶體2100應用上述實施方式所示的電晶體的例子。注意，點劃線的左側表示電晶體的通道長度方向的剖面，而點劃線的右側表示電晶體的通道寬度方向的剖面。

【0279】 第一半導體材料和第二半導體材料較佳為具有彼此不同的禁止帶寬度的材料。例如，可以將氧化物半導體以外的半導體材料（矽（包含應變矽）、鍺、矽鍺、碳化矽、鎵砷、砷化鋁鎵、磷化銮、氮化鎵、有機半導體等）用於第一半導體材料，並且將氧化物半導體用於第二半導體材料。作為氧化物半導體以外的材料使用單晶矽等的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體的關態電流小。

【0280】 電晶體2200可以是n通道電晶體和p通道電晶體中的任一個，根據電路使用適合的電晶體即可。另外，除了使用包含氧化物半導體的根據本發明的一個方式的電晶體之外，半導體裝置的材料及結構等具體結構不侷限於在此所示的結構。

【0281】 在圖18A所示的結構中，在電晶體2200上隔著絕緣膜2201及絕緣膜2207設置有電晶體2100。電晶體2200與電晶體2100之間設置有多個佈線2202。此外，藉由埋入各種絕緣膜中的多個插頭2203電連接設置在該

絕緣層上及下的佈線或電極。此外，還設置有覆蓋電晶體2100的絕緣膜2204、絕緣膜2204上的佈線2205以及藉由對與電晶體2100的一對電極相同的導電膜進行加工來獲得的佈線2206。

【0282】 如此，藉由層疊兩種電晶體，可以減少電路的佔有面積，而可以高密度地設置多個電路。

【0283】 在此，在將矽類半導體材料用於設置在下層的電晶體2200時，設置在電晶體2200的半導體膜的附近的絕緣膜中的氫具有使矽的懸空鍵終結而提高電晶體2200的可靠性的效果。另一方面，在將氧化物半導體用於設置在上層的電晶體2100時，設置在電晶體2100的半導體層的附近的絕緣層中的氫有可能成為在氧化物半導體中生成載子的原因之一，所以有時引起電晶體2100的可靠性的下降。因此，當在使用矽類半導體材料的電晶體2200上層疊使用氧化物半導體的電晶體2100時，在它們之間設置具有阻擋氫的擴散的功能的絕緣膜2207是有效的。藉由利用絕緣膜2207將氫封閉在下層，可以提高電晶體2200的可靠性，此外，由於從下層到上層的氫的擴散得到抑制，所以同時可以提高電晶體2100的可靠性。

【0284】 絕緣膜2207例如可以使用氧化鋁、氧氮化鋁、氧化鋇、氧氮化鋇、氧化鈮、氧氮化鈮、氧化鈦、氧氮化鈦、鈮安定氧化鋯（YSZ）等。

【0285】 此外，較佳為在電晶體2100上以覆蓋包括氧化物半導體膜的電晶體2100的方式形成具有阻擋氫的擴散的功能的障壁膜2208（在電晶體101至電晶體103中相當於絕緣層180）。障壁膜2208可以使用與絕緣膜2207相同的材料，特別佳為使用氧化鋁。氧化鋁膜的不使氫、水分等雜質和氧透過膜的遮斷（阻擋）效果高。因此，藉由作為覆蓋電晶體2100的障壁膜

2208使用氧化鋁膜，可以防止氧從電晶體2100中的氧化物半導體膜脫離，還可以防止水及氫混入氧化物半導體膜。

【0286】 另外，電晶體2200不僅是平面型電晶體，而且還可以是各種類型的電晶體。例如，可以是FIN（鰭）型、TRI-GATE（三閘極）型電晶體等。圖18D示出此時的剖面圖的例子。在半導體基板2211上設置有絕緣膜2212。半導體基板2211具有先端細的凸部（也稱為鰭）。在該凸部上可以設置有絕緣膜。該絕緣膜是當形成凸部時用作用來不對半導體基板2211進行蝕刻的遮罩的。另外，凸部可以是先端不細的形狀，例如該凸部也可以是大致長方體或先端粗的形狀。在半導體基板2211的凸部上設置有閘極絕緣膜2214，且在該閘極絕緣膜2214上設置有閘極電極2213。在半導體基板2211中形成有源極區域及汲極區域2215。另外，雖然在此示出了半導體基板2211具有凸部的例子，但是根據本發明的一個方式的半導體裝置不侷限於此。例如，也可以加工SOI基板具有凸部的半導體區域。

【0287】 [電路結構實例]

在上述結構中，藉由改變電晶體2100及電晶體2200的電極的連接結構，可以構成各種電路。下面說明藉由使用本發明的一個方式的半導體裝置來可以實現的電路結構實例。

【0288】 [CMOS電路]

圖18B所示的電路圖示出所謂的CMOS電路的結構，其中將p通道電晶體2200和n通道電晶體2100串聯連接且將各閘極連接。

【0289】 [類比開關]

圖18C所示的電路圖示出將電晶體2100和電晶體2200的各源極和汲極

連接的結構。藉由採用該結構，可以將其用作所謂的類比開關。

【0290】 [記憶體裝置的例子]

圖19A至19C示出半導體裝置（記憶體裝置）的一個例子，該半導體裝置（記憶體裝置）使用本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存內容，並且，對寫入次數也沒有限制。

【0291】 在圖19A所示的半導體裝置包括：使用第一半導體材料的電晶體3200；使用第二半導體材料的電晶體3300；以及電容元件3400。作為電晶體3300，可以使用在上述實施方式中所說明的電晶體。

【0292】 圖19B示出圖19A所示的半導體裝置的剖面圖。該剖面圖的半導體裝置採用在電晶體3300中設置有背閘極的結構，但是也可以不設置背閘極的結構。

【0293】 電晶體3300是其通道形成在包含氧化物半導體的半導體層中的電晶體。因為電晶體3300的關態電流小，所以藉由使用該電晶體，可以長期保持儲存內容。換言之，因為可以形成不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低功耗。

【0294】 在圖19A中，第一佈線3001與電晶體3200的源極電極電連接，第二佈線3002與電晶體3200的汲極電極電連接。此外，第三佈線3003與電晶體3300的源極電極和汲極電極中的一個電連接，第四佈線3004與電晶體3300的閘極電極電連接。再者，電晶體3200的閘極電極與電晶體3300的源極電極和汲極電極中的另一個及電容元件3400的電極中的一個電連接，第五佈線3005與電容元件3400的電極中的另一個電連接。

【0295】 在圖19A所示的半導體裝置中，藉由有效地利用能夠保持電

晶體3200的閘極電極的電位的特徵，可以如下所示那樣進行資料的寫入、保持以及讀出。

【0296】 對資料的寫入及保持進行說明。首先，將第四佈線3004的電位設定為使電晶體3300成為開啓狀態的電位，使電晶體3300成為開啓狀態。由此，第三佈線3003的電位施加到電晶體3200的閘極電極及電容元件3400。換言之，對電晶體3200的閘極電極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一種。然後，藉由將第四佈線3004的電位設定為使電晶體3300成為關閉狀態的電位，來使電晶體3300成為關閉狀態，而保持施加到電晶體3200的閘極電極的電荷（保持）。

【0297】 因為電晶體3300的關態電流極小，所以電晶體3200的閘極電極的電荷被長時間地保持。

【0298】 接著，對資料的讀出進行說明。當在對第一佈線3001施加規定的電位（恆電位）的狀態下對第五佈線3005施加適當的電位（讀出電位）時，根據保持在電晶體3200的閘極電極中的電荷量，第二佈線3002具有不同的電位。這是因為如下緣故：一般而言，在電晶體3200為n通道電晶體的情況下，對電晶體3200的閘極電極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體3200的閘極電極施加低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體3200成為“開啓狀態”所需要的第五佈線3005的電位。因此，藉由將第五佈線3005的電位設定為 V_{th_L} 與 V_{th_H} 之間的電位 V_0 ，可以辨別施加到電晶體3200的閘極電極的電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線3005的電位為 V_0 。

($>V_{th_H}$)，電晶體3200則成為“開啓狀態”。當被供應低位準電荷時，即使第五佈線3005的電位為 V_0 ($<V_{th_L}$)，電晶體3200還保持“關閉狀態”。因此，藉由辨別第二佈線3002的電位，可以讀出所保持的資料。

【0299】 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料時，對第五佈線3005施加不管閘極電極的狀態如何都使電晶體3200成為“關閉狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對第五佈線3005施加不管閘極電極的狀態如何都使電晶體3200成為“開啓狀態”的電位，即大於 V_{th_L} 的電位，即可。

【0300】 圖19C所示的半導體裝置與圖19A所示的半導體裝置不同點是圖19C所示的半導體裝置沒有設置電晶體3200。在此情況下也可以藉由與上述相同的工作進行資料的寫入及保持工作。

【0301】 接著，對資料的讀出進行說明。在電晶體3300成為開啓狀態時，處於浮動狀態的第三佈線3003和電容元件3400導通，且在第三佈線3003和電容元件3400之間再次分配電荷。其結果是，第三佈線3003的電位產生變化。第三佈線3003的電位的變化量根據電容元件3400的電極中的一個的電位(或積累在電容元件3400中的電荷)而具有不同的值。

【0302】 例如，在電容元件3400的電極中的一個的電位為 V ，電容元件3400的電容為 C ，第三佈線3003所具有的電容成分為 CB ，再次分配電荷之前的第三佈線3003的電位為 VB_0 時，再次分配電荷之後的第三佈線3003的電位為 $(CB \times VB_0 + C \times V) / (CB + C)$ 。因此，在假定作為記憶單元的狀態，電容元件3400的電極中的一個的電位成為兩種狀態，即 V_1 和 V_0 ($V_1 > V_0$)時，可以知道保持電位 V_1 時的第三佈線3003的電位 $(= (CB \times VB_0 + C \times V_1) / (CB + C))$

高於保持電位 V_0 時的第三佈線3003的電位($= (CB \times VB_0 + C \times V_0) / (CB + C)$)。

【0303】 藉由對第三佈線3003的電位和規定的電位進行比較，可以讀出資料。

【0304】 在此情況下，可以將使用上述第一半導體材料的電晶體用於用來驅動記憶單元的驅動電路，並在該驅動電路上作為電晶體3300層疊使用第二半導體材料的電晶體。

【0305】 在本實施方式所示的半導體裝置中，藉由使用其通道形成區域包含氧化物半導體的關態電流極小的電晶體，可以極長期地保持儲存內容。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率變得極低，所以可以充分降低功耗。另外，即使在沒有電力供給的情況下（注意，較佳為固定電位），也可以長期保持儲存內容。

【0306】 另外，在本實施方式所示的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件劣化的問題。由於例如不需要如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此不發生如閘極絕緣膜的劣化等的問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的開啓狀態或關閉狀態而進行資料寫入，而可以容易實現高速工作。

【0307】 另外，在本說明書等中，有時即使不指定主動元件(電晶體、二極體等)、被動元件(電容元件、電阻元件等)等所具有的所有端子的連接位置，所屬發明所屬之技術領域的普通技術人員也能夠構成發明的一個方式。也就是說，即使未指定連接位置，也可以說其是發明的一個方式是明

確的。並且，當在本說明書等中記載有指定了連接位置的內容時，有時可以判斷爲本說明書等中記載有未指定連接位置的發明的一個方式。尤其是，在作爲端子的連接位置有可能有多個位置的情況下，該端子的連接位置不限於指定的位置。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的一部分的端子的連接位置，就能夠構成發明的一個方式。

【0308】 另外，在本說明書等中，只要至少指定某個電路的連接位置，有時所屬發明所屬之技術領域的普通技術人員就能夠特定發明。或者，只要至少指定某個電路的功能，有時所屬發明所屬之技術領域的普通技術人員就能夠特定發明。也就是說，只要指定功能，有時就可以判斷其是發明的一個方式是明確的，並且作爲發明的一個方式記載在本說明書等中。因此，即使未指定某一個電路的功能，只要指定其連接位置，該電路就是可作爲發明的一個方式被公開的電路，而可以構成發明的一個方式。或者，即使不指定某個電路的連接位置，只要指定其功能，該電路就是可以作爲發明的一個方式被公開的電路，而可以構成發明的一個方式。

【0309】 此外，在本說明書等中，可以在某一個實施方式中所述的圖式或文章中取出其一部分而構成發明的一個方式。因此，在記載有說明某一部分的圖式或文章的情況下，被取出的其一部分的圖式或文章的內容也是作爲發明的一個方式被公開的內容，而能夠構成發明的一個方式。因此，例如，可以在記載有一個或多個主動元件（電晶體、二極體等）、佈線、被動元件（電容元件、電阻元件等）、導電層、絕緣層、半導體層、有機材料、無機材料、構件、裝置、工作方法、製造方法等的圖式或文章中，取出其

一部分而構成發明的一個方式。例如，可以從包括 N 個（ N 是整數）電路元件（電晶體、電容元件等）的電路圖中取出 M 個（ M 是整數， $M < N$ ）電路元件（電晶體、電容元件等）來構成發明的一個方式。作為其他例子，可以從包括 N 個（ N 是整數）層而構成的剖面圖中取出 M 個（ M 是整數， $M < N$ ）層來構成發明的一個方式。再者，作為其他例子，可以從包括 N 個（ N 是整數）要素而構成的流程圖中取出 M 個（ M 是整數， $M < N$ ）要素來構成本發明的一個方式。

【0310】 本實施方式可以與本說明書中所記載的其他實施方式及實施例適當地組合而實施。

【0311】 實施方式5

在本實施方式中，參照圖20說明包括上述實施方式所說明的電晶體或記憶體裝置的RF標籤。

【0312】 根據本發明的一個方式的RF標籤在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接受資料。由於具有這種特徵，RF標籤可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，這些用途要求極高的可靠性。

【0313】 參照圖20說明RF標籤的結構。圖20是示出RF標籤的結構實例的塊圖。

【0314】 如圖20所示，RF標籤800包括接收從與通信器801（也稱為詢問器、讀出器/寫入器等）連接的天線802發送的無線信號803的天線804。RF標籤800還包括整流電路805、恆壓電路806、解調變電路807、調變電路

808、邏輯電路809、記憶體電路810、ROM811。另外，在包括在解調變電路807中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性關係。注意，資料傳輸方法大致分成如下三種方法：將一對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行通信的電波方法。在本實施方式所示的RF標籤800中可以使用上述任何方法。

【0315】 接著，說明各電路的結構。天線804與連接於通信器801的天線802之間進行無線信號803的發送及接受。在整流電路805中，對藉由由天線804接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路805的輸入一側或輸出一側也可以設置限幅電路。限幅電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

【0316】 恆壓電路806是由輸入電位生成穩定的電源電壓而供應到各電路的電路。恆壓電路806也可以在其內部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路809的重設信號的電路。

【0317】 解調變電路807是藉由包絡檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路808是根據從天線804輸出的資料進行調變的電路。

【0318】 邏輯電路809是分析解調信號並進行處理的電路。記憶體電路810是保持被輸入的資料的電路，並包括行解碼器、列解碼器、儲存區域等。此外，ROM811是保持識別號碼（ID）等並根據處理進行輸出的電路。

【0319】 注意，根據需要可以適當地設置上述各電路。

【0320】 在此，可以將上述實施方式所示的記憶體裝置用於記憶體電路810。因為本發明的一個方式的記憶體電路即使在關閉電源的狀態下也可以保持資料，所以適用於RF標籤。再者，因為根據本發明的一個方式的記憶體電路的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，本發明的一個方式的記憶體電路可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

【0321】 此外，因為本發明的一個方式的記憶體裝置可以用作非揮發性記憶體，所以還可以應用於ROM811。在此情況下，較佳為生產者另外準備用來對ROM811寫入資料的指令防止使用者自由地重寫。由於生產者在預先寫入識別號碼後出廠，可以僅使出貨的良品具有識別號碼而不使所製造的所有RF標籤具有識別號碼，由此不發生出貨後的產品的識別號碼不連續的情況而可以容易根據出貨後的產品進行顧客管理。

【0322】 本實施方式可以與本說明書所記載的其他實施方式及實施例適當地組合而實施。

【0323】 實施方式6

在本實施方式中，說明包含上述實施方式所說明的記憶體裝置的CPU。

【0324】 圖21是示出將在上述實施方式中說明的電晶體用於至少其

一部分的CPU的結構的一個例子的塊圖。

【0325】 圖21所示的CPU在基板1190上具有：ALU1191（ALU：Arithmetic logic unit：算術邏輯單元）、ALU控制器1192、指令解碼器1193、中斷控制器1194、時序控制器1195、暫存器1196、暫存器控制器1197、匯流排介面1198(Bus I/F)、能夠重寫的ROM1199以及ROM介面1189(ROM I/F)。作為基板1190使用半導體基板、SOI基板、玻璃基板等。ROM1199及ROM介面1189也可以設置在不同的晶片上。當然，圖21所示的CPU只不過是簡化其結構而表示的一個例子，所以實際上的CPU根據其用途具有各種各樣的結構。例如，也可以以包括圖21所示的CPU或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在CPU的內部算術電路或資料匯流排中能夠處理的位元數例如可以為8位元、16位元、32位元、64位元等。

【0326】 藉由匯流排介面1198輸入到CPU的指令在輸入到指令解碼器1193並被解碼之後，輸入到ALU控制器1192、中斷控制器1194、暫存器控制器1197、時序控制器1195。

【0327】 ALU控制器1192、中斷控制器1194、暫存器控制器1197、時序控制器1195根據被解碼的指令進行各種控制。明確而言，ALU控制器1192生成用來控制ALU1191的工作的信號。另外，中斷控制器1194在執行CPU的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器1197生成暫存器1196的位址，並根據CPU的狀態來進行暫存器1196的讀出或寫入。

【0328】 另外，時序控制器1195生成用來控制ALU1191、ALU控制器1192、指令解碼器1193、中斷控制器1194以及暫存器控制器1197的工作時

序的信號。例如，時序控制器1195具有根據參考時脈信號CLK1生成內部時脈信號CLK2的內部時脈發生器，並將內部時脈信號CLK2供應到上述各種電路。

【0329】 在圖21所示的CPU中，在暫存器1196中設置有記憶單元。作為暫存器1196的記憶單元，可以使用上述實施方式所示的電晶體。

【0330】 在圖21所示的CPU中，暫存器控制器1197根據ALU1191的指令進行暫存器1196中的保持工作的選擇。換言之，暫存器控制器1197在暫存器1196所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器1196中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器1196中的記憶單元供應電源電壓。

【0331】 圖22是可以用作暫存器1196的記憶元件的電路圖的一個例子。記憶元件1200包括當關閉電源時丟失儲存資料的電路1201、當關閉電源時不丟失儲存資料的電路1202、開關1203、開關1204、邏輯元件1206、電容元件1207以及具有選擇功能的電路1220。電路1202包括電容元件1208、電晶體1209及電晶體1210。另外，記憶元件1200根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

【0332】 在此，電路1202可以使用上述實施方式所示的記憶體裝置。在停止對記憶元件1200供應電源電壓時，接地電位（0V）或使電晶體1209關閉的電位繼續輸入到電路1202中的電晶體1209的閘極。例如，電晶體1209的閘極藉由電阻器等負載接地。

【0333】 在此示出開關1203為具有一導電型（例如，n通道型）的電

晶體1213，而開關1204為具有與此相反的導電型（例如，p通道型）的電晶體1214的例子。這裡，開關1203的第一端子對應於電晶體1213的源極和汲極中的一個，開關1203的第二端子對應於電晶體1213的源極和汲極中的另一個，並且開關1203的第一端子與第二端子之間的導通或非導通（即，電晶體1213的開啓狀態或關閉狀態）由輸入到電晶體1213的閘極的控制信號RD選擇。開關1204的第一端子對應於電晶體1214的源極和汲極中的一個，開關1204的第二端子對應於電晶體1214的源極和汲極中的另一個，並且開關1204的第一端子與第二端子之間的導通或非導通（即，電晶體1214的開啓狀態或關閉狀態）由輸入到電晶體1214的閘極的控制信號RD選擇。

【0334】 電晶體1209的源極和汲極中的一個電連接到電容元件1208的一對電極中的一個及電晶體1210的閘極。在此，將連接部分稱為節點M2。電晶體1210的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND線），而另一個電連接到開關1203的第一端子（電晶體1213的源極和汲極中的一個）。開關1203的第二端子（電晶體1213的源極和汲極中的另一個）電連接到開關1204的第一端子（電晶體1214的源極和汲極中的一個）。開關1204的第二端子（電晶體1214的源極和汲極中的另一個）電連接到能夠供應電源電位VDD的佈線。開關1203的第二端子（電晶體1213的源極和汲極中的另一個）、開關1204的第一端子（電晶體1214的源極和汲極中的一個）、邏輯元件1206的輸入端子和電容元件1207的一對電極中的一個是電連接著的。在此，將連接部分稱為節點M1。可以對電容元件1207的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND等）或高電源電位（VDD等）。電容元件1207的一對電極中的另一個電連接到能

夠供應低電源電位的佈線（例如，GND線）。對電容元件1208的一對電極中的另一個可以輸入固定電位。例如，可以輸入低電源電位（GND等）或高電源電位（VDD等）。電容元件1208的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND線）。

【0335】 當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件1207及電容元件1208。

【0336】 控制信號WE輸入到電晶體1209的第一閘極（第一閘極電極）。開關1203及開關1204的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號WE不同的控制信號RD選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

【0337】 在圖22所示的電晶體1209中示出第二閘極（第二閘極電極：背閘極）的結構。以對第一閘極輸入控制信號WE並對第二閘極輸入控制信號WE2。控制信號WE2可以是具有固定電位的信號。該固定電位例如可以選自接地電位GND和低於電晶體1209的源極電位中的電位等。控制信號WE2為具有用來控制電晶體1209的臨界電壓的電位的信號，能夠降低電晶體1209的 I_{cut} 。控制信號WE2也可以是與控制信號WE相同的電位信號。另外，電晶體1209也可以使用不具有第二閘極的電晶體。

【0338】 對應於保持在電路1201中的資料的信號被輸入到電晶體1209的源極和汲極中的另一個。圖22示出從電路1201輸出的信號輸入到電晶體1209的源極和汲極中的另一個的例子。由邏輯元件1206使從開關1203的第二端子（電晶體1213的源極和汲極中的另一個）輸出的信號的邏輯值

反轉而成爲反轉信號，將其經由電路1220輸入到電路1201。

【0339】 另外，雖然圖22示出從開關1203的第二端子（電晶體1213的源極和汲極中的另一個）輸出的信號經由邏輯元件1206及電路1220輸入到電路1201的例子，但是不侷限於此。也可以不使從開關1203的第二端子（電晶體1213的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路1201。例如，當在電路1201內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關1203的第二端子（電晶體1213的源極和汲極中的另一個）輸出的信號輸入到該節點。

【0340】 在圖22所示的用於記憶元件1200的電晶體中，電晶體1209以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板1190中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作爲用於記憶元件1200的所有的電晶體使用其通道形成在氧化物半導體層中的電晶體。或者，記憶元件1200還可以包括電晶體1209以外的其通道由氧化物半導體層形成的電晶體，並且作爲剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板1190中的電晶體。

【0341】 圖22所示的電路1201例如可以使用正反器電路。另外，作爲邏輯元件1206例如可以使用反相器或時脈反相器等。

【0342】 在本發明的一個方式的半導體裝置中，在不向記憶元件1200供應電源電壓的期間，可以由設置在電路1202中的電容元件1208保持儲存在電路1201中的資料。

【0343】 另外，其通道形成在氧化物半導體層中的電晶體的關態電流

極小。例如，其通道形成在氧化物半導體層中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體1209，即使在不向記憶元件1200供應電源電壓的期間也可以長期間地儲存電容元件1208所保持的信號。因此，記憶元件1200在停止供應電源電壓的期間也可以保持儲存內容（資料）。

【0344】 另外，由於該記憶元件是以藉由設置開關1203及開關1204進行預充電工作為特徵的記憶元件，因此它可以縮短在再次開始供應電源電壓之後直到電路1201再次保持原來的資料為止的時間。

【0345】 另外，在電路1202中，由電容元件1208保持的信號被輸入到電晶體1210的閘極。因此，在再次開始向記憶元件1200供應電源電壓之後，可以將由電容元件1208保持的信號轉換為電晶體1210的狀態（開啓狀態或關閉狀態），並從電路1202讀出。因此，即使對應於保持在電容元件1208中的信號的電位有些變動，也可以準確地讀出原來的信號。

【0346】 藉由將這種記憶元件1200用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

【0347】 在本實施方式中，雖然對將記憶元件1200用於CPU的例子進行說明，但是也可以將記憶元件1200應用於LSI諸如DSP（Digital Signal Processor：數位訊號處理器）、定製LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等、RF（Radio Frequency：射頻識別）標籤。

【0348】 本實施方式可以與本說明書中所記載的其他實施方式及實施例適當地組合而實施。

【0349】 實施方式7

在本實施方式中，說明利用本發明的一個方式的電晶體的顯示裝置的結構實例。

【0350】 [結構實例]

圖23A是本發明的一個方式的顯示裝置的俯視圖，圖23B是在將液晶元件用於本發明的一個方式的顯示裝置的像素時可以使用的像素電路的電路圖。圖23C是在將有機EL元件用於本發明的一個方式的顯示裝置的像素時可以使用的像素電路的電路圖。

【0351】 可以根據上述實施方式形成配置在像素部中的電晶體。此外，因為該電晶體容易形成為n通道電晶體，所以將驅動電路中的可以由n通道電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供可靠性高的顯示裝置。

【0352】 圖23A示出主動矩陣型顯示裝置的俯視圖的一個例子。在顯示裝置的基板700上設置有：像素部701；第一掃描線驅動電路702；第二掃描線驅動電路703；以及信號線驅動電路704。在像素部701中配置有從信號線驅動電路704延伸的多個信號線以及從第一掃描線驅動電路702及第二掃描線驅動電路703延伸的多個掃描線。此外，在掃描線與信號線的交叉區中具有顯示元件的像素配置為矩陣狀。另外，顯示裝置的基板700藉由FPC（Flexible Printed Circuit：撓性印刷電路）等的連接部連接到時序控制電路

（也稱為控制器、控制IC）。

【0353】 在圖23A中，在設置有像素部701的基板700上形成有第一掃描線驅動電路702、第二掃描線驅動電路703、信號線驅動電路704。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板700的外部設置驅動電路時，需要使佈線延伸，佈線之間的連接數增加。當在基板700上設置驅動電路時，可以減少該佈線之間的連接數，從而可以實現可靠性或良率的提高。

【0354】 [液晶顯示裝置]

圖23B示出像素部的電路結構的一個例子。在此，作為一個例子示出可以用於VA方式的液晶顯示裝置的像素的像素電路。

【0355】 可以將該像素電路應用於一個像素具有多個像素電極層的結構。各像素電極層分別與不同的電晶體連接，以藉由不同閘極信號驅動各電晶體。由此，可以獨立地控制施加到多域像素中的各像素電極層的信號。

【0356】 電晶體716的閘極佈線712和電晶體717的閘極佈線713彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體716和電晶體717共同使用資料線714。作為電晶體716及電晶體717，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的液晶顯示裝置。

【0357】 以下說明與電晶體716電連接的第一像素電極層及與電晶體717電連接的第二像素電極層的形狀。第一像素電極層和第二像素電極層被狹縫彼此分離。第一像素電極層呈擴展為V字型的形狀，第二像素電極層以圍繞第一像素電極層的方式形成。

【0358】 電晶體716的閘極電極連接到閘極佈線712，而電晶體717的閘極電極連接到閘極佈線713。藉由對閘極佈線712和閘極佈線713施加不同的閘極信號，可以使電晶體716及電晶體717的工作時序互不相同來控制液晶配向。

【0359】 另外，也可以由電容佈線710、用作電介質的閘極絕緣膜以及與第一像素電極層或第二像素電極層電連接的電容電極形成儲存電容器。

【0360】 多域結構在一個像素中設置有第一液晶元件718和第二液晶元件719。第一液晶元件718由第一像素電極層、反電極層以及它們之間的液晶層構成，而第二液晶元件719由第二像素電極層、反電極層以及它們之間的液晶層構成。

【0361】 此外，圖23B所示的像素電路不侷限於此。例如，也可以還對圖23B所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

【0362】 [有機EL顯示裝置]

圖23C示出像素的電路結構的其他例子。在此，示出使用有機EL元件的顯示裝置的像素結構。

【0363】 在有機EL元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

【0364】 圖23C是示出可以應用的像素電路的一個例子的圖。這裡示出一個像素包括兩個n通道電晶體的例子。本發明的一個方式的金屬氧化物膜可以用於n通道電晶體的通道形成區域。另外，該像素電路可以採用數位時間灰階級驅動。

【0365】 以下說明可以應用的像素電路的結構及採用數位時間灰階級驅動時的像素的工作。

【0366】 像素720包括開關電晶體721、驅動電晶體722、發光元件724以及電容元件723。在開關電晶體721中，閘極電極層與掃描線726連接，第一電極（源極電極層和汲極電極層中的一個）與信號線725連接，並且第二電極（源極電極層和汲極電極層中的另一個）與驅動電晶體722的閘極電極層連接。在驅動電晶體722中，閘極電極層藉由電容元件723與電源線727連接，第一電極與電源線727連接，第二電極與發光元件724的第一電極（像素電極）連接。發光元件724的第二電極相當於共同電極728。共同電極728與形成在同一基板上的共用電位線電連接。

【0367】 作為開關電晶體721及驅動電晶體722，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的有機EL顯示裝置。

【0368】 將發光元件724的第二電極（共同電極728）的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線727的高電源電位的電位，例如，低電源電位可以為GND、0V等。將高電源電位與低電源電位的電位差設定為發光元件724的正向臨界電壓以上，將該電位差施加到發光元件724來使電流流過發光元件724，以獲得發光。發光元件724的正向電壓是指獲得所希望的亮度的電壓，至少包含正向臨界電壓。

【0369】 另外，還可以使用驅動電晶體722的閘極電容代替電容元件723。作為驅動電晶體722的閘極電容，也可以利用在通道形成區域和閘極電極層之間的電容。

【0370】 接著，說明輸入到驅動電晶體722的信號。當採用電壓輸入電壓驅動方式時，對驅動電晶體722輸入使驅動電晶體722充分處於開啓狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體722在線性區域中工作，將比電源線727的電壓高的電壓施加到驅動電晶體722的閘極電極層。另外，對信號線725施加電源線電壓加驅動電晶體722的臨界電壓 V_{th} 的值以上的電壓。

【0371】 當進行類比灰階級驅動時，對驅動電晶體722的閘極電極層施加發光元件724的正向電壓加驅動電晶體722臨界電壓的 V_{th} 的值以上的電壓。另外，藉由輸入使驅動電晶體722在飽和區域中工作的視訊信號，使電流流過發光元件724。為了使驅動電晶體722在飽和區域中工作，使電源線727的電位高於驅動電晶體722的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件724，而進行類比灰階級驅動。

【0372】 注意，像素電路的結構不侷限於圖23C所示的像素結構。例如，還可以對圖23C所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

【0373】 當對圖23A至23C所示的電路應用上述實施方式所示的電晶體時，使源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極的電

位，且由未圖示的佈線將比源極電極低的電位等如上所示的電位輸入第二閘極電極。

【0374】 例如，在本說明書等中，顯示元件、作為具有顯示元件的裝置的顯示裝置、發光元件以及作為具有發光元件的裝置的發光裝置可以採用各種方式或各種元件。作為顯示元件、顯示裝置、發光元件或發光裝置的一個例子，有對比度、亮度、反射率、透射率等因電磁作用而產生變化的顯示媒體諸如EL（電致發光）元件（包含有機物及無機物的EL元件、有機EL元件、無機EL元件）、LED（白色LED、紅色LED、綠色LED、藍色LED等）、電晶體（根據電流發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥（GLV）、電漿顯示器（PDP）、MEMS（微機電系統）、數位微鏡裝置（DMD）、DMS（數碼微快門）、MIRASOL（在日本註冊的商標）、IMOD（干涉調變）元件、電濕潤（electrowetting）元件、壓電陶瓷顯示器、碳奈米管等。作為使用EL元件的顯示裝置的一個例子，有EL顯示器等。作為使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器（FED）或SED方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器（透過型液晶顯示器、半透過型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器、投射型液晶顯示器）等。作為使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。

【0375】 本實施方式可以與本說明書中所記載的其他實施方式及實施例適當地組合而實施。

【0376】 實施方式8

另外，在本實施方式中，參照圖24對應用本發明的一個方式的半導體裝置的顯示模組進行說明。

【0377】 在圖24所示的顯示模組8000中，在上蓋8001與下蓋8002之間包括與FPC8003連接的觸控面板單元8004、與FPC8005連接的顯示面板8006、背光單元8007、框架8009、印刷電路板8010和電池8011。另外，有時不設置背光單元8007、電池8011、觸控面板單元8004等。

【0378】 例如，可以將本發明的一個方式的半導體裝置用於顯示面板8006。

【0379】 上蓋8001及下蓋8002根據觸控面板單元8004及顯示面板8006的尺寸可以適當地改變形狀或尺寸。

【0380】 觸控面板單元8004是能夠將電阻膜式或靜電電容式觸控面板重疊在顯示面板8006而使用的。此外，也可以使顯示面板8006的反基板（密封基板）具有觸控面板功能。或者，也可以在顯示面板8006的每個像素中設置光感測器，以製成光觸控面板。或者，也可以在顯示面板8006的每個像素中設置觸摸感測器用電極，以製成電容型觸控面板。

【0381】 背光單元8007包括光源8008。也可以採用將光源8008設置於背光單元8007的端部，且使用光擴散板的結構。

【0382】 除了顯示面板8006的保護功能之外，框架8009還具有用來阻擋因印刷電路板8010的工作而產生的電磁波的電磁屏蔽的功能。此外，框架8009也可以具有散熱板的功能。

【0383】 印刷電路板8010包括電源電路以及用來輸出視訊信號和時脈信號的信號處理電路。作為用來給電源電路供應電力的電源，既可以使

用外部的商用電源，又可以使用另外設置的電池8011的電源。注意，當使用商用電源時可以省略電池8011。

【0384】 此外，在顯示模組8000中還可以設置偏光板、相位差板、稜鏡片等構件。

【0385】 本實施方式可以與本說明書中所記載的其他實施方式及實施例適當地組合而實施。

【0386】 實施方式9

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭部安裝顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖25A至25F示出這些電子裝置的具體例子。

【0387】 圖25A是可攜式遊戲機，該可攜式遊戲機包括外殼901、外殼902、顯示部903、顯示部904、麥克風905、揚聲器906、操作鍵907以及觸控筆908等。注意，雖然圖25A所示的可攜式遊戲機包括兩個顯示部903和顯示部904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

【0388】 圖25B是可攜式資料終端，該可攜式資料終端包括第一外殼911、第二外殼912、第一顯示部913、第二顯示部914、連接部915、操作鍵

916等。第一顯示部913設置在第一外殼911中，第二顯示部914設置在第二外殼912中。而且，第一外殼911和第二外殼912由連接部915連接，由連接部915可以改變第一外殼911和第二外殼912之間的角度。第一顯示部913的影像也可以根據連接部915所形成的第一外殼911和第二外殼912之間的角度切換。另外，也可以對第一顯示部913和第二顯示部914中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置被稱為光感測器的光電轉換元件來附加位置輸入功能。

【0389】 圖25C是膝上型個人電腦，該膝上型個人電腦包括外殼921、顯示部922、鍵盤923以及指向裝置924等。

【0390】 圖25D是電冷藏冷凍箱，該電冷藏冷凍箱包括外殼931、冷藏室門932、冷凍室門933等。

【0391】 圖25E是視頻攝影機，該視頻攝影機包括第一外殼941、第二外殼942、顯示部943、操作鍵944、透鏡945、連接部946等。操作鍵944及透鏡945設置在第一外殼941中，顯示部943設置在第二外殼942中。而且，第一外殼941和第二外殼942由連接部946連接，由連接部946可以改變第一外殼941和第二外殼942之間的角度。顯示部943的影像也可以根據連接部946所形成的第一外殼941和第二外殼942之間的角度切換。

【0392】 圖25F是一般的汽車，該汽車包括車體951、車輪952、儀表板953及燈954等。

【0393】 本實施方式可以與本說明書中所記載的其他實施方式及實施例適當地組合而實施。

【0394】 實施方式10

在本實施方式中，參照圖26A至26F說明根據本發明的一個方式的RF標籤的使用例子。RF標籤的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名證券類、證書類（駕駛證、居民卡等，參照圖26A）、儲存介質（DVD軟體、錄影帶等，參照圖26B）、包裝用容器類（包裝紙、瓶子等，參照圖26C）、車輛類（自行車等，參照圖26D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣服、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL顯示裝置、電視機或行動電話）等或者各物品的裝運標籤（參照圖26E和26F）等。

【0395】 當將根據本發明的一個方式的RF標籤4000固定到物品時，將其附著到物品的表面上或者填埋於物品中。例如，當固定到書本時，將RF標籤嵌入在書本的紙張裡，而當固定到有機樹脂的包裝時，將RF標籤填埋於有機樹脂內部。根據本發明的一個方式的RF標籤4000實現了小型、薄型以及輕量，所以即使在固定到物品中也不會影響到該物品的設計性。另外，藉由將根據本發明的一個方式的RF標籤4000設置於鈔票、硬幣、有價證券類、不記名證券類或證書類等，可以賦予識別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器類、儲存介質、個人物品、食物類、衣服、生活用品類或電子裝置等中設置根據本發明的一個方式的RF標籤，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個方式的RF標籤，可以防止盜竊等而提高安全性。

【0396】 如上所述，藉由將根據本發明的一個方式的RF標籤應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等的工作

的功耗，因此能夠使最大通信距離長。另外，即使在關閉電力供應的狀態下，也可以在極長的期間保持資料，所以上述RF標籤適用於寫入或讀出的頻率低的用途。

【0397】 本實施方式可以與本說明書中所記載的其他實施方式及實施例適當地組合而實施。

【0398】 實施例

在本實施例中，製造電晶體說明觀察了該電晶體的剖面的結果。

【0399】 [樣本的製造]

作為用來觀察剖面的樣本，藉由實施方式2所說明的方法製造採用相當於實施方式1所說明的電晶體103的結構的電晶體以及相當於所說明的電晶體101的結構的電晶體。此外，作為相當於電晶體103的樣本，製造通道寬度不同的兩種樣本。

【0400】 作為基板使用矽晶圓，藉由使該矽晶圓熱氧化形成熱氧化膜，利用電漿CVD法在該熱氧化膜上形成氧氮化矽膜。

【0401】 接著，關於相當於電晶體103的樣本，藉由濺射法依次形成厚度大約為20nm的第一氧化物半導體膜及組成與第一氧化物半導體膜不同的厚度大約為40nm的第二氧化物半導體膜。另外，關於相當於電晶體101的樣本，藉由濺射法形成厚度大約為20nm的氧化物半導體膜。

【0402】 接著，在相當於電晶體103的樣本的第二氧化物半導體膜上及相當於電晶體101的樣本的氧化物半導體膜上形成鎢膜及有機樹脂膜。形成負性光阻膜，藉由掃描電子束等對該光阻膜進行曝光而進行顯影處理，來形成光阻膜的圖案。

【0403】 然後，將該光阻膜用作遮罩，對鎢膜及有機樹脂膜選擇性地進行蝕刻。作為蝕刻方法，利用感應耦合電漿方式的乾蝕刻裝置。

【0404】 接著，將該光阻膜用作遮罩，對相當於電晶體103的樣本的第一氧化物半導體膜及第二氧化物半導體膜以及相當於電晶體101的樣本的氧化物半導體膜選擇性地進行蝕刻，在相當於電晶體103的樣本中形成第一氧化物半導體層及第二氧化物半導體層的疊層，而在相當於電晶體101的樣本中形成氧化物半導體層。

【0405】 接著，藉由灰化製程去除光阻膜及有機樹脂，藉由蝕刻製程去除鎢膜。

【0406】 接著，藉由濺射法在相當於電晶體103的樣本的第二氧化物半導體層及相當於電晶體101的樣本的氧化物半導體層上形成鎢膜。並且，在鎢膜上形成光阻膜的圖案，對鎢膜選擇性地進行蝕刻來形成源極電極層及汲極電極層。

【0407】 接著，藉由濺射法在相當於電晶體103的樣本的第一氧化物半導體層及第二氧化物半導體層的疊層、源極電極層以及汲極電極層上形成厚度為5nm的第三氧化物半導體膜。

【0408】 接著，藉由電漿CVD法在相當於電晶體103的樣本的第三氧化物半導體膜、相當於電晶體101的樣本的氧化物半導體層、源極電極層以及汲極電極層上形成成為閘極絕緣膜的氧氮化矽膜。

【0409】 接下來，藉由濺射法連續地形成氮化鈦膜及鎢膜。然後，在鎢膜上形成光阻膜的圖案。

【0410】 關於相當於電晶體103的樣本，藉由利用光阻膜對該氮化鈦

膜及該鎢膜選擇性地進行蝕刻來形成閘極電極層，將該閘極電極層用作遮罩對閘極絕緣膜及第三氧化物半導體膜進行蝕刻，以形成第三氧化物半導體層。

【0411】 關於相當於電晶體101的樣本，藉由利用光阻膜對該氮化鈦膜及該鎢膜選擇性地進行蝕刻來形成閘極電極層。

【0412】 接著，作為絕緣層形成氧化鋁膜及氧氮化矽膜。

【0413】 經過上述步驟，製造相當於電晶體103的樣本及相當於電晶體101的樣本。

【0414】 [剖面觀察]

利用STEM(Scanning Transmission Electron Microscopy：掃描穿透式電子顯微鏡)觀察製造了的樣本1至3的剖面。

【0415】 圖27A和27B示出相當於電晶體103的樣本1的剖面照片。圖27A是通道長度方向的剖面，圖27B是通道寬度方向的剖面。從圖27A和27B所示的剖面照片觀察到的通道長度為68.3nm，通道寬度為34.3nm。

【0416】 當從圖27B觀察圖8B及圖9中定義的R1至R5及 θ 時，R1及R3大約為8.8nm：R2大約為19.0nm：R4及R5大約為7.3nm： θ 為20.5°。此外，電晶體的電特性良好。

【0417】 因此，確認到樣本1滿足實施方式1所示的如下條件：R2比R1及R3大；R1與R3大致相等；R4與R5大致相等；R1及R3都比R4及R5大；以及 θ 為5°以上且45°以下。

【0418】 圖28示出相當於電晶體103的樣本2的剖面照片，該樣本2與樣本1的通道寬度不同。從圖28所示的剖面照片觀察到的通道寬度為

91.3nm。

【0419】 當從圖28觀察圖8B及圖9中定義的R1至R5及 θ 時，R1及R3大約為4.8nm：測不出R2的長度（可判斷為大致無限大）：R4及R5大約為3.9nm： θ 為21.0°。此外，電晶體的電特性良好。

【0420】 因此，確認到樣本2滿足實施方式1所示的如下條件：R2比R1及R3大；R1與R3大致相等；R4與R5大致相等；R1及R3都比R4及R5大；以及 θ 為5°以上且45°以下。

【0421】 圖29示出相當於電晶體101的樣本3的通道寬度方向上的剖面照片。從圖29所示的剖面照片觀察到的通道寬度為82.7nm。

【0422】 當從圖29觀察圖2B中定義的R1至R3時，R1及R3大約為16.1nm：R2大約為421nm。此外，電晶體的電特性良好。

【0423】 因此，確認到樣本3滿足實施方式1所示的如下條件：R2比R1及R3大；以及R1與R3大致相等。

【0424】 此外，從圖29所示的剖面照片準確地觀察R4、R5及 θ 是困難的。藉由進行倍率更高的TEM觀察，可以準確地觀察到R4、R5及 θ 。

【0425】 由上述實施例的結果可知，本發明的一個方式的電晶體表示良好的電特性。

【0426】 本實施例可以與本說明書中所記載的其他實施方式適當地組合而實施。

【符號說明】

【0427】

101 電晶體

- 102 電晶體
- 103 電晶體
- 110 基板
- 120 絕緣層
- 130 氧化物半導體層
- 131 氧化物半導體層
- 131a 氧化物半導體膜
- 132 氧化物半導體層
- 132a 氧化物半導體膜
- 133 氧化物半導體層
- 133a 氧化物半導體膜
- 140 源極電極層
- 150 汲極電極層
- 160 閘極絕緣膜
- 170 閘極電極層
- 170a 導電膜
- 172 導電膜
- 180 絕緣層
- 185 絕緣層
- 190 光阻遮罩
- 191 區域
- 192 區域

- 201 區域
- 202 區域
- 203 區域
- 211 區域
- 212 區域
- 213 區域
- 214 區域
- 215 區域
- 221 區域
- 222 區域
- 223 區域
- 224 區域
- 225 區域
- 331 氧化物半導體膜
- 332 氧化物半導體膜
- 333 氧化物半導體膜
- 700 基板
- 701 像素部
- 702 掃描線驅動電路
- 703 掃描線驅動電路
- 704 信號線驅動電路
- 710 電容佈線

- 712 閘極佈線
- 713 閘極佈線
- 714 資料線
- 716 電晶體
- 717 電晶體
- 718 液晶元件
- 719 液晶元件
- 720 像素
- 721 開關電晶體
- 722 驅動電晶體
- 723 電容元件
- 724 發光元件
- 725 信號線
- 726 掃描線
- 727 電源線
- 728 共同電極
- 800 RF標籤
- 801 通信器
- 802 天線
- 803 無線信號
- 804 天線
- 805 整流電路

- 806 恆壓電路
- 807 解調變電路
- 808 調變電路
- 809 邏輯電路
- 810 記憶體電路
- 811 ROM
- 901 外殼
- 902 外殼
- 903 顯示部
- 904 顯示部
- 905 麥克風
- 906 揚聲器
- 907 操作鍵
- 908 觸控筆
- 911 外殼
- 912 外殼
- 913 顯示部
- 914 顯示部
- 915 連接部
- 916 操作鍵
- 921 外殼
- 922 顯示部

- 923 鍵盤
- 924 指向裝置
- 931 外殼
- 932 冷藏室門
- 933 冷凍室門
- 941 外殼
- 942 外殼
- 943 顯示部
- 944 操作鍵
- 945 透鏡
- 946 連接部
- 951 車體
- 952 車輪
- 953 儀表板
- 954 燈
- 1189 ROM介面
- 1190 基板
- 1191 ALU
- 1192 ALU控制器
- 1193 指令解碼器
- 1194 中斷控制器
- 1195 時序控制器

- 1196 暫存器
- 1197 暫存器控制器
- 1198 匯流排介面
- 1199 ROM
- 1200 記憶元件
- 1201 電路
- 1202 電路
- 1203 開關
- 1204 開關
- 1206 邏輯元件
- 1207 電容元件
- 1208 電容元件
- 1209 電晶體
- 1210 電晶體
- 1213 電晶體
- 1214 電晶體
- 1220 電路
- 1331 區域
- 1332 區域
- 1333 區域
- 2100 電晶體
- 2200 電晶體

- 2201 絕緣膜
- 2202 佈線
- 2203 插頭
- 2204 絕緣膜
- 2205 佈線
- 2206 佈線
- 2207 絕緣膜
- 2208 障壁膜
- 2211 半導體基板
- 2212 絕緣膜
- 2213 閘極電極
- 2214 閘極絕緣膜
- 2215 汲極區域
- 3001 佈線
- 3002 佈線
- 3003 佈線
- 3004 佈線
- 3005 佈線
- 3200 電晶體
- 3300 電晶體
- 3400 電容元件
- 4000 RF標籤

5100 顆粒

5100a 顆粒

5100b 顆粒

5101 離子

5102 氧化鋅層

5103 粒子

5105a 顆粒

5105a1 區域

5105a2 顆粒

5105b 顆粒

5105c 顆粒

5105d 顆粒

5105d1 區域

5105e 顆粒

5120 基板

5130 靶材

5161 區域

8000 顯示模組

8001 上蓋

8002 下蓋

8003 FPC

8004 觸控面板單元

- 8005 FPC
- 8006 顯示面板
- 8007 背光單元
- 8008 光源
- 8009 框架
- 8010 印刷電路板
- 8011 電池

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：

【發明名稱】(中文/英文)

半導體裝置/ SEMICONDUCTOR DEVICE

【中文】

本發明提供一種具有良好的電特性的半導體裝置。在半導體層的通道寬度方向上的剖面中，半導體層包括：位於半導體層的一個側部且一個端部與絕緣層接觸的第一區域；位於半導體層的上部且一個端部與第一區域的另一個端部接觸的第二區域；以及位於半導體層的另一個側部並且一個端部與第二區域的另一個端部接觸且另一個端部與絕緣層接觸的第三區域，該三個區域都與閘極絕緣膜接觸，在第二區域中與閘極絕緣膜之間的介面具有從一個端部至另一個端部依次連接有曲率半徑為 $R1$ 的區域、曲率半徑為 $R2$ 的區域以及曲率半徑為 $R3$ 的區域的凸形形狀， $R2$ 比 $R1$ 及 $R3$ 大。

【英文】

In a cross section in a channel width direction, a semiconductor layer includes a first region of which one end portion is in contact with an insulating layer and which is positioned at one side portion of the semiconductor layer; a second region of which one end portion is in contact with the other end portion of the first region and which is positioned at an upper portion of the semiconductor layer; and a third region of which one end portion is in contact with the other

end portion of the second region and the other end portion is in contact with the insulating layer and which is positioned at the other side portion of the semiconductor layer. In the second region, an interface with a gate insulating film is convex and has three regions respectively having curvature radii $R1$, $R2$, and $R3$ that are connected in this order from the one end portion side toward the other. $R2$ is larger than $R1$ and $R3$.

【代表圖】

【本案指定代表圖】：第（ 1B ）圖。

【本代表圖之符號簡單說明】：

101 電晶體

110 基板

120 絕緣層

130 氧化物半導體層

140 源極電極層

150 汲極電極層

160 閘極絕緣膜

170 閘極電極層

180 絕緣層

185 絕緣層

191、192 區域

A1、A2 點劃線方向

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

第一絕緣層；

該第一絕緣層上的半導體層；以及

該半導體層上的第二絕緣層，

其中：

在通道寬度方向上的剖面中，該半導體層包括第一區域、第二區域及第三區域，

該第一區域位於該半導體層的一個端部，

該第二區域位於該半導體層的上部，

該第三區域位於該半導體層的另一個端部，

該第一區域及該第三區域各具有凹形形狀，

並且該第二區域具有凸形形狀。

2. 一種半導體裝置，包括：

第一絕緣層；

該第一絕緣層上的第一半導體層；

該第一半導體層上的第二半導體層；

該第二半導體層上的第三半導體層；以及

該第三半導體層上的第二絕緣層，

其中：

在通道寬度方向上的剖面中，該第三半導體層包括第一區域、第二區域及第三區域，

該第一區域位於該第三半導體層的一個端部，
 該第二區域位於該第三半導體層的上部，
 該第三區域位於該第三半導體層的另一個端部，
 該第一區域及該第三區各具有凹形形狀，
 並且該第二區域具有凸形形狀。

3．根據申請專利範圍第1或2項之半導體裝置，其中：

該第二區域包括：

該凸形形狀的曲率半徑為 $R1$ 的區域；

該凸形形狀的曲率半徑為 $R2$ 的區域；以及

該凸形形狀的曲率半徑為 $R3$ 的區域，

該第一區域包括該凹形形狀的曲率半徑為 $R4$ 的區域，

該第三區域包括該凹形形狀的曲率半徑為 $R5$ 的區域，

具有該曲率半徑為 $R1$ 的該區域連接具有該曲率半徑為 $R2$ 的該區域，

具有該曲率半徑為 $R2$ 的該區域連接具有該曲率半徑為 $R3$ 的該區域，

$R2$ 比 $R1$ 及 $R3$ 大，

並且 $R1$ 及 $R3$ 都比 $R4$ 及 $R5$ 大。

4．根據申請專利範圍第1項之半導體裝置，其中：

該第一絕緣層包括第四區域及第五區域，

該第四區域與該半導體層接觸，

該第五區域與該半導體層不接觸，

並且該第五區域的厚度比該第四區域小。

5．根據申請專利範圍第2項之半導體裝置，其中：

該第一絕緣層包含第四區域及第五區域，

該第四區域與該第三半導體層接觸，

該第五區域與該第三半導體層不接觸，

並且該第五區域的厚度比該第四區域小。

6．根據申請專利範圍第4或5項之半導體裝置，其中：

該第一區域與該第四區域及該第五區域接觸，

該第三區域與該第四區域及該第五區域接觸。

7．根據申請專利範圍第1項之半導體裝置，其中該半導體層包含氧化物半導體。

8．根據申請專利範圍第2項之半導體裝置，其中該第一半導體層、該第二半導體層及該第三半導體層各包含氧化物半導體。

9．根據申請專利範圍第7項之半導體裝置，其中該氧化物半導體包含M為Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd或Hf的In-M-Zn氧化物。

10．根據申請專利範圍第8項之半導體裝置，其中：

該氧化物半導體包含M為Al、Ti、Ga、Y、Zr、Sn、La、Ce、Nd或Hf的In-M-Zn氧化物，

並且該第一半導體層及該第三半導體層的對於In的M的各原子數比比該第二半導體層大。

圖式

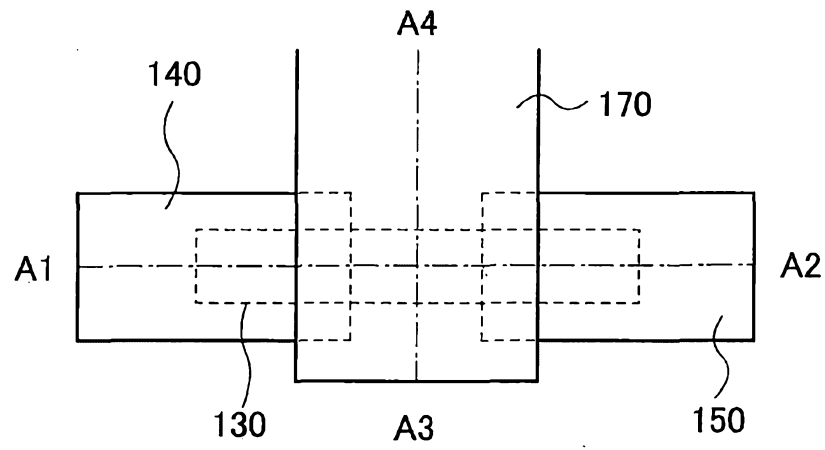


圖 1A

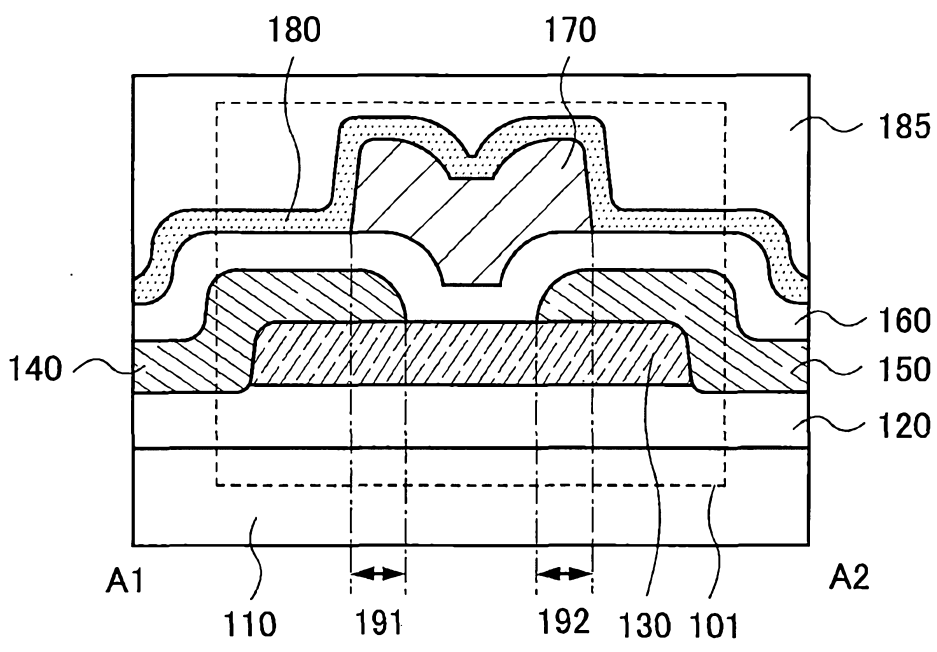


圖 1B

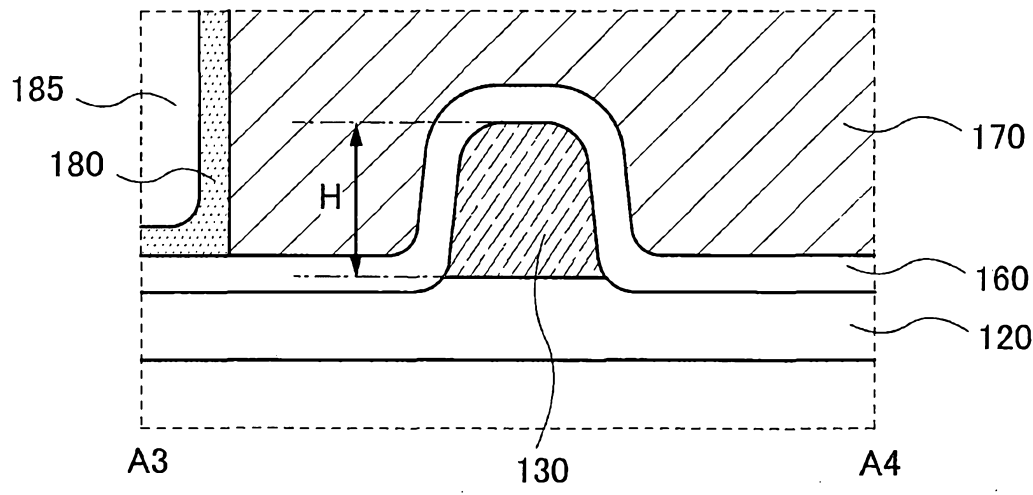


圖 1C

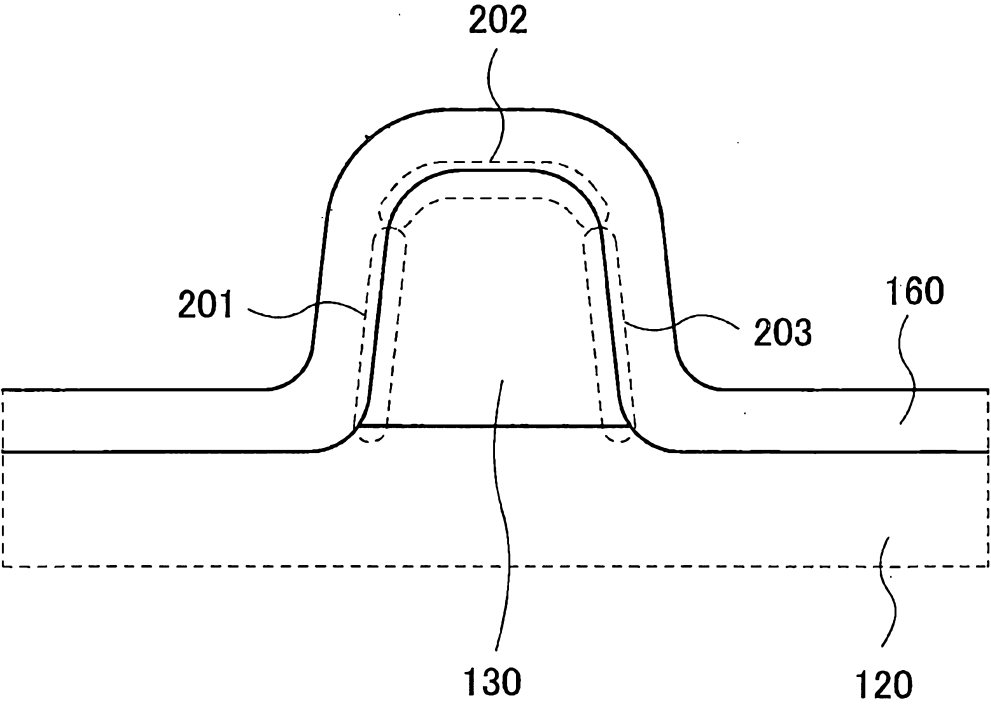


圖 2A

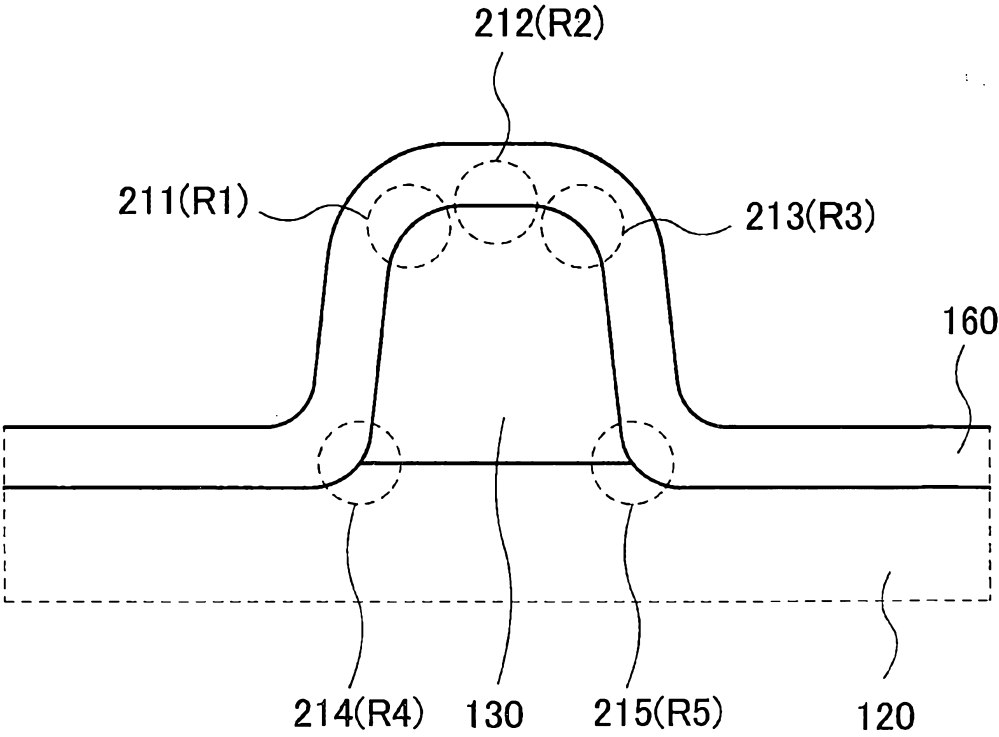


圖 2B

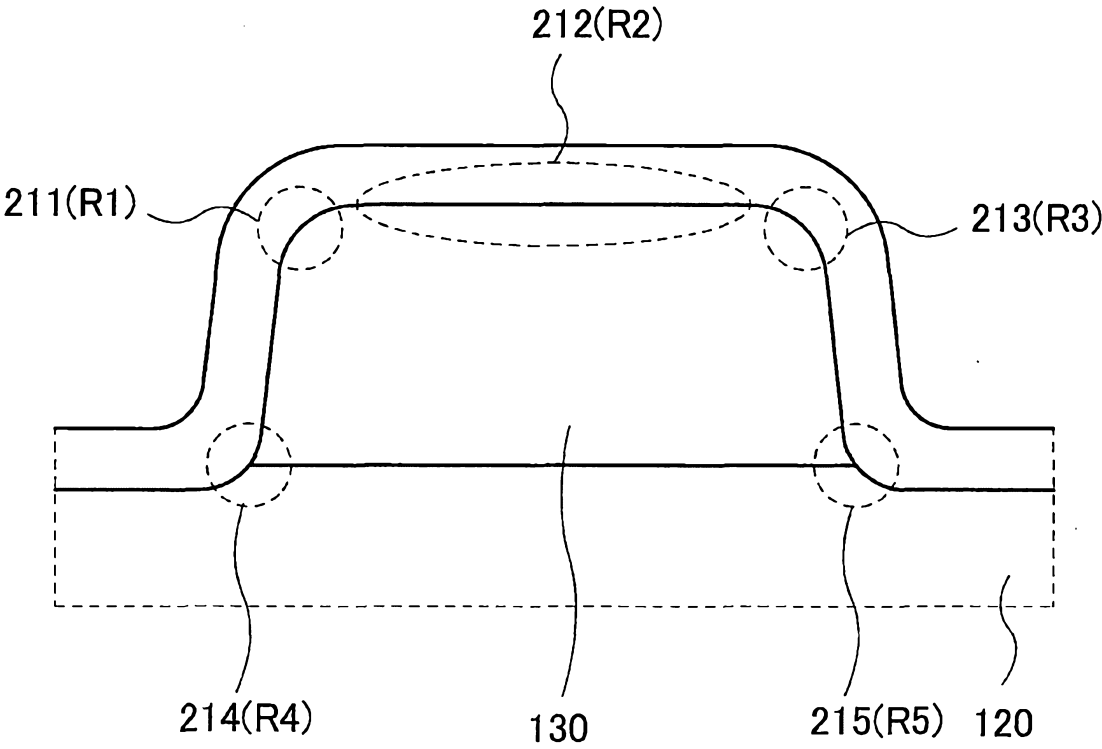


圖 3

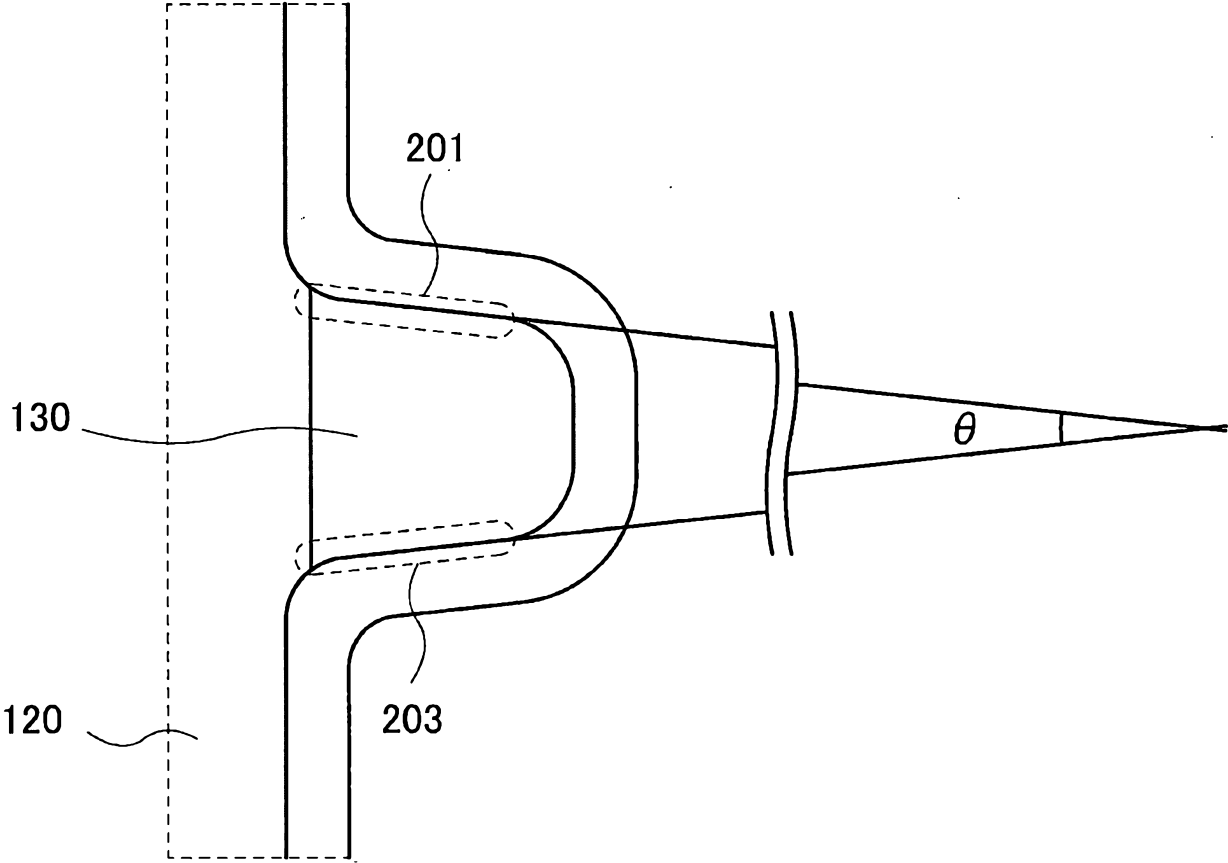


圖 4

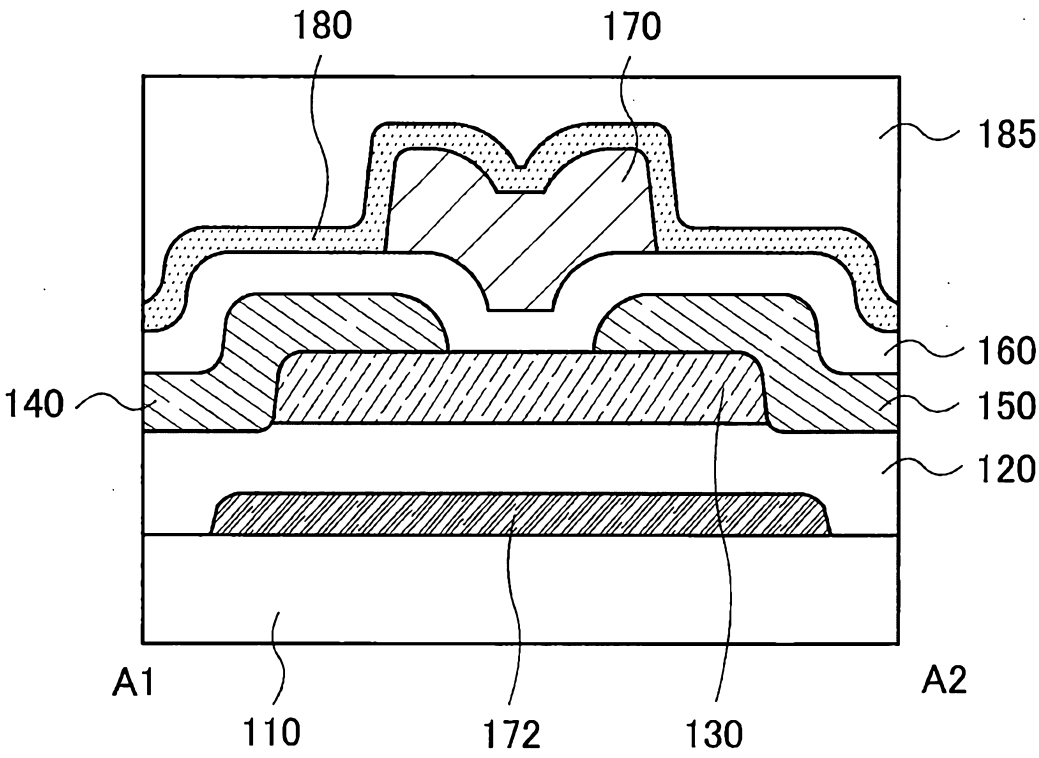


圖 5

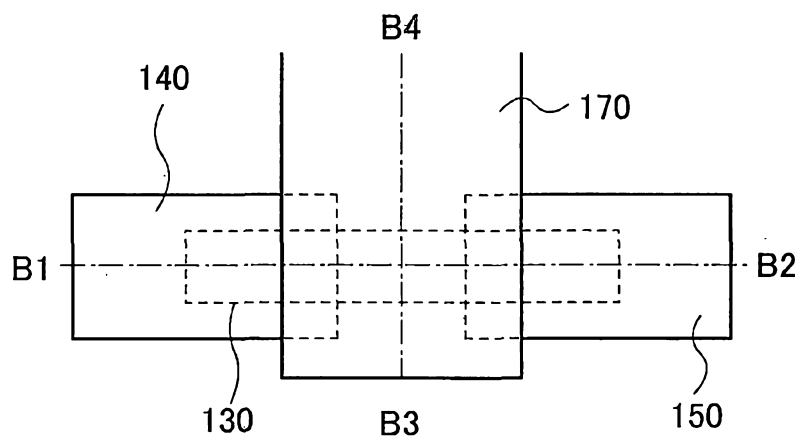


圖 6A

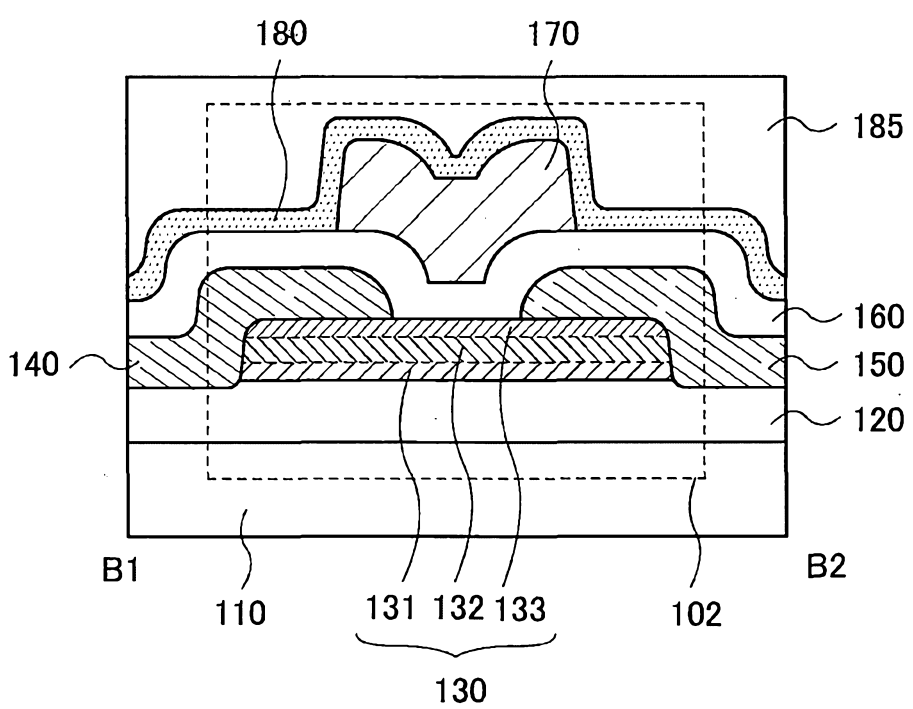


圖 6B

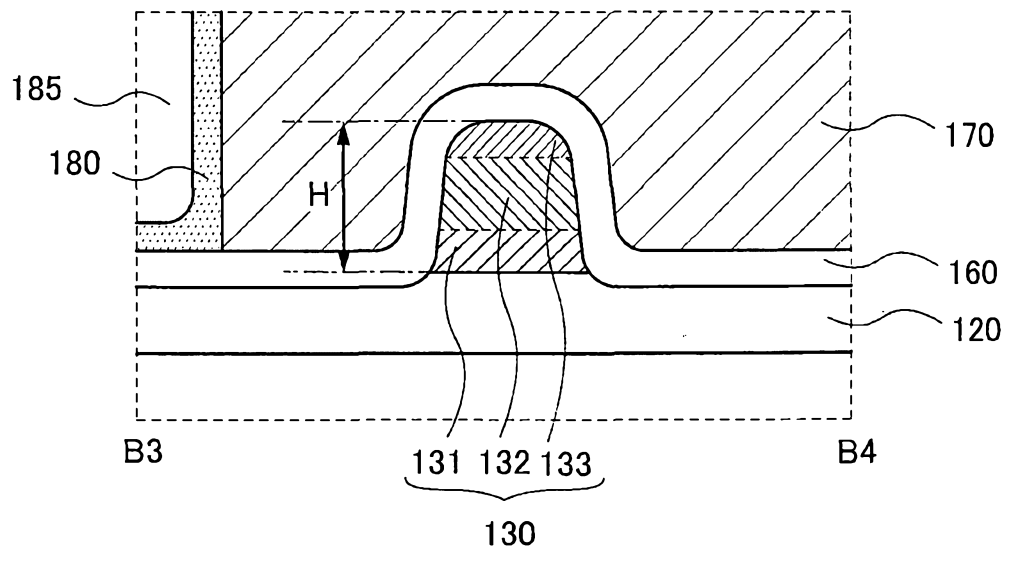


圖 6C

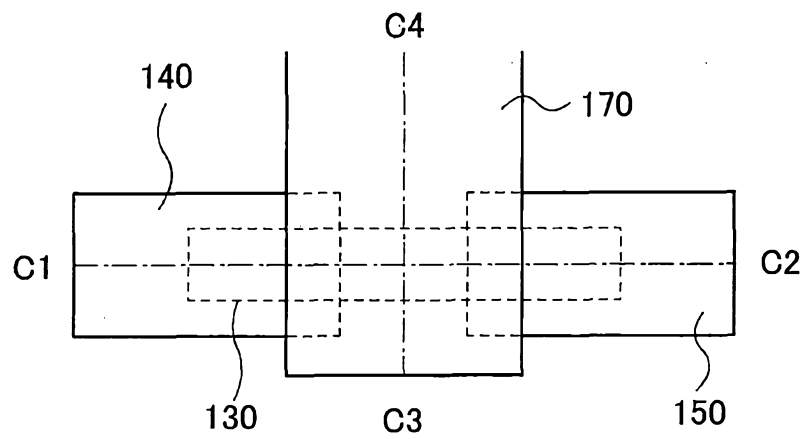


圖 7A

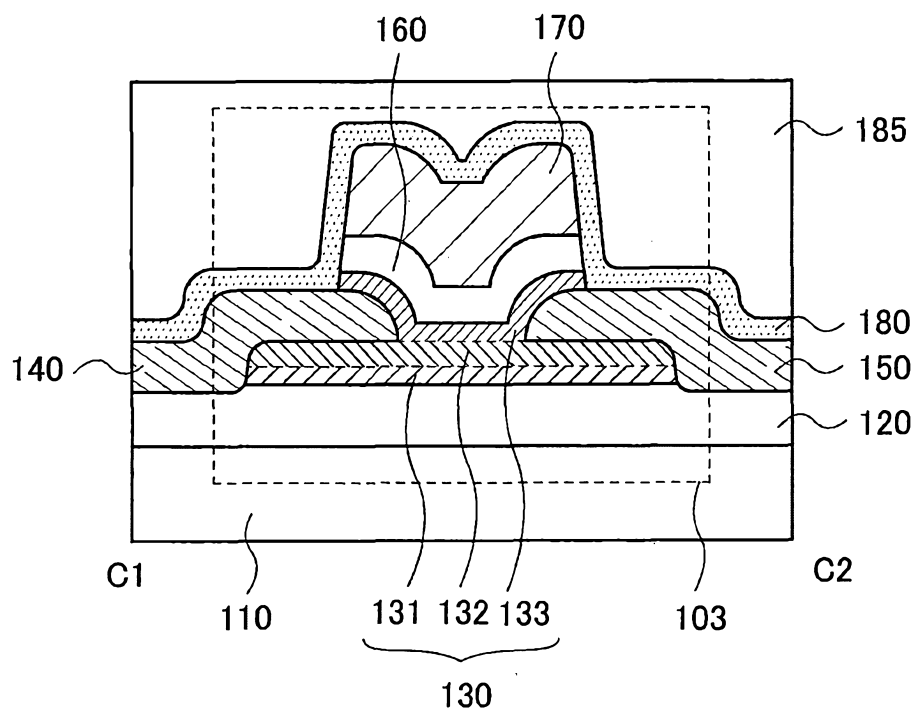


圖 7B

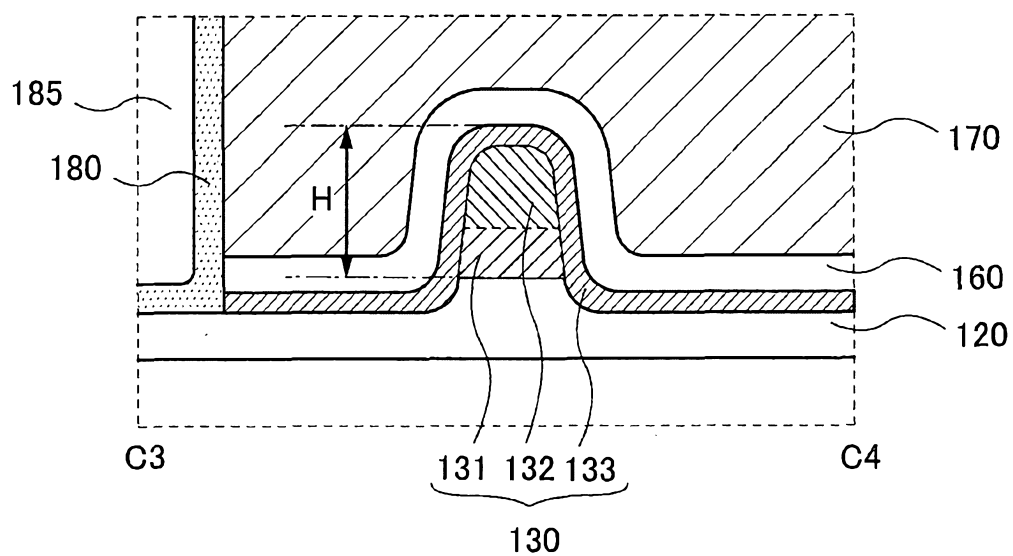


圖 7C

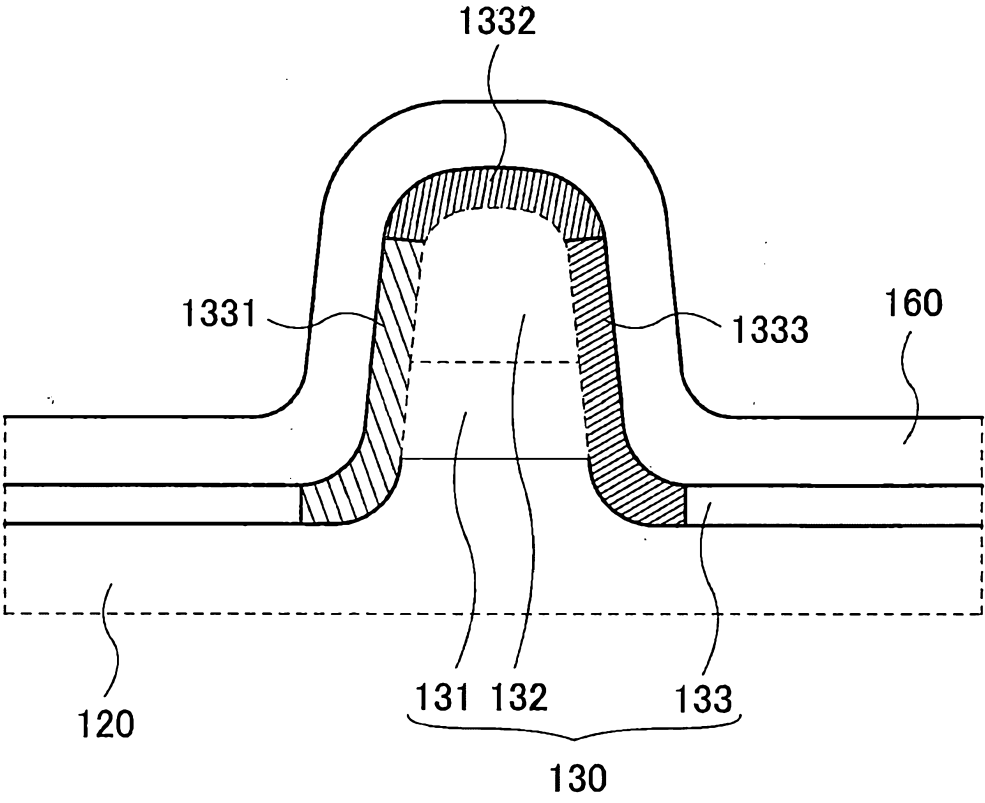


圖 8A

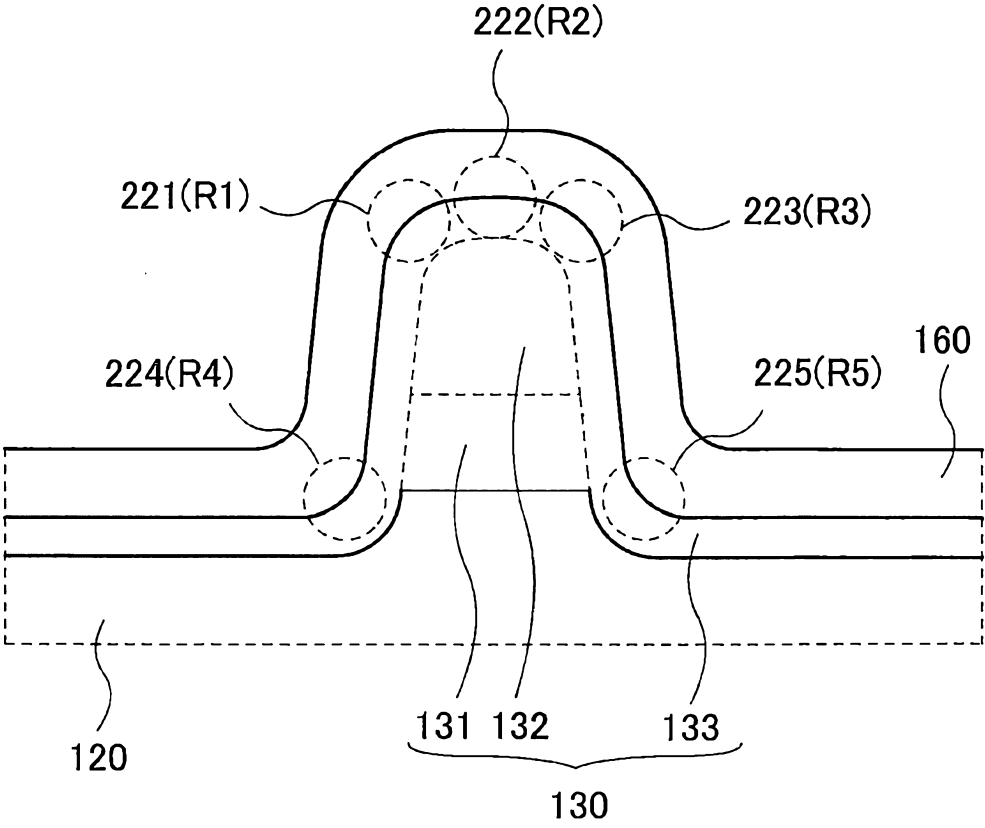


圖 8B

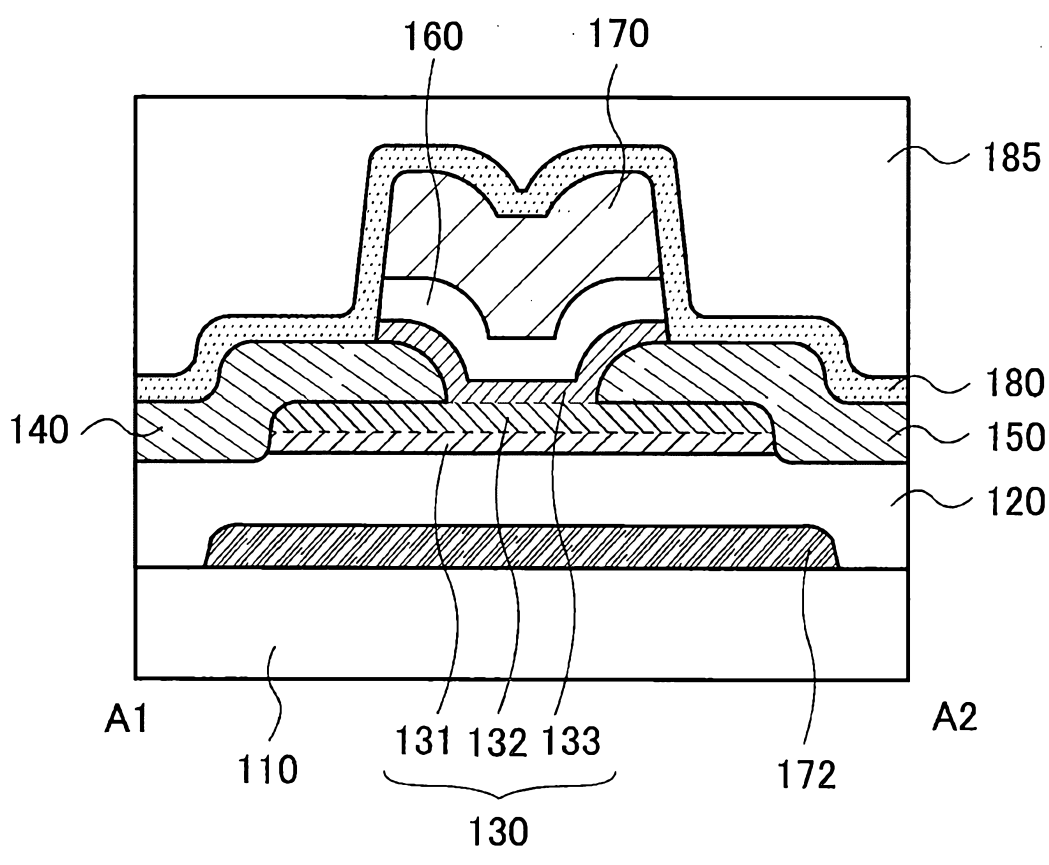


圖 10

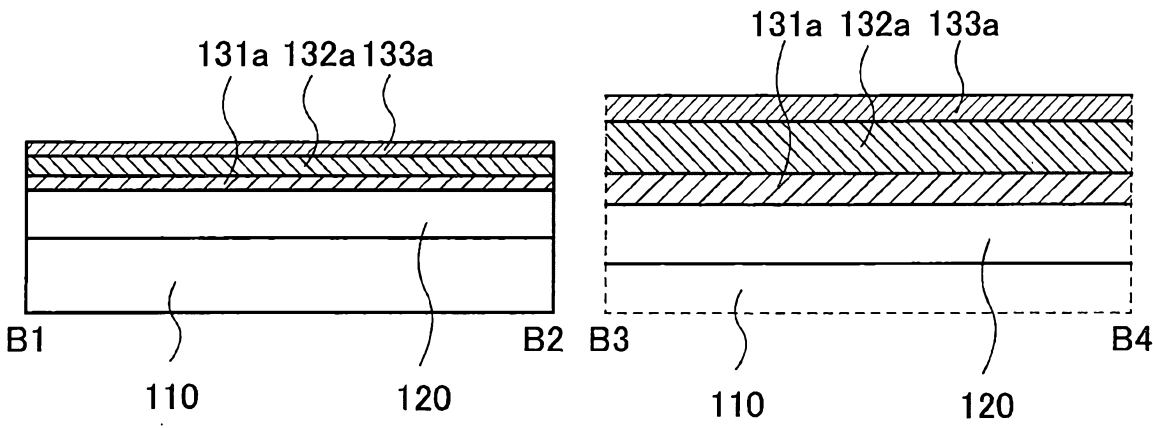


圖 11A

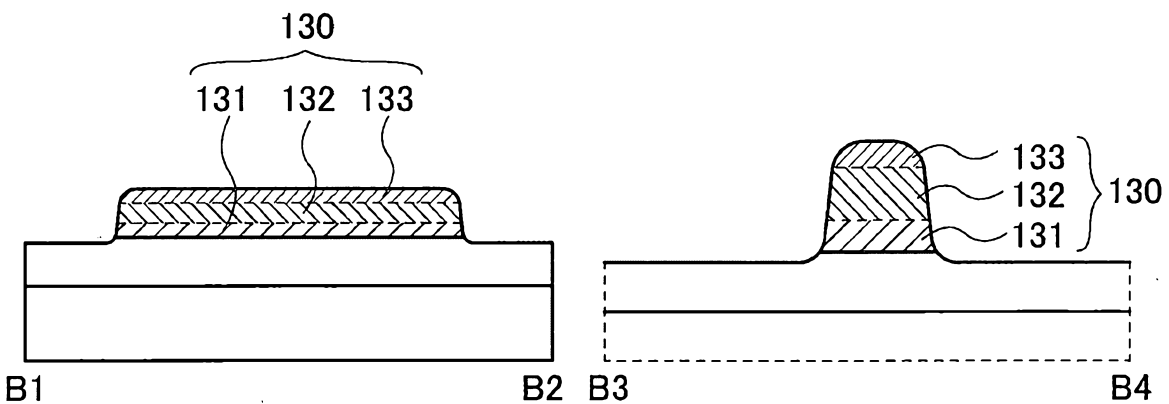


圖 11B

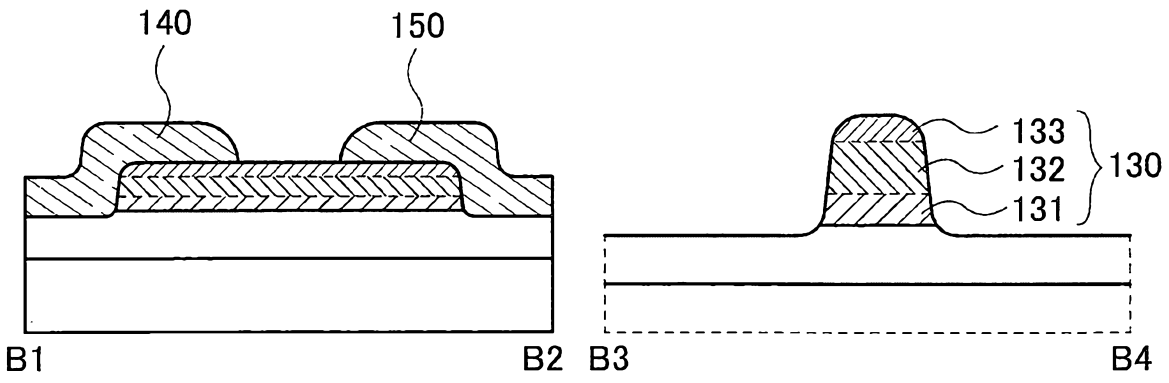


圖 11C

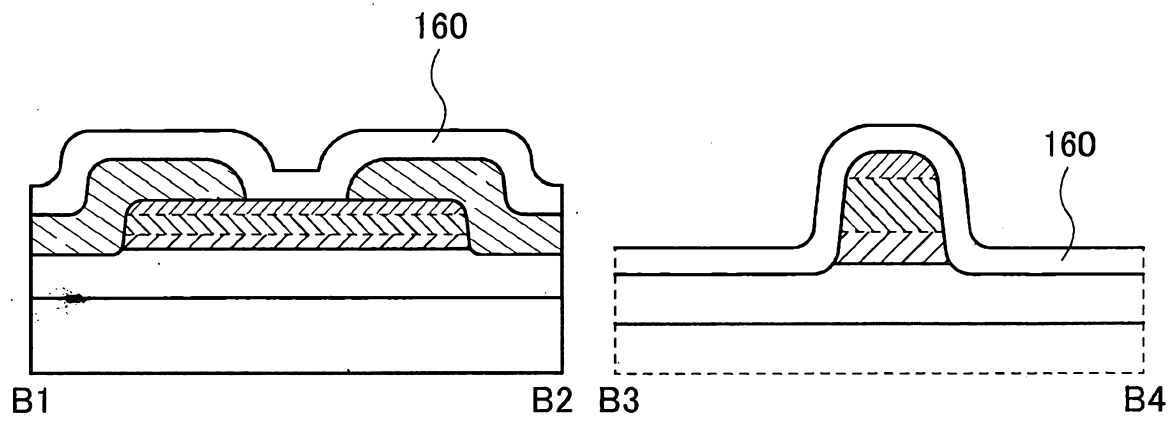


圖 12A

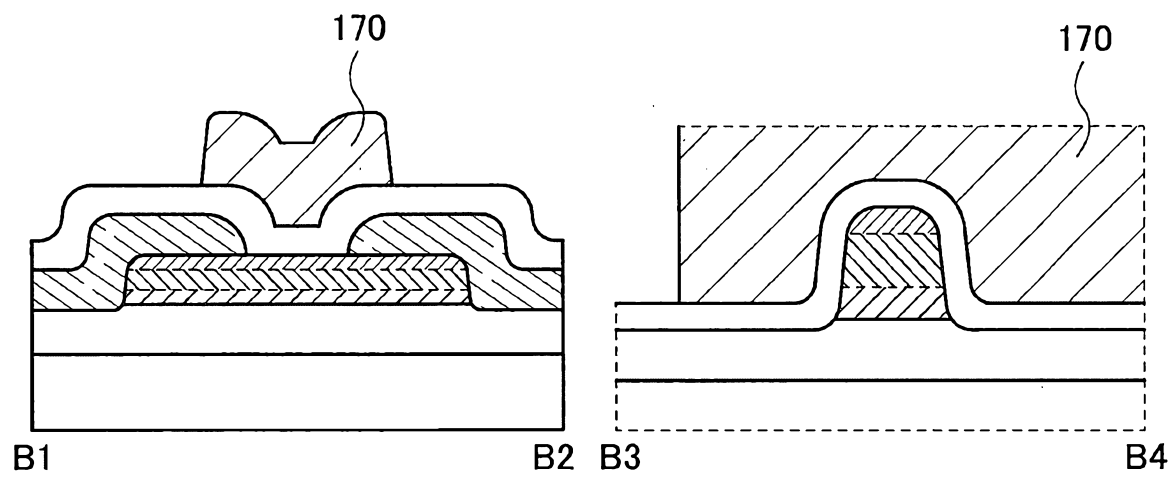


圖 12B

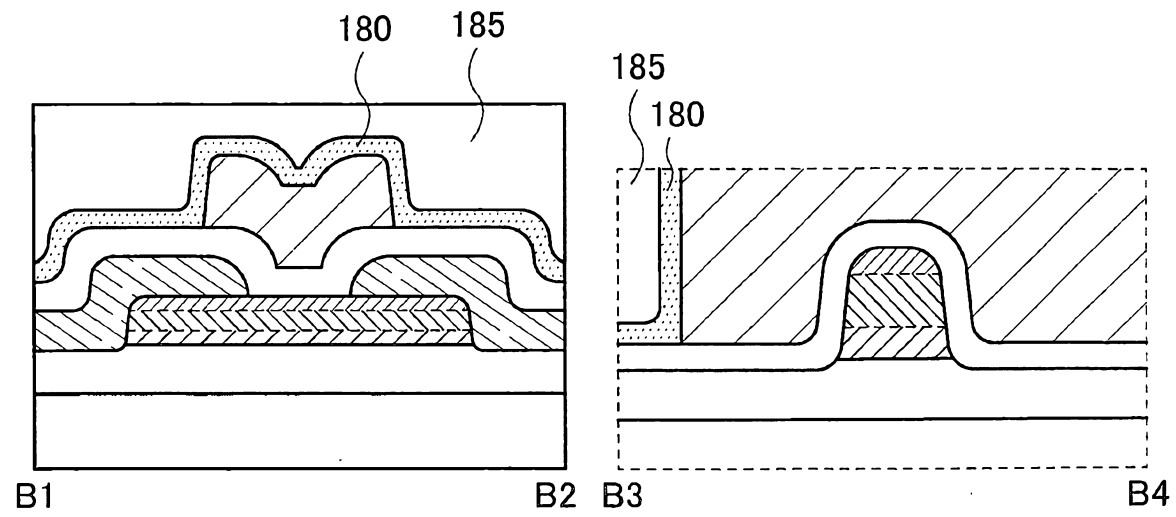


圖 12C

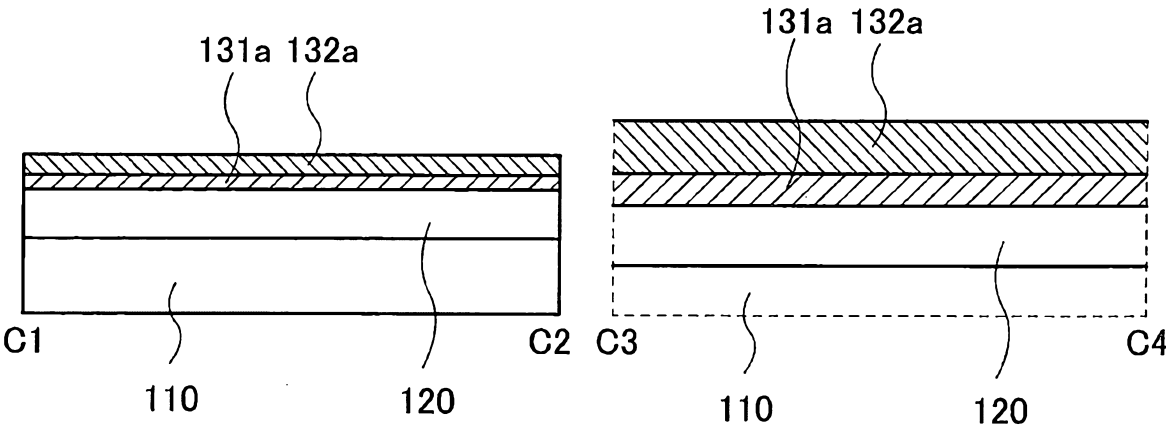


圖 13A

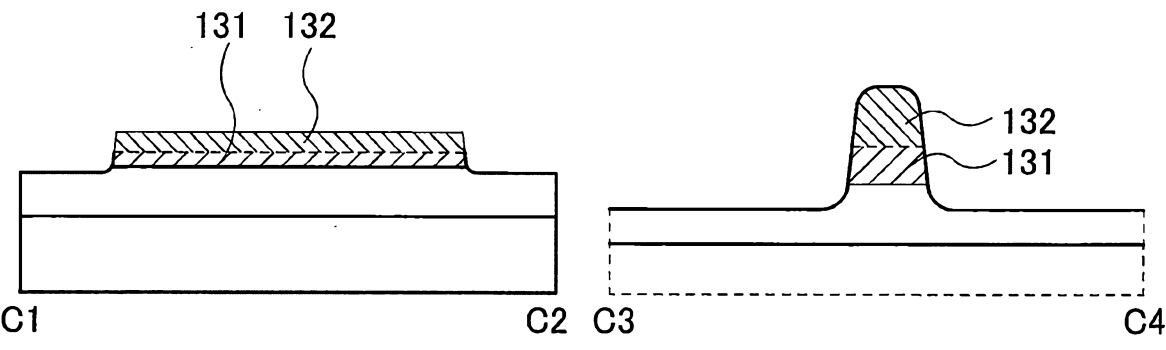


圖 13B

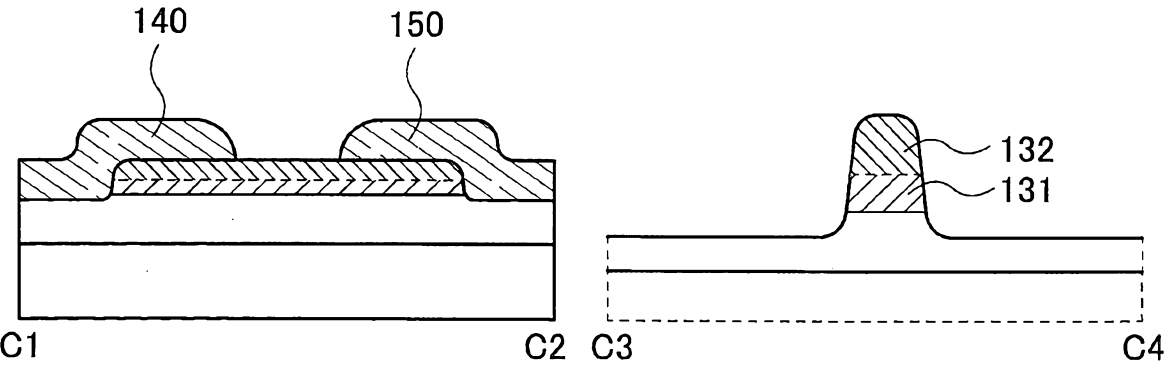


圖 13C

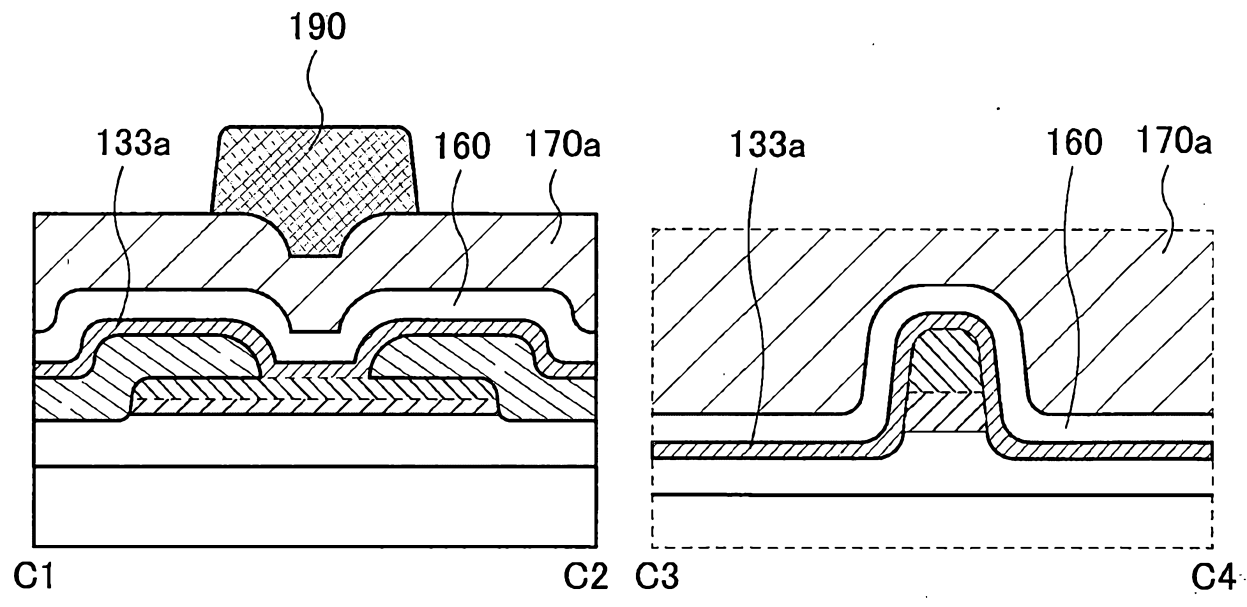


圖 14A

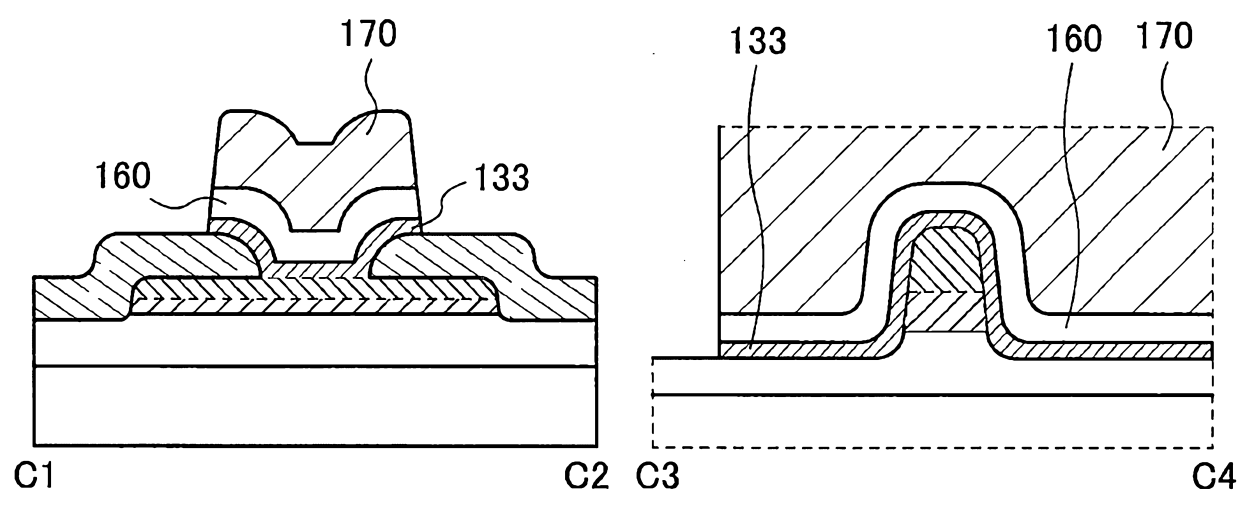


圖 14B

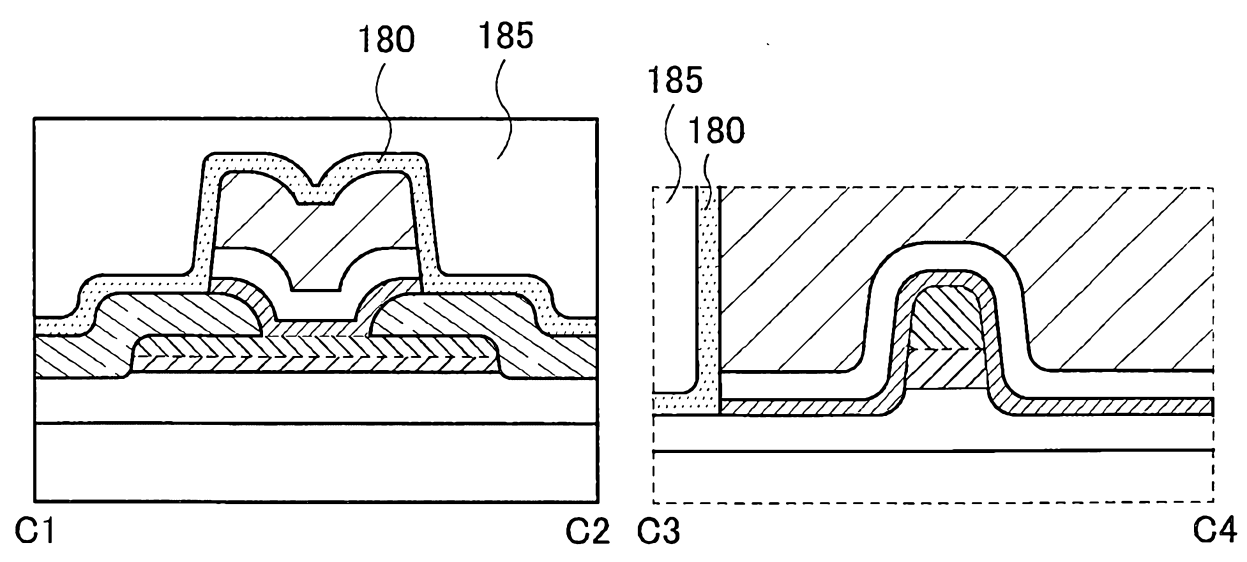


圖 14C

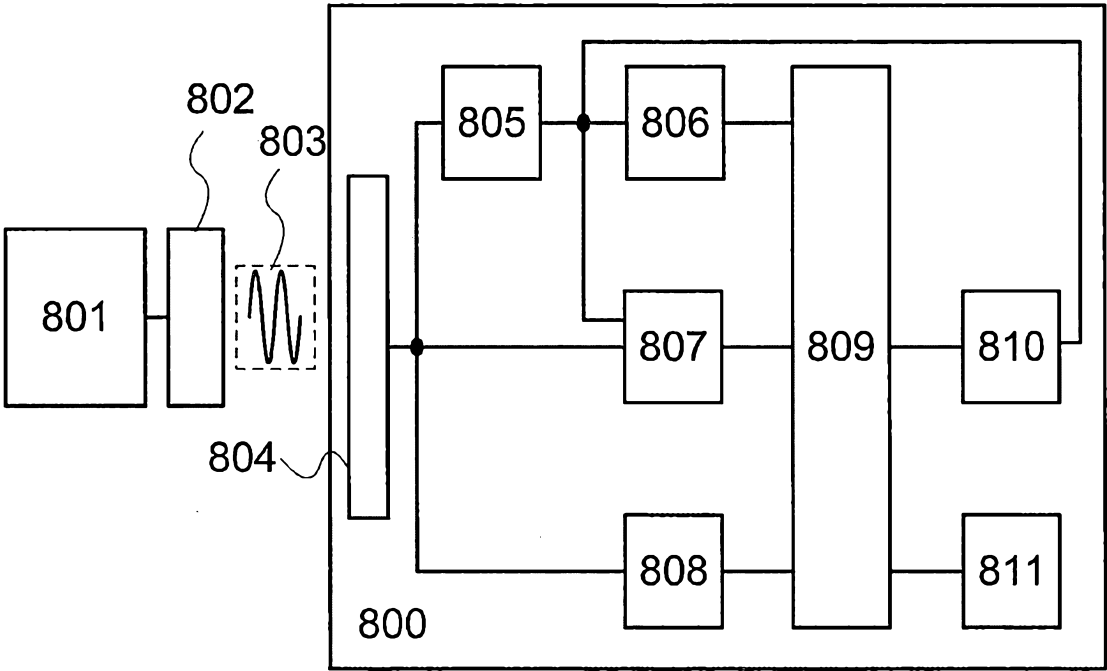


圖 20

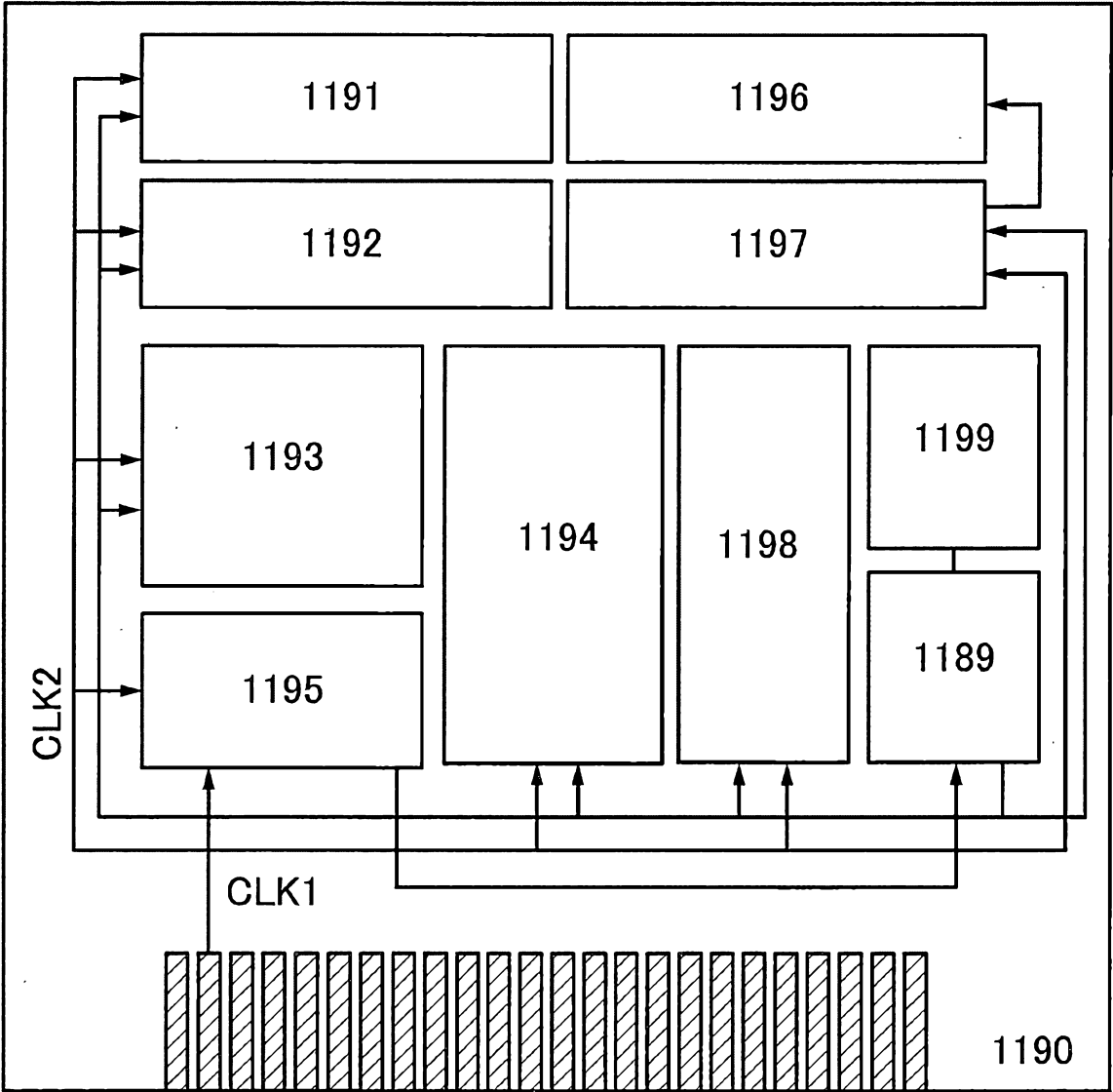


圖 21

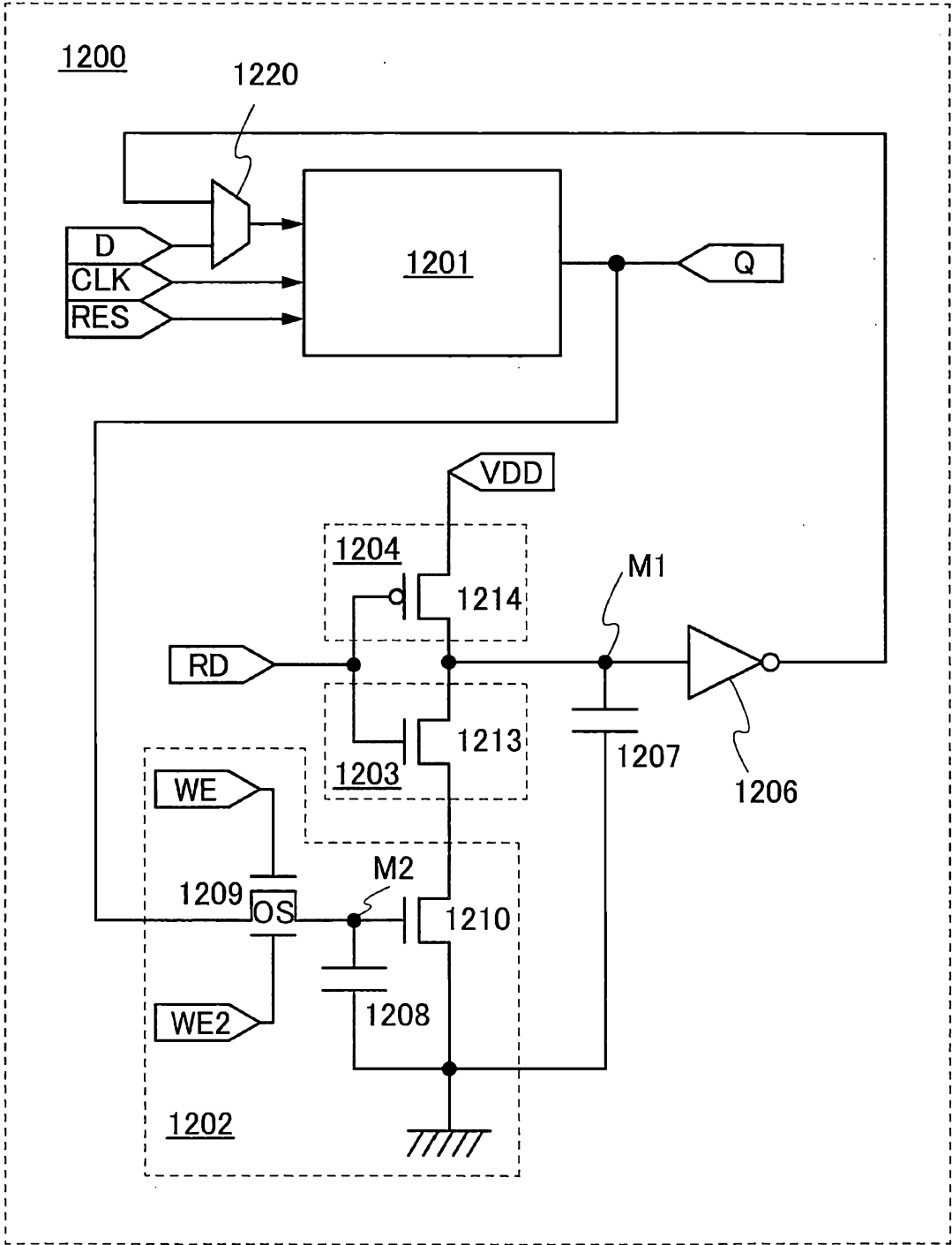


圖 22

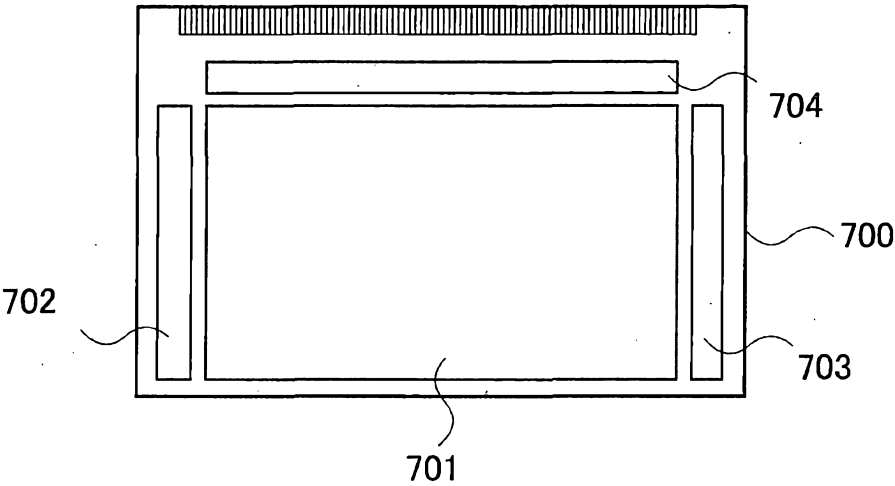


圖 23A

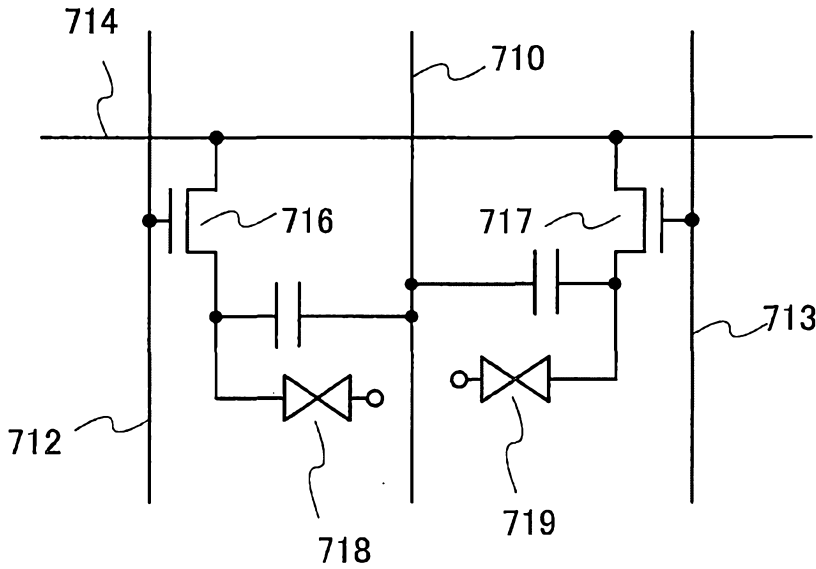


圖 23B

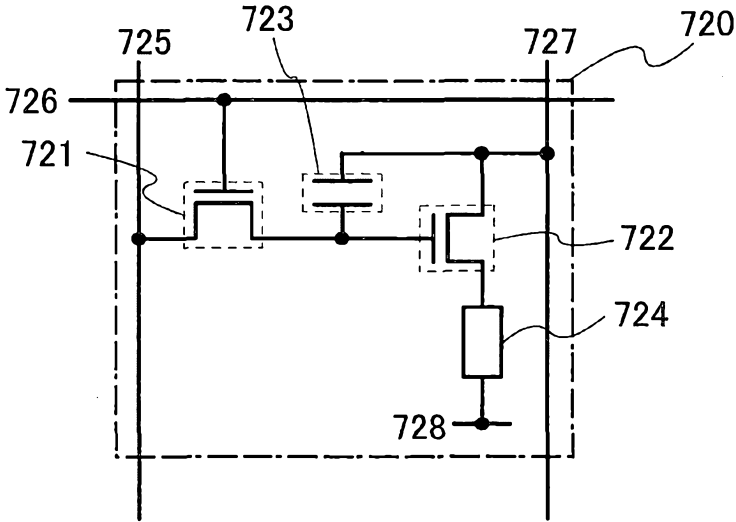


圖 23C

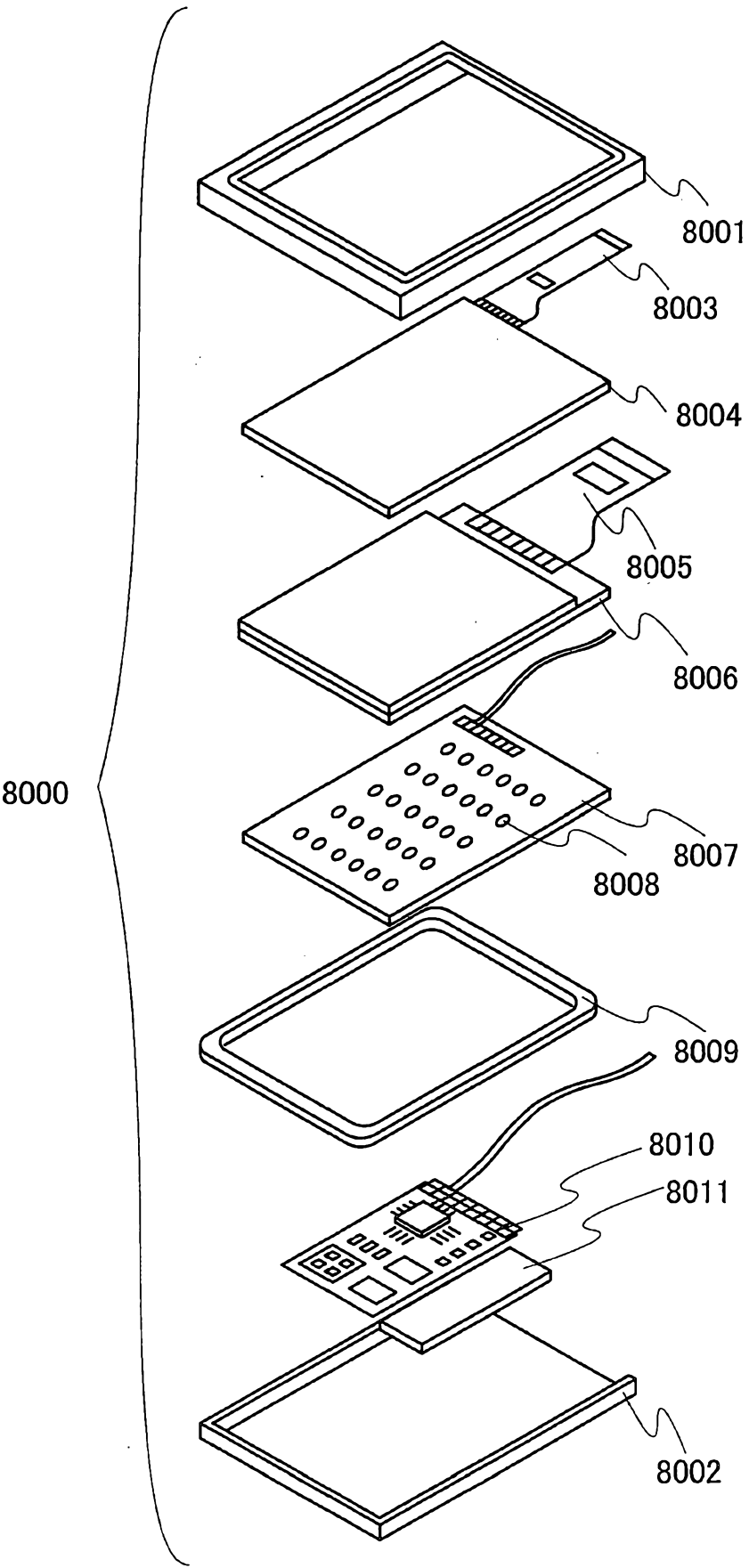


圖 24

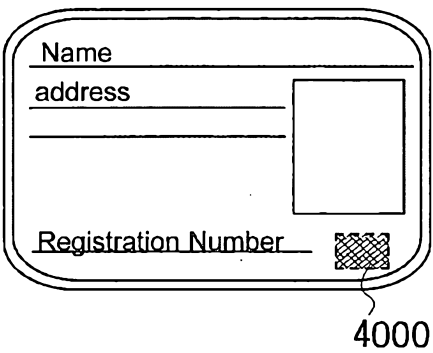


圖 26A

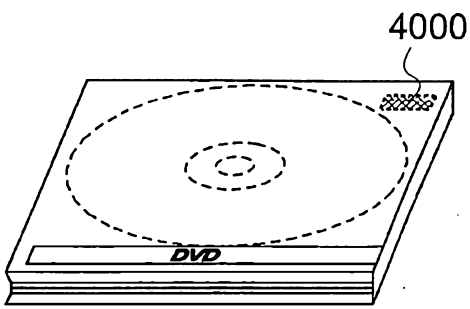


圖 26B

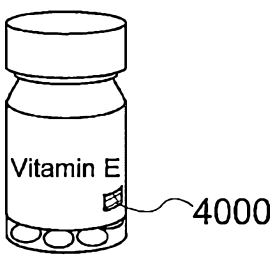


圖 26C

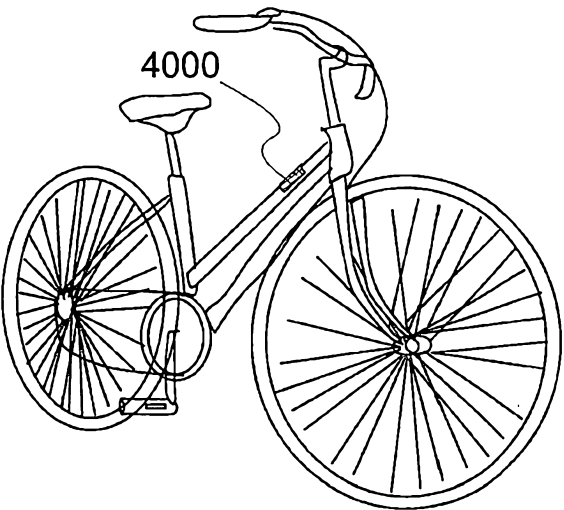


圖 26D

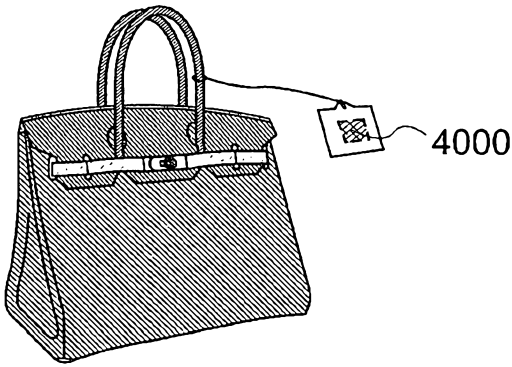


圖 26E

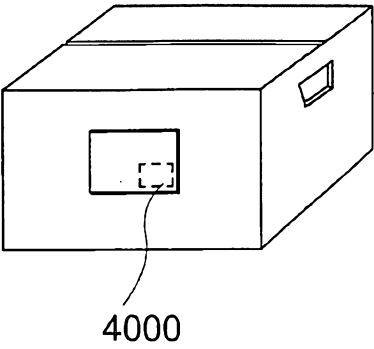


圖 26F

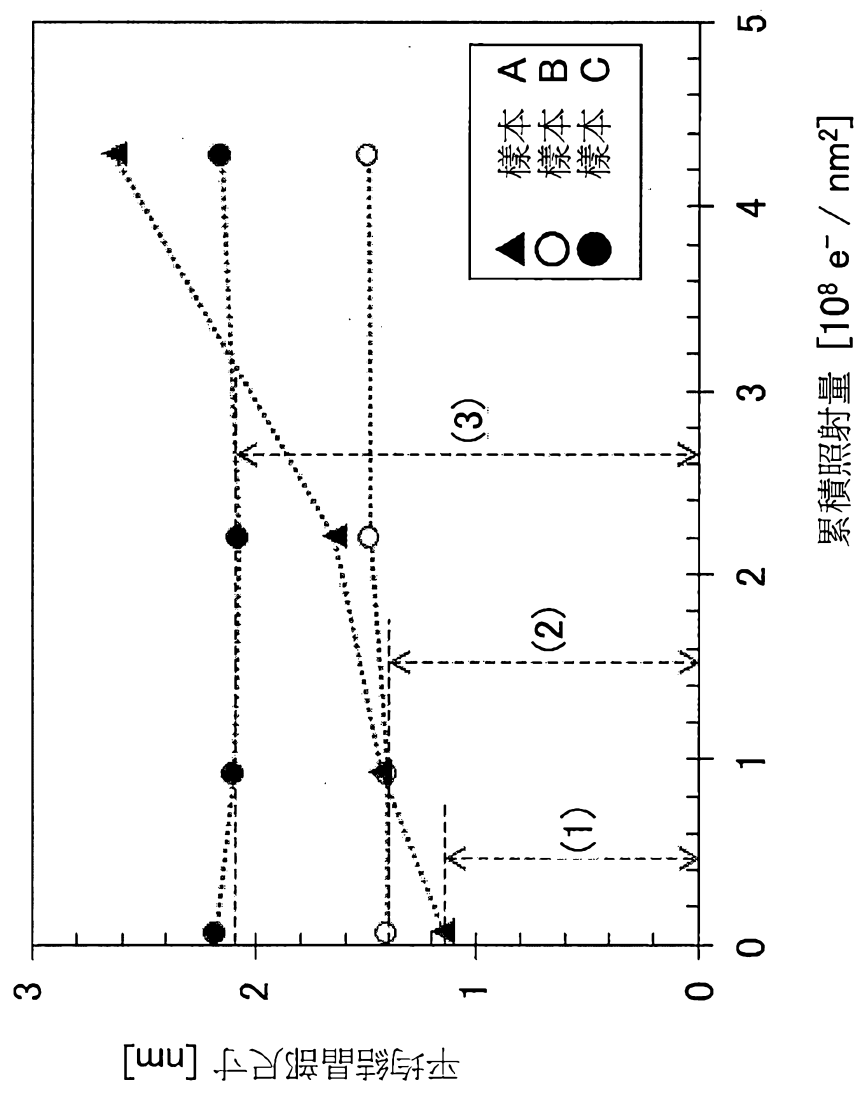


圖 31

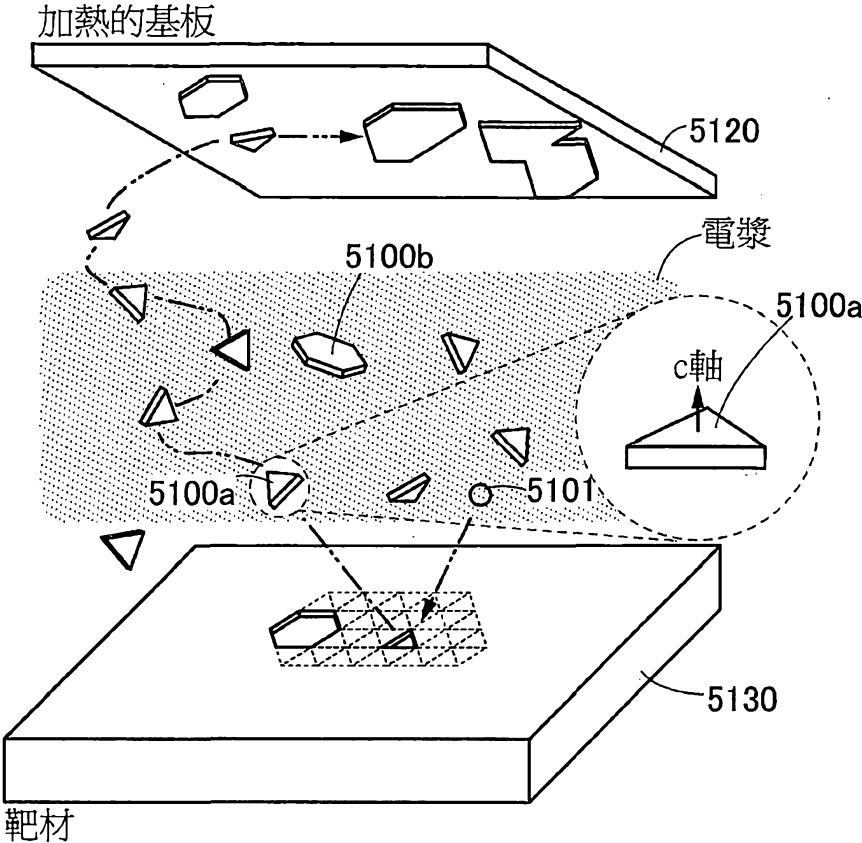


圖 32A

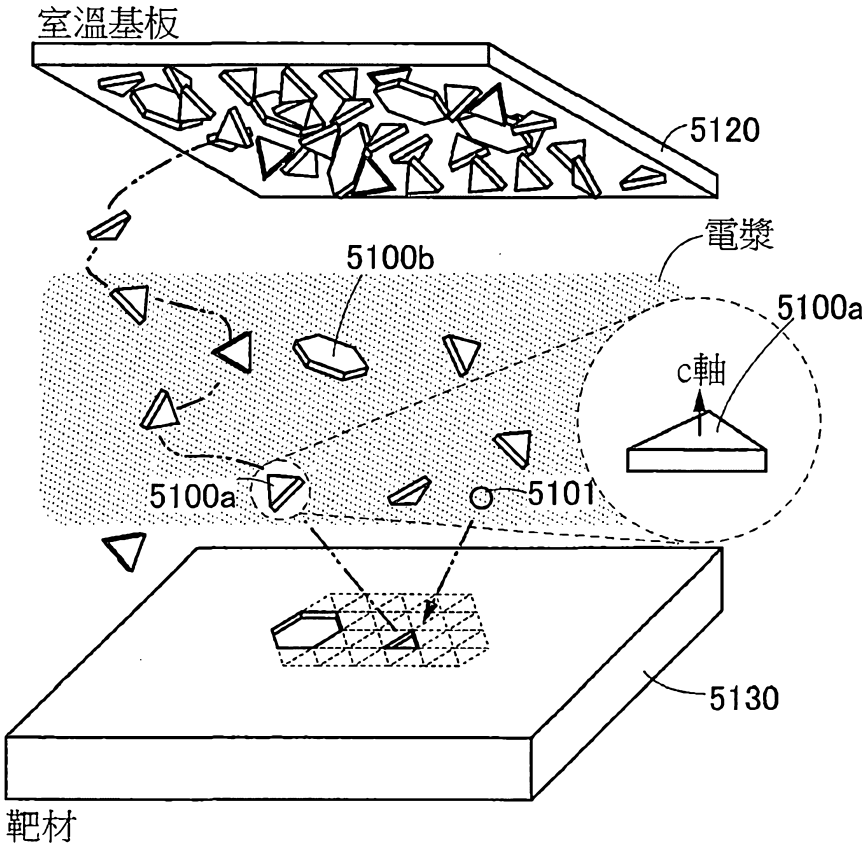


圖 32B

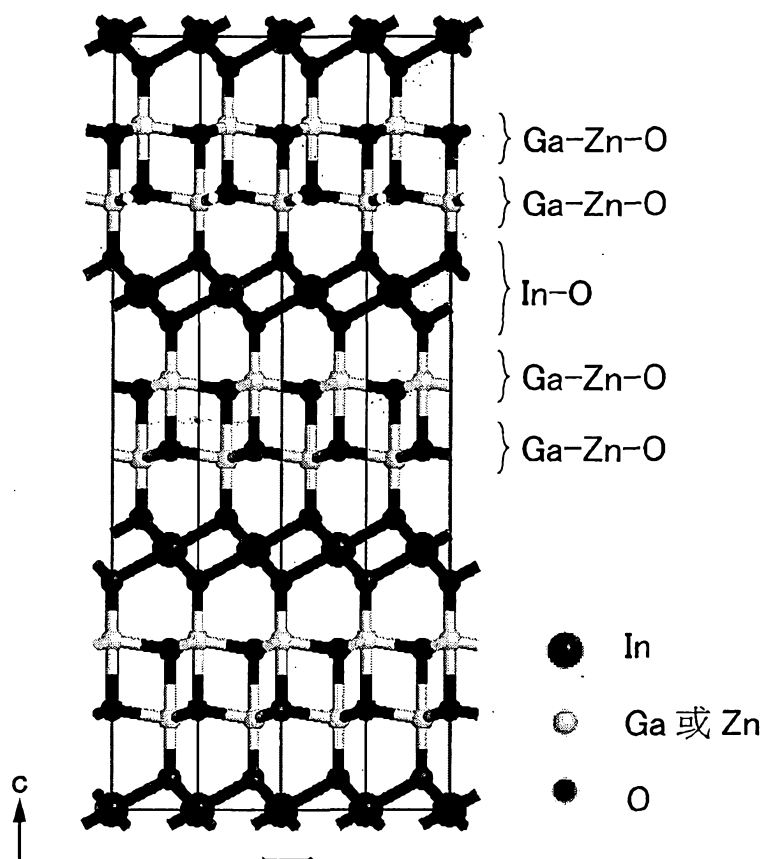


圖 33A

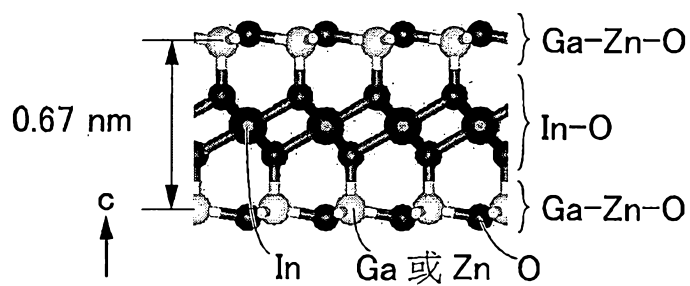


圖 33B

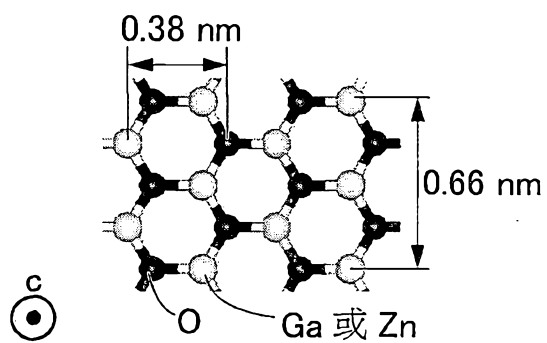


圖 33C

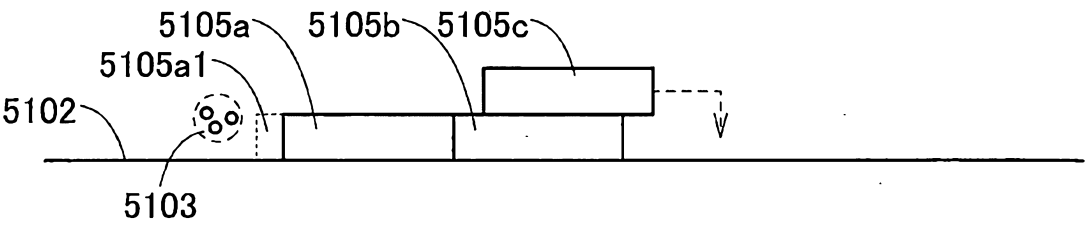


圖 34A

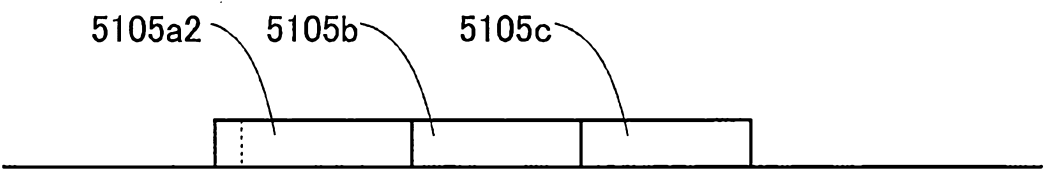


圖 34B

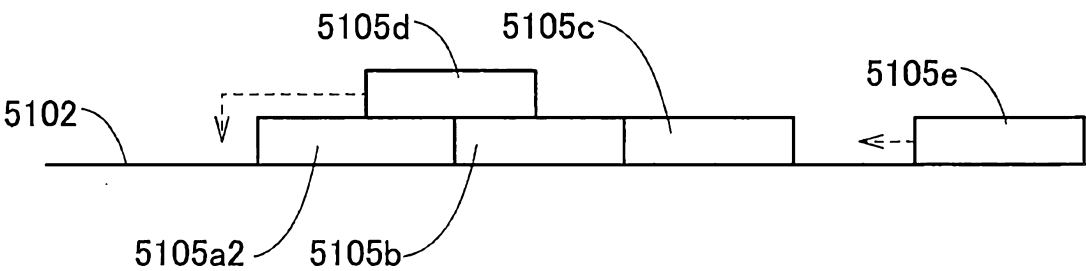


圖 34C

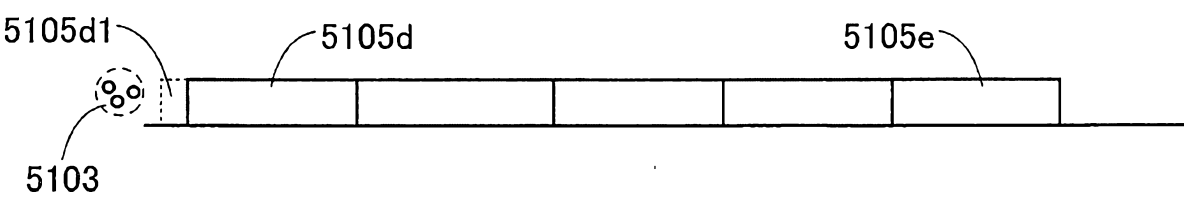


圖 34D