

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6246268号
(P6246268)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F I
H03K 17/687 (2006.01)	H03K 17/687 A
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 622E
G02F 1/133 (2006.01)	G09G 3/20 623H
G02F 1/136 (2006.01)	G09G 3/20 670E
請求項の数 3 (全 76 頁) 最終頁に続く	

(21) 出願番号	特願2016-123125 (P2016-123125)	(73) 特許権者	000153878
(22) 出願日	平成28年6月22日(2016.6.22)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-105518 (P2015-105518) の分割	(72) 発明者	梅崎 敦司
原出願日	平成21年11月23日(2009.11.23)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-225991 (P2016-225991A)		半導体エネルギー研究所内
(43) 公開日	平成28年12月28日(2016.12.28)	審査官	齋藤 正貴
審査請求日	平成28年6月22日(2016.6.22)		
(31) 優先権主張番号	特願2008-304124 (P2008-304124)		
(32) 優先日	平成20年11月28日(2008.11.28)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲートドライバを有し、前記ゲートドライバは、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、前記第1のトランジスタは、第1のゲート電極と、前記第1のゲート電極上方の第1の半導体層と、前記第1の半導体層上方の第1のソース電極と、前記第1の半導体層上方の第1のドレイン電極と、を有し、前記第2のトランジスタは、第2のゲート電極と、前記第2のゲート電極上方の第2の半導体層と、前記第2の半導体層上方の第2のソース電極と、前記第2の半導体層上方の第2のドレイン電極と、を有し、前記第3のトランジスタは、第3のゲート電極と、前記第3のゲート電極上方の第3の半導体層と、前記第3の半導体層上方の第3のソース電極と、前記第3の半導体層上方の第3のドレイン電極と、を有し、前記第1のソース電極又は前記第1のドレイン電極の一方は、クロック信号線と電気的に接続され、前記第2のソース電極又は前記第2のドレイン電極の一方は、電源線と電気的に接続され、前記第3のソース電極又は前記第3のドレイン電極の一方は、前記電源線と電気的に接続され、

10

20

前記第1のソース電極又は前記第1のドレイン電極の他方は、ゲート信号線と電氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の他方は、前記ゲート信号線と電氣的に接続され、

前記第3のソース電極又は前記第3のドレイン電極の他方は、前記ゲート信号線と電氣的に接続され、

前記第1のトランジスタにおいて、前記第1のゲート電極に前記第1のソース電極又は前記第1のドレイン電極の他方が重なる面積は、前記第1のゲート電極に前記第1のソース電極又は前記第1のドレイン電極の一方が重なる面積よりも大きく、

前記第2のトランジスタにおいて、前記第2のゲート電極に前記第2のソース電極又は前記第2のドレイン電極の他方が重なる面積は、前記第2のゲート電極に前記第2のソース電極又は前記第2のドレイン電極の一方が重なる面積よりも小さく、

前記第3のトランジスタにおいて、前記第3のゲート電極に前記第3のソース電極又は前記第3のドレイン電極の他方が重なる面積は、前記第3のゲート電極に前記第3のソース電極又は前記第3のドレイン電極の一方が重なる面積よりも小さいことを特徴とする半導体装置。

【請求項2】

ゲートドライバを有し、

前記ゲートドライバは、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、

前記第1のトランジスタは、第1のゲート電極と、前記第1のゲート電極上方の第1の半導体層と、前記第1の半導体層上方の第1のソース電極と、前記第1の半導体層上方の第1のドレイン電極と、を有し、

前記第2のトランジスタは、第2のゲート電極と、前記第2のゲート電極上方の第2の半導体層と、前記第2の半導体層上方の第2のソース電極と、前記第2の半導体層上方の第2のドレイン電極と、を有し、

前記第3のトランジスタは、第3のゲート電極と、前記第3のゲート電極上方の第3の半導体層と、前記第3の半導体層上方の第3のソース電極と、前記第3の半導体層上方の第3のドレイン電極と、を有し、

前記第1のソース電極又は前記第1のドレイン電極の一方は、クロック信号線と電氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の一方は、電源線と電氣的に接続され、

前記第3のソース電極又は前記第3のドレイン電極の一方は、前記電源線と電氣的に接続され、

前記第1のソース電極又は前記第1のドレイン電極の他方は、第1のゲート信号線と電氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の他方は、前記第1のゲート信号線と電氣的に接続され、

前記第3のソース電極又は前記第3のドレイン電極の他方は、前記第1のゲート信号線と電氣的に接続され、

前記第3のゲート電極は、第2のゲート信号線と電氣的に接続され、

前記第1のトランジスタにおいて、前記第1のゲート電極に前記第1のソース電極又は前記第1のドレイン電極の他方が重なる面積は、前記第1のゲート電極に前記第1のソース電極又は前記第1のドレイン電極の一方が重なる面積よりも大きく、

前記第2のトランジスタにおいて、前記第2のゲート電極に前記第2のソース電極又は前記第2のドレイン電極の他方が重なる面積は、前記第2のゲート電極に前記第2のソース電極又は前記第2のドレイン電極の一方が重なる面積よりも小さく、

前記第3のトランジスタにおいて、前記第3のゲート電極に前記第3のソース電極又は前記第3のドレイン電極の他方が重なる面積は、前記第3のゲート電極に前記第3のソー

10

20

30

40

50

ス電極又は前記第3のドレイン電極の一方が重なる面積よりも小さいことを特徴とする半導体装置。

【請求項3】

ゲートドライバを有し、

前記ゲートドライバは、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、を有し、

前記第1のトランジスタは、第1のゲート電極と、前記第1のゲート電極上方の第1の半導体層と、前記第1の半導体層上方の第1のソース電極と、前記第1の半導体層上方の第1のドレイン電極と、を有し、

前記第2のトランジスタは、第2のゲート電極と、前記第2のゲート電極上方の第2の半導体層と、前記第2の半導体層上方の第2のソース電極と、前記第2の半導体層上方の第2のドレイン電極と、を有し、

前記第3のトランジスタは、第3のゲート電極と、前記第3のゲート電極上方の第3の半導体層と、前記第3の半導体層上方の第3のソース電極と、前記第3の半導体層上方の第3のドレイン電極と、を有し、

前記第4のトランジスタは、第4のゲート電極と、前記第4のゲート電極上方の第4の半導体層と、前記第4の半導体層上方の第4のソース電極と、前記第4の半導体層上方の第4のドレイン電極と、を有し、

前記第1のソース電極又は前記第1のドレイン電極の一方は、クロック信号線と電氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の一方は、電源線と電氣的に接続され、

前記第3のソース電極又は前記第3のドレイン電極の一方は、前記電源線と電氣的に接続され、

前記第4のソース電極又は前記第4のドレイン電極の一方は、前記電源線と電氣的に接続され、

前記第1のソース電極又は前記第1のドレイン電極の他方は、ゲート信号線と電氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の他方は、前記ゲート信号線と電氣的に接続され、

前記第3のソース電極又は前記第3のドレイン電極の他方は、前記ゲート信号線と電氣的に接続され、

前記第4のソース電極又は前記第4のドレイン電極の他方は、前記第1のゲート電極と電氣的に接続され、

前記第1のトランジスタにおいて、前記第1のゲート電極に前記第1のソース電極又は前記第1のドレイン電極の他方が重なる面積は、前記第1のゲート電極に前記第1のソース電極又は前記第1のドレイン電極の一方が重なる面積よりも大きく、

前記第2のトランジスタにおいて、前記第2のゲート電極に前記第2のソース電極又は前記第2のドレイン電極の他方が重なる面積は、前記第2のゲート電極に前記第2のソース電極又は前記第2のドレイン電極の一方が重なる面積よりも小さく、

前記第3のトランジスタにおいて、前記第3のゲート電極に前記第3のソース電極又は前記第3のドレイン電極の他方が重なる面積は、前記第3のゲート電極に前記第3のソース電極又は前記第3のドレイン電極の一方が重なる面積よりも小さく、

前記第4のトランジスタにおいて、前記第4のゲート電極に前記第4のソース電極又は前記第4のドレイン電極の他方が重なる面積は、前記第4のゲート電極に前記第4のソース電極又は前記第4のドレイン電極の一方が重なる面積よりも小さいことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

半導体装置、表示装置、液晶表示装置、それらの駆動方法、又はそれらを生産する方法に関する。特に、画素部と同じ基板に形成される駆動回路を有する半導体装置、表示装置、液晶表示装置、又は当該装置の駆動方法に関する。または、当該装置を有する電子機器に関する。

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、非単結晶半導体によって構成されるトランジスタを用いて、画素部と同じ基板にゲートドライバなどの駆動回路を構成する技術は、コストの低減、信頼性の向上に大きく貢献するため、活発に開発が進められている。

10

【0003】

しかしながら、非単結晶半導体によって構成されるトランジスタは、閾値電圧の上昇、又は移動度の低下などの劣化を生じる。このトランジスタの劣化が進むと、駆動回路が動作しづらくなり、画像を表示できなくなるといった問題がある。そこで、特許文献1では、トランジスタの劣化を抑制することができるシフトレジスタの構成について、開示している。特許文献1では、容量素子の一方の電極をクロック信号が入力される配線と接続し、容量素子の他方の電極を二つのトランジスタのゲートに接続して、容量素子の他方の電極の電位をクロック信号に同期させて上昇または減少させる。こうして、容量素子の容量結合を用いて、クロック信号に同期した信号を二つのトランジスタのゲートに生成する。そして、このクロック信号に同期した信号を用いて、トランジスタのオンとオフとを制御する。すると、トランジスタがオンになる期間と、トランジスタがオフになる期間とが繰り返されることになるので、トランジスタの劣化を抑制することができる。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-24350号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1では、容量素子の他方の電極は、二つのトランジスタのゲートと接続されているので、容量素子に接続されるノードの寄生容量が大きくなるといった課題がある。このために、クロック信号に同期した信号のHレベルの電位が低くなるといった課題がある。この場合、トランジスタの閾値電圧が上昇したときに、トランジスタがオンできなくなる時間が早くなるといった課題がある。つまり、シフトレジスタの寿命が短くなるといった課題がある。または、容量素子に接続される寄生容量が大きいため、容量素子の容量値を大きくしなければならないといった課題がある。このために、容量素子の一方の電極と他方の電極とが重なる面積を大きくする必要があるため、容量素子のレイアウト面積が大きくなるといった課題がある。

30

【0006】

または、特許文献1では、容量素子の面積を大きくする必要があるため、一方の電極と他方の電極とがゴミなどによってショートしやすくなるといった課題がある。この結果、歩留まりが下がり、コストが増加するといった課題がある。

40

【0007】

または、特許文献1では、容量素子の容量値を大きくする必要があるため、容量素子に供給される信号（例えばクロック信号又は反転クロック信号）の遅延又はなまりが大きくなるといった課題がある。または、消費電力が大きくなるといった課題がある。

【0008】

または、容量素子に供給される信号を出力する回路として、大きな電流駆動能力を有する回路を用いる必要があるため、外付回路（以下、外部回路ともいう）が大きくなるといった課題がある。または、表示装置が大きくなるといった課題がある。

50

【0009】

または、特許文献1では、プルアップトランジスタTuのゲートが浮遊状態となる期間が存在する。したがって、プルアップトランジスタTuのゲートの電位が安定せずに、ノイズなどが生じる。そのため、シフトレジスタが誤動作を起こすといった課題がある。

【0010】

上記課題を鑑み、容量素子と接続されるトランジスタの数を減らすことを課題とする。または、当該容量素子と接続されるトランジスタの寄生容量を小さくすることを課題とする。または、クロック信号に同期した信号のHレベルの電位を高くすることを課題とする。または、レイアウト面積を小さくすることを課題とする。または、寿命を長くすることを課題とする。信号の遅延又はなまりを小さくすることを課題とする。または、消費電力を小さくすることを課題とする。または、ノイズの影響を低減することを課題とする。または、トランジスタの劣化を抑制又は緩和することを課題とする。または、誤動作を抑制することを課題とする。または、容量素子の一方の電極と他方の電極とのショートを防ぐことを課題とする。または、外付回路の電流駆動能力を小さくすることを課題とする。または、外付回路のサイズを小さくすることを課題とする。または、表示装置を小さくすることを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。

10

【課題を解決するための手段】

【0011】

容量素子と、一つのトランジスタとを有し、容量素子の一方の電極は配線と接続され、容量素子の他方の電極はトランジスタのゲートと接続される構成とする。当該配線には、クロック信号が入力されるので、クロック信号は容量素子を介してトランジスタのゲートに入力される。そして、トランジスタの導通状態は、クロック信号に同期した信号によって制御され、トランジスタはオンになる期間とオフになる期間とを繰り返す。こうして、トランジスタの劣化を抑制することができる。

20

【0012】

本発明の例示的な一態様は、駆動回路と、画素とを有し、前記画素は、液晶素子を有し、前記駆動回路は、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、及び容量素子を有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、前記第2の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記第2のトランジスタのゲートは、前記第1の配線と電氣的に接続され、前記第3のトランジスタの第1の端子は、第3の配線と電氣的に接続され、前記第3のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記第4のトランジスタの第1の端子は、前記第3の配線と電氣的に接続され、前記第4のトランジスタの第2の端子は、前記第3のトランジスタのゲートと電氣的に接続され、前記第4のトランジスタのゲートは、前記第1のトランジスタのゲートと電氣的に接続され、前記容量素子の一方の電極は、前記第1の配線と電氣的に接続され、前記容量素子の他方の電極は、前記第3のトランジスタのゲートと電氣的に接続される液晶表示装置である。

30

【0013】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）などを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

40

【0014】

なお、機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）の

50

ように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。

【0015】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。

【0016】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0017】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

【0018】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0019】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL（エレクトロルミネセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

【0020】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一对の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（P D L C）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（P A L C）、バナナ型液晶、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）、ASV（Advanced Super View）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（Anti Ferroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、ゲストホストモード、ブルー相（Blue Phase）モードなどを用いることができる。ただし、これに限定されず、液晶素子として様々なものを用いることができる。

10

20

【0021】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ（GLV）を用いた表示装置、デジタルマイクロミラーデバイス（DMD）を用いた表示装置などの光源としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

30

【0022】

なお、トランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることが出来る。

【0023】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチなど）およびゲートドライバ回路（走査線駆動回路）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することが出来る。

40

【0024】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0025】

または、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイ

50

ズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0026】

または、 ZnO 、 a-InGaZnO 、 SiGe 、 GaAs 、 IZO 、 ITO 、 SnO などの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

10

【0027】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

20

【0028】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。このような基板を用いた半導体装置は、衝撃に強くすることができる。

【0029】

さらに、様々な構造のトランジスタを用いることができる。例えば、 MOS 型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることが出来る。 MOS 型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、多数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。

30

【0030】

なお、 MOS 型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

【0031】

その他、様々なトランジスタを用いることができる。

【0032】

なお、トランジスタは、様々な基板を用いて形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板、 SOI 基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。

40

【0033】

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。

【0034】

別の例として、チャネルの上下にゲート電極が配置されている構造を適用することができ

50

る。なお、チャンネルの上下にゲート電極が配置される構成にすることにより、複数のトランジスタが並列に接続されたような構成となる。

【0035】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。あるいは、LDD領域を設けた構造を適用できる。

【0036】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板などの様々な基板を用いて形成することも可能である。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていることも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続して、ガラス基板上にそのICチップを配置することも可能である。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続することも可能である。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたICチップを用いるようにすれば、消費電力の増加を防ぐことができる。

【0037】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1電極、第2電極と表記する場合がある。あるいは、第1領域、第2領域と表記する場合がある。

【0038】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子などと表記する場合がある。

【0039】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

【0040】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでも良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の

画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでいても良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PWB）を含んでいても良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。

10

【0041】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを有していても良い。

【0042】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【0043】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

20

【0044】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【0045】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

30

【0046】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【0047】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

40

【0048】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0049】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同

50

様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0050】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。

10

【0051】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【0052】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【0053】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

20

【0054】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0055】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多く、これに限定されない。

【0056】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

30

【0057】

なお、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

【発明の効果】

【0058】

容量素子と接続されるトランジスタの数を減らすことができる。または、当該容量素子と接続されるトランジスタの寄生容量を小さくすることができる。または、クロック信号に同期した信号のHレベルの電位を高くすることができる。または、レイアウト面積を小さくすることができる。または、寿命を長くすることができる。信号の遅延又はなまりを小さくすることができる。または、消費電力を小さくすることができる。または、ノイズの影響を低減することができる。または、トランジスタの劣化を抑制又は緩和することができる。または、誤動作を抑制することができる。または、容量素子の一方の電極と他方の電極とのショートを防ぐことができる。または、外付回路の電流駆動能力を小さくすることができる。または、外付回路のサイズを小さくすることができる。または、表示装置を小さくすることができる。

40

50

【図面の簡単な説明】

【0059】

【図1】半導体装置の回路図、及びその駆動方法を説明するタイミングチャート。

【図2】半導体装置の駆動方法を説明する模式図。

【図3】半導体装置の回路図。

【図4】半導体装置の回路図。

【図5】半導体装置の回路図。

【図6】半導体装置の回路図、及びその駆動方法を説明するタイミングチャート。

【図7】半導体装置の駆動方法を説明する模式図。

【図8】半導体装置の駆動方法を説明する模式図。

10

【図9】半導体装置の回路図。

【図10】半導体装置の回路図。

【図11】半導体装置の回路図。

【図12】半導体装置の回路図。

【図13】半導体装置の回路図。

【図14】シフトレジスタの回路図、及びその駆動方法を説明するタイミングチャート。

【図15】シフトレジスタの回路図。

【図16】シフトレジスタの回路図。

【図17】シフトレジスタの回路図。

【図18】シフトレジスタのレイアウト図。

20

【図19】半導体装置の回路図、及びその駆動方法を説明するタイミングチャート。

【図20】半導体装置の回路図。

【図21】シフトレジスタの回路図。

【図22】表示装置のシステムブロック図。

【図23】表示装置の構成を説明する図。

【図24】シフトレジスタの回路図。

【図25】シフトレジスタの駆動方法を説明するタイミングチャート。

【図26】信号線駆動回路の回路図、及びその駆動方法を説明するタイミングチャート。

【図27】画素の回路図、及びその駆動方法を説明するタイミングチャート。

【図28】画素の回路図、そのレイアウト図、及びその駆動方法を説明するタイミングチャート。

30

【図29】画素の回路図、及びその駆動方法を説明するタイミングチャート。

【図30】シフトレジスタのレイアウト図。

【図31】シフトレジスタのレイアウト図。

【図32】トランジスタの断面図。

【図33】電子機器を説明する図。

【図34】電子機器を説明する図。

【発明を実施するための形態】

【0060】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

40

【0061】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

50

【0062】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容である。

【0063】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0064】

（実施の形態1）

本実施の形態では、半導体装置の一例について説明する。なお、当該半導体装置を駆動回路、又はフリップフロップと示すことが可能である。

【0065】

まず、本実施の形態の半導体装置の一例について、図1（A）を参照して説明する。図1（A）の半導体装置は、回路100、トランジスタ101、トランジスタ102、トランジスタ103、トランジスタ104、容量素子105、及び容量素子106を有する。トランジスタ101～104は、各々、Nチャネル型であるものとし、ゲートとソースとの間の電位差（ V_{gs} ）が閾値電圧（ V_{th} ）を上回った場合にオンになるものとする。ただし、これに限定されず、トランジスタ101～104は、各々、Pチャネル型であることが可能である。Pチャネル型トランジスタは、ゲートとソースとの間の電位差（ V_{gs} ）が閾値電圧（ V_{th} ）を下回った場合にオンになるものとする。

【0066】

図1（A）の半導体装置の接続関係について説明する。トランジスタ101の第1の端子は、配線123Bと接続され、トランジスタ101の第2の端子は、配線121と接続される。トランジスタ102の第1の端子は、トランジスタ101のゲートと接続され、トランジスタ102の第2の端子は、配線121と接続され、トランジスタ102のゲートは、配線123Cと接続される。トランジスタ103の第1の端子は、配線122Aと接続され、トランジスタ103の第2の端子は、トランジスタ101のゲートと接続される。トランジスタ104の第1の端子は、配線122Bと接続され、トランジスタ104の第2の端子は、トランジスタ103のゲートと接続される。容量素子105の一方の電極は、トランジスタ101のゲートと接続され、容量素子105の他方の電極は、配線121と接続される。容量素子106の一方の電極は、配線123と接続され、容量素子106の他方の電極は、トランジスタ103のゲートと接続される。

【0067】

なお、トランジスタ101のゲート、トランジスタ102の第1の端子、トランジスタ103の第2の端子、又は、トランジスタ104のゲートの接続箇所をノードAと示す。そして、トランジスタ103のゲート、トランジスタ104の第2の端子、又は、容量素子106の他方の電極の接続箇所をノードBと示す。ただし、ノードA、及びノードBを配線と示すことが可能である。

【0068】

なお、配線121、配線123A、配線123B、配線123C、配線122A、配線122Bを端子と示すことが可能である。

【0069】

各配線（配線121、配線122A～122B、配線123A～123C）に入力することが可能なもの（例えば信号、電圧、又は電流など）の一例について説明する。ただし、以下に述べる内容は一例であり、これに限定されない。各配線には、以下に述べるものの他にも様々なものを入力することが可能であるし、各配線を浮遊状態（以下、フローティング状態）とすることが可能である。

【0070】

配線121からは、一例として、信号S1が出力されるものとする。よって、配線121

10

20

30

40

50

は、信号線として機能することが可能である。特に、配線 1 2 1 が画素と接続される場合、又は配線 1 2 1 が画素部に延伸して配置される場合、配線 1 2 1 はゲート線、走査線、又は容量線として機能することが可能である。信号 S 1 は、半導体装置の出力信号であり、HレベルとLレベルとを有するデジタル信号である場合が多く、出力信号、選択信号、ゲート信号、又は走査信号として機能することが可能である。

【0071】

配線 1 2 2 A～1 2 2 Bには、一例として、電圧 V 1 が供給されるものとする。よって、配線 1 2 2 A～1 2 2 Bは、電源線として機能することが可能である。電圧 V 1 は、信号 S 1 の Lレベルとおおむね等しい値である場合が多く、グランド電圧、電源電圧、又は負電源電圧として機能することが可能である。ただし、これに限定されず、配線 1 2 2 A～1 2 2 Bにクロック信号などの信号が入力されることが可能である。この場合、配線 1 2 2 A～1 2 2 Bは、信号線、又はクロック信号線として機能することが可能である。または、配線 1 2 2 A～1 2 2 Bには、別々の電圧、又は別々の信号が入力されることが可能である。

10

【0072】

なお、おおむねとは、ノイズによる誤差、プロセスのばらつきによる誤差、素子の作製工程のばらつきによる誤差、及び／又は、測定誤差などの様々な誤差を含むものとする。

【0073】

配線 1 2 3 A～1 2 3 Cには、一例として、信号 S 2 が入力されるものとする。よって、配線 1 2 3 A～1 2 3 Cは、信号線として機能することが可能である。信号 S 2 は、一定の周期でHレベルとLレベルとを繰り返すデジタル信号である場合が多く、クロック信号 (CK) として機能することが可能である。ただし、これに限定されず、配線 1 2 3 A～1 2 3 Cには、電源電圧が供給されることが可能である。この場合、配線 1 2 3 A～1 2 3 Cは、電源線として機能することが可能である。または、配線 1 2 3 A～1 2 3 Bには、別々の電圧、又は別々の信号が入力されることが可能である。

20

【0074】

なお、本実施の形態では、一例として、信号の Lレベルの電位を V 1、信号の Hレベルの電位を V 2とし、 $V 2 > V 1$ であるものとする。ただし、これに限定されない。

【0075】

なお、電圧とは、ある電位と、基準の電位 (例えばグランド電位) との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

30

【0076】

回路 1 0 0、トランジスタ 1 0 1～1 0 4、容量素子 1 0 5、容量素子 1 0 6 が有する機能の一例について説明する。ただし、以下に述べる内容は一例であり、これに限定されない。回路 1 0 0、及び各素子は、以下に述べる機能の他にも様々な機能を有することが可能であるし、以下に述べる機能を有していないことも可能である。

【0077】

回路 1 0 0 は、ノード A の電位、又は状態を制御する機能と、配線 1 2 1 の電位、又は状態を制御する機能とを有する。例えば、回路 1 0 0 は、ノード A の電位若しくは配線 1 2 1 の電位を上昇させる機能、ノード A の電位若しくは配線 1 2 1 の電位を減少させる機能、及び／又は、ノード A 若しくは配線 1 2 1 を浮遊状態にする機能などを有する。トランジスタ 1 0 1 は、配線 1 2 3 B に入力される信号 (例えば信号 S 2) に応じて、配線 1 2 1 の電位を上昇させる機能を有する。トランジスタ 1 0 2 は、配線 1 2 3 C に入力される信号 (例えば信号 S 2) に応じて、配線 1 2 1 とノード A とが導通するタイミングを制御する機能を有し、スイッチとして機能する。トランジスタ 1 0 3 は、ノード B の電位に応じて、配線 1 2 2 A とノード A とが導通するタイミングを制御し、スイッチとして機能する。トランジスタ 1 0 4 は、ノード A の電位に応じて、配線 1 2 2 B とノード B とが導通するタイミングを制御する機能を有し、スイッチとして機能する。容量素子 1 0 5 は、配線 1 2 6 の電位に応じて、ノード A の電位を上昇させる機能、及び／又は、トランジスタ

40

50

101のゲートと第2の端子との間の電位差を保持する機能を有する。容量素子106は、配線123Aに入力される信号(例えば信号S2)に応じて、ノードBの電位を制御する機能を有する。

【0078】

次に、図1(A)の半導体装置の動作について、図1(B)、図2(A)～(E)を参照して説明する。図1(B)は、半導体装置の動作を説明するためのタイミングチャートの一例であり、期間T1、期間T2、期間T3、期間T4、及び期間T5を有する。そして、図1(B)には、信号S1、信号S2、ノードAの電位Va、ノードBの電位Vbを示す。図2(A)は、期間T1における図1(A)の半導体装置の動作の模式図を示す。図2(B)は、期間T2における図1(A)の半導体装置の動作の模式図を示す。図2(C)は、期間T3における図1(A)の半導体装置の動作の模式図を示す。図2(D)は、期間T4における図1(A)の半導体装置の動作の模式図を示す。図2(E)は、期間T5における図1(A)の半導体装置の動作の模式図を示す。

10

【0079】

なお、ノードAの電位が上昇すると、半導体装置は、期間T1における動作、期間T2における動作、及び期間T3における動作を順に行う。その後、再びノードAの電位が上昇するまで、半導体装置は、期間T4における動作と期間T5における動作とを順に繰り返す。

【0080】

まず、期間T1において、信号S2はLレベルとなる。すると、トランジスタ102がオフになるので、ノードAと配線121とは非導通状態となる。同時に、ノードBの電位は、容量素子106の容量結合によって減少する。このときのノードBの電位が、配線122Aの電位(V1)とトランジスタ103の閾値電圧(Vth106)との和(V1+Vth106)よりも低くなるとすると、トランジスタ103はオフになる。よって、配線122AとノードAとは非導通状態となる。一方で、回路100は、ノードAの電位を上昇させ始める。そして、ノードAの電位が配線122Bの電位(V1)とトランジスタ104の閾値電圧(Vth104)との和(V1+Vth104)となったところで、トランジスタ104がオンになる。すると、配線122BとノードBとが導通状態となる。よって、電圧V1が配線122BからノードBに供給されるので、ノードBの電位がV1となる。この結果、トランジスタ103はオフのままとなるので、配線122AとノードAとは非導通状態のままとなる。同様に、ノードAの電位が配線123Bの電位(V1)とトランジスタ101の閾値電圧(Vth101)との和(V1+Vth101)となったところで、トランジスタ101がオンになる。すると、配線123Bと配線121とが導通状態となる。よって、Lレベルの信号S2が配線123Bから配線121に供給されるので、配線121の電位は、配線123Bの電位(信号S2のLレベル、又はV1)とおおむね等しくなる。その後、回路100は、ノードAの電位をある値(例えばV1+Vth101以上、且つV2以下)まで上昇させたところで、ノードAへの信号の供給を止めるので、回路100とノードAとは、非導通状態となる。よって、ノードAは、浮遊状態となり、ノードAの電位は高い値のまま維持される。容量素子105には、このときのノードAと配線121との電位差が保持される。

20

30

40

【0081】

なお、期間T1において、回路100は、配線121に電圧V1、又はLレベルの信号などを供給することが可能である。または、回路100は、配線121に信号などを供給しないことによって、回路100と配線121とを非導通状態とすることが可能である。そして、回路100は、配線121を浮遊状態にすることが可能である。

【0082】

次に、期間T2において、ノードAの電位は高い値のまま維持されるので、トランジスタ104はオンのままとなる。よって、配線122BとノードBとは導通状態のままとなるので、ノードBの電位はV1のままとなる。この結果、トランジスタ103はオフのままとなるので、配線122AとノードAとは非導通状態のままとなる。同様に、ノードAの

50

電位は高い値のまま維持されるので、トランジスタ101はオンのままとなる。よって、配線123Bと配線121とは導通状態のままとなる。このとき、信号S2がLレベルからHレベルに上昇する。すると、配線123Bと配線121とは導通状態のままなので、配線121の電位が上昇し始める。同時に、トランジスタ102がオンになるので、ノードAと配線121とが導通状態となる。ただし、配線121の電位が配線123Cの電位(V_2)からトランジスタ102の閾値電圧(V_{th102})を引いた値($V_2 - V_{th102}$)まで上昇したところで、トランジスタ102はオフになる。よって、配線121とノードAとは非導通状態となる。ここで、容量素子105は、期間T1における配線121とノードAとの電位差を保持したままである。したがって、配線121の電位が上昇すると、ノードAの電位は、容量素子105の容量結合によって、 $V_2 + V_{th101} + \alpha$ (α は正の数)まで上昇する。いわゆる、ブートストラップ動作である。したがって、配線121の電位は、配線123Bの電位(信号S2のHレベル、又は V_1)と等しくなるまで上昇する。

10

【0083】

なお、期間T2において、回路100は、ノードAに信号などを供給していない場合が多いので、回路100とノードAとは非導通状態となる場合が多い。こうして、回路100は、ノードAを浮遊状態にする場合が多い。

【0084】

なお、期間T2において、回路100は、配線121に信号などを供給していない場合が多いので、回路100と配線121とは非導通状態となる場合が多い。

20

【0085】

次に、期間T3において、信号S2がHレベルからLレベルに減少した後に、回路100は、ノードAの電位を V_1 となるように減少させる。したがって、ノードAの電位が配線123Bの電位(V_1)とトランジスタ101の閾値電圧(V_{th101})との和($V_1 + V_{th101}$)となるまでは、トランジスタ101はオンしている。したがって、Lレベルの信号S2は、配線123Bから配線121に供給されるので、配線121の電位は、配線123Bの電位(V_1)となるように減少する。同様に、ノードAの電位が配線122Bの電位(V_1)とトランジスタ104の閾値電圧(V_{th104})との和($V_1 + V_{th104}$)となるまでは、トランジスタ104はオンしている。したがって、電圧 V_1 が配線122BからノードBに供給されるので、ノードBの電位は V_1 のままとなる。この結果、トランジスタ103はオフのままとなるので、配線122AとノードAとは非導通のままとなる。このとき、容量素子106には、配線123Aの電位(信号S2のLレベル、又は V_1)と配線122Bの電位(V_1)との電位差が保持される。

30

【0086】

なお、期間T3において、回路100は、配線121に電圧 V_1 、又はLレベルの信号などを供給することが可能である。または、回路100は、配線121に信号などを供給しないことによって、回路100と配線121とを非導通状態とすることが可能である。そして、回路100は、配線121を浮遊状態にすることが可能である。

【0087】

次に、期間T4において、信号S2がLレベルからHレベルに上昇する。このとき、ノードAの電位は V_1 のままなので、トランジスタ101、及びトランジスタ104はオフのままである。したがって、ノードBは浮遊状態のままなので、ノードBの電位は、容量素子106の容量結合によって上昇する。ノードBの電位が配線122Aの電位(V_1)とトランジスタ103の閾値電圧(V_{th103})との和($V_1 + V_{th103}$)よりも高くなるとすると、トランジスタ103がオンになる。すると、配線122AとノードAとが導通状態となる。よって、電圧 V_1 が配線122AからノードAに供給されるので、ノードAの電位は V_1 に維持される。同時に、トランジスタ102がオンになるので、配線121とノードAとが導通状態となる。このとき、ノードAには、電圧 V_1 が配線122Aから供給されている。よって、電圧 V_1 が配線122Aから配線121に供給されるので、配線121の電位は V_1 に維持される。

40

50

【0088】

なお、期間T4において、回路100は、ノードAに電圧V1、又はLレベルの信号などを供給することが可能である。または、回路100は、ノードAに信号などを供給しないことによって、回路100とノードAとを非導通状態とすることが可能である。そして、回路100は、ノードAを浮遊状態にすることが可能である。

【0089】

なお、期間T5において、回路100は、配線121に電圧V1、又はLレベルの信号などを供給することが可能である。または、回路100は、配線121に信号などを供給しないことによって、回路100と配線121とを非導通状態とすることが可能である。そして、回路100は、配線121を浮遊状態にすることが可能である。

10

【0090】

次に、期間T5において、信号S2がHレベルからLレベルに減少する。このとき、ノードAの電位はV1のままなので、トランジスタ101、及びトランジスタ104はオフのままである。したがって、ノードBの電位は、容量素子106の容量結合によって減少する。ノードBの電位が配線122Aの配線(V1)とトランジスタ103の閾値電圧(V_{th103})との和($V1 + V_{th103}$)よりも低くなるとすると、トランジスタ103がオフになる。よって、配線122AとノードAとは非導通状態となる。同様に、トランジスタ102がオフになるので、配線121とノードAとは非導通状態となる。このとき、回路100がノードA、及び配線121にLレベル信号、又は電圧V1を供給していれば、ノードAの電位、及び配線121の電位はV1に維持される。ただし、回路100がノードA、及び配線121にLレベル信号、又は電圧V1などを供給していない場合でも、ノードA、及び配線121は浮遊状態となるので、ノードAの電位、及び配線121の電位はV1に維持される。

20

【0091】

図1(A)の半導体装置では、従来の技術と比較して、容量素子106の他方の電極に接続されるトランジスタの数を減らすことができる。したがって、容量素子106の他方の電極に接続される寄生容量、つまりノードBの寄生容量を小さくすることができる。なお、寄生容量とは、トランジスタのゲート容量、トランジスタのゲートとソースとの間の寄生容量、トランジスタのゲートとドレインとの間の寄生容量、及び／又は、配線容量などの合成容量のことをいう。ただし、これに限定されず、容量素子106の他方の電極には、複数のトランジスタを接続することが可能である。

30

【0092】

または、図1(A)の半導体装置では、ノードBの寄生容量を減らすことができるので、容量素子106の容量値を従来の技術よりも小さくすることができる。よって、容量素子106の一方の電極と他方の電極とが重なる面積を小さくすることができるので、容量素子106のレイアウト面積を小さくすることができる。この結果、容量素子106の一方の電極と他方の電極とがゴミなどによってショートしてしまうことを抑制することができる。よって、歩留まりの向上、又はコストの削減を図ることができる。または、配線123Aの負荷を小さくすることができるので、配線123Aに入力される信号(例えば信号S2)のなまり、又は遅延などを低減することができる。または、配線123Aに信号を供給する外付回路の電流駆動能力を小さくすることができるので、外付回路のサイズを小さくすることができる。

40

【0093】

または、図1(A)の半導体装置では、ノードBの寄生容量を減らすことができるので、配線123Aの電位が変化した場合のノードBの振幅電圧を大きくすることができる。よって、期間T4において、従来の技術よりも、ノードBの電位を高くすることができるので、トランジスタ103の V_{gs} を大きくすることができる。つまり、トランジスタ103のオン抵抗を小さくすることができるので、期間T4においてノードBの電位をV1に維持しやすくなる。または、トランジスタ103のチャネル幅(W)を小さくすることができるので、レイアウト面積の縮小を図ることができる。

50

【0094】

または、図1(A)の半導体装置では、期間T2において、トランジスタ102がオフになるまでは、ノードAと配線121とが導通状態となる場合が多い。したがって、ノードAの電位が減少するので、トランジスタ101、及びトランジスタ104のゲート電圧を低くすることができる。この結果、トランジスタ101、及びトランジスタ104の特性劣化を抑制することができる。または、トランジスタ101、及びトランジスタ104が破壊されることを抑制することができる。または、トランジスタとして、ゲート絶縁膜を薄くして移動度を向上させたトランジスタを用いることができる。このようなトランジスタを用いる場合、トランジスタのチャンネル幅(W)を小さくすることができる。よって、レイアウト面積の縮小を図ることができる。

10

【0095】

または、図1(A)の半導体装置では、すべてのトランジスタをNチャンネル型、又はすべてのトランジスタをPチャンネル型とすることが可能である。よって、CMOS回路と比較して、工程数の削減、歩留まりの向上、又はコストの低減を図ることができる。特に、すべてのトランジスタがNチャンネル型である場合、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体を用いることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの低減などを図ることができる。ただし、これに限定されず、図1(A)の半導体装置を、Pチャンネル型トランジスタとNチャンネル型トランジスタとを組み合わせたCMOS回路によって構成することが可能である。

20

【0096】

または、図1(A)の半導体装置では、期間T4と期間T5とのうち少なくとも一方において、トランジスタ101~104はオフになる。したがって、トランジスタが1動作期間中にずっとオンにならないので、閾値電圧の上昇又は移動度の低下などのトランジスタの特性劣化を抑制することができる。

【0097】

特に、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体を用いる場合、当該トランジスタの特性劣化は顕著に表れる。しかし、図1(A)の半導体装置では、トランジスタの特性劣化を抑制することができるので、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体を用いることができる。ただし、これに限定されず、半導体層として、多結晶半導体、又は単結晶半導体を用いることが可能である。

30

【0098】

なお、期間T2を選択期間と示し、それ以外の期間(期間T1、期間T3、期間T4、及び期間T5)を非選択期間と示すことが可能である。または、期間T1、期間T2、期間T3、期間T4、及び期間T5を、各々、セット期間、出力期間、リセット期間、第1の非選択期間、第2の非選択期間と示すことが可能である。

【0099】

なお、トランジスタ101のチャンネル幅(W)は、トランジスタ102、トランジスタ103、及び/又は、トランジスタ104のチャンネル幅よりも大きいことが可能である。または、半導体装置が有するトランジスタの中で、トランジスタ101のチャンネル幅が一番大きいことが可能である。この場合、トランジスタ101のオン抵抗が小さくなるので、配線121から出力される信号(例えば信号S1)の立ち上がり時間、及び立ち下がり時間が短くなる。したがって、期間T2において、トランジスタ102がオフになるタイミングが早くなる。よって、ノードAの電位が減少しすぎて、半導体装置が誤動作することを抑制することができる。ただし、これに限定されず、トランジスタ101のチャンネル幅は、トランジスタ102~104の中のいずれか一のチャンネル幅、又は、半導体装置が有するトランジスタの中のいずれか一のチャンネル幅よりも小さいことが可能である。

40

【0100】

なお、トランジスタのチャンネル幅という場合、これをトランジスタのW/L(L:チャネ

50

ル長) 比と言い換えることが可能である。

【0101】

なお、配線123A、配線123B、及び／又は、配線123Cに入力される信号のLレベルの電位は、V1よりも低いことが可能である。この場合、トランジスタに逆バイアスを印加することが可能になるので、トランジスタの特性劣化を緩和することができる。特に、トランジスタ102がオンになる時間は長いので、配線123Cに入力される信号のLレベルの電位は、V1よりも低いことが好ましい。ただし、これに限定されず、配線123A、配線123B、及び／又は、配線123Cに入力される信号のLレベルの電位は、V1よりも高いことが可能である。

【0102】

なお、配線123A、配線123B、及び／又は、配線123Cに入力される信号のHレベルの電位は、V2よりも低いことが可能である。この場合、トランジスタのVgsが小さくなるので、トランジスタの特性劣化を抑制することができる。特に、トランジスタ102がオンになる時間は長いので、配線123Cに入力される信号のHレベルの電位は、V2よりも低いことが好ましい。ただし、これに限定されず、配線123A、配線123B、及び／又は、配線123Cに入力される信号のHレベルの電位は、V2よりも高いことが可能である。

【0103】

なお、配線123A、配線123B、及び／又は、配線123Cに入力される信号の振幅電圧は、V2-V1よりも小さいことが可能である。特に、トランジスタ103がオンになる時間は長いので、配線123Aに入力される信号の振幅をV2-V1よりも小さくすることが好ましい。こうして、トランジスタ103のVgsを小さくすることができるので、トランジスタ103の特性劣化を抑制することができる。ただし、これに限定されず、配線123A、配線123B、及び／又は、配線123Cに入力される信号の振幅電圧は、V2-V1よりも大きいことが可能である。

【0104】

なお、配線122A、及び／又は、配線122Bに信号を入力することが可能である。こうして、電圧V1を省略することができるので、電源数を減らすことができる。または、トランジスタに逆バイアスを印加することができるので、トランジスタの特性劣化を緩和することができる。特に、配線122Aには、トランジスタ103がオンになる期間（例えば、期間T1、期間T3、期間T5）にLレベルとなる信号を入力することが可能である。その一例としては、信号S2の反転信号（以下、反転クロック信号ともいう）などがある。配線122Bには、トランジスタ104がオンになる期間（例えば、期間T3、期間T4、期間T5）にLレベルとなる信号を入力することが可能である。

【0105】

なお、配線123A、配線123B、及び／又は、配線123Cに電圧（例えば電圧V2）を供給することが可能である。こうすることによって、半導体装置は、インバータ回路、又はバッファ回路として機能することが可能となる。

【0106】

なお、図3(A)に示すように、配線122Aと配線122Bには、同じ電圧（例えば電圧V1）が供給される場合が多いので、配線122Aと配線122Bとを共有することが可能である。このために、トランジスタ103の第1の端子、及びトランジスタ104の第1の端子は、配線122と接続される。配線122は、配線122A、又は配線122Bに対応し、配線122には、これらの配線と同様なものが入力されることが可能である。

【0107】

なお、複数の配線を共有するとは、当該複数の配線に接続される素子又は回路を同じ配線に接続することを言う。または、当該複数の配線を互いに接続することを言う。

【0108】

なお、図3(B)に示すように、配線123A~123Cには、同じ信号（例えば信号S

10

20

30

40

50

2) が入力される場合が多いので、配線 1 2 3 A ~ 1 2 3 C を共有することが可能である。このために、トランジスタ 1 0 1 の第 1 の端子、トランジスタ 1 0 2 のゲート、及び容量素子 1 0 6 の一方の電極は、配線 1 2 3 と接続される。配線 1 2 3 は、配線 1 2 3 A ~ 1 2 3 C に対応し、配線 1 2 3 には、これらの配線と同様のものが入力されることが可能である。ただし、これに限定されず、配線 1 2 3 A ~ 配線 1 2 3 C のうちいずれか 2 以上の配線のみを共有することが可能である。

【0 1 0 9】

なお、図 3 (B) と同様に、図 3 (A) においても、配線 1 2 3 A ~ 1 2 3 C を共有することが可能である。

【0 1 1 0】

なお、図 3 (C) に示すように、図 3 (A) と図 3 (B) とを組み合わせ、配線 1 2 2 A と配線 1 2 2 B とを共有し、さらに配線 1 2 3 A ~ 1 2 3 C を共有することが可能である。例えば、トランジスタ 1 0 3 の第 1 の端子、及びトランジスタ 1 0 4 の第 1 の端子は、配線 1 2 2 と接続され、且つ、トランジスタ 1 0 1 の第 1 の端子、トランジスタ 1 0 2 のゲート、及び容量素子 1 0 6 の一方の電極は、配線 1 2 3 と接続されることが可能である。

【0 1 1 1】

なお、図 3 (D) に示すように、トランジスタ 1 0 4 のゲートは、配線 1 2 1 と接続されることが可能である。トランジスタ 1 0 4 のゲートを配線 1 2 1 と接続することによって、トランジスタ 1 0 4 がオンになるときのゲートの電圧は V_1 となり、図 1 (A) でのトランジスタ 1 0 4 がオンになるときのゲートの電圧 ($V_1 + V_{th101} + \alpha$) よりも低くなる。よって、トランジスタ 1 0 4 の絶縁破壊、又はトランジスタ 1 0 4 の特性劣化を抑制することができる。

【0 1 1 2】

なお、図 3 (D) と同様に、図 3 (A) ~ (C) においても、トランジスタ 1 0 4 のゲートは、配線 1 2 1 と接続されることが可能である。

【0 1 1 3】

なお、図 3 (E) に示すように、トランジスタ 1 0 3 の第 2 の端子は、配線 1 2 1 と接続されることが可能である。トランジスタ 1 0 3 の第 2 の端子を配線 1 2 1 と接続することによって、期間 T 4 において、電圧 V_1 が配線 1 2 2 A から配線 1 2 1 に供給されるので、配線 1 2 1 の電位を V_1 に維持しやすくなる。

【0 1 1 4】

なお、図 3 (E) と同様に、図 3 (A) ~ (D) においても、トランジスタ 1 0 3 の第 2 の端子は、配線 1 2 1 と接続されることが可能である。

【0 1 1 5】

なお、図 4 (A) に示すように、容量素子 1 0 5 を省略することが可能である。この場合、トランジスタ 1 0 1 のゲートと第 2 の端子との間の寄生容量を容量素子 1 0 5 として用いることが可能である。

【0 1 1 6】

なお、図 4 (A) において、容量素子 1 0 5 として、トランジスタ 1 0 1 のゲートと第 2 の端子との間の寄生容量を用いる場合、トランジスタ 1 0 1 において、ゲートと第 2 の端子との間の寄生容量は、ゲートと第 1 の端子との間の寄生容量よりも大きいことが好ましい。したがって、トランジスタ 1 0 1 において、ゲート電極として機能する導電層と、ソース電極又はドレイン電極として機能する導電層との重なる面積は、第 1 の端子側よりも第 2 の端子側の方が大きいことが好ましい。ただし、これに限定されない。

【0 1 1 7】

なお、図 4 (A) と同様に、図 3 (A) ~ 図 3 (E) においても、容量素子 1 0 5 を省略することが可能である。

【0 1 1 8】

なお、図 4 (B) に示すように、容量素子 1 0 5 として、MOS 容量を用いることが可能

10

20

30

40

50

である。図4(B)の一例では、容量素子105として、トランジスタ105aが用いられる。トランジスタ105aは、Nチャネル型とする。トランジスタ105aの第1の端子と第2の端子とは、配線121と接続され、トランジスタ105aのゲートは、ノードAと接続される。こうすることによって、容量素子として機能する必要がある期間(期間T1及び期間T2)では、ノードAの電位が高いので、トランジスタ105aのゲート容量を大きくすることができる。一方で、容量素子として機能する必要がない期間(例えば期間T3、期間T4、期間T5)では、ノードAの電位が低いので、トランジスタ105aのゲート容量を小さくすることができる。ただし、これに限定されず、トランジスタ105aは、Pチャネル型であることが可能である。または、トランジスタ105aの第1の端子と第2の端子との一方は、浮遊状態であることが可能である。または、トランジスタ105aのゲートは配線121と接続され、トランジスタ105aの第1の端子と第2の端子とはノードAと接続されることが可能である。または、トランジスタ105aのチャンネル領域に不純物を添加することが可能である。

10

【0119】

なお、図4(B)と同様に、図3(A)～(E)、及び図4(A)においても、容量素子105としてトランジスタ105aを用い、トランジスタ105aの第1の端子及び第2の端子が配線121と接続され、トランジスタ105aのゲートがノードAと接続されることが可能である。

【0120】

なお、図4(C)に示すように、容量素子106として、MOS容量を用いることが可能である。図4(C)の一例では、容量素子106として、トランジスタ106aを用いられる。トランジスタ106aは、Nチャネル型とする。トランジスタ106aの第1の端子と第2の端子とはノードBと接続され、トランジスタ106aのゲートは配線123Aと接続される。ただし、これに限定されず、トランジスタ106aはPチャネル型であることが可能である。または、トランジスタ106aの第1の端子と第2の端子との一方は、浮遊状態であることが可能である。または、トランジスタ106aのゲートはノードBと接続され、トランジスタ106aの第1の端子と第2の端子とは配線123Aと接続されることが可能である。または、トランジスタ106aのチャンネル領域に不純物を添加することが可能である。

20

【0121】

なお、図4(C)と同様に、図3(A)～(E)、及び図4(A)～(B)においても、容量素子106としてトランジスタ106aを用い、トランジスタ106aの第1の端子及び第2の端子がノードBと接続され、トランジスタ106aのゲートが配線123Aと接続されることが可能である。

30

【0122】

なお、図4(D)に示すように、トランジスタ103をダイオード103aに置き換えることが可能である。ダイオード103aは、トランジスタ103に対応する。そして、ダイオード103aは、ノードBの電位がノードAの電位よりも低いときに、ノードAの電位を減少させる機能、及びノードBの電位がノードAの電位よりも高いときに、ノードAとノードBとを非導通状態とする機能を有する。ダイオード103aの一方の端子(以下、入力端子又は陽極ともいう)はノードAと接続され、ダイオード103aの他方の端子(以下、出力端子又は陰極ともいう)はノードBと接続される。

40

【0123】

なお、図4(D)において、トランジスタ103をダイオード103aに置き換える場合、配線122Bには、電圧V2を供給することが可能である。または、配線123Aに、信号S2の反転信号(例えば反転クロック信号)を入力することが可能である。

【0124】

なお、図4(D)と同様に、図3(A)～(E)、及び図4(A)～(C)においても、トランジスタ103をダイオード103aに置き換え、ダイオード103aの一方の端子がノードAと接続され、ダイオード103aの他方の端子がノードBと接続されることが

50

可能である。

【0125】

なお、図4（E）に示すように、トランジスタ104をダイオード104aに置き換えることが可能である。図4（E）の一例では、トランジスタ104だけでなく、トランジスタ103もダイオードに置き換える場合の一例を示す。ダイオード104aは、トランジスタ104に対応する。そして、ダイオード104aは、ノードAの電位ノードがBの電位よりも高いときに、ノードBの電位を上昇させる機能、及びノードAの電位がノードBの電位よりも低いときに、ノードAとノードBとを非導通状態とする機能を有する。ダイオード104aの一方の端子はノードAと接続され、ダイオード104aの他方の端子はノードBと接続される。

10

【0126】

なお、図4（E）と同様に、図3（A）～（E）、及び図4（A）～（D）においても、トランジスタ104をダイオード104aに置き換え、ダイオード104aの一方の端子がノードAと接続され、ダイオード104aの他方の端子がノードBと接続されることが可能である。

【0127】

なお、図4（F）に示すように、ダイオードとして、ダイオード接続されたトランジスタを用いることが可能である。ダイオード接続されたトランジスタ103、及びダイオード接続されたトランジスタ104は、各々、ダイオード103a、ダイオード104aに対応する。トランジスタ103の第1の端子はノードBと接続され、トランジスタ103の第2の端子及びゲートはノードAと接続される。トランジスタ104の第1の端子及びゲートはノードAと接続され、トランジスタ104の第2の端子はノードBと接続される。ただし、これに限定されず、トランジスタ103のゲートは、ノードBと接続され、トランジスタ104のゲートはノードBと接続されることが可能である。

20

【0128】

なお、図4（F）と同様に、図3（A）～（E）、及び図4（A）～（E）においても、トランジスタ103の第1の端子がノードBと接続され、トランジスタ103の第2の端子がノードAと接続され、トランジスタ103のゲートがノードAと接続されることが可能である。または、トランジスタ104の第1の端子がノードAと接続され、トランジスタ104の第2の端子がノードBと接続され、トランジスタ104のゲートがノードAと接続されることが可能である。ただし、これに限定されず、トランジスタ103のゲートがノードBと接続され、トランジスタ104のゲートがノードBと接続されることが可能である。

30

【0129】

なお、図5（A）に示すように、ダイオード107を新たに追加することが可能である。ダイオード107は、配線123AにLレベルの信号が入力される場合に、ノードBの電位を減少させる機能、及び配線123AにHレベルの信号が入力される場合に、配線123AとノードBとを非導通状態とする機能を有する。ダイオード107の一方の端子はノードBと接続され、ダイオード107の他方の端子は配線123Aと接続される。ただし、これに限定されず、ダイオード107の他方の端子は、配線123Aとは別の配線と接続されることが可能である。

40

【0130】

なお、図5（A）と同様に、図3（A）～（E）、及び図4（A）～（F）においても、ダイオード107を新たに追加し、ダイオード107の一方の端子がノードBと接続され、ダイオード107の他方の端子が配線123Aと接続されることが可能である。

【0131】

なお、図5（B）に示すように、ダイオード接続されたトランジスタ107aを新たに追加することが可能である。ダイオード接続されたトランジスタ107aは、ダイオード107に対応し、Nチャネル型である。トランジスタ107aの第1の端子は、配線123Aと接続され、トランジスタ107aの第2の端子及びゲートは、ノードBと接続される

50

。ただし、これに限定されず、トランジスタ107aは、Pチャネル型であることが可能である。または、トランジスタ107aのゲートは、配線123Aと接続されることが可能である。

【0132】

なお、図5(B)と同様に、図3(A)～(E)、図4(A)～(F)、及び図5(A)においても、トランジスタ107aを新たに追加し、トランジスタ107aの第1の端子が配線123Aと接続され、トランジスタ107aの第2の端子及びゲートがノードBと接続されることが可能である。ただし、これに限定されず、トランジスタ107aのゲートがノードBと接続されることが可能である。

【0133】

なお、図5(C)に示すように、トランジスタ102を省略することが可能である。

【0134】

なお、図5(C)と同様に、図3(A)～(E)、図4(A)～(F)、及び図5(A)～(B)においても、トランジスタ102を省略することが可能である。

【0135】

なお、図5(D)に示すように、回路100を省略することが可能である。

【0136】

なお、図5(D)と同様に、図3(A)～(E)、図4(A)～(F)、及び図5(A)～(C)においても、回路100を省略することが可能である。

【0137】

なお、図5(E)に示すように、トランジスタ101、トランジスタ102、トランジスタ103、及びトランジスタ104をトランジスタ101p、トランジスタ102p、トランジスタ103p、及びトランジスタ104pに置き換えることが可能である。トランジスタ101p～104pは、各々、トランジスタ101～104に対応し、Pチャネル型であるものとする。

【0138】

なお、図5(E)において、電位の関係は、図1(A)の半導体装置と逆になっている場合が多い。例えば、配線122A～122Bには、電圧V2が供給され、配線123A～123Bには、信号S2の反転信号が入力されることが可能である。同様に、配線121からは、信号S1の反転信号が出力される場合が多い。

【0139】

なお、図5(E)において、回路100は、期間T1においてノードAの電位を減少させる機能を有する場合が多い。または、回路100は、期間T3において、ノードAの電位をV2となるように上昇させる機能を有する場合が多い。

【0140】

なお、図5(E)と同様に、図3(A)～(E)、図4(A)～(F)、及び図5(A)～(D)においても、トランジスタ101～104として、Pチャネル型のトランジスタを用いることが可能である。

【0141】

(実施の形態2)

本実施の形態では、半導体装置の一例について説明する。本実施の形態の半導体装置は、実施の形態1において説明する半導体装置の具体例である。特に、本実施の形態では、回路100の具体例について説明する。なお、実施の形態1において説明する内容は、本実施の形態の半導体装置に適用することが可能である。

【0142】

回路100の具体例について、図6(A)を参照して説明する。ただし、図6(A)は一例であって、これに限定されない。回路100としては、図6(A)の他にも様々な構成の回路を用いることができる。なお、図1(A)と同様なところは同じ符号で示し、その説明を省略する。

【0143】

10

20

30

40

50

回路100は、トランジスタ131、トランジスタ132、トランジスタ133、トランジスタ134、及びトランジスタ135を有する。トランジスタ131～135は、各々、Nチャネル型であるものとする。ただし、トランジスタ131～135は、Pチャネル型であることが可能である。

【0144】

回路100が有するトランジスタの接続関係について説明する。トランジスタ131の第1の端子は配線125と接続され、トランジスタ131の第2の端子はノードAと接続され、トランジスタ131のゲートは配線125と接続される。トランジスタ132の第1の端子は配線125と接続され、トランジスタ132の第2の端子はノードAと接続され、トランジスタ132のゲートは配線124Aと接続される。トランジスタ133の第1の端子は配線122Eと接続され、トランジスタ133の第2の端子は配線121と接続され、トランジスタ133のゲートは配線124Bと接続される。トランジスタ134の第1の端子は配線122Cと接続され、トランジスタ134の第2の端子はノードAと接続され、トランジスタ134のゲートは配線126と接続される。トランジスタ135の第1の端子は配線122Dと接続され、トランジスタ135の第2の端子は配線121と接続され、トランジスタ135のゲートは配線126と接続される。

10

【0145】

配線122C～122E、配線124A～124B、配線125、及び配線126に入力することが可能なもの（例えば信号、電圧、又は電流など）の一例について説明する。ただし、以下に述べる内容は一例であり、これに限定されない。各配線には、以下に述べるものの他にも様々なものを入力することが可能であるし、各配線を浮遊状態（以下、フローティング状態）とすることが可能である。

20

【0146】

配線122C～122Eには、配線122A及び配線122Bと同様に、電圧V1が供給されているものとする。よって、配線122C～122Eは、電源線として機能することが可能である。ただし、これに限定されず、配線122C～122Eに、クロック信号などの信号を入力することが可能である。この場合、配線122C～122Eは、信号線として機能することが可能である。または、配線122C～122Eには、別々の電圧を供給することが可能である。

【0147】

配線124A～124Bには、一例として、信号S3が入力されているものとする。よって、配線124A～124Bは、信号線として機能することが可能である。信号S3は、信号S2の反転信号、又は位相が信号S2とおおむね180°ずれた信号である場合が多く、反転クロック信号（CKB）として機能することが可能である。ただし、これに限定されず、配線124A～124Bには、電圧を供給することが可能である。この場合、配線124A～124Bは、電源線として機能することが可能である。または、配線124A～124Bには、別々の信号を入力することが可能である。

30

【0148】

配線125には、一例として、信号S4が入力されているものとする。よって、配線125は、信号線として機能することが可能である。信号S4は、LレベルとHレベルとを有するデジタル信号である場合が多く、スタート信号（SP）、別の行（段）からの転送信号、又は別の行を選択する信号として機能する。ただし、これに限定されず、配線125には、電圧を供給することが可能である。この場合、配線125は、電源線として機能することが可能である。

40

【0149】

配線126には、一例として、信号S5が入力されているものとする。よって、配線126は、信号線として機能することが可能である。信号S5は、LレベルとHレベルとを有するデジタル信号である場合が多く、リセット信号（RE）、又は別の行を選択する信号として機能する。ただし、これに限定されず、配線126には、電圧を供給することが可能である。この場合、配線126は、電源線として機能することが可能である。

50

【0150】

トランジスタ131～135が有する機能の一例について説明する。ただし、以下に述べる内容は一例であり、これに限定されない。トランジスタ131～135は、以下に述べる機能の他にも様々な機能を有することが可能であるし、以下に述べる機能を有していないことも可能である。

【0151】

トランジスタ131は、配線125に入力される信号（例えば信号S4）に応じて、ノードAの電位を上昇させる機能を有し、ダイオードとして機能する。トランジスタ132は、配線124Aに入力される信号（例えば信号S3）に応じて、配線125とノードAとが導通するタイミングを制御する機能を有し、スイッチとして機能する。トランジスタ133は、配線124Bに入力される信号（例えば信号S3）に応じて、配線122Eと配線121とが導通するタイミングを制御する機能を有し、スイッチとして機能する。トランジスタ134は、配線126に入力される信号（例えば信号S5）に応じて、配線122CとノードAとが導通するタイミングを制御する機能を有し、スイッチとして機能する。トランジスタ135は、配線126に入力される信号（例えば信号S5）に応じて、配線122Dと配線121とが導通するタイミングを制御する機能を有し、スイッチとして機能する。

【0152】

次に、図6（A）の半導体装置の動作について、図6（B）、図7（A）～（C）、及び図8（A）～（B）を参照して説明する。図6（B）は、半導体装置の動作を説明するためのタイミングチャートの一例であり、期間T1、期間T2、期間T3、期間T4、及び期間T5を有する。図7（A）は、期間T1における図6（A）の半導体装置の動作の模式図を示す。図7（B）は、期間T2における図6（A）の半導体装置の動作の模式図を示す。図7（C）は、期間T3における図6（A）の半導体装置の動作の模式図を示す。図8（A）は、期間T4における図6（A）の半導体装置の動作の模式図を示す。図8（B）は、期間T5における図6（A）の半導体装置の動作の模式図を示す。なお、図1（A）の半導体装置の動作と共通するところは、その説明を省略する。

【0153】

まず、期間T1において、信号S5はLレベルとなるので、トランジスタ134、及びトランジスタ135はオフになる。よって、配線122CとノードAとは非導通状態となり、配線122Dと配線121とは非導通状態となる。同時に、信号S3、及び信号S4がHレベルになるので、トランジスタ131、トランジスタ132、及びトランジスタ133がオンになる。すると、配線125とノードAとが導通状態となり、配線122Eと配線121とが導通状態となる。よって、配線125に入力される信号（Hレベルの信号S4）が配線125からノードAに供給されるので、ノードAの電位は上昇し始める。さらに、配線122Eと配線121とが導通状態となるので、電圧V1が配線122Eから配線121に供給される。その後、ノードAの電位が信号S4のHレベルの電位（V1）からトランジスタ133の閾値電圧（ V_{th131} ）を引いた値（ $V1 - V_{th131}$ ）まで上昇したところで、トランジスタ131はオフになる。同様に、ノードAの電位が信号S3のHレベルの電位（V1）からトランジスタ132の閾値電圧（ V_{th132} ）を引いた値（ $V1 - V_{th132}$ ）まで上昇したところで、トランジスタ132はオフになる。トランジスタ131、及びトランジスタ132がオフになると、ノードAには電荷が供給されなくなる。よって、ノードAの電位が高い値（少なくとも $V1 + V_{th101}$ 以上）に維持されたまま、ノードAは浮遊状態となる。ここでは、便宜上、ノードAの電位が $V1 - V_{th131}$ になると、トランジスタ131、及びトランジスタ132がオフになるものとする。よって、配線125とノードAとは非導通状態となる。このときノードAの電位は $V1 - V_{th131}$ のまま、ノードAは浮遊状態となる。

【0154】

次に、期間T2において、信号S4がLレベルになるので、トランジスタ131はオフのままとなる。そして、信号S3がLレベルになるので、トランジスタ132はオフのまま

となり、トランジスタ133はオフになる。よって、配線125とノードAとは非導通状態のままとなり、配線122Eと配線121とは非導通状態となる。このとき、信号S5はLレベルのままなので、トランジスタ134、及びトランジスタ135はオフのままである。よって、配線122CとノードAとは非導通状態のままであり、配線122Dと配線121とは非導通状態のままである。

【0155】

次に、期間T3において、信号S4はLレベルのままなので、トランジスタ131はオフのままである。そして、信号S5がHレベルになるので、トランジスタ134、及びトランジスタ135がオンになる。すると、配線122CとノードAとが導通状態となり、配線122Dと配線121とが導通状態となる。よって、電圧V1が配線122CからノードAに供給されるので、ノードAの電位はV1となるように減少する。同様に、電圧V1が配線122Dから配線121に供給されるので、配線121の電位はV1となるように減少する。同時に、信号S3がHレベルになるので、トランジスタ132、及びトランジスタ133がオンになる。すると、配線125とノードAとが導通状態となり、配線122Eと配線121とが導通状態となる。よって、Lレベルの信号S4がノードAに供給されるので、ノードAの電位はV1となるように減少する。同様に、電圧V1が配線121に供給されるので、配線121の電位はV1となるように減少する。

10

【0156】

次に、期間T4において、信号S4はLレベルのままなので、トランジスタ131はオフのままである。そして、信号S5がLレベルになるので、トランジスタ134、及びトランジスタ135はオフになる。よって、配線122CとノードAとは非導通状態となり、配線122Dと配線121とは非導通状態となる。このとき、信号S4がLレベルになるので、トランジスタ132、及びトランジスタ133はオフになる。よって、配線125とノードAとは非導通状態となり、配線122Eと配線121とは非導通状態となる。

20

【0157】

次に、期間T5において、信号S4はLレベルのままなので、トランジスタ131はオフのままである。そして、信号S5はLレベルのままなので、トランジスタ134、及びトランジスタ135はオフのままである。よって、配線122CとノードAとは非導通状態のままとなり、配線122Dと配線121とは非導通状態のままとなる。このとき、信号S4がHレベルとなるので、トランジスタ132、及びトランジスタ133がオンになる。すると、配線125とノードAとが導通状態となり、配線122Eと配線121とが導通状態となる。よって、Lレベルの信号S4が配線125からノードAに供給されるので、ノードAの電位はV1に維持される。同様に、電圧V1が配線122Eから配線121に供給されるので、配線121の電位はV1に維持される。

30

【0158】

図6(A)の半導体装置は、期間T4及び期間T5において、ノードAにLレベルの信号又は電圧V1が供給されるので、ノードAのノイズを低減することができる。よって、誤動作を防止することができる。

【0159】

または、図6(A)の半導体装置は、期間T1において、トランジスタ131とトランジスタ132との両方がオンになるので、ノードAの電位を早く上昇させることができる。または、トランジスタ131のチャネル幅、又はトランジスタ132のチャネル幅を小さくすることができる。

40

【0160】

なお、トランジスタ131のチャネル幅は、トランジスタ134のチャネル幅、又はトランジスタ103のチャネル幅よりも大きいことが可能である。同様に、トランジスタ132のチャネル幅は、トランジスタ134のチャネル幅、又はトランジスタ103のチャネル幅よりも大きいことが可能である。なぜなら、期間T2においては、ノードAの電位の上昇は早いほうが好ましく、期間T3においては、ノードAの電位の減少は遅いほうが好ましいからである。つまり、期間T2において、ノードAの電位の上昇が早いと、駆動周

50

波数の向上、貫通電流の抑制、消費電力の低減などを図ることができる。一方で、期間T3において、ノードAの電位の減少が遅いと、トランジスタ101のオン時間が長くなるので、配線121から出力される信号（例えば信号S1）の立ち下がり時間を短くすることができる。したがって、期間T2においてノードAの電位を上昇させる機能を有するトランジスタのチャンネル幅は、期間T3においてノードAの電位を減少させるトランジスタのチャンネル幅よりも大きいことが好ましい。ただし、これに限定されず、トランジスタ131のチャンネル幅は、トランジスタ134のチャンネル幅、又はトランジスタ103のチャンネル幅よりも小さいことが可能である。同様に、トランジスタ132のチャンネル幅は、トランジスタ134のチャンネル幅、又はトランジスタ103のチャンネル幅よりも小さいことが可能である。

10

【0161】

なお、トランジスタ131のチャンネル幅とトランジスタ134のチャンネル幅との和が、トランジスタ134のチャンネル幅、又はトランジスタ103のチャンネル幅よりも大きいことが可能である。なぜなら、期間T2において、Hレベルの信号S4は、トランジスタ131とトランジスタ132という二つの並列に接続されたトランジスタを介して、配線125からノードAに供給されるからである。ただし、これに限定されずトランジスタ131のチャンネル幅とトランジスタ134のチャンネル幅との和が、トランジスタ134のチャンネル幅、又はトランジスタ103のチャンネル幅よりも小さいことが可能である。

【0162】

なお、トランジスタ134のチャンネル幅は、トランジスタ133のチャンネル幅よりも小さいことが可能である。同様に、トランジスタ132のチャンネル幅は、トランジスタ133のチャンネル幅よりも小さいことが可能である。同様に、トランジスタ103のチャンネル幅は、トランジスタ102のチャンネル幅よりも小さいことが可能である。なぜなら、配線121の負荷（例えば、配線抵抗、寄生容量、接続されるトランジスタなど）は、ノードAの負荷よりも大きい場合が多いからである。したがって、ノードAに信号又は電圧を供給する機能を有するトランジスタのチャンネル幅は、配線121に信号又は電圧を供給するトランジスタのチャンネル幅よりも小さいことが好ましい。ただし、これに限定されず、トランジスタ134のチャンネル幅は、トランジスタ133のチャンネル幅よりも大きいことが可能である。同様に、トランジスタ132のチャンネル幅は、トランジスタ133のチャンネル幅よりも大きいことが可能である。同様に、トランジスタ103のチャンネル幅は、トランジスタ102のチャンネル幅よりも大きいことが可能である。

20

30

【0163】

なお、トランジスタ103のチャンネル幅は、トランジスタ132のチャンネル幅よりも大きいことが可能である。なぜなら、トランジスタ103は、期間T4においてノードAの電位をV1に維持する機能を有するのに対し、トランジスタ132は、期間T5においてノードAの電位をV1に維持する機能を有するからである。具体的には、期間T4では、配線123Bに入力される信号（例えば信号S2）はHレベルとなる。このとき、ノードAの電位が上昇し、トランジスタ101がオンしてしまうと、配線121の電位が上昇してしまう。したがって、トランジスタ103には、ノードAの電位をV1に維持し、トランジスタ101をオフのままにすることが求められるので、トランジスタ103のチャンネル幅は大きいことが好ましい。一方で、期間T5では、配線123Bに入力される信号（例えば信号S2）はLレベルとなるので、トランジスタ101がオンしても、配線121の電位は上昇しない。つまり、ノードAの電位がV1から上昇または減少しても、配線121の電位は上昇しない。したがって、トランジスタ132のオン抵抗を小さくする必要性は少ないので、トランジスタ132のチャンネル幅は小さいことが好ましい。ただし、これに限定されず、トランジスタ103のチャンネル幅は、トランジスタ132のチャンネル幅よりも小さいことが可能である。なぜなら、トランジスタ132は、期間T1において、ノードAの電位を上昇させる機能を有しているからである。トランジスタ132のチャンネル幅を大きくすることによって、ノードAの電位を早く上昇させることができる。

40

【0164】

50

なお、トランジスタ102のチャネル幅は、トランジスタ133のチャネル幅よりも小さいことが可能である。なぜなら、トランジスタ102のチャネル幅を大きくしすぎると、期間T2においてノードAの電位が減少しすぎため、半導体装置が誤動作してしまうからである。具体的には、トランジスタ102とトランジスタ133とは両方とも、配線121の電位をV1に維持する機能を有する。しかし、期間T2において、配線121の電位が配線123Cの電位(V1)からトランジスタ102の閾値電圧(V_{th102})を引いた値($V1 - V_{th102}$)に上昇するまでは、トランジスタ102はオンしている。したがって、期間T2においてノードAの電位が減少しすぎることの防止するために、トランジスタ102のチャネル幅は小さいことが好ましい。一方で、トランジスタ133のチャネル幅は、配線121の電位をV1に維持するために大きいことが好ましい。ただし、これに限定されず、トランジスタ102のチャネル幅は、トランジスタ133のチャネル幅よりも大きいことが可能である。なぜなら、期間T4において、信号S2がHレベルになるときに、配線121の電位が上昇する可能性が高いからである。よって、トランジスタ102のチャネル幅を大きくすることによって、配線121の電位の上昇を抑制しやすくできるからである。

10

【0165】

なお、実施の形態1と同様に、配線124A、配線124B、配線125、及び／又は、配線126に入力される信号のLレベルの電位は、V1よりも低いことが可能である。特に、トランジスタ132、及びトランジスタ133がオンになる時間が長いので、配線124A、及び配線124Bに入力される信号のLレベルの電位は、V1よりも低いことが好ましい。

20

【0166】

なお、実施の形態1と同様に、配線124A、配線124B、配線125、又は配線126に入力される信号のHレベルの電位は、V2よりも低いことが可能である。特に、トランジスタ132、及びトランジスタ133は劣化しやすいので、配線124A、及び配線124Bに入力される信号のHレベルの電位は、V2よりも低いことが好ましい。

【0167】

なお、実施の形態1と同様に、配線122C、配線122D、又は配線122Eに信号を入力することが可能である。例えば、配線122Cには、トランジスタ134がオンになる期間(例えば、期間T3)にLレベルとなる信号を入力することが可能である。その一例としては、信号S2、又は信号S4などがある。配線122Dには、トランジスタ135がオンになる期間(例えば、期間T3)にLレベルとなる信号を入力することが可能である。その一例としては、信号S2、又は信号S4などがある。配線122Eには、トランジスタ133がオンになる期間(例えば、期間T1、期間T3、期間T5)にLレベルとなる信号を入力することが可能である。その一例としては、信号S2、信号S3などがある。

30

【0168】

なお、図13(C)には、一例として、トランジスタ103の第1の端子が配線124Bと接続され、トランジスタ104の第1の端子が配線126と接続され、トランジスタ133の第1の端子が配線123Aと接続され、トランジスタ134の第1の端子が配線123Aと接続され、トランジスタ135の第1の端子が配線123Aと接続される場合の構成を示す。ただし、これに限定されず、トランジスタ103の第1の端子は、配線124A、又は配線125と接続されることが可能である。または、トランジスタ133の第1の端子、トランジスタ134の第1の端子、又はトランジスタ135の第1の端子は、配線121、配線123B、配線123C、又は配線126と接続されることが可能である。

40

【0169】

なお、実施の形態1と同様に、配線124A、配線124B、及び／又は、配線126には、電圧(例えば電圧V1又は電圧V2)を供給することが可能である。こうすることによって、半導体装置は、インバータ回路、又はバッファ回路として機能することが可能と

50

なる。

【0170】

なお、図9（A）に示すように、配線124A、及び配線124Bには、同じ信号（例えば信号S3）が入力されるので、配線124Aと配線124Bとを共有することが可能である。このために、トランジスタ132のゲート、及びトランジスタ133のゲートは、配線124と接続される。配線124は、配線124A、又は配線124Bに対応し、これらの配線と同様なものを入力することが可能である。

【0171】

なお、図9（C）には、図3（C）と図9（A）とを組み合わせた場合の構成を示す。例えば、トランジスタ101の第1の端子、トランジスタ102のゲート、及び容量素子106の一方の電極は、配線123と接続される。トランジスタ132のゲート、及びトランジスタ133のゲートは、配線124と接続される。トランジスタ103の第1の端子、トランジスタ104の第1の端子、トランジスタ133の第1の端子、トランジスタ134の第1の端子、及びトランジスタ135の第1の端子は、配線122と接続される。

10

【0172】

なお、図9（C）に示すように、トランジスタ131のゲートが配線127に接続されることが可能である。配線127には、一例として、電圧V2が供給されるものとし、電源線として機能することが可能である。ただし、これに限定されず、配線127には、電流、電圧、信号などの様々なものを入力することが可能である。例えば、配線127に入力される信号は、期間T1においてHレベルとなり、期間T2においてLレベルとなることが好ましいので、配線127に信号S3を入力することが可能である。この場合、配線127は、配線124A、又は配線124Bと接続されることが可能であり、信号線として機能することが可能である。

20

【0173】

なお、図9（C）では、トランジスタ131のゲートが配線127に接続されるものとするが、これに限定されない。例えば、トランジスタ131の第1の端子が配線127と接続され、トランジスタ131のゲートが配線125に接続されることが可能である。

【0174】

なお、図9（C）と同様に、図9（A）～（B）においても、トランジスタ131のゲートが配線127に接続されることが可能である。

30

【0175】

なお、図10（A）に示すように、トランジスタ131を省略することが可能である。トランジスタ131が省略されても、期間T1において、トランジスタ132がオンになるので、ノードAの電位は上昇する。

【0176】

なお、図10（A）と同様に、図9（A）～（C）においても、トランジスタ131を省略することが可能である。

【0177】

なお、図10（B）に示すように、トランジスタ132を省略することが可能である。トランジスタ132が省略されても、期間T5において、ノードAは浮遊状態となるので、ノードAの電位はV1に維持される。

40

【0178】

なお、図10（B）と同様に、図9（A）～（C）、及び図10（A）においても、トランジスタ132を省略することが可能である。

【0179】

なお、図10（C）に示すように、トランジスタ134、及びトランジスタ135を省略することが可能である。または、トランジスタ134とトランジスタ135との一方を省略することが可能である。トランジスタ134が省略されても、期間T3において、トランジスタ132がオンになるので、ノードAの電位はV1になるように減少する。同様に、トランジスタ135が省略されても、期間T3において、トランジスタ133がオンに

50

なるので、配線 1 2 1 の電位は V 1 となるように減少する。

【0180】

なお、図 10 (C) と同様に、図 9 (A) ~ (C)、及び図 10 (A) ~ (B) においても、トランジスタ 1 3 4、及びトランジスタ 1 3 5 を省略することが可能である。

【0181】

なお、図 11 (A) に示すように、トランジスタ 1 3 3 を省略することが可能である。トランジスタ 1 3 3 が省略されても、期間 T 5 において、配線 1 2 1 は浮遊状態となるので、配線 1 2 1 の電位は V 1 に維持される。

【0182】

なお、図 11 (A) と同様に、図 9 (A) ~ (C)、及び図 10 (A) ~ (C) においても、トランジスタ 1 3 3 を省略することが可能である。

10

【0183】

なお、図 11 (B) に示すように、トランジスタ 1 0 2 を省略することが可能である。トランジスタ 1 0 2 が省略されても、期間 T 4 において、配線 1 2 1 は浮遊状態となるので、配線 1 2 1 の電位は V 1 に維持される。

【0184】

なお、図 11 (B) と同様に、図 9 (A) ~ (C)、図 10 (A) ~ (C)、及び図 11 (A) においても、トランジスタ 1 0 2 を省略することが可能である。

【0185】

なお、図 11 (C) に示すように、トランジスタ 1 0 3、トランジスタ 1 0 4、及び容量素子 1 0 6 を省略することが可能である。トランジスタ 1 0 3、トランジスタ 1 0 4、及び容量素子 1 0 6 が省略されても、期間 T 4 において、配線 1 2 1 は浮遊状態となるので、配線 1 2 1 の電位は V 1 に維持される。

20

【0186】

なお、図 11 (C) と同様に、図 9 (A) ~ (C)、図 10 (A) ~ (C)、及び図 11 (A) ~ (B) においても、トランジスタ 1 0 3、トランジスタ 1 0 4、及び容量素子 1 0 6 を省略することが可能である。

【0187】

なお、図 12 (A) に示すように、トランジスタ 1 3 3 をダイオード 1 3 3 a に置き換えることが可能である。ダイオード 1 3 3 a は、トランジスタ 1 3 3 に対応する。ダイオード 1 3 3 a は、配線 1 2 4 B に L レベルの信号が入力されるときに、配線 1 2 1 の電位を減少させる機能、及び配線 1 2 4 B に H レベルの信号が入力されるときに、配線 1 2 4 B と配線 1 2 1 とを非導通状態とする機能を有する。ダイオード 1 3 3 a の一方の端子（以下、入力端子又は陽極ともいう）は配線 1 2 1 と接続され、ダイオード 1 3 3 a の他方の端子（以下、出力端子又は陰極ともいう）は配線 1 2 4 B と接続される。

30

【0188】

なお、図 12 (A) において、トランジスタ 1 3 3 をダイオード 1 3 3 a に置き換える場合、配線 1 2 4 B には信号 S 2 を入力することが可能である。よって、配線 1 2 4 B を配線 1 2 3 A ~ 1 2 3 C と接続し、配線 1 2 4 B と、配線 1 2 3 A ~ 1 2 3 C とを共有することが可能である。

40

【0189】

なお、図 12 (A) と同様に、図 9 (A) ~ (C)、図 10 (A) ~ (C)、及び図 11 (A) ~ (C) においても、トランジスタ 1 3 3 をダイオード 1 3 3 a に置き換え、ダイオード 1 3 3 a の一方の端子が配線 1 2 1 と接続され、ダイオード 1 3 3 a の他方の端子が配線 1 2 4 B と接続されることが可能である。

【0190】

なお、図 12 (B) に示すように、トランジスタ 1 3 3 をダイオード接続することが可能である。ダイオード接続したトランジスタ 1 3 3 は、ダイオード 1 3 3 a に対応する。トランジスタ 1 3 3 の第 1 の端子は、配線 1 2 4 B と接続され、トランジスタ 1 3 3 の第 2 の端子は、配線 1 2 1 と接続され、トランジスタ 1 3 3 のゲートは、配線 1 2 1 と接続さ

50

れる。ただし、これに限定されず、トランジスタ133のゲートは、配線124Bと接続されることが可能である。

【0191】

なお、図12(B)と同様に、図9(A)～(C)、図10(A)～(C)、図11(A)～(C)、及び図12(A)においても、トランジスタ133の第1の端子が配線124Bと接続され、トランジスタ133の第2の端子が配線121と接続され、トランジスタ133のゲートが配線121と接続されることが可能である。ただし、これに限定されず、トランジスタ133のゲートは、配線124Bと接続されることが可能である。

【0192】

なお、図12(C)に示すように、トランジスタ134をダイオード134aに置き換え、トランジスタ135をダイオード135aに置き換えることが可能である。ダイオード134aは、トランジスタ134に対応し、ダイオード135aは、トランジスタ135に対応する。ダイオード134aは、配線126にLレベルの信号が入力されるときに、ノードAの電位を減少させる機能、及び配線126にHレベルの信号が入力されるときに、配線126とノードAとを非導通状態とする機能を有する。ダイオード135aは、配線126にLレベルの信号が入力されるときに、配線121の電位を減少させる機能、及び配線126にHレベルの信号が入力されるときに、配線126と配線121とを非導通状態とする機能を有する。ダイオード134aの一方の端子(以下、入力端子又は陽極ともいう)はノードAと接続され、ダイオード134aの他方の端子(以下、出力端子又は陰極ともいう)は配線126と接続される。ダイオード135aの一方の端子(以下、入力端子又は陽極ともいう)は配線121と接続され、ダイオード135aの他方の端子(以下、出力端子又は陰極ともいう)は配線126と接続される。

【0193】

なお、図12(C)において、トランジスタ134、及びトランジスタ135をダイオードに置き換える場合、配線126には、一例として、信号S5の反転信号が入力されることが可能である。

【0194】

なお、図12(C)において、トランジスタ134とトランジスタ135との一方のみをダイオードに置き換えることが可能である。

【0195】

なお、図12(C)と同様に、図9(A)～(C)、図10(A)～(C)、図11(A)～(C)、及び図12(A)～(B)においても、トランジスタ134をダイオード134aに置き換え、ダイオード134aの一方の端子がノードAと接続され、ダイオード134aの他方の端子が配線126と接続されることが可能である。または、トランジスタ135をダイオード135aに置き換え、ダイオード135aの一方の端子が配線121と接続され、ダイオード135aの他方の端子が配線126と接続されることが可能である。

【0196】

なお、図13(A)に示すように、トランジスタ134、及びトランジスタ135をダイオード接続することが可能である。ダイオード接続したトランジスタ134、及びダイオード接続したトランジスタ135は、各々、ダイオード134a、ダイオード135aに対応する。トランジスタ134の第1の端子は、配線126と接続され、トランジスタ134の第2の端子は、ノードAと接続され、トランジスタ134のゲートは、ノードAと接続される。そして、トランジスタ135の第1の端子は、配線126と接続され、トランジスタ135の第2の端子は、配線121と接続され、トランジスタ135のゲートは、配線121と接続される。ただし、これに限定されず、トランジスタ134のゲートは、配線126と接続されることが可能であり、トランジスタ135のゲートは、配線126と接続されることが可能である。

【0197】

なお、図13(A)と同様に、図9(A)～(C)、図10(A)～(C)、図11(A)

10

20

30

40

50

）～（Ｃ）、及び図１２（Ａ）～（Ｃ）においても、トランジスタ１３４の第１の端子が配線１２６と接続され、トランジスタ１３４の第２の端子がノードＡと接続され、トランジスタ１３４のゲートがノードＡと接続されることが可能である。または、トランジスタ１３５の第１の端子が配線１２６と接続され、トランジスタ１３５の第２の端子が配線１２１と接続され、トランジスタ１３５のゲートが配線１２１と接続されることが可能である。ただし、これに限定されず、トランジスタ１３４のゲートは、配線１２６と接続されることが可能であり、トランジスタ１３５のゲートは、配線１２６と接続されることが可能である。

【０１９８】

なお、図１３（Ｂ）に示すように、トランジスタ１３７、及びトランジスタ１３８を新たに追加することが可能である。トランジスタ１３７、及びトランジスタ１３８は、Ｎチャネル型であるものとする。ただし、これに限定されず、トランジスタ１３７、及びトランジスタ１３８は、Ｐチャネル型であることが可能である。トランジスタ１３７の第１の端子は、配線１２２Ｆと接続され、トランジスタ１３７の第２の端子は、配線１２１と接続され、トランジスタ１３７のゲートは、配線１２８と接続される。トランジスタ１３８の第１の端子は、配線１２２Ｇと接続されトランジスタ１３８の第２の端子は、ノードＡと接続され、トランジスタ１３８のゲートは、配線１２８と接続される。配線１２８には、一例として、信号Ｓ６が入力されるものとする。よって、配線１２８は信号線として機能することが可能である。信号Ｓ６は、ＨレベルとＬレベルとを有するデジタル信号である場合が多く、例えば全段リセット信号として機能することが可能である。配線１２２Ｆ、及び配線１２２Ｇには、一例として、電圧Ｖ１が供給されるものとする。よって、配線１２２Ｆ、及び配線１２２Ｇは、電源線として機能することが可能である。そして、配線１２２Ａ～１２２Ｇを共有することが可能である。この場合、トランジスタ１３７の第１の端子、及びトランジスタ１３８の第１の端子は、図１１（Ｂ）のように、配線１２２と接続することが可能である。ただし、配線１２８、配線１２２Ｆ、及び配線１２２Ｇには、電流、電圧、信号など様々なものを入力することが可能である。

【０１９９】

なお、図１３（Ｂ）において、信号Ｓ６は、半導体装置が動作を開始する前の期間において、Ｈレベルになることが可能である。または、図１３（Ｂ）に示す半導体装置がシフトレジスタに用いられる場合、信号Ｓ６は、該シフトレジスタが走査を開始する前の期間、又は該シフトレジスタが走査を終了した後の期間において、Ｈレベルになることが可能である。よって、信号Ｓ６としては、該シフトレジスタのスタートパルス、又は該シフトレジスタの最終段の出力信号などを用いることが可能である。ただし、本実施の形態の一例は、これに限定されない。

【０２００】

なお、図１３（Ｂ）において、トランジスタ１３７とトランジスタ１３８との一方のみを新たに追加することが可能である。

【０２０１】

なお、図１３（Ｂ）と同様に、図９（Ａ）～（Ｃ）、図１０（Ａ）～（Ｃ）、図１１（Ａ）～（Ｃ）、図１２（Ａ）～（Ｃ）、及び図１３（Ａ）においても、トランジスタ１３７を新たに追加し、トランジスタ１３７の第１の端子が配線１２２Ｆと接続され、トランジスタ１３７の第２の端子が配線１２１と接続され、トランジスタ１３７のゲートが配線１２８と接続されることが可能である。または、トランジスタ１３８を新たに追加し、トランジスタ１３８の第１の端子が配線１２２Ｇと接続されトランジスタ１３８の第２の端子がノードＡと接続され、トランジスタ１３８のゲートが配線１２８と接続されることが可能である。

【０２０２】

（実施の形態３）

本実施の形態では、シフトレジスタの一例について説明する。本実施の形態のシフトレジスタは、実施の形態１、及び実施の形態２の半導体装置を有することが可能である。なお

10

20

30

40

50

、シフトレジスタを半導体装置、又はゲートドライバと示すことが可能である。なお、実施の形態 1、及び実施の形態 2 において説明する内容は、本実施の形態のシフトレジスタに適用することが可能である。

【0203】

まず、シフトレジスタの一例について、図 14 (A) を参照して説明する。シフトレジスタ 220 は、配線 201__1～201__N (N は、自然数)、配線 202、配線 203、配線 204、配線 205、及び配線 206 と接続される。

【0204】

配線 202 は、実施の形態 1、及び実施の形態 2 において説明する配線 123 (配線 123A～123C)、又は配線 124 (配線 124A～124B) に対応し、信号線、又はクロック信号線として機能することが可能である。そして、配線 202 には、回路 221 から、信号 GS2 が入力されるものとする。信号 GS2 は、実施の形態 1、及び実施の形態 2 において説明する信号 S2 又は信号 S3 に対応し、クロック信号として機能することが可能である。

10

【0205】

配線 203 は、実施の形態 1、及び実施の形態 2 において説明する配線 123 (配線 123A～123C)、又は配線 124 (配線 124A～124B) に対応し、信号線、又はクロック信号線として機能することが可能である。そして、配線 203 には、回路 221 から、信号 GS3 が入力されるものとする。信号 GS3 は、実施の形態 1、及び実施の形態 2 において説明する信号 S2 又は信号 S3 に対応し、反転クロック信号として機能することが可能である。

20

【0206】

配線 204 は、実施の形態 1、及び実施の形態 2 において説明する配線 122 (配線 122A～122G) に対応し、電源線として機能することが可能である。そして、配線 204 には、回路 221 から、電圧 V1 が供給されるものとする。

【0207】

配線 205 は、実施の形態 1、及び実施の形態 2 において説明する配線 125 に対応し、信号線として機能することが可能である。そして、配線 205 には、回路 221 から、信号 GS4 が入力されるものとする。信号 GS4 は、実施の形態 1、及び実施の形態 2 において説明する信号 S4 に対応し、スタート信号 (以下、スタートパルス)、又は垂直同期信号として機能することが可能である。

30

【0208】

配線 206 は、実施の形態 1、及び実施の形態 2 において説明する配線 126 に対応し、信号線として機能することが可能である。そして、配線 206 には、回路 221 から、信号 GS5 が入力されるものとする。信号 GS5 は、実施の形態 1、及び実施の形態 2 において説明する信号 S5 に対応し、リセット信号として機能することが可能である。

【0209】

ただし、これに限定されず、配線 202～206 には、信号、電圧、又は電流など様々なものを入力することが可能であるし、各配線を浮遊状態にすることが可能である。

【0210】

なお、図 6 (C) に示すように、信号 S2、又は信号 S3 としては、非平衡のクロック信号を用いることが可能である。この場合、一例として、信号 S3 は、信号 S2 に対して、位相が 180° ずれたものとすることが可能である。こうすることによって、本実施の形態の半導体装置がシフトレジスタに用いられる場合に、ある段の選択信号がその前後の段の選択信号と重なることを防止することができる。

40

【0211】

配線 201__1～201__N は、実施の形態 1、及び実施の形態 2 において説明する配線 121 に対応し、ゲート線、又は走査線として機能することが可能である。そして、配線 201__1～201__N からは、各々、信号 GS1__1～GS1__N が出力される。信号 GS1__1～GS1__N は、実施の形態 1、及び実施の形態 2 において説明する信号 S1

50

に対応し、出力信号、選択信号、走査信号、又はゲート信号として機能することが可能である。

【0212】

なお、図14(B)に示すように、信号GS1__1～GS1__Nは、信号GS1__1から順にHレベルとなる。例えば、信号GS1__i-1(iは、1～Nのいずれか一)がHレベルとなるとする。その後、信号GS2、及び信号GS3が反転すると、信号GS1__i-1はLレベルとなり、信号GS1__iがHレベルとなる。その後、再び信号GS2、及び信号GS3が反転すると、信号GS1__iはLレベルとなり、信号GS1__i+1がHレベルとなる。こうして、信号GS1__1～GS1__Nが順にHレベルとなる。言い換えると、配線201__1～201__Nが順に選択される。

10

【0213】

回路221は、シフトレジスタ220に信号又は電圧などを供給し、シフトレジスタ220を制御する機能を有し、制御回路、又はコントローラなどとして機能することが可能である。本実施の形態では、回路211は、配線202、配線203、配線204、配線205、及び配線206に、各々、信号GS2、信号GS3、電圧V1、信号GS4、信号GS5を供給するものとする。ただし、これに限定されず、シフトレジスタ220は、他にも様々な回路に信号、電流、又は電圧などを供給し、これらの回路を制御することが可能である。例えば、回路221は、信号線駆動回路、走査線駆動回路、及び／又は、画素などに信号又は電圧などを供給し、これらの回路を制御することが可能である。

【0214】

20

回路221は、一例として、回路222、及び回路223などを有する。回路222は、正電源電圧、負電源電圧、グランド電圧、基準電圧などの電源電圧を生成する機能を有し、電源回路、又はレギュレータとして機能することが可能である。回路223は、クロック信号、反転クロック信号、スタート信号、リセット信号、及び／又は、ビデオ信号などの様々な信号を生成する機能を有し、タイミングジェネレータとして機能することが可能である。ただし、これに限定されず、回路221は、回路222、及び回路223の他にも、様々な回路、又は様々な素子を有することが可能である。例えば、回路221は、オシレータ、レベルシフト回路、インバータ回路、バッファ回路、DA変換回路、AD変換回路、オペアンプ、シフトレジスタ、ルックアップテーブル、コイル、トランジスタ、容量素子、抵抗素子、及び／又は、分周器などを有することが可能である。

30

【0215】

次に、シフトレジスタ220の一例について、図15を参照して説明する。図15のシフトレジスタは、フリップフロップ200__1～200__N(Nは自然数)という複数のフリップフロップを有する。フリップフロップ200__1～200__Nは、各々、実施の形態1、及び実施の形態2において説明する半導体装置に対応する。図15では、一例として、図9(B)の半導体装置をフリップフロップとして用いる場合の構成を示す。

【0216】

シフトレジスタの接続関係について説明する。まず、一例として、フリップフロップ200__iの接続関係について説明する。フリップフロップ200__iにおいて、配線121、配線122、配線123、配線124、配線126、及び配線127は、各々、配線201__i、配線204、配線202、配線203、配線201__i-1、配線201__i+1と接続される。ただし、奇数段のフリップフロップと偶数段のフリップフロップとで、配線123、及び配線124の接続先が逆になっている場合が多い。例えば、奇数段のフリップフロップにおいて、配線123が配線202と接続され、配線124が配線203と接続されとする。この場合、偶数段のフリップフロップでは、配線123が配線203と接続され、配線124が配線202と接続される。一方で、奇数段のフリップフロップにおいて、配線123が配線203と接続され、配線124が配線202と接続されとする。この場合、偶数段のフリップフロップでは、配線123が配線202と接続され、配線124が配線203と接続される。

40

【0217】

50

なお、フリップフロップ200__1において、配線125は、配線205と接続される。

【0218】

なお、フリップフロップ200__Nにおいて、配線126は、配線206と接続される。

【0219】

次に、図15のシフトレジスタの動作の一例について、図14(B)タイミングチャートを参照して説明する。なお、実施の形態1、及び実施の形態2の半導体装置の動作と共通するところは、その説明を省略する。

【0220】

フリップフロップ200__iの動作について説明する。まず、信号GS1__i-1がHレベルとなる。すると、フリップフロップ200__iが期間T1での動作を開始し、信号GS1__iはLレベルとなる。その後、信号GS2、及び信号GS3が反転する。すると、フリップフロップ200__iが期間T2における動作を開始し、信号GS1__iがHレベルになる。信号GS1__iは、フリップフロップ200__i-1にリセット信号として入力され、且つフリップフロップ200__i+1にスタート信号として入力される。よって、フリップフロップ200__i-1は、期間T3における動作を開始し、フリップフロップ200__i+1は、期間T1における動作を開始する。その後、信号GS2、及び信号GS3が再び反転する。すると、フリップフロップ200__i+1が期間T2における動作を開始し、信号GS1__i+1がHレベルとなる。信号GS1__i+1は、フリップフロップ200__iにリセット信号として入力される。したがって、フリップフロップ200__iは期間T3における動作を開始ので、信号GS1__iはLレベルとなる。その後、再び信号GS1__i-1がHレベルになるまでは、フリップフロップ200__iは、信号GS2、及び信号GS3が反転するたびに、期間T4における動作と期間T5における動作とを繰り返す。

【0221】

なお、フリップフロップ200__1では、前の段のフリップフロップの出力信号の代わりに、信号GS4が外部回路から配線205を介して入力される。よって、信号GS4がHレベルになると、フリップフロップ200__1は、期間T1における動作を開始する。

【0222】

なお、フリップフロップ200__Nでは、次の段のフリップフロップの出力信号の代わりに、信号GS5が外部回路から配線206を介して入力される。よって、信号GS5がHレベルになると、フリップフロップ200__Nは、期間T3における動作を開始する。

【0223】

本実施の形態のシフトレジスタに、実施の形態1、及び実施の形態2の半導体装置を用いることによって、当該半導体装置と同様なメリットを得ることができる。

【0224】

なお、配線206を省略することが可能である。この場合、一例として、フリップフロップ200__Nとして、図10(C)に示すようなトランジスタ134、及びトランジスタ135を省略する構成を用いることが可能である。

【0225】

なお、フリップフロップ200__1～200__Nにおいて、電圧V1の代わりに信号を用いる場合、配線204を省略することが可能である。

【0226】

なお、配線206には、配線205と同様に信号GS4が入力されることが可能である。この場合、配線206を配線205と接続することによって、配線205と配線206とを共有することが可能である。または、配線206には、配線202と同様に信号GS2が入力されることが可能である。この場合、配線206を配線202と接続することによって、配線206と配線202とを共有することが可能である。または、配線206には、配線203と同様に信号GS3が入力されることが可能である。この場合、配線206を配線203と接続することによって、配線206と配線203とを共有することが可能である。または、配線206には、配線204と同様に電圧V1が入力されることが可能

ある。この場合、配線 206 を配線 204 と接続することによって、配線 206 と配線 204 とを共有することが可能である。

【0227】

なお、フリップフロップ 200__1～200__Nとして、図 13 (B) のように信号 S6 を必要とする構成が用いられる場合、図 16 に示すように配線 207 を追加することが可能である。配線 207 には、信号 GS6 が入力される。信号 GS6 は、実施の形態 2 において説明する信号 S6 に対応し、全段リセット信号として機能することが可能である。そして、配線 207 は、図 13 (B) の配線 128 に対応し、信号線として機能することが可能である。

【0228】

ただし、これに限定されず、配線 207 と別の配線とを共有することによって、配線の数、又は、信号若しくは電源電圧の数を減らすことができる。例えば、配線 207 には、配線 205 と同様に信号 GS4 を入力することが可能である。よって、配線 207 を配線 205 と接続することによって、配線 207 と配線 205 とを共有することが可能である。または、配線 207 には、配線 206 と同様に信号 GS5 を入力することが可能である。よって、配線 207 を配線 206 と接続することによって、配線 207 と配線 206 とを共有することが可能である。または、配線 207 には、フリップフロップ 200__N の出力信号である信号 S1__N を入力することが可能である。よって、配線 207 を配線 201__N と接続することによって、配線 207 と配線 201__N とを共有することが可能である。

【0229】

なお、フリップフロップ 200__1～200__Nとして、図 9 (C) のように電圧 V2 を必要とする構成が用いられる場合、新たに配線を追加することが可能である。当該配線には電圧 V2 が供給される。そして、当該配線は、図 9 (C) の配線 127 に対応し、電源線として機能することが可能である。

【0230】

なお、実施の形態 1、及び実施の形態 2 において説明するように、トランジスタの特性劣化を抑制するために、L レベルの電位が V1 よりも低い信号、H レベルの電位が V2 よりも低い信号、又は振幅電圧が $V2 - V1$ よりも小さい信号などをフリップフロップに入力する場合、配線を新たに追加することが可能である。当該配線には、信号が入力され、当該配線は信号線として機能することが可能である。

【0231】

なお、図 17 (A) に示すように、シフトレジスタは、回路 212、回路 213、回路 214、回路 215、及び／又は、回路 216 を有することが可能である。回路 212～216 は、入力信号の振幅電圧又は入力電圧を大きく（または小さく）して出力する機能を有し、レベルシフト回路として機能することが可能である。または、回路 212～216 は、入力信号を反転して出力する機能を有し、インバータ回路、又はバッファ回路として機能することが可能である。配線 202 は、回路 212 を介してフリップフロップと接続される。配線 203 は、回路 213 を介してフリップフロップと接続される。配線 204 は、回路 214 を介してフリップフロップと接続される。配線 205 は、回路 215 を介してフリップフロップと接続される。配線 206 は、回路 216 を介してフリップフロップと接続される。こうして、振幅が小さい信号をシフトレジスタに入力することが可能なので、外部回路の駆動電圧を小さくすることができる。よって、外部回路のコストの低減、消費電力の削減などを図ることができる。

【0232】

なお、図 17 (A) において、シフトレジスタは、回路 212～216 のうちいずれか一、又は 2 以上のみを有することが可能である。

【0233】

なお、図 17 (B) に示すように、シフトレジスタは、回路 211__1～211__N を有することが可能である。回路 211__1～211__N は、入力信号の電流能力を高める機

10

20

30

40

50

能、入力信号の振幅電圧を大きくする機能、又は入力信号を反転させる機能を有し、バッファ回路、レベルシフト回路、又はインバータ回路として機能することが可能である。回路211₁～211_Nは、各々、フリップフロップ200₁～200_Nと、配線201₁～201_Nとの間に接続される。例えば、回路211_iは、フリップフロップ200_iと配線201_iとの間に接続される。そして、フリップフロップ200_iの出力信号である信号GS1_iは、回路211_iを介して配線201_iから出力される。こうして、各フリップフロップの駆動電圧を小さくできるので、消費電力の低減、トランジスタの特性劣化の抑制などを図ることができる。または、各フリップフロップが有するトランジスタ（特に、トランジスタ101）のチャンネル幅を小さくできるので、レイアウト面積の縮小を図ることができる。

10

【0234】

なお、図17（B）の一例では、フリップフロップ200_{i-1}には、リセット信号として、信号GS1_iが回路211_iを介して入力される。したがって、フリップフロップ200_{i-1}では、期間T3において、トランジスタ101がオンになる期間が長くなるので、フリップフロップ200_{i-1}の出力信号である信号GS_{i-1}の立下り時間を短くすることができる。一方、フリップフロップ200_{i+1}には、スタート信号として、信号GS1_iが回路211_iを介さずに入力される。したがって、フリップフロップ200_{i+1}では、期間T1において、ノードAの電位を早く上昇させることができるので、駆動周波数の向上を図ることができる。ただし、これに限定されず、フリップフロップ200_{i-1}には、リセット信号として、信号GS1_iが回路211_iを介さずに入力されることが可能である。または、フリップフロップ200_{i+1}には、スタート信号として、信号GS1_iが回路211_iを介して入力されることが可能である。

20

【0235】

なお、図14（A）のシフトレジスタでは、信号S1₁～S1_Nは、信号S2の1/2周期ずつ、又は信号S3の1/2周期ずつずれていた。ただし、これに限定されず、信号S1₁～S1_Nは、信号S2の1/2×M（Mは自然数）周期ずつ、又は信号S3の1/2×M周期ずつずれていることが可能である。つまり、信号S1₁～S1_Nにおいて、ある行の信号がHレベルとなる期間と、別の行の信号がHレベルとなる期間とが重なることが可能である。これを実現するためには、シフトレジスタに2×M相のクロック信号を入力することが可能である。

30

【0236】

具体例について、図24のシフトレジスタを参照して説明する。図24には、フリップフロップ200_{i+1}～200_{i+2M+1}のみを示す。フリップフロップ200_{i+1}～200_{i+M}の配線123は、各々、配線203₁～203_Mと接続され、フリップフロップ200_{i+1}～200_{i+M}の配線124は、各々、配線204₁～204_Mと接続される。フリップフロップ200_{i+M+1}～200_{i+2M}の配線123は、各々、配線204₁～204_Mと接続され、フリップフロップ200_{i+M+1}～200_{i+2M}の配線124は、各々、配線203₁～203_Mと接続される。そして、フリップフロップ200_{i+1}の配線125は、フリップフロップ200_iの配線121と接続される。フリップフロップ200_{i+1}の配線126は、フリップフロップ200_{i+M+1}の配線121と接続される。なお、配線203₁～203_Mは、配線203に対応する。配線204₁～204_Mは、配線204に対応する。図25（A）に示すように、配線203₁～203_Mには、各々、信号GS2₁～GS2_Mが入力される。配線204₁～204_Mには、各々、信号GS3₁～GS3_Mが入力される。信号GS2₁～GS2_Mは、位相が1/2M周期ずつずれたM個のクロック信号であり、信号GS2に対応する。信号GS3₁～GS3_Mは、信号GS2₁～GS2_Mの反転信号であり、信号GS3に対応する。このようにして、信号S2の1/2×M（Mは自然数）周期ずつ、又は信号S3の1/2×M周期ずつずれていることが可能になる。

40

50

【0237】

なお、図24において、フリップフロップ200__i+1の配線125は、フリップフロップ200__i-M+1~200__i-1のいずれか一の配線121と接続されることが可能である。こうすることによって、フリップフロップ200__i+1において、トランジスタ131がオンになるタイミングを早くすることができるので、ノードAの電位が上昇するタイミングを早くすることができる。したがって、駆動周波数を高くすることができる。または、トランジスタ131、又はトランジスタ132のチャンネル幅を小さくすることができるので、レイアウト面積の縮小を図ることができる。

【0238】

なお、図24において、フリップフロップ200__i+1の配線126は、フリップフロップ200__i+M+2~200__i+2Mのいずれか一の配線121と接続されることが可能である。こうすることによって、フリップフロップ200__i+1において、トランジスタ101がオフになるタイミングを遅くすることができるので、信号S1__i+1の立ち下がり時間を短くすることができる。

10

【0239】

なお、図24において、フリップフロップ200__i+1の配線126は、フリップフロップ200__i+2~200__i+Mのいずれか一の配線121と接続されることが可能である。こうすることによって、信号S1__1~S1__Nのパルス幅をクロック信号の半周期よりも小さくすることができる。よって、消費電力の低減を図りつつ、駆動周波数を高くすることができる。

20

【0240】

なお、図24において、 $M \leq 4$ であることが好ましい。より好ましくは $M \leq 2$ であることが好ましい。なぜなら、図23のシフトレジスタを表示装置の走査線駆動回路に用いた場合、Mが大きすぎると、画素に複数の種類のビデオ信号が書き込まれるからである。そして、当該画素に不正なビデオ信号が入力される期間が長くなり、表示品位が低下する場合があるからである。図25(B)には、一例として、 $M=2$ である場合のタイミングチャートの一例を示す。

【0241】

(実施の形態4)

本実施の形態では、半導体装置の一例、及び当該半導体装置を有するシフトレジスタについて説明する。なお、実施の形態1~実施の形態3において説明する内容は、本実施の形態の半導体装置及びシフトレジスタに適用することが可能である。

30

【0242】

まず、本実施の形態の半導体装置について、図19(A)を参照して説明する。なお、図1(A)と共通するところは同じ符号で示し、その説明を省略する。

【0243】

図19(A)の半導体装置は、回路100、トランジスタ101、トランジスタ102、トランジスタ103、トランジスタ104、容量素子105、容量素子106、及びトランジスタ301を有する。トランジスタ301は、トランジスタ101に対応し、トランジスタ101と同様の機能を有する。そして、トランジスタ301は、Nチャンネル型であるものとする。ただし、トランジスタ301は、Pチャンネル型であることが可能である。

40

【0244】

トランジスタ301の第1の端子は、配線123Dと接続され、トランジスタ301の第2の端子は、配線311と接続され、トランジスタ301のゲートはノードAと接続される。

【0245】

配線123Dは、配線123A~123Cに対応し、信号S2が入力されるものとする。よって、図3(D)と同様に、配線123Dと、配線123A~123Cとを共有することが可能である。この場合、トランジスタ301の第1の端子は、配線123と接続される。配線311からは、信号S7が出力されるものとする。信号S7は、信号S1に対応

50

する。

【0246】

次に、図19(A)の半導体装置の動作について、図19(B)のタイミングチャートを参照して説明する。なお、図1(A)の動作と共通するところは、その説明を省略する。

【0247】

まず期間T1において、ノードAの電位が上昇し始める。そして、トランジスタ101と同様に、ノードAの電位が配線123Dの電位(V1)とトランジスタ301の閾値電圧(V_{th301})との和($V1 + V_{th301}$)となったところで、トランジスタ301がオンになる。すると、配線123Dと配線311とが導通状態となる。よって、Lレベルの信号S2が配線123Dから配線311に供給されるので、配線311の電位がV1

10

【0248】

次に、期間T2において、ノードAの電位が $V1 + V_{th101} + \alpha$ となるので、トランジスタ301はオンのままとなる。すると、配線123Dと配線311とは導通状態のままとなる。よって、Hレベルの信号S2が配線123Dから配線311に供給されるので、配線311の電位はV2となるように上昇する。

【0249】

次に、期間T3において、ノードAの電位がV1となるように減少し始める。トランジスタ101と同様に、ノードAの電位が配線123Dの電位(V1)とトランジスタ301の閾値電圧(V_{th301})との和($V1 + V_{th301}$)となるまでは、トランジスタ301はオンしている。よって、Lレベルの信号S1が配線123Dから配線311に共有されるので、配線311の電位はV1となるように減少する。その後、ノードAの電位が $V1 + V_{th301}$ まで減少したところで、トランジスタ301はオフになる。

20

【0250】

期間T4、及び期間T5では、ノードAの電位がV1に維持されるので、トランジスタ301はオフのままとなる。よって、配線123Dと配線311とは非導通状態のままとなる。

【0251】

図19(A)の半導体装置では、配線121と配線311とが同じタイミングの信号を出力することが可能である。したがって、配線121が出力される信号S1と配線311から出力される信号S7との一方をゲート線、又は画素などの負荷を駆動するために用い、他方の信号を転送用の信号などの別の回路を駆動するための信号として用いることが可能である。こうすることによって、負荷などを駆動することによって生じる信号のなまり、又は遅延などの影響を受けずに、別の回路を駆動することができる。

30

【0252】

なお、トランジスタ301のゲートと第2の端子との間に、容量素子を接続することが可能である。当該容量素子は、容量素子105に対応する。

【0253】

なお、図20(A)に示すように、図6(A)の半導体装置に、トランジスタ301を追加することが可能である。

40

【0254】

なお、図20(B)に示すように、トランジスタ302、トランジスタ303、及び／又は、トランジスタ304を追加することが可能である。トランジスタ302、トランジスタ303、及びトランジスタ304は、各々、トランジスタ134、トランジスタ102、トランジスタ133に対応し、同様の機能を有する。トランジスタ302の第1の端子は、配線122Hと接続され、トランジスタ302の第2の端子は、配線331と接続され、トランジスタ302のゲートは、配線126と接続される。トランジスタ303の第1の端子は、配線331と接続され、トランジスタ303の第2の端子は、ノードAと接続され、トランジスタ303のゲートは、配線123Eと接続される。トランジスタ304の第1の端子は、配線122Iと接続され、トランジスタ304の第2の端子は、配線

50

3 3 1と接続され、トランジスタ3 0 4のゲートは、配線1 2 4 Cと接続される。ただし、これに限定されず、トランジスタ3 0 2、トランジスタ3 0 3、及びトランジスタ3 0 4のいずれか一、又は二つのみを追加することが可能である。

【0 2 5 5】

なお、図2 0 (B)において、配線1 2 3 D、及び配線1 2 3 Eには、配線1 2 3 A～1 2 3 Cと同じ信号(信号S 2)が入力されているので、配線1 2 3 D、及び配線1 2 3 Eと、配線1 2 3 A～1 2 3 Cとを共有することが可能である。この場合、トランジスタ3 0 1の第1の端子、及びトランジスタ3 0 3のゲートは、配線1 2 3と接続されることが可能である。

【0 2 5 6】

なお、図2 0 (B)において、配線1 2 2 H、及び配線1 2 2 Iには、配線1 2 2 A～1 2 2 Eと同じ電圧(電圧V 1)が供給されているので、配線1 2 2 H、及び配線1 2 2 Iと、配線1 2 2 A～1 2 2 Eとを共有することが可能である。この場合、トランジスタ3 0 2の第1の端子、及びトランジスタ3 0 4の第1の端子は、配線1 2 2と接続されることが可能である。

【0 2 5 7】

なお、図2 0 (B)において、トランジスタ3 0 2は、トランジスタ1 3 5と同様に、ダイオード、又はダイオード接続されたトランジスタに置き換えることが可能である。または、トランジスタ3 0 4は、トランジスタ1 3 3と同様に、ダイオード、又はダイオード接続されたトランジスタに置き換えることが可能である。

【0 2 5 8】

次に、上述する半導体装置を有するシフトレジスタの一例について、図2 1を参照して説明する。なお、実施の形態3において述べた内容は、その説明を省略する。または、図1 4と共通するところは同じ符号で示し、その説明を省略する。

【0 2 5 9】

シフトレジスタは、フリップフロップ3 2 0__1～3 2 0__Nという複数のフリップフロップを有する。フリップフロップ3 2 0__1～3 2 0__Nは、図1 4のフリップフロップ2 0 0__1～2 0 0__Nに対応する。または、フリップフロップ3 2 0__1～3 2 0__Nは、図1 9 (A)、図2 0 (A)、又は図2 0 (B)の半導体装置に対応する。図2 1では、一例として、図2 0 (A)の半導体装置を用いる場合の一例を示す。

【0 2 6 0】

フリップフロップ3 2 0__iにおいて、配線3 1 1は、配線3 2 1__iと接続される。そして、配線1 2 6は、配線3 2 1__i-1と接続される。

【0 2 6 1】

配線3 2 1__1～3 2 1__Nからは、各々、信号GS 7__1～GS 7__Nが出力されるものとする。信号GS 7__1～GS 7__Nは、信号S 7に対応し、転送用の信号、出力信号、選択信号、走査信号、又はゲート信号として機能することが可能である。

【0 2 6 2】

次に、図2 1のシフトレジスタの動作について、図1 4 (B)のタイミングチャートを参照して説明する。

【0 2 6 3】

フリップフロップ3 2 0__iの動作について説明する。まず、信号GS 7__i-1がHレベルとなる。すると、フリップフロップ3 2 0__iが期間T 2における動作を開始し、信号GS 1__i、及び信号GS 7__iはLレベルになる。その後、信号GS 2、及び信号GS 3が反転する。すると、フリップフロップ3 2 0__iは、期間T 2における動作を開始し、信号GS 1__i、及び信号GS 7__iはHレベルになる。信号GS 1__iは、フリップフロップ3 2 0__i-1にリセット信号として入力され、信号GS 7__iは、フリップフロップ3 2 0__i+1にスタート信号として入力される。よって、フリップフロップ3 2 0__i-1は、期間T 3における動作を開始し、フリップフロップ3 2 0__i+1は、期間T 1における動作を開始する。その後、信号GS 2、及び信号GS 3が再び反転する

10

20

30

40

50

。すると、フリップフロップ320_{i+1}が期間T₂における動作を開始し、信号GS1_{i+1}がHレベルとなる。信号GS1_{i+1}は、フリップフロップ320_iにリセット信号として入力される。したがって、フリップフロップ320_iは期間T₃における動作を開始ので、信号GS1_i、及び信号GS7_iはLレベルとなる。その後、再び信号GS7_{i-1}がHレベルになるまでは、フリップフロップ320_iは、信号GS2、及び信号GS3が反転するたびに、期間T₄における動作と期間T₅における動作とを繰り返す。

【0264】

本実施の形態のシフトレジスタでは、信号GS7₁～GS7_Nをスタート信号として用いるので、信号S1₁～S1_Nの遅延時間を短くすることができる。なぜなら、信号GS7₁～GS7_Nは、ゲート線、又は画素などに入力されないのので、信号S1₁～S1_Nと比較して遅延、又はなまりが小さいからである。

10

【0265】

または、本実施の形態のシフトレジスタでは、信号GS1₁～GS1_Nをリセット信号として用いるので、期間T₃における各フリップフロップの動作において、トランジスタ101がオンになる時間を長くすることができる。したがって、信号S1₁～S1₁、及び信号GS7₁～GS7_Nの立ち下がり時間を短くすることができる。

【0266】

なお、信号GS1₁～GS1_Nは、スタート信号として、次の段のフリップフロップに入力されることが可能である。例えば信号GS1_iは、スタート信号としてフリップフロップ320_{i+1}に入力されることが可能である。

20

【0267】

なお、信号GS7₁～GS7_Nは、リセット信号として、前の段のフリップフロップに入力されることが可能である。例えば、信号GS7_iは、リセット信号としてフリップフロップ320_{i-1}に入力されることが可能である。

【0268】

(実施の形態5)

本実施の形態では、表示装置の一例について説明する。

【0269】

まず、図22(A)を参照して、液晶表示装置のシステムブロックの一例について説明する。液晶表示装置は、回路5361、回路5362、回路5363₁、回路5363₂、画素部5364、回路5365、及び照明装置5366を有する。画素部5364には、複数の配線5371が回路5362から延伸して配置され、複数の配線5372が回路5363₁、回路5363₂から延伸して配置されている。そして、複数の配線5371と複数の配線5372との交差領域には、各々、液晶素子などの表示素子を有する画素5367がマトリクス状に配置されている。

30

【0270】

回路5361は、映像信号5360に応じて、回路5362、回路5363₁、回路5363₂、及び回路5365に、信号又は電圧などを出力する機能を有し、コントローラ、制御回路、タイミングジェネレータ、又はレギュレータなどとして機能することが可能である。

40

【0271】

回路5361は、一例として、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、信号線駆動回路用反転クロック信号(SCKB)、ビデオ信号用データ(DATA)、ラッチ信号(LAT)などの信号を回路5362に出力する。回路5362は、これらの信号に応じて、ビデオ信号を複数の配線5372に出力する機能を有し、信号線駆動回路として機能する。

【0272】

なお、複数の配線5371にビデオ信号が入力される場合、複数の配線5371は、信号線、ビデオ信号線、又はソース線などとして機能することが可能である。

50

【0273】

回路5361は、一例として、走査線駆動回路用スタート信号（GSP）、走査線駆動回路用クロック信号（GCK）、及び反転走査線駆動回路用クロック信号（GCKB）などの信号を回路5363__1、及び回路5363__2に出力する。回路5363__1、及び回路5363__2は、これらの信号に応じて、走査信号を複数の配線5371に出力する機能を有し、走査線駆動回路として機能する。

【0274】

なお、複数の配線5372に走査信号が入力される場合、複数の配線5372は、信号線、走査線、又はゲート線などとして機能することが可能である。

【0275】

なお、回路5363__1、及び回路5363__2には、同じ信号が回路5361から入力されるので、回路5363__1が複数の配線5367に出力する走査信号と、回路5363__2が複数の配線5367に出力する走査信号とは、おおむね等しいタイミングとなる場合が多い。したがって、回路5363__1、及び回路5363__2が駆動する負荷を小さくすることができる。よって、表示装置を大きくすることができる。または、表示装置を高精細にすることができる。または、回路5363__1、及び回路5363__2が有するトランジスタのチャンネル幅を小さくすることができるので、狭額縁な表示装置を得ることができる。

【0276】

回路5361は、一例として、バックライト制御信号（BLC）を回路5365に出力する。回路5365は、バックライト制御信号（BLC）に応じて、照明装置5366に供給する電力の量、又は時間などを制御することによって、照明装置5366の輝度（又は平均輝度）を制御する機能を有し、電源回路として機能する。

【0277】

なお、回路5363__1と回路5363__2との一方を省略することが可能である。

【0278】

なお、画素部5364には、容量線、電源線、走査線などの配線を新たに配置することが可能である。そして、回路5361は、これらの配線に信号又は電圧などを出力することが可能である。または、回路5363__1又は回路5363__2と同様の回路を新たに追加し、この新たに追加する回路は、新たに追加する配線に走査信号などの信号を出力することが可能である。

【0279】

なお、画素5367が表示素子としてEL素子などの発光素子を有することが可能である。この場合、図22（B）に示すように、表示素子が発光するので、回路5365、及び照明装置5366は省略されることが可能である。そして、表示素子に電力を供給するために、電源線として機能することが可能な複数の配線5373を画素部5364に配置することが可能である。回路5361は、電圧（ANO）という電源電圧を配線5373に供給することが可能である。この配線5373は、画素の色要素別に接続されることが可能であるし、全ての画素に共通して接続されることが可能である。

【0280】

なお、図22（B）では、一例として、回路5361は、回路5363__1と回路5363__2とに別々の信号を供給する場合の一例を示す。回路5361は、走査線駆動回路用スタート信号（GSP1）、走査線駆動回路用クロック信号（GCK1）、及び反転走査線駆動回路用クロック信号（GCKB1）などの信号を回路5363__1に出力する。そして、回路5361は、走査線駆動回路用スタート信号（GSP2）、走査線駆動回路用クロック信号（GCK2）、及び反転走査線駆動回路用クロック信号（GCKB2）などの信号を回路5363__2に出力する。この場合、回路5363__1は、複数の配線5372のうち奇数行目の配線のみを走査し、回路5363__2は、複数の配線5372のうち偶数行目の配線のみを走査することが可能になる。よって、回路5363__1、及び回路5363__2の駆動周波数を小さくできるので、消費電力の低減を図ることができる。

10

20

30

40

50

または、1段分のフリップフロップをレイアウトすることが可能な面積を大きくすることができる。よって、表示装置を高精細にすることができる。または、表示装置を大型にすることができる。

【0281】

なお、図22(B)と同様に、図22(A)においても、回路5361は、回路5363__1と回路5363__2とに別々の信号を供給することが可能である。

【0282】

次に、表示装置の構成の一例について、図23(A)、(B)、(C)、(D)、及び(E)を参照して説明する。

【0283】

図23(A)では、画素部5364に信号を出力する機能を有する回路(例えば、回路5362、回路5363__1、及び回路5363__2など)は、画素部5364と同じ基板5380に形成される。そして、回路5361は、画素部5364とは別の基板に形成される。こうして、外部部品の数が減るので、コストの低減を図ることができる。または、基板5380に入力される信号又は電圧の数が減るので、基板5380と、外部部品との接続数を減らすことができる。よって、信頼性の向上、又は歩留まりの向上を図ることができる。

【0284】

なお、回路が画素部5364とは別の基板に形成される場合、当該基板は、TAB(Tape Automated Bonding)方式によってFPC(Flexible Printed Circuit)に実装されることが可能である。または、当該基板は、COG(Chip on Glass)方式によって画素部5364と同じ基板5380に実装することが可能である。

【0285】

なお、回路が画素部5364とは別の基板に形成される場合、当該基板には、単結晶半導体を用いたトランジスタを形成することが可能である。したがって、当該基板に形成される回路は、駆動周波数の向上、駆動電圧の向上、出力信号のばらつきの低減などのメリットを得ることができる。

【0286】

なお、外部回路からは、入力端子5381を介して信号、電圧、又は電流などが入力される場合が多い。

【0287】

図23(B)では、駆動周波数が低い回路(例えば、回路5363__1、回路5363__2)は、画素部5364と同じ基板5380に形成される。そして、回路5361、及び回路5362は、画素部5364とは別の基板に形成される。こうして、移動度が小さいトランジスタによって、基板5380に形成される回路を構成することが可能になるので、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを行うことができる。

【0288】

なお、図23(C)に示すように、回路5362の一部(回路5362a)が画素部5364と同じ基板5380に形成され、残りの回路5362(回路5362b)が画素部5364とは別の基板に形成されることが可能である。回路5362aは、移動度が低いトランジスタによって構成することが可能な回路(例えば、シフトレジスタ、セクタ、スイッチなど)を有する場合が多い。そして、回路5362bは、移動度が高く、特性ばらつきが小さいトランジスタによって構成することが好ましい回路(例えば、シフトレジスタ、ラッチ回路、バッファ回路、DA変換回路、AD変換回路など)を有する場合が多い。こうすることによって、図23(B)と同様に、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能となり、さらに外部部品の削減を行うことができる。

10

20

30

40

50

【0289】

図23(D)では、画素部5364に信号を出力する機能を有する回路(例えば、回路5362、回路5363__1、及び回路5363__2など)、及びこれらの回路を制御する機能を有する回路(例えば、回路5361)は、画素部5364とは別の基板に形成される。こうして、画素部と、その周辺回路とを別々の基板に形成することが可能になるので、歩留まりの向上を図ることができる。

【0290】

図23(E)では、回路5361の一部(回路5361a)が画素部5364と同じ基板5380に形成され、残りの回路5361(回路5361b)が画素部5364とは別の基板に形成される。回路5361aは、移動度が小さいトランジスタによって構成することが可能な回路(例えば、スイッチ、セクタ、レベルシフト回路など)を有する場合が多い。そして、回路5361bは、移動度が高く、ばらつきが小さいトランジスタを用いて構成することが好ましい回路(例えば、シフトレジスタ、タイミングジェネレータ、オシレータ、レギュレータ、又はアナログバッファなど)を有する場合が多い。

10

【0291】

なお、回路5363__1、及び回路5363__2として、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタを用いることが可能である。この場合、回路5363__1、及び回路5363__2が画素部と同じ基板に形成される場合、当該基板に形成される全てのトランジスタの極性をNチャネル型又はPチャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性をNチャネル型とすることによって、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。よって、表示装置の大型化、コストの低減、又は歩留まりの向上など

20

【0292】

なお、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを半導体層として用いるトランジスタは、閾値電圧の増加、又は移動度の低下などの特性劣化を生じる場合が多い。しかし、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタは、トランジスタの特性劣化を抑制することができるので、表示装置の寿命を長くすることができる。

30

【0293】

なお、回路5362の一部として、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタを用いることが可能である。例えば、図23(C)に示す回路5362aは、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタを有することが可能である。

【0294】

(実施の形態6)

本実施の形態では、シフトレジスタのレイアウト図(以下、上面図ともいう)について説明する。本実施の形態では、一例として、図15のシフトレジスタのレイアウト図について説明する。なお、本実施の形態において説明する内容は、図15のシフトレジスタの他にも、実施の形態1～実施の形態5の半導体装置、シフトレジスタ、又は表示装置に適用することが可能である。なお、本実施の形態のレイアウト図は一例であって、これに限定されるものではないことを付記する。

40

【0295】

本実施の形態のレイアウト図について、図30、及び図31を参照して説明する。図30には、シフトレジスタの一部のレイアウト図の一例を示し、図31には、一例として、フリップフロップ200__iのレイアウト図を示す。

【0296】

図30、及び図31に示すトランジスタ、容量素子、又は配線などは、導電層401、半導体層402、導電層403、導電層404、及びコンタクトホール405によって構成

50

される。ただし、これに限定されず、別の導電層、絶縁膜、又は別のコンタクトホールを新たに形成することが可能である。例えば、導電層401と導電層403とを接続するためのコンタクトホールを新たに追加することが可能である。

【0297】

導電層401は、ゲート電極、又は配線として機能する部分を含むことが可能である。半導体層402は、トランジスタの半導体層として機能する部分を含むことが可能である。導電層403は、配線、ソース、又はドレインとして機能する部分を含むことが可能である。導電層404は、透明電極、画素電極、又は配線として機能する部分を含むことが可能である。コンタクトホール405は、導電層401と導電層404とを接続ため、又は導電層403と導電層404とを接続するために用いることが可能である。

10

【0298】

図30の一例では、配線202は、開口部411を有し、配線203は、開口部412を有する。このように、配線202、及び配線203が開口部を有することによって、寄生容量を小さくすることができる。または、静電破壊によって生じるトランジスタの破壊を抑制することができる。ただし、これに限定されず、配線204と同様に、開口部411、又は開口部412を省略することが可能である。または、配線204に、配線202又は配線203と同様に、開口部を設けることが可能である。

【0299】

図30の一例では、配線202又は配線203と、別の配線との交差部の一部に、開口部を設けることによって、配線の交差容量を低減することができる。したがって、ノイズの低減、又は信号の遅延又はなまりの低減などを図ることができる。

20

【0300】

図30の一例では、配線204が有する導電層403の一部の上には、導電層404が形成される。そして、当該導電層404は、コンタクトホール405を介して当該導電層403と接続される。こうして、配線抵抗を小さくすることができるので、電圧降下の減少、又は信号の遅延又はなまりの低減を図ることができる。ただし、これに限定されず、当該導電層404、及び当該コンタクトホール405を省略することが可能である。または、配線204と同様に、配線202、又は配線203においても、導電層403の一部の上に導電層404が形成され、当該導電層404が当該導電層403と接続されることが可能である。

30

【0301】

ここで、図30の一例において、配線202の配線幅、配線203の配線幅、及び配線204の配線幅を、各々、配線幅421、配線幅422、幅423と示す。そして、開口部411の幅、開口部411の長さ、開口部412の幅、及び開口部412の長さを、各々、幅424、長さ425、幅426、長さ427と示す。

【0302】

配線202、及び配線203に入力される信号は、お互いに反転した信号である場合が多い。よって、配線202の配線抵抗又は寄生容量は、配線203の配線抵抗又は寄生容量とおおむね等しくなるように設定されることが好ましい。したがって、配線202は、配線幅422とおおむね等しい部分を含むことが好ましい。または、開口部411は、開口部412の幅426、又は開口部412の長さ427とおおむね等しい部分を含むことが好ましい。ただし、これに限定されず、配線幅421、配線幅422、開口部411の幅424、開口部411の長さ425、又は開口部412の長さ427は、様々な値に設定することが可能である。例えば、配線202と他の配線との交差容量が、配線203と他の配線との交差容量よりも大きいとする。この場合、配線202の配線抵抗を小さくすることによって、配線202、及び配線203に入力される信号の遅延又はなまりをおおむね等しくなるように設定することが可能である。このために、配線202は、配線幅422よりも大きい部分を含むことが可能である。または、開口部411は、開口部412の幅426よりも小さい部分を含むことが可能である。または、開口部411は、開口部412の長さ427よりも短い部分を含むことが可能である。一方、配線202と他の配線

40

50

との交差容量が、配線 2 0 3 と他の配線との交差容量よりも小さい場合は、配線 2 0 2 は、配線幅 4 2 2 よりも小さい部分を含むことが可能である。または、開口部 4 1 1 は、開口部 4 1 2 の幅 4 2 6 よりも大きい部分を含むことが可能である。または、開口部 4 1 1 は、開口部 4 1 2 の長さ 4 2 7 よりも長い部分を含むことが可能である。

【0303】

配線 2 0 4 が開口部を有していない場合、配線 2 0 4 は、配線幅 4 2 1、又は配線幅 4 2 2 よりも小さい部分を含むことが好ましい。なぜなら、配線 2 0 4 は開口部を有していないので、配線 2 0 4 の配線抵抗が小さいからである。ただし、これに限定されず、配線 2 0 4 は、配線幅 4 2 1、又は配線幅 4 2 2 よりも大きい部分を含むことが可能である。

【0304】

図 3 1 の一例では、容量素子 1 0 5、及び容量素子 1 0 6 において、一方の電極は導電層 4 0 1 によって形成され、他方の電極は導電層 4 0 3 によって形成される。こうすることによって、単位面積当たりの容量値を大きくすることができるので、レイアウト面積の縮小を図ることができる。ただし、これに限定されず、導電層 4 0 1 と導電層 4 0 3 との間に、半導体層 4 0 2 を配置することが可能である。こうすることによって、導電層 4 0 1 と導電層 4 0 3 とがショートしてしまうことを抑制することができる。または、容量素子 1 0 5、又は容量素子 1 0 6 を MOS 容量とすることができる。

【0305】

図 3 1 の一例では、トランジスタ 1 0 1、トランジスタ 1 0 3、トランジスタ 1 0 4、トランジスタ 1 3 1、トランジスタ 1 3 2、トランジスタ 1 3 3、トランジスタ 1 3 4、及びトランジスタ 1 3 5 において、第 2 の端子の導電層 4 0 1 と導電層 4 0 3 とが重なる面積は、第 1 の端子の導電層 4 0 1 と導電層 4 0 3 とが重なる面積よりも小さいことが好ましい。こうすることによって、トランジスタ 1 0 1 のゲート、又は配線 2 0 1 _ i のノイズの低減を図ることができる。または、第 2 の端子への電界の集中を抑制することができるので、トランジスタの劣化、又はトランジスタの破壊を抑制することができる。

【0306】

なお、導電層 4 0 1 と導電層 4 0 3 とが重なる部分には、半導体層 4 0 2 を形成することが可能である。こうすることによって、導電層 4 0 1 と導電層 4 0 3 との間の寄生容量を小さくすることができるので、ノイズの低減を図ることができる。同様の理由で、導電層 4 0 1 と導電層 4 0 4 とが重なる部分には、半導体層 4 0 2 又は導電層 4 0 3 を形成することが可能である。

【0307】

なお、導電層 4 0 1 の一部の上に導電層 4 0 4 を形成し、当該導電層 4 0 1 は、コンタクトホール 4 0 5 を介して導電層 4 0 4 と接続されることが可能である。こうすることによって、配線抵抗を下げるができる。または、導電層 4 0 1 の一部の上に導電層 4 0 3、及び導電層 4 0 4 を形成し、当該導電層 4 0 1 は、コンタクトホール 4 0 5 を介して当該導電層 4 0 4 と接続され、当該導電層 4 0 3 は、別のコンタクトホール 4 0 5 を介して当該導電層 4 0 4 と接続されることが可能である。こうすることによって、配線抵抗をさらに下げることができる。

【0308】

なお、導電層 4 0 3 の一部の上に導電層 4 0 4 を形成し、当該導電層 4 0 3 は、コンタクトホール 4 0 5 を介して導電層 4 0 4 と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。

【0309】

なお、導電層 4 0 4 の一部の下に導電層 4 0 1、又は導電層 4 0 3 を形成し、当該導電層 4 0 4 は、コンタクトホール 4 0 5 を介して、当該導電層 4 0 1、又は当該導電層 4 0 3 と接続されることが可能である。こうすることによって、配線抵抗を下げるができる。

【0310】

なお、容量素子 1 0 5 が省略される場合、実施の形態 1 で述べたように、トランジスタ 1

10

20

30

40

50

01のゲートと第1の端子との間の寄生容量よりも、トランジスタ101のゲートと第2の端子との間の寄生容量を大きくすることが可能である。この場合のトランジスタ101のレイアウト図の一例を図18に示す。図18の一例において、トランジスタ101の第1の電極として機能することが可能な導電層403の幅を幅431と示し、トランジスタ101の第2の電極として機能することが可能な導電層403の幅を幅432と示す。そして、幅431は、幅432よりも大きいことが可能である。こうすることによって、実施の形態1で述べたように、トランジスタ101のゲートと第1の端子との間の寄生容量よりも、トランジスタ101のゲートと第2の端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

【0311】

10

(実施の形態7)

本実施の形態では、信号線駆動回路の一例について説明する。なお、信号線駆動回路を半導体装置、又は信号生成回路と示すことが可能である。

【0312】

信号線駆動回路の一例について、図26(A)を参照して説明する。信号線駆動回路は、回路502__1～502__N(Nは自然数)という複数の回路と、回路500と、回路501とを有する。そして、回路502__1～502__Nは、各々、トランジスタ503__1～503__k(kは自然数)という複数のトランジスタを有する。トランジスタ503__1～503__kは、Nチャンネル型であるものとする。ただし、これに限定されず、トランジスタ503__1～503__kは、Pチャンネル型とすることが可能であるし、CMOS型のスイッチとすることが可能である。

20

【0313】

信号線駆動回路の接続関係について、回路502__1を例にして説明する。トランジスタ503__1～503__kの第1の端子は、配線505__1と接続される。トランジスタ503__1～503__kの第2の端子は、各々、配線S1～Skと接続される。トランジスタ503__1～503__kのゲートは、各々、配線504__1～504__kと接続される。例えば、トランジスタ503__1の第1の端子は、配線505__1と接続され、トランジスタ503__1の第2の端子は、配線S1と接続され、トランジスタ503__1のゲートは、配線504__1と接続される。

【0314】

30

回路500は、配線504__1～504__kを介して、信号を回路502__1～502__Nに供給する機能を有し、シフトレジスタ、又はデコーダなどとして機能することが可能である。当該信号は、デジタル信号である場合が多く、選択信号として機能することが可能である。そして、配線504__1～504__kは、信号線として機能することが可能である。

【0315】

回路501は、信号を回路502__1～502__Nに出力する機能を有し、ビデオ信号生成回路などとして機能することが可能である。例えば、回路501は、配線505__1を介して信号を回路502__1に供給する。同時に、配線505__2を介して信号を回路502__2に供給する。当該信号は、アナログ信号である場合が多く、ビデオ信号として機能することが可能である。そして、配線505__1～505__Nは、信号線として機能することが可能である。

40

【0316】

回路502__1～502__kは、回路501の出力信号を、どの配線に出力するのかが選択する機能を有し、セレクタ回路として機能することが可能である。例えば、回路502__1は、回路501が配線505__1に出力する信号を、配線S1～Skのうちどの配線に出力するのかが選択する機能を有する。

【0317】

トランジスタ503__1～503__Nは、各々、回路500の出力信号に応じて、配線505__1と、配線S1～Skとの導通状態を制御する機能を有し、スイッチとして機能す

50

る。

【0318】

次に、図26(A)の信号線駆動回路の動作について、図26(B)のタイミングチャートを参照して説明する。図26(B)には、配線504__1に入力される信号514__1、配線504__2に入力される信号514__2、配線504__kに入力される信号514__k、配線505__1に入力される信号515__1、及び配線505__2に入力される信号515__2の一例を示す。

【0319】

なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間とは、ある行に属する画素が選択され、当該画素にビデオ信号を書き込むことが可能な期間のことをいう。

10

【0320】

なお、1ゲート選択期間は、期間T0、期間T1、乃至期間Tkに分割される。期間T0は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間として機能することが可能である。期間T1～Tkは、各々、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間として機能することが可能である。

【0321】

なお、便宜上、回路502__1の動作を例にして、信号線駆動回路の動作を説明する。

【0322】

まず、期間T0において、回路500は、配線504__1～504__kにHレベルの信号を出力する。すると、トランジスタ503__1～503__kがオンになるので、配線505__1と、配線S1～Skとが導通状態となる。このとき、回路501は、配線505__1にプリチャージ電圧Vpを供給しているので、プリチャージ電圧Vpは、トランジスタ503__1～503__kを介して、配線S1～Skにそれぞれ出力される。そして、プリチャージ電圧Vpは、選択された行に属する画素に書き込まれるので、選択された行に属する画素がプリチャージされる。

20

【0323】

次に、期間T1において、回路500は、Hレベルの信号を配線504__1に出力する。すると、トランジスタ503__1がオンになるので、配線505__1と配線S1とが導通状態となる。そして、配線505__1と配線S2～Skとが非導通状態となる。このとき、回路501は、信号Data(S1)を配線505__1に出力しているとする、信号Data(S1)は、トランジスタ503__1を介して、配線S1に出力される。こうして、信号Data(S1)は、配線S1と接続される画素のうち、選択された行に属する画素に書き込まれる。

30

【0324】

次に、期間T2において、回路500は、Hレベルの信号を配線504__2に出力する。すると、トランジスタ503__2がオンになるので、配線505__2と配線S2とが導通状態となる。そして、配線505__1と配線S1とが非導通状態となり、配線505__1と配線S3～Skとが非導通状態のままとなる。このとき、回路501は、信号Data(S2)を配線505__1に出力しているとする、信号Data(S2)は、トランジスタ503__2を介して、配線S2に出力される。こうして、信号Data(S2)は、配線S2と接続される画素のうち、選択された行に属する画素に書き込まれる。

40

【0325】

その後、期間Tkまで、回路500は、配線504__1～504__kにHレベルの信号を順に出力するので、期間T1及び期間T2と同様に、期間T3から期間Tkまで、回路500は、配線504__3～504__kにHレベルの信号を順に出力する。よって、トランジスタ503__3～503__kが順にオンになるので、トランジスタ503__1～503__Nが順にオンになる。したがって、回路501から出力される信号は、配線S1～Skに順に出力される。こうして、選択された行に属する画素に、信号を順に書き込むことが

50

可能になる。

【0326】

本実施の形態の信号線駆動回路は、セクタとして機能する回路を有するので、信号の数、又は配線の数減らすことができる。または、画素にビデオ信号を書き込む前（期間T0）に、プリチャージを行うための電圧を画素に書き込むので、ビデオ信号の書き込み時間を短くすることができる。したがって、表示装置の大型化、表示装置の高精細化を図ることができる。ただし、これに限定されず、期間T0を省略し、画素にプリチャージしないことが可能である。

【0327】

なお、 k が大きすぎると、画素への書き込み時間が短くなるので、ビデオ信号の画素への書き込みが時間内に終了しない場合がある。したがって、 $k \leq 6$ であることが好ましい。より好ましくは $k \leq 3$ であることが好ましい。さらに好ましくは $k = 2$ であることが好ましい。

10

【0328】

特に、画素の色要素が n （ n は自然数）個に分割される場合、 $k = n$ とすることが可能である。例えば、画素の色要素が赤（R）と緑（G）と青（B）との三つに分割される場合、 $k = 3$ であることが可能である。この場合、1ゲート選択期間は、期間T0、期間T1、期間T2、期間T3に分割される。そして、期間T1、期間T2、期間T3では、各々、赤（R）の画素、緑（G）の画素、青（B）の画素にビデオ信号を書き込むことが可能である。ただし、これに限定されず、期間T1、期間T2、期間T3の順番は任意に設定

20

【0329】

特に、画素が n （ n は自然数）個のサブ画素（以下サブピクセル、又は副画素ともいう）に分割される場合、 $k = n$ とすることが可能である。例えば、画素が2個のサブ画素に分割される場合、 $k = 2$ であることが可能である。この場合、1ゲート選択期間は、期間T0、期間T1、期間T2に分割される。そして、期間T1では、2個のサブ画素の一方にビデオ信号を書き込み、期間T2では、2個のサブ画素の他方にビデオ信号を書き込むことが可能である。

【0330】

なお、回路500、及び回路502__1～502__Nの駆動周波数が低い場合が多いので、回路500、及び回路502__1～502__Nは、画素部と同じ基板に形成することが可能である。こうして、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、又は信頼性の向上などを図ることができる。さらに、図23（C）のように、走査線駆動回路も画素部と同じ基板に形成されることによって、さらに外部回路との接続数を減らすことができる。

30

【0331】

なお、回路500として、実施の形態1～実施の形態4の半導体装置又はシフトレジスタを用いることが可能である。この場合、回路500が有する全てのトランジスタの極性をNチャネル型、又はPチャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。

40

【0332】

なお、回路500だけでなく、回路502__1～502__Nが有する全てのトランジスタの極性もNチャネル型、又はPチャネル型とすることが可能である。したがって、回路500、及び回路502__1～502__Nが、画素部と同じ基板に形成される場合、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性をNチャネル型とすることによって、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることができる。なぜなら、回路500、及び回路502__1～502__Nの駆動周波数は、低い場合が多いからである。

【0333】

50

(実施の形態 8)

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

【0334】

図27(A)は、液晶表示装置に適用できる画素構成の一例を示す図である。画素5080は、トランジスタ5081、液晶素子5082及び容量素子5083を有している。トランジスタ5081のゲートは配線5085と電氣的に接続される。トランジスタ5081の第1端子は配線5084と電氣的に接続される。トランジスタ5081の第2端子は液晶素子5082の第1端子と電氣的に接続される。液晶素子5082の第2端子は配線5087と電氣的に接続される。容量素子5083の第1端子は液晶素子5082の第1端子と電氣的に接続される。容量素子5083の第2端子は配線5086と電氣的に接続される。

10

【0335】

配線5084は信号線として機能させることができる。信号線は、画素の外部から入力された信号電圧を画素5080に伝達するための配線である。配線5085は走査線として機能させることができる。走査線は、トランジスタ5081のオンオフを制御するための配線である。配線5086は容量線として機能させることができる。容量線は、容量素子5083の第2端子に所定の電圧を加えるための配線である。トランジスタ5081は、スイッチとして機能させることができる。容量素子5083は、保持容量として機能させることができる。保持容量は、スイッチがオフの状態においても、信号電圧が液晶素子5082に加わり続けるようにするための容量素子である。配線5087は、対向電極として機能させることができる。対向電極は、液晶素子5082の第2端子に所定の電圧を加えるための配線である。なお、それぞれの配線が持つことのできる機能はこれに限定されず、様々な機能を有することが出来る。例えば、容量線に加える電圧を変化させることで、液晶素子に加えられる電圧を調整することもできる。なお、トランジスタ5081はスイッチとして機能すればよいので、トランジスタ5081の極性はPチャネル型でもよいし、Nチャネル型でもよい。

20

【0336】

図27(B)は、液晶表示装置に適用できる画素構成の一例を示す図である。図27(B)に示す画素構成例は、図27(A)に示す画素構成例と比較して、配線5087が省略され、かつ、液晶素子5082の第2端子と容量素子5083の第2端子とが電氣的に接続されている点が異なっている以外は、図27(A)に示す画素構成例と同様な構成であるとしている。図27(B)に示す画素構成例は、特に、液晶素子が横電界モード(IPSモード、FFSモードを含む)である場合に適用できる。なぜならば、液晶素子が横電界モードである場合、液晶素子5082の第2端子および容量素子5083の第2端子を同一な基板上に形成させることができるため、液晶素子5082の第2端子と容量素子5083の第2端子とを電氣的に接続させることが容易であるからである。図27(B)に示すような画素構成とすることで、配線5087を省略できるので、製造工程を簡略なものとすることができ、製造コストを低減できる。

30

【0337】

図27(A)または図27(B)に示す画素構成は、マトリクス状に複数配置されることができる。こうすることで、液晶表示装置の表示部が形成され、様々な画像を表示することができる。図27(C)は、図27(A)に示す画素構成がマトリクス状に複数配置されている場合の回路構成を示す図である。図27(C)に示す回路構成は、表示部が有する複数の画素のうち、4つの画素を抜き出して示す図である。そして、 i 列 j 行(i, j は自然数)に位置する画素を、画素5080 $_i, j$ と表記し、画素5080 $_i, j$ には、配線5084 $_i$ 、配線5085 $_j$ 、配線5086 $_j$ が、それぞれ電氣的に接続される。同様に、画素5080 $_i+1, j$ については、配線5084 $_i+1$ 、配線5085 $_j$ 、配線5086 $_j$ と電氣的に接続される。同様に、画素5080 $_i, j+1$ については、配線5084 $_i$ 、配線5085 $_j+1$ 、配線5086 $_j+1$ と電氣

40

50

的に接続される。同様に、画素 $5080_i+1, j+1$ については、配線 5084_i+1 、配線 5085_j+1 、配線 5086_j+1 と電氣的に接続される。なお、各配線は、同じ列または行に属する複数の画素によって共有されることができる。なお、図 27 (C) に示す画素構成において配線 5087 は対向電極であり、対向電極は全ての画素において共通であることから、配線 5087 については自然数 i または j による表記は行なわないこととする。なお、図 27 (B) に示す画素構成を用いることも可能であるため、配線 5087 が記載されている構成であっても配線 5087 は必須ではなく、他の配線と共有されること等によって省略されることができる。

【0338】

図 27 (C) に示す画素構成は、様々な方法によって駆動されることができる。特に、交流駆動と呼ばれる方法によって駆動されることによって、液晶素子の劣化（焼き付き）を抑制することができる。図 27 (D) は、交流駆動の 1 つである、ドット反転駆動が行なわれる場合の、図 27 (C) に示す画素構成における各配線に加えられる電圧のタイミングチャートを表す図である。ドット反転駆動が行なわれることによって、交流駆動が行なわれる場合に視認されるフリッカ（ちらつき）を抑制することができる。なお、図 27 (D) には、配線 5085_j に入力される信号 5185_j 、配線 5085_j+1 に入力される信号 5185_j+1 、配線 5084_i に入力される信号 5184_i 、配線 5084_i+1 に入力される信号 5184_i+1 、配線 5086 に供給される電圧 5186 を示す。

【0339】

図 27 (C) に示す画素構成において、配線 5085_j と電氣的に接続されている画素におけるスイッチは、1 フレーム期間中の第 j ゲート選択期間において選択状態（オン状態）となり、それ以外の期間では非選択状態（オフ状態）となる。そして、第 j ゲート選択期間の後に、第 $j+1$ ゲート選択期間が設けられる。このように順次走査が行なわれることで、1 フレーム期間内に全ての画素が順番に選択状態となる。図 27 (D) に示すタイミングチャートでは、電圧が高い状態（ハイレベル）となることで、当該画素におけるスイッチが選択状態となり、電圧が低い状態（ローレベル）となることで非選択状態となる。なお、これは各画素におけるトランジスタが N チャンネル型の場合であり、P チャンネル型のトランジスタが用いられる場合、電圧と選択状態の関係は、N チャンネル型の場合とは逆となる。

【0340】

図 27 (D) に示すタイミングチャートでは、第 k フレーム（ k は自然数）における第 j ゲート選択期間において、信号線として用いる配線 5084_i に正の信号電圧が加えられ、配線 5084_i+1 に負の信号電圧が加えられる。そして、第 k フレームにおける第 $j+1$ ゲート選択期間において、配線 5084_i に負の信号電圧が加えられ、配線 5084_i+1 に正の信号電圧が加えられる。その後も、それぞれの信号線は、ゲート選択期間ごとに極性が反転した信号が交互に加えられる。その結果、第 k フレームにおいては、画素 $5080_i, j$ には正の信号電圧、画素 $5080_i+1, j$ には負の信号電圧、画素 $5080_i, j+1$ には負の信号電圧、画素 $5080_i+1, j+1$ には正の信号電圧が、それぞれ加えられることとなる。そして、第 $k+1$ フレームにおいては、それぞれの画素において、第 k フレームにおいて書き込まれた信号電圧とは逆の極性の信号電圧が書き込まれる。その結果、第 $k+1$ フレームにおいては、画素 $5080_i, j$ には負の信号電圧、画素 $5080_i+1, j$ には正の信号電圧、画素 $5080_i, j+1$ には正の信号電圧、画素 $5080_i+1, j+1$ には負の信号電圧が、それぞれ加えられることとなる。このように、同じフレームにおいては隣接する画素同士で異なる極性の信号電圧が加えられ、さらに、それぞれの画素においては 1 フレームごとに信号電圧の極性が反転される駆動方法が、ドット反転駆動である。ドット反転駆動によって、液晶素子の劣化を抑制しつつ、表示される画像全体または一部が均一である場合に視認されるフリッカを低減することができる。なお、配線 5086_j 、配線 5086_j+1 を含む全ての配線 5086 に加えられる電圧は、一定の電圧とされることができる。なお、配

10

20

30

40

50

線 5084 のタイミングチャートにおける信号電圧の表記は極性のみとなっているが、実際は、表示された極性において様々な信号電圧の値をとり得る。なお、ここでは 1 ドット（1 画素）毎に極性を反転させる場合について述べたが、これに限定されず、複数の画素毎に極性を反転させることもできる。例えば、2 ゲート選択期間毎に書き込む信号電圧の極性を反転させることで、信号電圧の書き込みにかかる消費電力を低減させることができる。他にも、1 列毎に極性を反転させること（ソースライン反転）もできるし、1 行ごとに極性を反転させること（ゲートライン反転）もできる。

【0341】

なお、画素 5080 における容量素子 5083 の第 2 端子には、1 フレーム期間において一定の電圧が加えられていれば良い。ここで、走査線として用いる配線 5085 に加えられる電圧は 1 フレーム期間の大半においてローレベルであり、ほぼ一定の電圧が加えられていることから、画素 5080 における容量素子 5083 の第 2 端子の接続先は、配線 5085 でも良い。図 27 (E) は、液晶表示装置に適用できる画素構成の一例を示す図である。図 27 (E) に示す画素構成は、図 27 (C) に示す画素構成と比較すると、配線 5086 が省略され、かつ、画素 5080 内の容量素子 5083 の第 2 端子と、一つ前の行における配線 5085 とが電氣的に接続されていることを特徴としている。具体的には、図 27 (E) に表記されている範囲においては、画素 5080_{i, j+1} および画素 5080_{i+1, j+1} における容量素子 5083 の第 2 端子は、配線 5085_j と電氣的に接続される。このように、画素 5080 内の容量素子 5083 の第 2 端子と、一つ前の行における配線 5085 とを電氣的に接続させることで、配線 5086 を省略することができるので、画素の開口率を向上できる。なお、容量素子 5083 の第 2 端子の接続先は、一つ前の行における配線 5085 ではなく、他の行における配線 5085 でも良い。なお、図 27 (E) に示す画素構成の駆動方法は、図 27 (C) に示す画素構成の駆動方法と同様のものを用いることができる。

【0342】

なお、容量素子 5083 および容量素子 5083 の第 2 端子に電氣的に接続される配線を用いて、信号線として用いる配線 5084 に加える電圧を小さくすることができる。このときの画素構成および駆動方法について、図 27 (F) および図 27 (G) を用いて説明する。図 27 (F) に示す画素構成は、図 27 (A) に示す画素構成と比較して、配線 5086 を 1 画素列あたり 2 本とし、かつ、画素 5080 における容量素子 5083 の第 2 端子との電氣的な接続を、隣接する画素で交互に行なうことを特徴としている。なお、2 本とする配線 5086 は、それぞれ配線 5086-1 および配線 5086-2 と呼ぶこととする。具体的には、図 27 (F) に表記されている範囲においては、画素 5080_{i, j} における容量素子 5083 の第 2 端子は、配線 5086-1_j と電氣的に接続され、画素 5080_{i+1, j} における容量素子 5083 の第 2 端子は、配線 5086-2_j と電氣的に接続され、画素 5080_{i, j+1} における容量素子 5083 の第 2 端子は、配線 5086-2_{j+1} と電氣的に接続され、画素 5080_{i+1, j+1} における容量素子 5083 の第 2 端子は、配線 5086-1_{j+1} と電氣的に接続される。なお、図 27 (G) には、配線 5085_j に入力される信号 5185_j、配線 5085_{j+1} に入力される信号 5185_{j+1}、配線 5084_i に入力される信号 5184_i、配線 5084_{i+1} に入力される信号 5184_{i+1}、配線 5086-1_j に入力される信号 5186-1_j、配線 5086-2_j に入力される信号 5186-2_j、配線 5086-1_{j+1} に入力される信号 5186-1_{j+1}、配線 5086-2_{j+1} に入力される信号 5186-2_{j+1} を示す。

【0343】

そして、例えば、図 27 (G) に示すように、第 k フレームにおいて画素 5080_{i, j} に正の極性の信号電圧が書き込まれる場合、配線 5086-1_j は、第 j ゲート選択期間においてはローレベルとさせ、第 j ゲート選択期間の終了後、ハイレベルに変化させる。そして、1 フレーム期間中はそのままハイレベルを維持し、第 k+1 フレームにおける第 j ゲート選択期間に負の極性の信号電圧が書き込まれた後、ローレベルに変化させる

。このように、正の極性の信号電圧が画素に書き込まれた後に、容量素子5083の第2端子に電氣的に接続される配線の電圧を正の方向に変化させることで、液晶素子に加えられる電圧を正の方向に所定の量だけ変化させることができる。すなわち、その分画素に書き込む信号電圧を小さくすることができるため、信号書き込みにかかる消費電力を低減させることができる。なお、第jゲート選択期間に負の極性の信号電圧が書き込まれる場合は、負の極性の信号電圧が画素に書き込まれた後に、容量素子5083の第2端子に電氣的に接続される配線の電圧を負の方向に変化させることで、液晶素子に加えられる電圧を負の方向に所定の量だけ変化させることができるので、正の極性の場合と同様に、画素に書き込む信号電圧を小さくすることができる。つまり、容量素子5083の第2端子に電氣的に接続される配線は、同じフレームの同じ行において、正の極性の信号電圧が加えられる画素と、負の極性の信号電圧が加えられる画素とで、それぞれ異なる配線であることが好ましい。図27(F)は、第kフレームにおいて正の極性の信号電圧が書き込まれる画素には配線5086-1が電氣的に接続され、第kフレームにおいて負の極性の信号電圧が書き込まれる画素には配線5086-2が電氣的に接続される例である。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が2画素毎に現れるような駆動方法の場合は、配線5086-1および配線5086-2の電氣的接続もそれに合わせて、2画素毎に交互に行なわれることが好ましい。さらに言えば、1行全ての画素で同じ極性の信号電圧が書き込まれる場合(ゲートライン反転)も考えられるが、その場合は、配線5086は1行あたり1本でよい。つまり、図27(C)に示す画素構成においても、図27(F)および図27(G)を用いて説明するような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。

10

20

【0344】

次に、液晶素子が、MVAモードまたはPVAモード等に代表される、垂直配向(VA)モードである場合に特に好ましい画素構成およびその駆動方法について述べる。VAモードは、製造時にラビング工程が不要、黒表示時の光漏れが少ない、駆動電圧が低い等の優れた特徴を有するが、画面を斜めから見たときに画質が劣化してしまう(視野角が狭い)という問題点も有する。VAモードの視野角を広くするには、図28(A)および図28(B)に示すように、1画素に複数の副画素(サブピクセル)を有する画素構成とすることが有効である。図28(A)および図28(B)に示す画素構成は、画素5080が2つの副画素(副画素5080-1, 副画素5080-2)を含む場合の一例を表すものである。なお、1つの画素における副画素の数は2つに限定されず、様々な数の副画素を用いることができる。副画素の数が大きいほど、より視野角を広くすることができる。複数の副画素は互いに同一の回路構成とすることができ、ここでは、全ての副画素が図27(A)に示す回路構成と同様であるとして説明する。なお、第1の副画素5080-1は、トランジスタ5081-1、液晶素子5082-1、容量素子5083-1を有するものとし、それぞれの接続関係は図27(A)に示す回路構成に準じることとする。同様に、第2の副画素5080-2は、トランジスタ5081-2、液晶素子5082-2、容量素子5083-2を有するものとし、それぞれの接続関係は図27(A)に示す回路構成に準じることとする。

30

40

【0345】

図28(A)に示す画素構成は、1画素を構成する2つの副画素に対し、走査線として用いる配線5085を2本(配線5085-1, 配線5085-2)有し、信号線として用いる配線5084を1本有し、容量線として用いる配線5086を1本有する構成を表すものである。このように、信号線および容量線を2つの副画素で共用することにより、開口率を向上させることができ、さらに、信号線駆動回路を簡単なものとするので製造コストが低減でき、かつ、液晶パネルと駆動回路ICの接続点数を低減できるので、歩留まりを向上できる。図28(B)に示す画素構成は、1画素を構成する2つの副画素に対し、走査線として用いる配線5085を1本有し、信号線として用いる配線5084を2本(配線5084-1, 配線5084-2)有し、容量線として用いる配線50

50

86を1本有する構成を表すものである。このように、走査線および容量線を2つの副画素で共用することにより、開口率を向上させることができ、さらに、全体の走査線本数を低減できるので、高精細な液晶パネルにおいても1つあたりのゲート線選択期間を十分に長くすることができ、それぞれの画素に適切な信号電圧を書き込むことができる。

【0346】

図28(C)および図28(D)は、図28(B)に示す画素構成において、液晶素子を画素電極の形状に置き換えた上で、各素子の電氣的接続状態を模式的に表す例である。図28(C)および図28(D)において、電極5088-1は第1の画素電極を表し、電極5088-2は第2の画素電極を表すものとする。図28(C)において、第1画素電極5088-1は、図28(B)における液晶素子5082-1の第1端子に相当し、第2画素電極5088-2は、図28(B)における液晶素子5082-2の第1端子に相当する。すなわち、第1画素電極5088-1は、トランジスタ5081-1のソースまたはドレインの一方と電氣的に接続され、第2画素電極5088-2は、トランジスタ5081-2のソースまたはドレインの一方と電氣的に接続される。一方、図28(D)においては、画素電極とトランジスタの接続関係を逆にする。すなわち、第1画素電極5088-1は、トランジスタ5081-2のソースまたはドレインの一方と電氣的に接続され、第2画素電極5088-2は、トランジスタ5081-1のソースまたはドレインの一方と電氣的に接続されるものとする。

【0347】

図28(C)および図28(D)で示すような画素構成を、マトリクス状に交互に配置することで、特別な効果を得ることができる。このような画素構成およびその駆動方法の一例を、図28(E)および図28(F)に示す。図28(E)に示す画素構成は、画素5080_{i, j}および画素5080_{i+1, j+1}に相当する部分を図28(C)に示す構成とし、画素5080_{i+1, j}および画素5080_{i, j+1}に相当する部分を図28(D)に示す構成とするものである。この構成において、図28(F)に示すタイミングチャートのように駆動すると、第kフレームの第jゲート選択期間において、画素5080_{i, j}の第1画素電極および画素5080_{i+1, j}の第2画素電極に正の極性の信号電圧が書き込まれ、画素5080_{i, j}の第2画素電極および画素5080_{i+1, j}の第1画素電極に負の極性の信号電圧が書き込まれる。さらに、第kフレームの第j+1ゲート選択期間において、画素5080_{i, j+1}の第2画素電極および画素5080_{i+1, j+1}の第1画素電極に正の極性の信号電圧が書き込まれ、画素5080_{i, j+1}の第1画素電極および画素5080_{i+1, j+1}の第2画素電極に負の極性の信号電圧が書き込まれる。第k+1フレームにおいては、各画素において信号電圧の極性が反転される。こうすることによって、副画素を含む画素構成においてドット反転駆動に相当する駆動を実現しつつ、信号線に加えられる電圧の極性を1フレーム期間内で同一なものとするので、画素の信号電圧書込みにかかる消費電力を大幅に低減することができる。なお、配線5086_j、配線5086_{j+1}を含む全ての配線5086に加えられる電圧は、一定の電圧とされることができる。なお、図27(F)には、配線5085_jにされる信号5185_j、配線5085_{j+1}にされる信号5185_{j+1}、配線5084-1_iにされる信号5184-1_i、配線5084-2_iにされる信号5184-2_i、配線5084-1_{i+1}にされる信号5184-1_{i+1}、配線5084-2_{i+1}にされる信号5184-2_{i+1}、配線5186に供給される電圧5186を示す。

【0348】

さらに、図28(G)および図28(H)に示す画素構成およびその駆動方法によって、画素に書き込まれる信号電圧の大きさを小さくすることができる。これは、それぞれの画素が有する複数の副画素に電氣的に接続される容量線を、副画素毎に異ならせるものである。すなわち、図28(E)および図28(F)に示す画素構成およびその駆動方法によって、同一のフレーム内で同一の極性が書き込まれる副画素については、同一行内で容量線を共通とし、同一のフレーム内で異なる極性が書き込まれる副画素については、同一行

内で容量線を異ならせる。そして、各行の書き込みが終了した時点で、それぞれの容量線の電圧を、正の極性の信号電圧が書き込まれた副画素では正の方向、負の極性の信号電圧が書き込まれた副画素では負の方向に変化させることで、画素に書き込まれる信号電圧の大きさを小さくすることができる。具体的には、容量線として用いる配線5086を各行で2本（配線5086-1，配線5086-2）とし、画素5080__i，jの第1画素電極と、配線5086-1__jとが、容量素子を介して電氣的に接続され、画素5080__i，jの第2画素電極と、配線5086-2__jとが、容量素子を介して電氣的に接続され、画素5080__i+1，jの第1画素電極と、配線5086-2__jとが、容量素子を介して電氣的に接続され、画素5080__i+1，jの第2画素電極と、配線5086-1__jとが、容量素子を介して電氣的に接続され、画素5080__i，j+1の第1画素電極と、配線5086-2__j+1とが、容量素子を介して電氣的に接続され、画素5080__i，j+1の第2画素電極と、配線5086-1__j+1とが、容量素子を介して電氣的に接続され、画素5080__i+1，j+1の第1画素電極と、配線5086-1__j+1とが、容量素子を介して電氣的に接続され、画素5080__i+1，j+1の第2画素電極と、配線5086-2__j+1とが、容量素子を介して電氣的に接続される。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が2画素毎に現れるような駆動方法の場合は、配線5086-1および配線5086-2の電氣的接続もそれに合わせて、2画素毎に交互に行なわれることが好ましい。さらに言えば、1行全ての画素で同じ極性の信号電圧が書き込まれる場合（ゲートライン反転）も考えられるが、その場合は、配線5086は1行あたり1本でよい。つまり、図28（E）に示す画素構成においても、図28（G）および図28（H）を用いて説明するような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。なお、図27（H）には、配線5085__jに入力される信号5185__j、配線5085__j+1に入力される信号5185__j+1、配線5084-1__iに入力される信号5184-1__i、配線5084-2__iに入力される信号5184-2__i、配線5084-1__i+1に入力される信号5184-1__i+1、配線5084-2__i+1に入力される信号5184-2__i+1、配線5086-1__jに入力される信号5186-1__j、配線5086-2__jに入力される信号5186-2__j、配線5086-1__j+1に入力される信号5186-1__j+1、配線5086-2__j+1に入力される信号5186-2__j+1を示す。

【0349】

本実施の形態の画素と、実施の形態1～実施の形態7の半導体装置、シフトレジスタ、又は表示装置とを組み合わせることによって、様々なメリットを得ることができる。例えば、サブピクセル構造の画素を用いる場合、表示装置を駆動するために必要な信号の数が増えるので、ゲート線の数、又はソース線の数が増えることがある。この結果、画素部が形成される基板と、外部回路との接続数が大幅に増えてしまう場合がある。しかし、ゲート線の数が増えても、実施の形態5に示すように、走査線駆動回路を画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。または、ソース線の数が増えても、実施の形態7の信号線駆動回路を用いることによって、ソース線

【0350】

または、容量線に信号を入力する場合、画素部が形成される基板と、外部回路との接続数が大幅に増えてしまう場合がある。そこで、容量線に、実施の形態1～実施の形態4の半導体装置又はシフトレジスタを用いて信号を供給することが可能である。そして、実施の形態1～実施の形態4の半導体装置又はシフトレジスタは、画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、容量線に信号を入力することができる。

【0351】

または、交流駆動を用いる場合、画素へのビデオ信号の書き込み時間が長くなってしまう。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。同様に、サブピクセル構造の画素を用いる場合、画素へのビデオ信号の書き込み時間が短くなる。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。そこで、実施の形態7の信号線駆動回路を用いて、画素にビデオ信号を書き込むことが可能である。この場合、画素にビデオ信号を書き込む前に、画素にプリチャージ用の電圧を書き込むので、短い時間で画素にビデオ信号を書き込むことができる。または、図24、図25(A)、又は図25(B)に示すように、ある行が選択される期間と、別の行が選択される期間とを重ねることによって、別の行のビデオ信号をプリチャージ用の電圧として用いることが可能である。

10

【0352】

なお、本実施の形態の画素の駆動方法と、図24、図25(A)、及び図25(B)の駆動方法とを組み合わせることによって、画素へのビデオ信号の書き込み期間を短くすることができる。図29(A)のタイミングチャート、及び図27(C)の画素構成を参照して詳細に説明する。第kフレームでは、配線5084__iには正のビデオ信号が入力され、配線5084__i+1には負のビデオ信号が入力されているものとする。そして、第k+1フレームでは、配線5084__iには負のビデオ信号が入力され、配線5084__i+1には正のビデオ信号が入力されているものとする。いわゆる、ソースライン反転駆動である。そして、一例として、配線5085__jにH信号が入力される期間の後半と、配線5085__j+1にH信号が入力される期間の前半とが重なっているものとする。そして、第k-1フレームにおいて、画素5080__i、j+1には負のビデオ信号が書き込まれ、画素5080__i、j+1は負のビデオ信号を保持しているものとする。画素5080__i+1、j+1には正のビデオ信号が書き込まれ、画素5080__i+1、j+1は正のビデオ信号を保持しているものとする。なお、図29(A)には、配線5085__jに入力される信号5185__j、配線5085__j+1に入力される信号5185__j+1、配線5084__iに入力される信号5184__i、配線5084__i+1に入力される信号5184__i+1を示す。

20

【0353】

まず、第kフレームにおいて、配線5085__jにH信号が入力される期間と配線5085__j+1にH信号が入力される期間とが重なる期間では、正のビデオ信号が画素5080__i、jに書き込まれ、負のビデオ信号が画素5080__i+1、jに書き込まれる。このとき、当該正のビデオ信号は、画素5080__i、j+1にも書き込まれ、当該負のビデオ信号は、画素5080__i+1、j+1にも書き込まれる。こうして、j行目に属する画素に書き込まれるビデオ信号を用いて、j+1行目に属する画素がプリチャージされる。その後、第kフレームにおいて、配線5085__j+1にH信号が入力される期間の後半では、正のビデオ信号が画素5080__i、j+1に書き込まれ、負のビデオ信号が画素5080__i+1、j+1に書き込まれる。もちろん、当該正のビデオ信号は、画素5080__i、j+2に書き込まれるので、画素5080__i、j+2がプリチャージされる。同様に、当該負のビデオ信号は、画素5080__i+1、j+2に書き込まれるので、画素5080__i+1、j+2がプリチャージされる。このように、j行目に属する画素へのビデオ信号を用いて、j+1行目に属する画素をプリチャージすることによって、j+1行目に属する画素へのビデオ信号の書き込み期間を短くすることができる。

30

40

【0354】

なお、図29(A)の駆動方法と、図29(B)の画素構成とを組み合わせることによって、ドット反転駆動を実現することが可能である。図29(B)の画素構成では、画素5080__i、jは、配線5084__iと接続される。一方、画素5080__i、j+1は、配線5084__i+1と接続される。つまり、i列目に属する画素は、1行ずつ交互に、配線5084__iと配線5084__i+1と接続される。こうして、i列目に属する画素は、1行ずつ交互に、正のビデオ信号と負のビデオ信号とが書き込まれるので、ドット反転駆動を実現することができる。ただし、これに限定されず、i列目に属する画素は、

50

複数行（例えば2行又は3行）ずつ交互に、配線5084_iと配線5084_{i+1}と接続されることが可能である。

【0355】

（実施の形態9）

本実施の形態では、トランジスタの構成の一例について図32（A）、（B）、及び（C）を参照して説明する。

【0356】

図32（A）は、トップゲート型のトランジスタの構成の一例である。図32（B）は、ボトムゲート型のトランジスタの構成の一例である。図32（C）は、半導体基板を用いて作製されるトランジスタの構造の一例である。

10

【0357】

図32（A）には、基板5260と、基板5260の上に形成される絶縁層5261と、絶縁層5261の上に形成され、領域5262a、領域5262b、領域5262c、領域5262d、及び5262eを有する半導体層5262と、半導体層5262を覆うように形成される絶縁層5263と、半導体層5262及び絶縁層5263の上に形成される導電層5264と、絶縁層5263及び導電層5264の上に形成され、開口部を有する絶縁層5265と、絶縁層5265の上及び絶縁層5265の開口部に形成される導電層5266と、導電層5266の上及び絶縁層5265の上に形成され、開口部を有する絶縁層5267と、絶縁層5267の上及び絶縁層5267の開口部に形成される導電層5268と、絶縁層5267の上及び導電層5268の上に形成され、開口部を有する絶縁層5269と、絶縁層5269の上及び絶縁層5269の開口部に形成される発光層5270と、絶縁層5269の上及び発光層5270の上に形成される導電層5271とを示す。

20

【0358】

図32（B）には、基板5300と、基板5300の上に形成される導電層5301と、導電層5301を覆うように形成される絶縁層5302と、導電層5301及び絶縁層5302の上に形成される半導体層5303aと、半導体層5303aの上に形成される半導体層5303bと、半導体層5303bの上及び絶縁層5302の上に形成される導電層5304と、絶縁層5302の上及び導電層5304の上に形成され、開口部を有する絶縁層5305と、絶縁層5305の上及び絶縁層5305の開口部に形成される導電層5306と、絶縁層5305の上及び導電層5306の上に配置される液晶層5307と、液晶層5307の上に形成される導電層5308とを示す。

30

【0359】

図32（C）には、領域5353及び領域5355を有する半導体基板5352と、半導体基板5352の上に形成される絶縁層5356と、半導体基板5352の上に形成される絶縁層5354と、絶縁層5356の上に形成される導電層5357と、絶縁層5354、絶縁層5356、及び導電層5357の上に形成され、開口部を有する絶縁層5358と、絶縁層5358の上及び絶縁層5358の開口部に形成される導電層5359とを示す。こうして、領域5350と領域5351とに、各々、トランジスタが作製される。

40

【0360】

絶縁層5261は、下地膜として機能することが可能である。絶縁層5354は、素子間分離層（例えばフィールド酸化膜）として機能する。絶縁層5263、絶縁層5302、絶縁層5356は、ゲート絶縁膜として機能することが可能である。導電層5264、導電層5301、導電層5357は、ゲート電極として機能することが可能である。絶縁層5265、絶縁層5267、絶縁層5305、及び絶縁層5358は、層間膜、又は平坦化膜として機能することが可能である。導電層5266、導電層5304、及び導電層5359は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。導電層5268、及び導電層5306は、画素電極、又は反射電極などとして機能することが可能である。絶縁層5269は、土手として機能することが可能である。導電層5271、及び導電層5308は、対向電極、又は共通電極などとして機能するこ

50

とが可能である。

【0361】

基板5260、及び基板5300の一例としては、ガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板、又は可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）などがある。

10

【0362】

半導体基板5352としては、一例として、 n 型又は p 型の導電性を有する単結晶Si基板を用いることが可能である。ただし、これに限定されず、基板5260と同様なものを用いることが可能である。領域5353は、一例として、半導体基板5352に不純物が添加された領域であり、ウェルとして機能する。例えば、半導体基板5352が p 型の導電性を有する場合、領域5353は、 n 型の導電性を有し、 n ウェルとして機能する。一方で、半導体基板5352が n 型の導電性を有する場合、領域5353は、 p 型の導電性を有し、 p ウェルとして機能する。領域5355は、一例として、不純物が半導体基板5352に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板5352に、LDD領域を形成することが可能である。

20

【0363】

絶縁層5261の一例としては、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）などの酸素若しくは窒素有する膜、又はこれらの積層構造などがある。絶縁層5261が2層構造で設けられる場合の一例としては、1層目の絶縁膜として窒化珪素膜を設け、2層目の絶縁膜として酸化珪素膜を設けることが可能である。絶縁層5261が3層構造で設けられる場合の一例としては、1層目の絶縁膜として酸化珪素膜を設け、2層目の絶縁膜として窒化珪素膜を設け、3層目の絶縁膜として酸化珪素膜を設けることが可能である。

【0364】

半導体層5262、半導体層5303a、及び半導体層5303bの一例としては、非晶質（アモルファス）半導体、微結晶（マイクロクリスタル）半導体、多結晶半導体、単結晶半導体、酸化物半導体（例えば、酸化亜鉛（ ZnO ）、 IGZO （ InGaZnO ）など）、若しくは化合物半導体（例えば、砒化ガリウム（ GaAs ）など）などの単層構造、又はこれらの積層構造などがある。

30

【0365】

なお、例えば、領域5262aは、不純物が半導体層5262に添加されていない真性の状態であり、チャンネル領域として機能する。ただし、領域5262aに微少な不純物を添加することが可能であり、領域5262aに添加される不純物は、領域5262b、領域5262c、領域5262d、又は領域5262eに添加される不純物の濃度よりも低いことが好ましい。領域5262b、及び領域5262dは、低濃度に不純物が添加された領域であり、LDD（Lightly Doped Drain：LDD）領域として機能する。ただし、領域5262b、及び領域5262dを省略することが可能である。領域5262c、及び領域5262eは、高濃度に不純物が半導体層5262に添加された領域であり、ソース領域又はドレイン領域として機能する。

40

【0366】

なお、半導体層5262をトランジスタに用いる場合は、領域5262cの導電型と、領域5262eの導電型とは同じことが好ましい。

【0367】

なお、半導体層5303bは、不純物元素としてリンなどが添加された半導体層であり、 n 型の導電性を有する。

50

【0368】

なお、半導体層5303aとして、酸化物半導体、又は化合物半導体が用いられる場合、半導体層5303bを省略することが可能である。

【0369】

絶縁層5263、絶縁層5273、及び絶縁層5356の一例としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

【0370】

導電層5264、導電層5266、導電層5268、導電層5271、導電層5301、導電層5304、導電層5306、導電層5308、導電層5357、及び導電層5359の一例としては、単層構造の導電膜、又はこれらの積層構造などがある。当該導電膜の一例としては、アルミニウム(Al)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジム(Nd)、クロム(Cr)、ニッケル(Ni)、白金(Pt)、金(Au)、銀(Ag)、銅(Cu)、マンガン(Mn)、コバルト(Co)、ニオブ(Nb)、シリコン(Si)、鉄(Fe)、パラジウム(Pd)、炭素(C)、スカンジウム(Sc)、亜鉛(Zn)、リン(P)、ボロン(B)、ヒ素(As)、ガリウム(Ga)、インジウム(In)、錫(Sn)、酸素(O)によって構成される群から選ばれた一つの元素の単体膜、又は、前記群から選ばれた一つ又は複数の元素を含む化合物などがある。当該化合物の一例としては、前記群から選ばれた一つ若しくは複数の元素を含む合金(インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化錫(SnO)、酸化錫カドミウム(CTO)、アルミネオジム(Al-Nd)、マグネシウム銀(Mg-Ag)、モリブデンニオブ(Mo-Nb)、モリブデンタングステン(Mo-W)、モリブデンタンタル(Mo-Ta)などの合金材料)、前記群から選ばれた一つ若しくは複数の元素と窒素との化合物(窒化チタン、窒化タンタル、窒化モリブデンなどの窒化膜)、又は、前記群から選ばれた一つ若しくは複数の元素とシリコンとの化合物(タングステンシリサイド、チタンシリサイド、ニッケルシリサイド、アルミシリコン、モリブデンシリコンなどのシリサイド膜)などがある。他にも、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブなどのナノチューブ材料がある。

【0371】

なお、シリコン(Si)は、n型不純物(リンなど)、又はp型不純物ボロンなど)を含むことが可能である。

【0372】

なお、銅が導電層として用いられる場合、密着性を向上させるために積層構造にすることが好ましい。

【0373】

なお、酸化物半導体、又はシリコンと接触する導電層としては、モリブデン又はチタンを用いることが好ましい。

【0374】

なお、導電層としてネオジムとアルミニウムとの合金材料を用いることによって、アルミニウムがヒロックを起こしにくくなる。

【0375】

なお、導電層として、シリコンなどの半導体材料を用いる場合、シリコンなどの半導体材料をトランジスタが有する半導体層と同時に形成することが可能である。

【0376】

なお、ITO、IZO、ITSO、ZnO、Si、SnO、CTO、又はカーボンナノチューブなどは、透光性を有しているので、これらの材料を画素電極、対向電極、又は共通電極などの光を透過させる部分に用いることが可能である。

【0377】

なお、低抵抗材料（例えばアルミニウムなど）を用いて積層構造とすることによって、配線の抵抗を小さくすることができる。

【0378】

なお、低耐熱性の材料（例えばアルミニウムなど）を、高耐熱性の材料（例えばモリブデン、チタン、ネオジムなど）によって挟む積層構造とすることによって、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることができる。

【0379】

なお、他の材料に反応して性質が変わってしまう材料を、当該他の材料に反応しにくい材料によって挟んだり、覆ったりすることが可能である。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、ネオジム合金、チタン、モリブデンなどを挟むことが可能である。例えば、シリコンとアルミニウムとを接続させる場合は、シリコンとアルミニウムとの間に、ネオジム合金、チタン、モリブデンを挟むことが可能である。なお、これらの材料は、配線、電極、導電層、導電膜、端子、ビア、プラグなどにも用いることが可能である。

【0380】

なお、上述する導電層が積層構造で設けられる場合、例えば、AlをMo又はTiなどで挟み込んだ構造とすることが好ましい。こうすることで、Alの熱や化学反応に対する耐性を向上することができる。

【0381】

絶縁層5265、絶縁層5267、絶縁層5269、絶縁層5305、及び絶縁層5358の一例としては、単層構造の絶縁膜、又はこれらの積層構造などがある。当該絶縁膜の一例としては、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、若しくは酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素若しくは窒素を含む膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料などがある。

【0382】

発光層5270の一例としては、有機EL素子、又は無機EL素子などがある。有機EL素子の一例としては、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層など、若しくはこれらの材料のうち複数の材料を混合した層の単層構造、又はこれらの積層構造などがある。

【0383】

なお、絶縁層5305の上及び導電層5306の上には、配向膜として機能する絶縁層、突起部として機能する絶縁層などを形成することが可能である。

【0384】

なお、導電層5308の上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層などを形成することが可能である。導電層5308の下には、配向膜として機能する絶縁層を形成することが可能である。

【0385】

なお、図32（A）の断面構造において、絶縁層5269、発光層5270、及び導電層5271を省略し、図32（B）に示す液晶層5307、導電層5308を絶縁層5267の上及び導電層5268に形成することが可能である。

【0386】

なお、図32（B）の断面構造において、液晶層5307、導電層5308を省略し、図32（A）に示す絶縁層5269、発光層5270、及び導電層5271を絶縁層5305の上及び導電層5306の上に形成することが可能である。

【0387】

なお、図32（C）の断面構造において、絶縁層5358及び導電層5359の上に、図32（A）に示す絶縁層5269、発光層5270、及び導電層5271を形成すること

10

20

30

40

50

が可能である。あるいは、図 3 2 (B) に示す液晶層 5 3 0 7、導電層 5 3 0 8 を絶縁層 5 2 6 7 の上及び導電層 5 2 6 8 に形成することが可能である。

【0388】

本実施の形態のトランジスタは、実施の形態 1～実施の形態 8 の半導体装置、シフトレジスタ、又は表示装置に用いることが可能である。特に、図 3 2 (B) のトランジスタにおいて、半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタが劣化してしまう場合がある。この場合でも、実施の形態 1～実施の形態 8 の半導体装置、シフトレジスタ、又は表示装置では、トランジスタの劣化を抑制することができる。

【0389】

(実施の形態 10)

本実施の形態においては、電子機器の例について説明する。

【0390】

図 3 3 (A) 乃至図 3 3 (H)、図 3 4 (A) 乃至図 3 4 (D) は、電子機器を示す図である。これらの電子機器は、筐体 5 0 0 0、表示部 5 0 0 1、スピーカ 5 0 0 3、LED ランプ 5 0 0 4、操作キー 5 0 0 5、接続端子 5 0 0 6、センサ 5 0 0 7 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線測定する機能を含むもの)、マイクロフォン 5 0 0 8、等を有することができる。

【0391】

図 3 3 (A) はモバイルコンピュータであり、上述するものの他に、スイッチ 5 0 0 9、赤外線ポート 5 0 1 0、等を有することができる。図 3 3 (B) は記録媒体を備えた携帯型の画像再生装置 (たとえば、DVD 再生装置) であり、上述するものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 (C) はゴーグル型ディスプレイであり、上述するものの他に、第 2 表示部 5 0 0 2、支持部 5 0 1 2、イヤホン 5 0 1 3、等を有することができる。図 3 3 (D) は携帯型遊技機であり、上述するものの他に、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 (E) はプロジェクタであり、上述するものの他に、光源 5 0 3 3、投射レンズ 5 0 3 4、等を有することができる。図 3 3 (F) は携帯型遊技機であり、上述するものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 (G) はテレビ受像器であり、上述するものの他に、チューナ、画像処理部、等を有することができる。図 3 3 (H) は持ち運び型テレビ受像器であり、上述するものの他に、信号の送受信が可能な充電器 5 0 1 7、等を有することができる。図 3 4 (A) はディスプレイであり、上述するものの他に、支持台 5 0 1 8、等を有することができる。図 3 4 (B) はカメラであり、上述するものの他に、外部接続ポート 5 0 1 9、シャッターボタン 5 0 1 5、受像部 5 0 1 6、等を有することができる。図 3 4 (C) はコンピュータであり、上述するものの他に、ポインティングデバイス 5 0 2 0、外部接続ポート 5 0 1 9、リーダ/ライタ 5 0 2 1、等を有することができる。図 3 4 (D) は携帯電話機であり、上述するものの他に、アンテナ 5 0 1 4、携帯電話・移動端末向けの 1 セグメント部分受信サービス用チューナ、等を有することができる。

【0392】

図 3 3 (A) 乃至図 3 3 (H)、図 3 4 (A) 乃至図 3 4 (D) に示す電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した

10

20

30

40

50

画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図33（A）乃至図33（H）、図34（A）乃至図34（D）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

【0393】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。本実施の形態の電子機器と、実施の形態1～実施の形態9の半導体装置、シフトレジスタ、又は表示装置とを組み合わせることによって、信頼性の向上、歩留まりの向上、コストの削減、表示部の大型化、表示部の高精細化などを図ることができる。

10

【0394】

次に、半導体装置の応用例を説明する。

【0395】

図34（E）に、半導体装置を、建造物と一体にして設けた例について示す。図34（E）は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

20

【0396】

図34（F）に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

【0397】

なお、本実施の形態において、建造物として壁、ユニットバスを例とするが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

【0398】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【0399】

図34（G）は、半導体装置を、自動車に設けた例について示す図である。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

30

【0400】

図34（H）は、半導体装置を、旅客用飛行機と一体にして設けた例について示す図である。図34（H）は、旅客用飛行機の座席上部の天井5030に表示パネル5031を設けたときの、使用時の形状について示す図である。表示パネル5031は、天井5030とヒンジ部5032を介して一体に取り付けられており、ヒンジ部5032の伸縮により乗客は表示パネル5031の視聴が可能になる。表示パネル5031は乗客が操作することで情報を表示する機能を有する。

40

【0401】

なお、本実施の形態において、移動体としては自動車車体、飛行機車体について例示するがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

【符号の説明】

【0402】

- 100 回路
- 101 トランジスタ
- 102 トランジスタ
- 103 トランジスタ

50

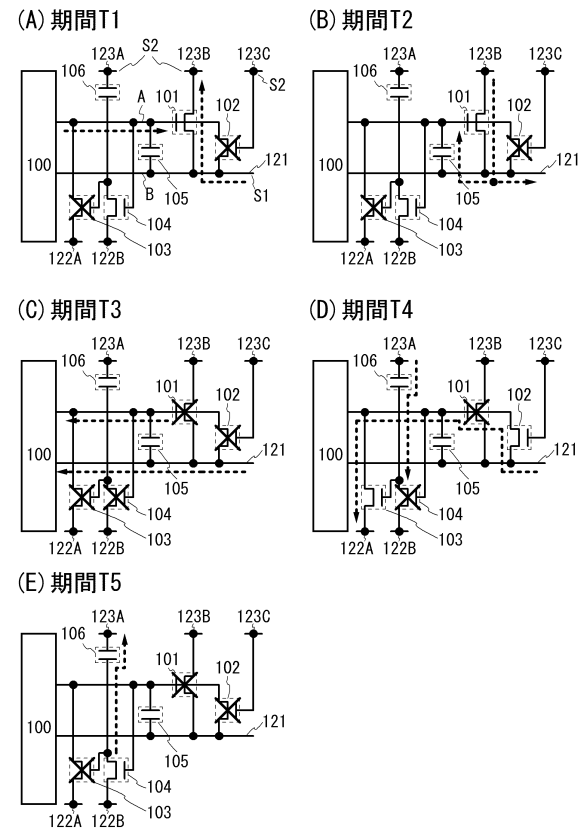
1 0 4	トランジスタ	
1 0 5	容量素子	
1 0 6	容量素子	
1 0 7	ダイオード	
1 2 1	配線	
1 2 2	配線	
1 2 3	配線	
1 2 4	配線	
1 2 5	配線	
1 2 6	配線	10
1 2 7	配線	
1 2 8	配線	
1 3 1	トランジスタ	
1 3 2	トランジスタ	
1 3 3	トランジスタ	
1 3 4	トランジスタ	
1 3 5	トランジスタ	
1 3 7	トランジスタ	
1 3 8	トランジスタ	
2 0 0	フリップフロップ	20
2 0 1	配線	
2 0 2	配線	
2 0 3	配線	
2 0 4	配線	
2 0 5	配線	
2 0 6	配線	
2 0 7	配線	
2 1 1	回路	
2 1 2	回路	
2 1 3	回路	30
2 1 4	回路	
2 1 5	回路	
2 1 6	回路	
2 2 0	シフトレジスタ	
2 2 1	回路	
2 2 2	回路	
2 2 3	回路	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 0 3	トランジスタ	40
3 0 4	トランジスタ	
3 1 1	配線	
3 2 0	フリップフロップ	
3 2 1	配線	
4 0 1	導電層	
4 0 2	半導体層	
4 0 3	導電層	
4 0 4	導電層	
4 0 5	コンタクトホール	
4 1 1	開口部	50

4 1 2	開口部	
4 2 1	配線幅	
4 2 2	配線幅	
4 2 3	幅	
4 2 4	幅	
4 2 6	幅	
4 3 1	幅	
4 3 2	幅	
5 0 0	回路	
5 0 1	回路	10
5 0 2	回路	
5 0 3	トランジスタ	
5 0 4	配線	
5 0 5	配線	
5 1 4	信号	
5 1 5	信号	
1 0 1 p	トランジスタ	
1 0 2 p	トランジスタ	
1 0 3 a	ダイオード	
1 0 3 p	トランジスタ	20
1 0 4 a	ダイオード	
1 0 4 p	トランジスタ	
1 0 5 a	トランジスタ	
1 0 6 a	トランジスタ	
1 0 7 a	トランジスタ	
1 2 2 A	配線	
1 2 2 B	配線	
1 2 2 C	配線	
1 2 2 D	配線	
1 2 2 E	配線	30
1 2 2 F	配線	
1 2 2 G	配線	
1 2 2 H	配線	
1 2 2 I	配線	
1 2 3 A	配線	
1 2 3 B	配線	
1 2 3 C	配線	
1 2 3 D	配線	
1 2 3 E	配線	
1 2 4 A	配線	40
1 2 4 B	配線	
1 2 4 C	配線	
1 3 3 a	ダイオード	
1 3 4 a	ダイオード	
1 3 5 a	ダイオード	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E D ランプ	50

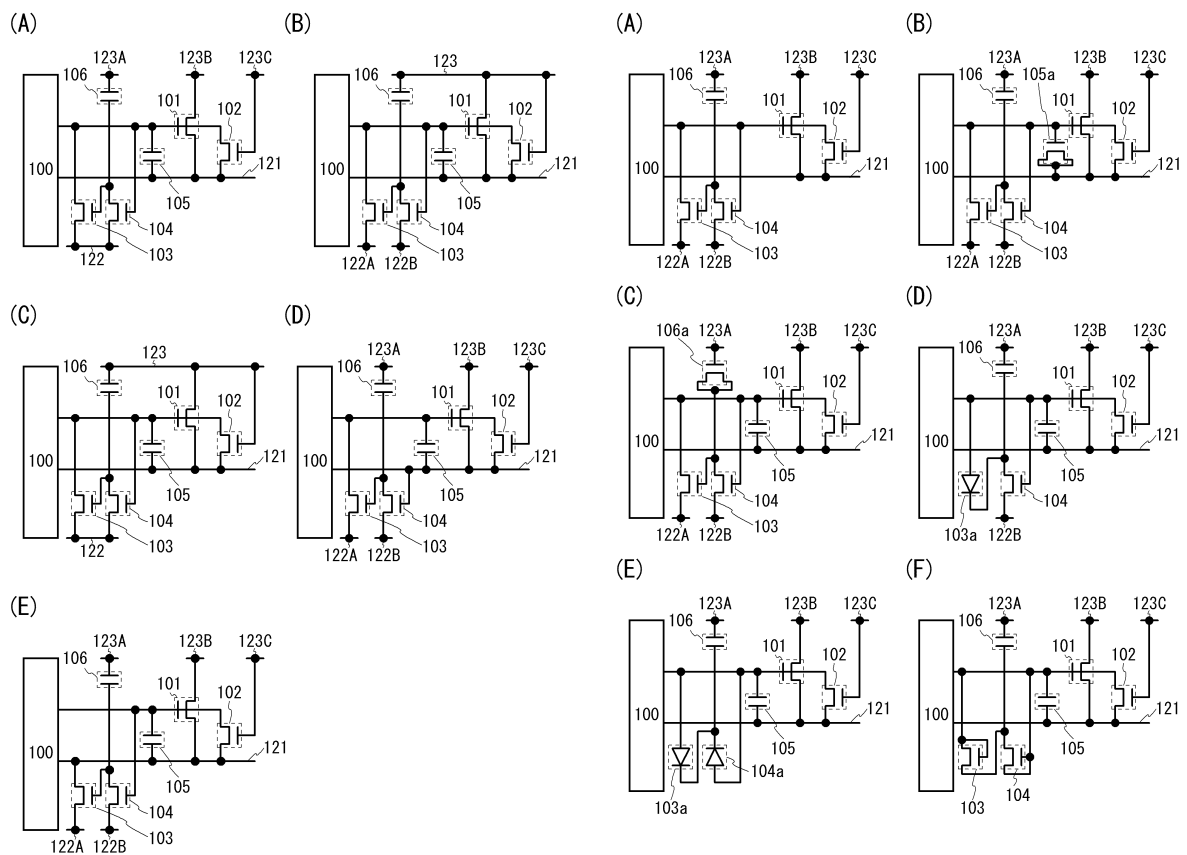
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	10
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ／ライター	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	20
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	30
5 0 8 0	画素	
5 0 8 1	トランジスタ	
5 0 8 2	液晶素子	
5 0 8 3	容量素子	
5 0 8 4	配線	
5 0 8 5	配線	
5 0 8 6	配線	
5 0 8 7	配線	
5 0 8 8	電極	
5 1 8 4	信号	40
5 1 8 5	信号	
5 1 8 6	信号	
5 2 6 0	基板	
5 2 6 1	絶縁層	
5 2 6 2	半導体層	
5 2 6 3	絶縁層	
5 2 6 4	導電層	
5 2 6 5	絶縁層	
5 2 6 6	導電層	
5 2 6 7	絶縁層	50

5 2 6 8	導電層	
5 2 6 9	絶縁層	
5 2 7 0	発光層	
5 2 7 1	導電層	
5 2 7 3	絶縁層	
5 3 0 0	基板	
5 3 0 1	導電層	
5 3 0 2	絶縁層	
5 3 0 4	導電層	
5 3 0 5	絶縁層	10
5 3 0 5	絶縁層	
5 3 0 6	導電層	
5 3 0 7	液晶層	
5 3 0 8	導電層	
5 3 5 0	領域	
5 3 5 1	領域	
5 3 5 2	基板	
5 3 5 3	領域	
5 3 5 4	絶縁層	
5 3 5 5	領域	20
5 3 5 6	絶縁層	
5 3 5 7	導電層	
5 3 5 8	絶縁層	
5 3 5 9	導電層	
5 3 6 0	映像信号	
5 3 6 1	回路	
5 3 6 2	回路	
5 3 6 3	回路	
5 3 6 4	画素部	
5 3 6 5	回路	30
5 3 6 6	照明装置	
5 3 6 7	画素	
5 3 7 1	配線	
5 3 7 2	配線	
5 3 7 3	配線	
5 3 8 0	基板	
5 3 8 1	入力端子	
5 2 6 2 a	領域	
5 2 6 2 b	領域	
5 2 6 2 c	領域	40
5 2 6 2 d	領域	
5 2 6 2 e	領域	
5 3 0 3 a	半導体層	
5 3 0 3 b	半導体層	
5 3 6 1 a	回路	
5 3 6 1 b	回路	
5 3 6 2 a	回路	
5 3 6 2 b	回路	

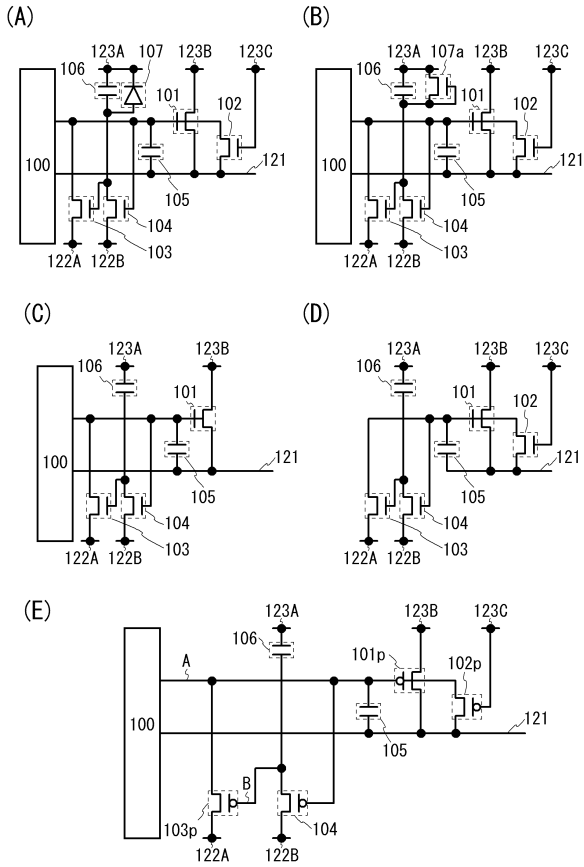
【図 2】



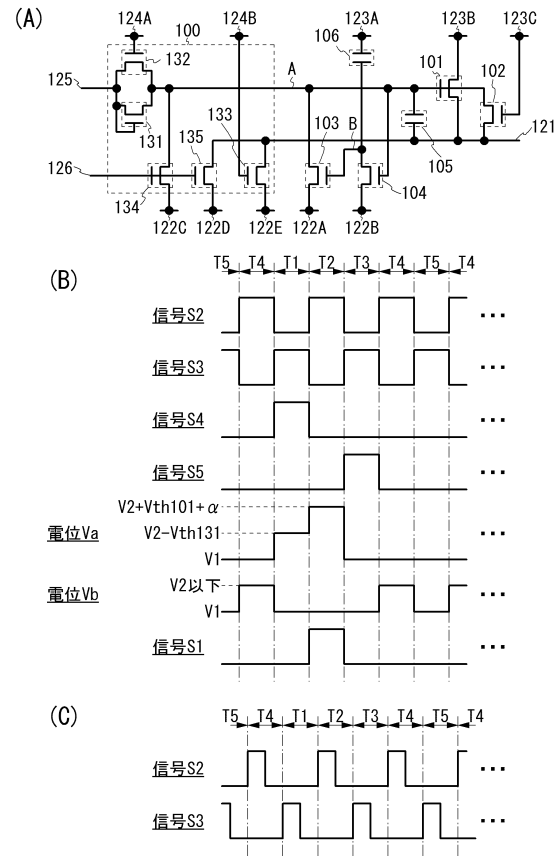
【图 4】



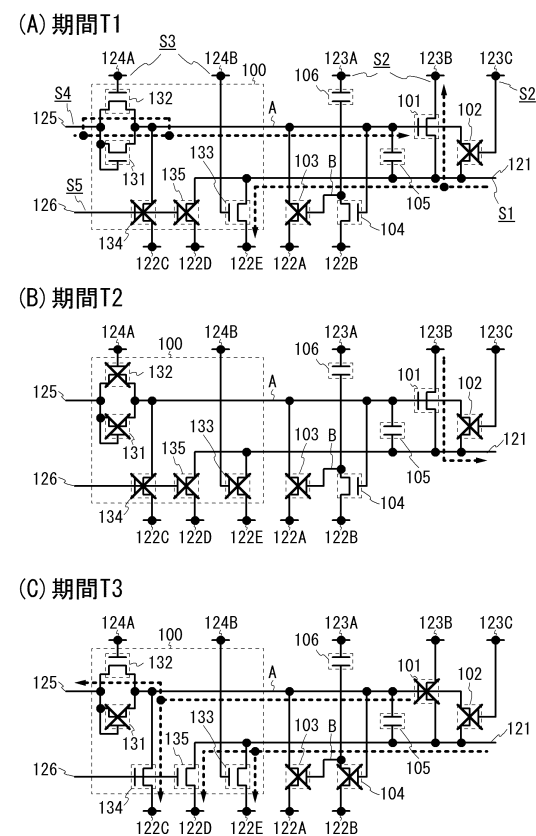
【図 5】



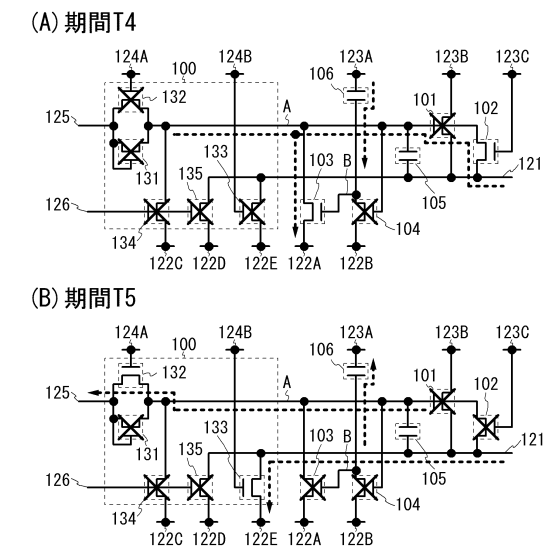
【図 6】



【図 7】

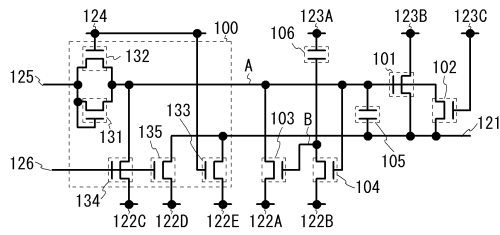


【図 8】

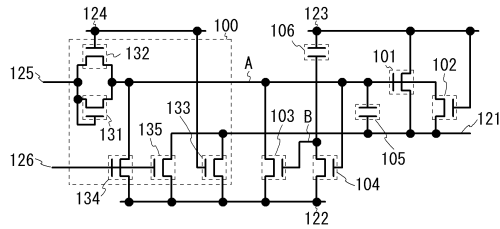


【図 9】

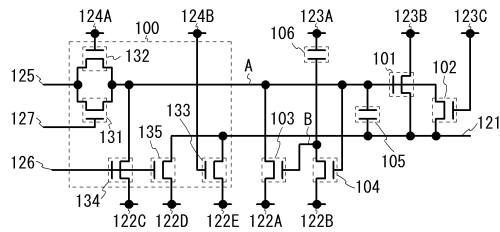
(A)



(B)

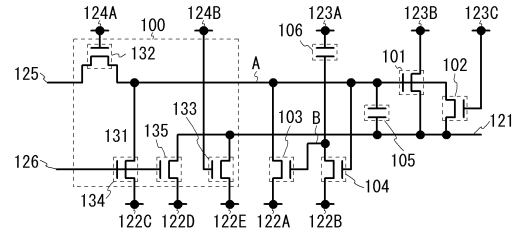


(C)

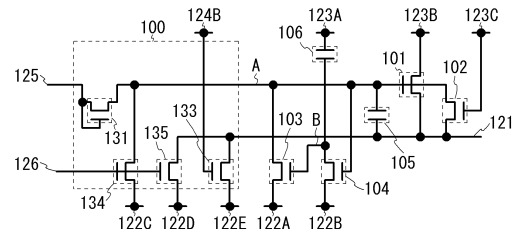


【図 10】

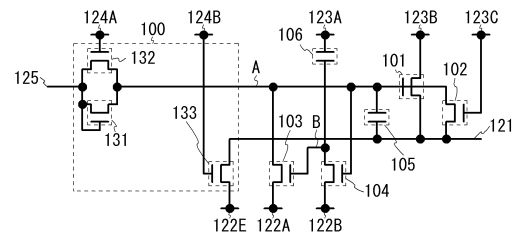
(A)



(B)

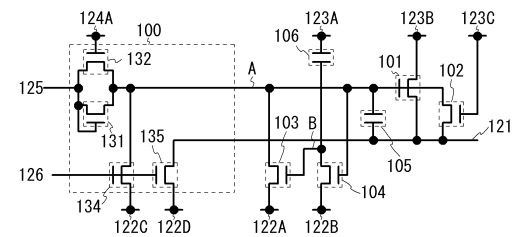


(C)

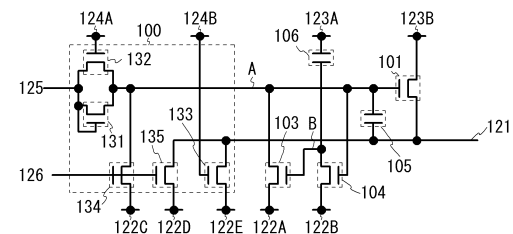


【図 11】

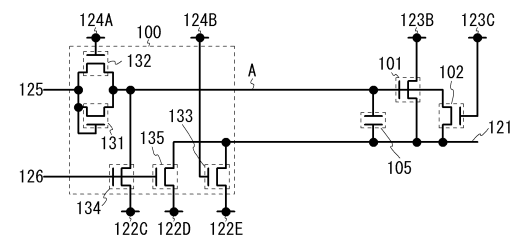
(A)



(B)

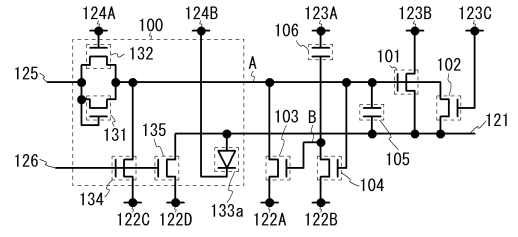


(C)

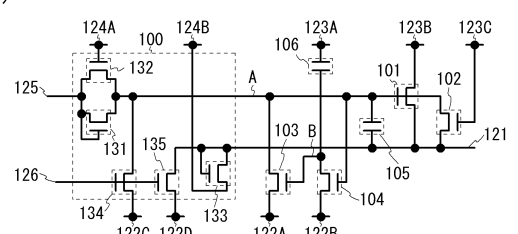


【図 12】

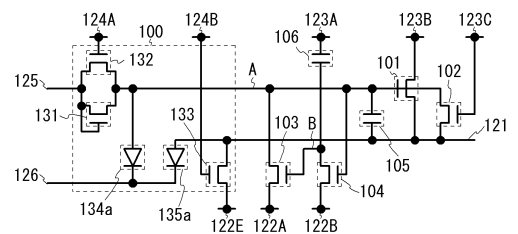
(A)



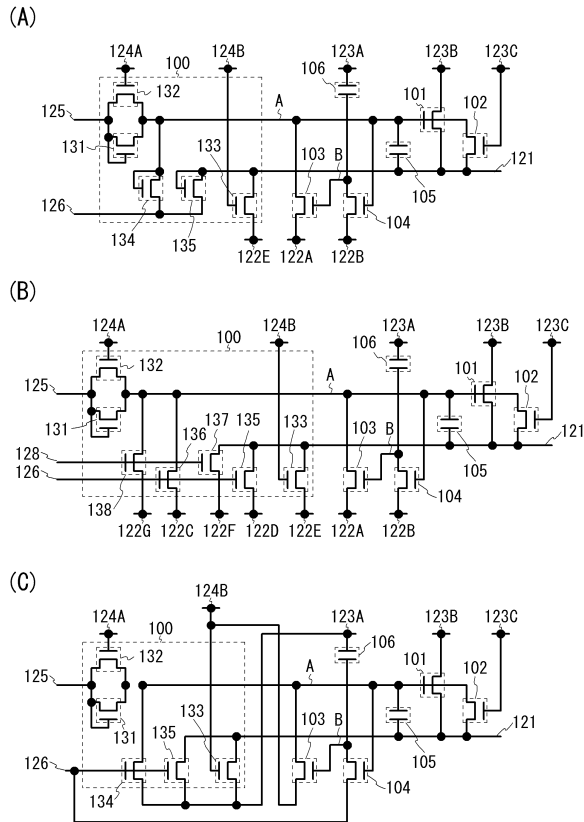
(B)



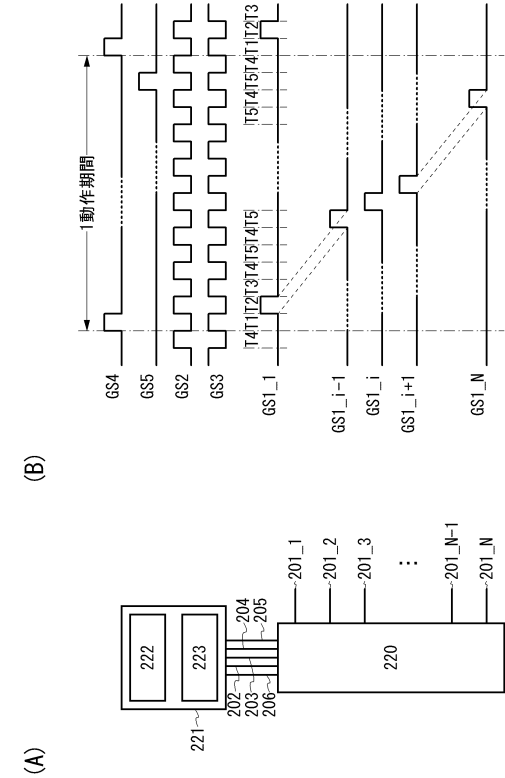
(C)



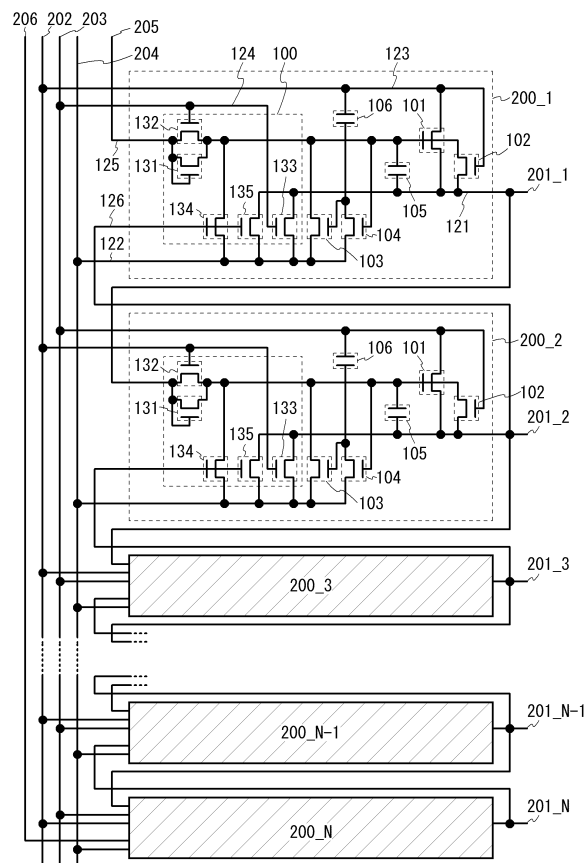
【図 13】



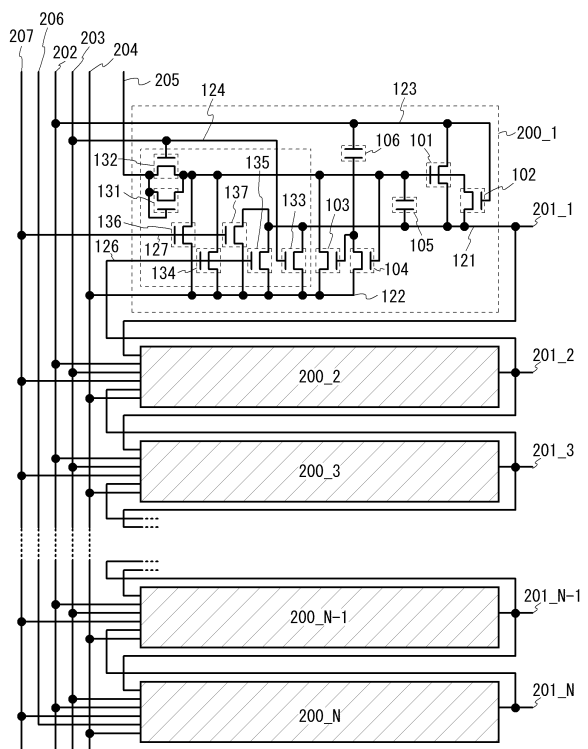
【図 14】



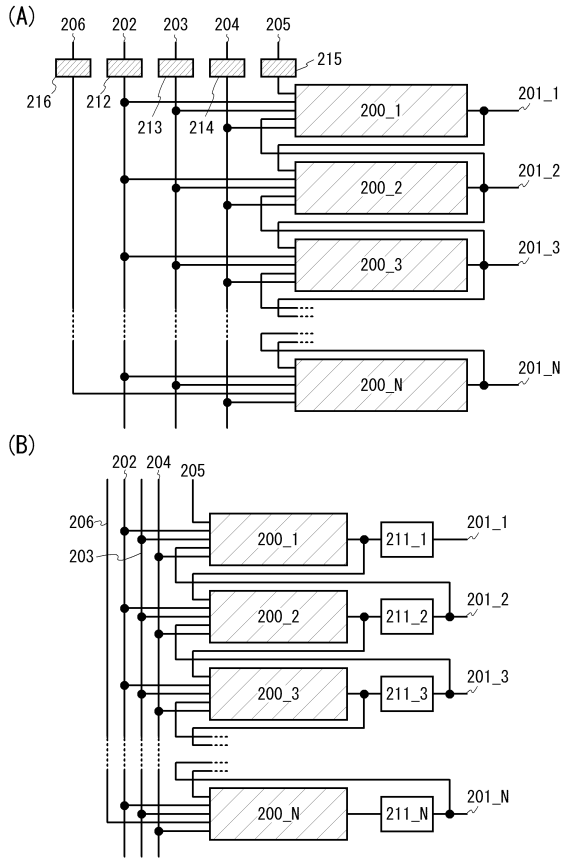
【図 15】



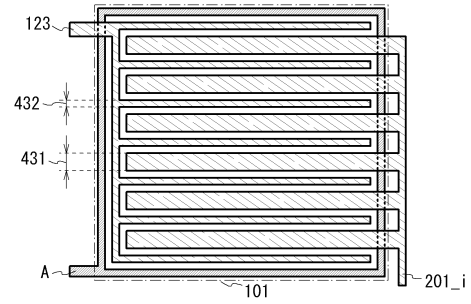
【図 16】



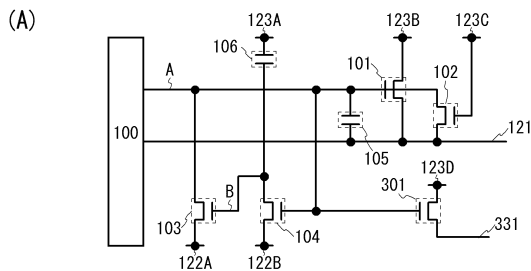
【図 17】



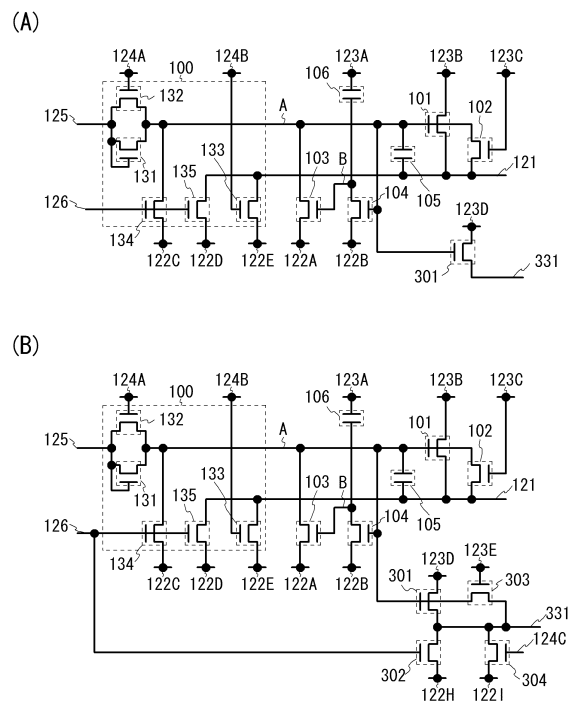
【図 18】



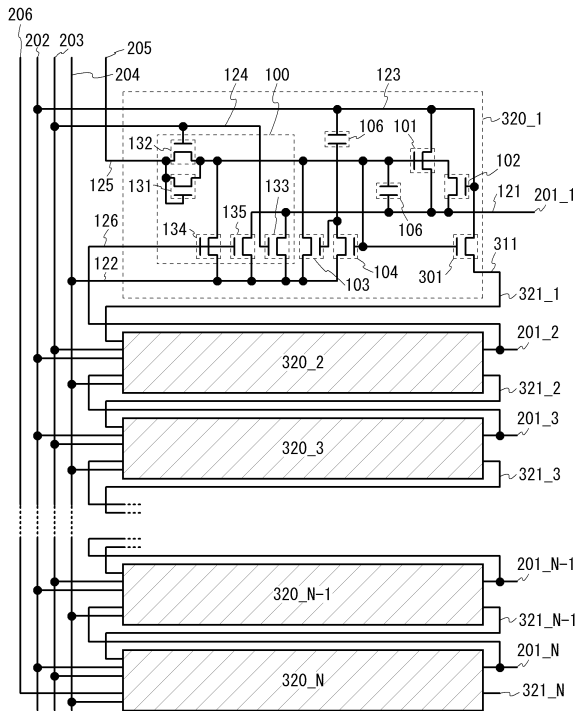
【図 19】



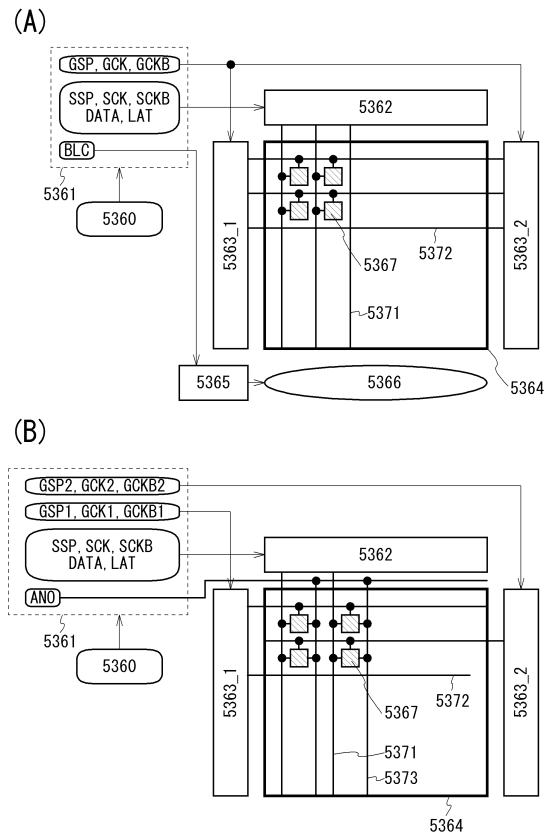
【図 20】



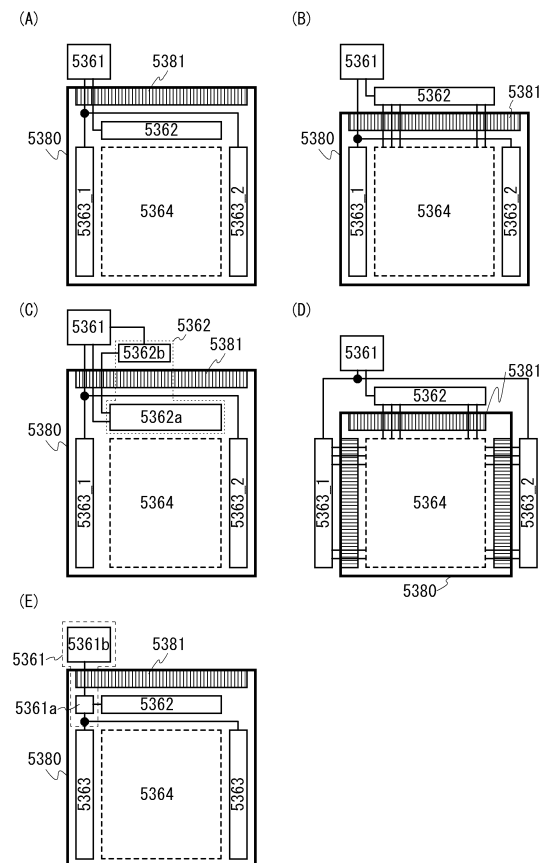
【図 2 1】



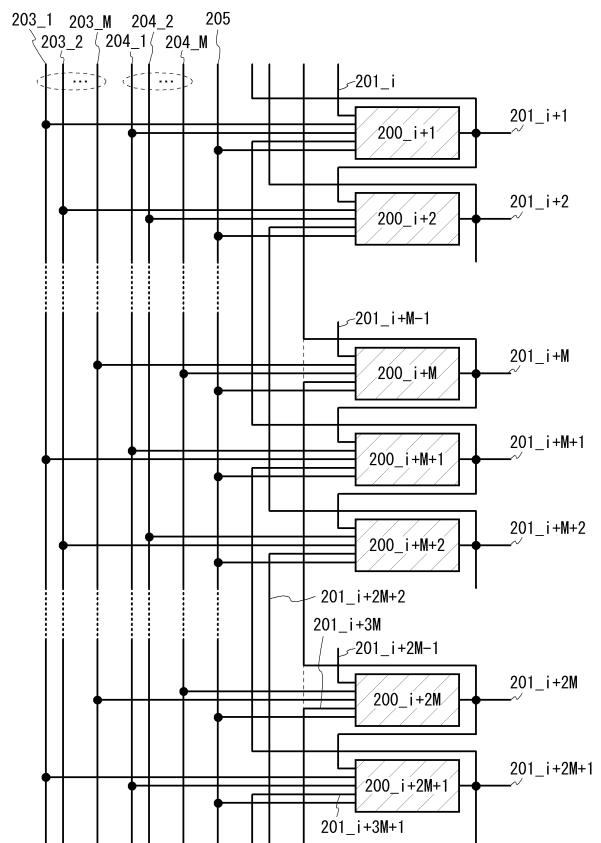
【図 2 2】



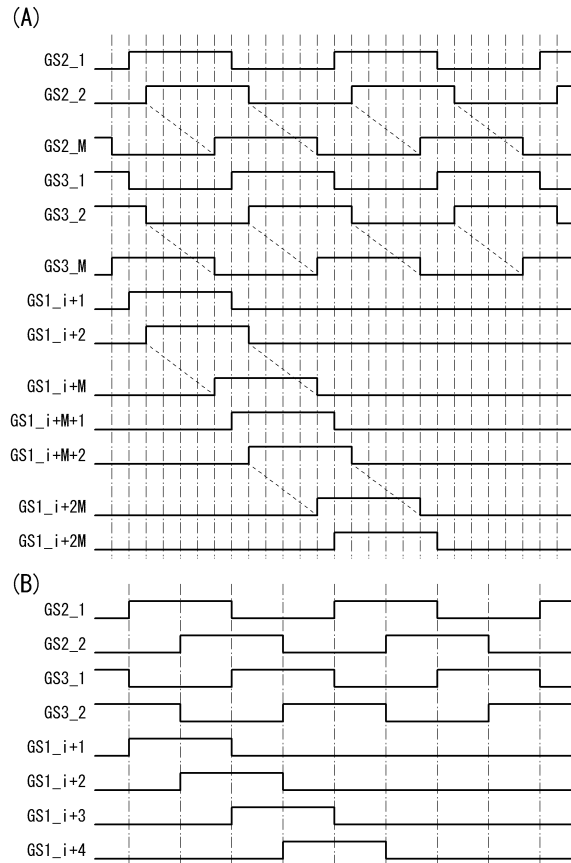
【図 2 3】



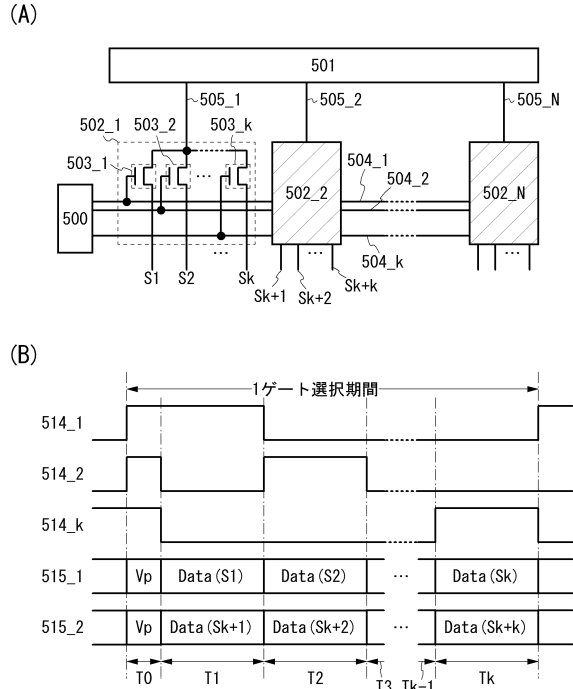
【図 2 4】



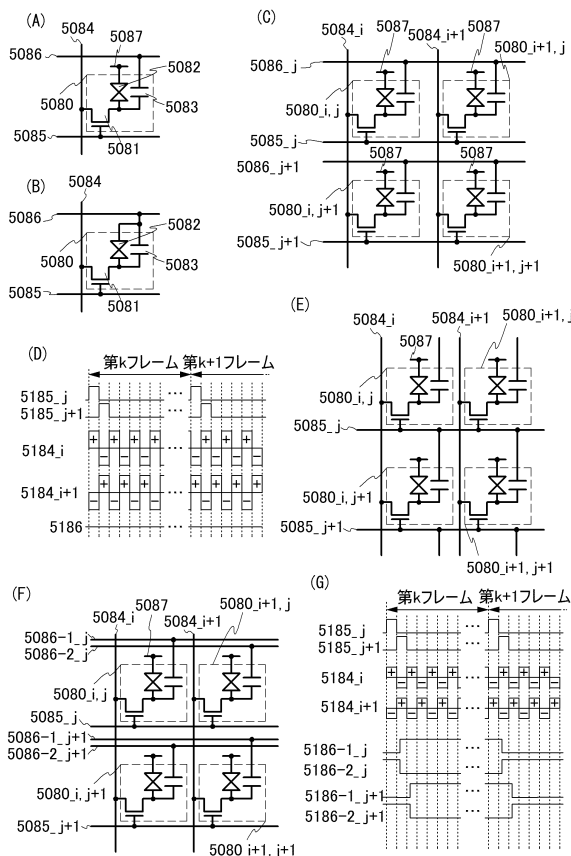
【図 25】



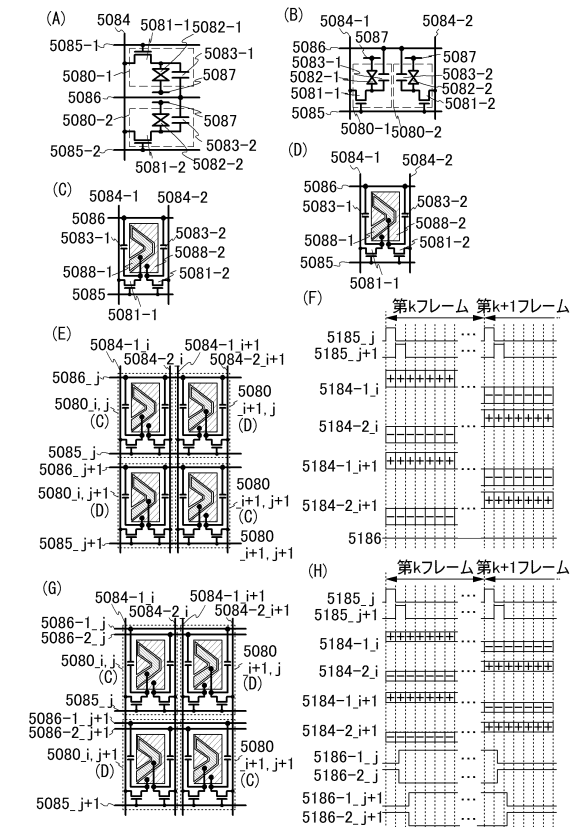
【図 26】



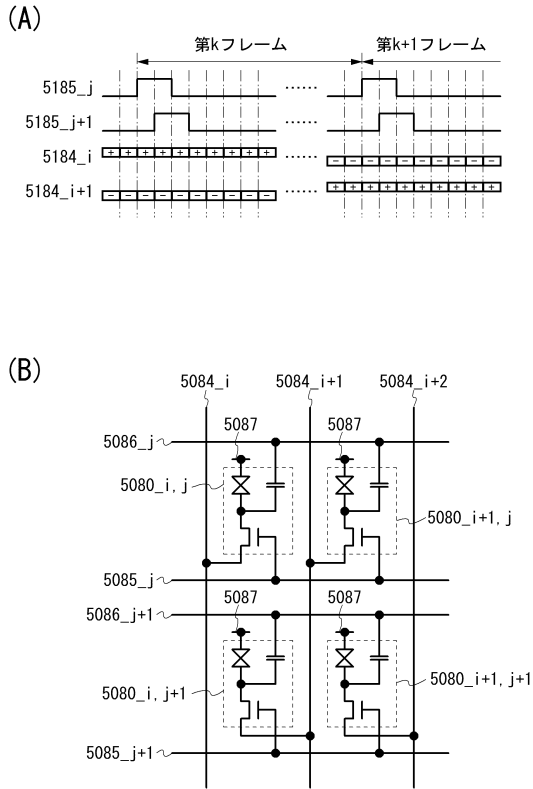
【図 27】



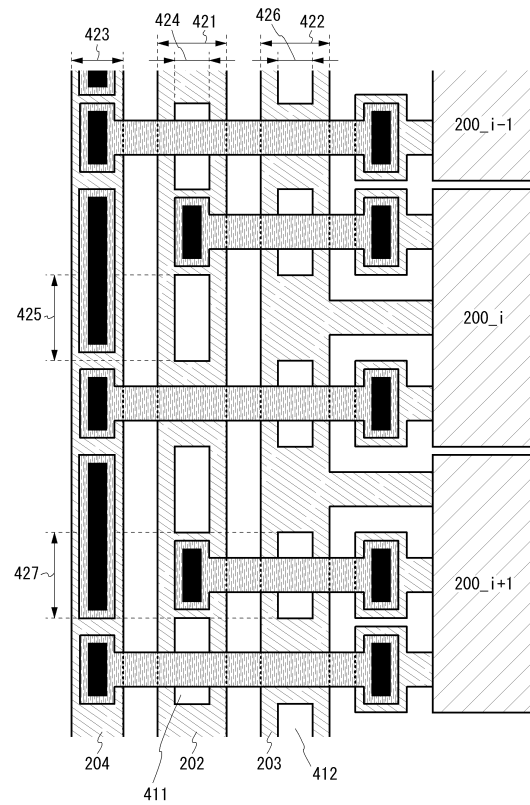
【図 28】



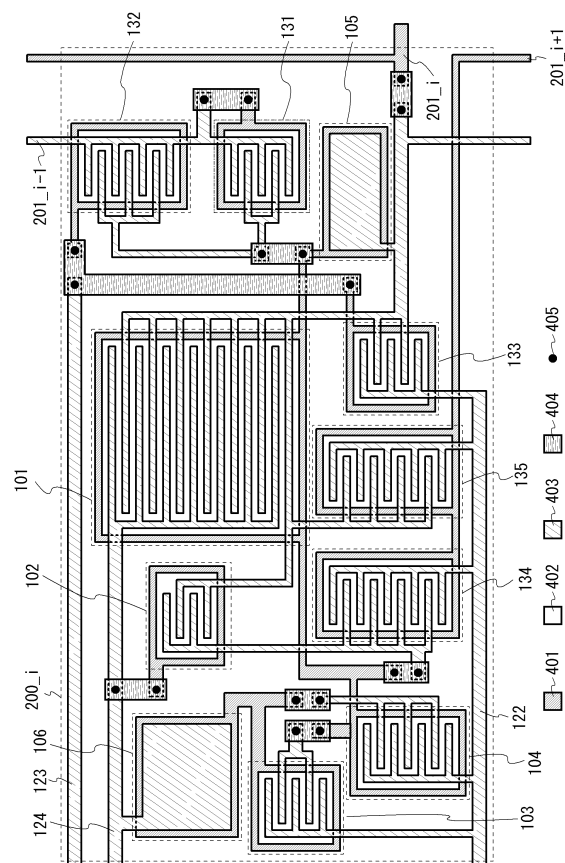
【図 29】



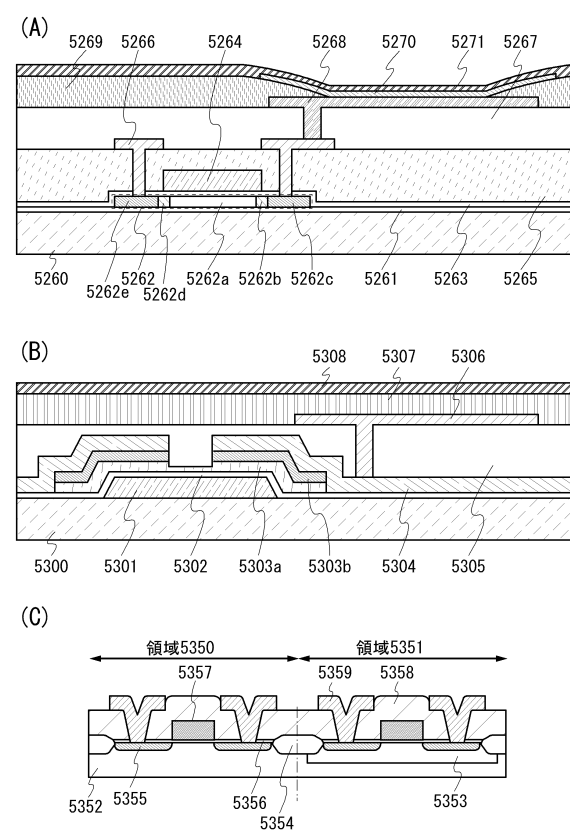
【図 30】



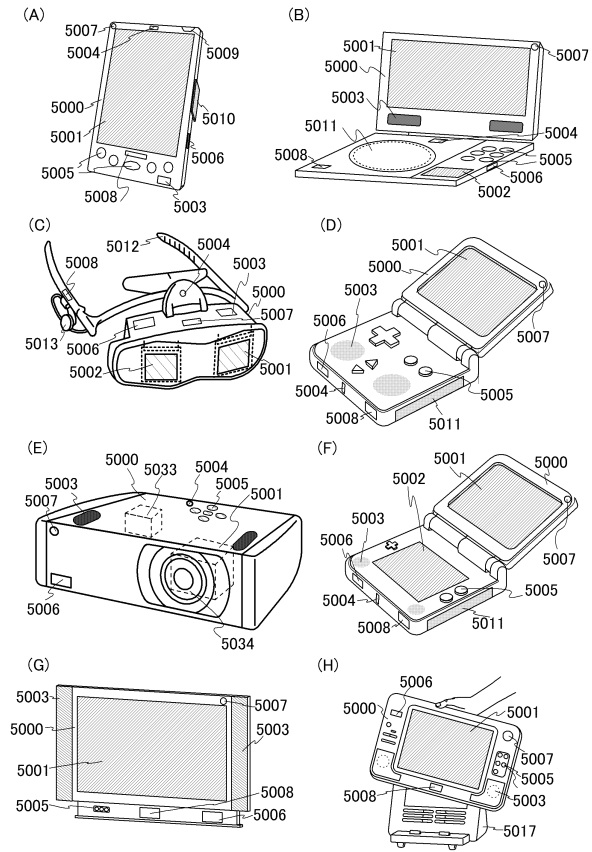
【図 31】



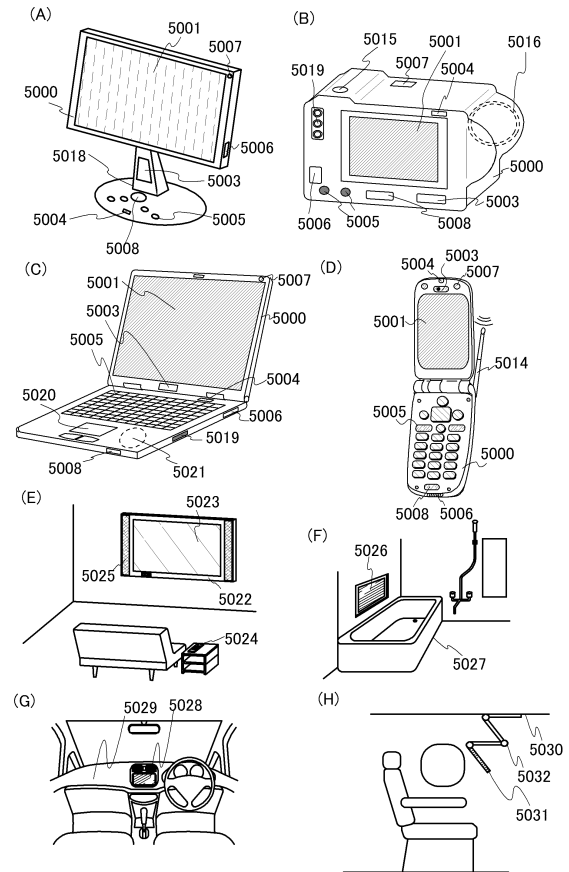
【図 32】



【図 33】



【図 34】



フロントページの続き

(51)Int.Cl.			F I		
<i>H01L</i>	<i>21/336</i>	<i>(2006.01)</i>	<i>G09G</i>	<i>3/20</i>	<i>670J</i>
<i>H01L</i>	<i>29/786</i>	<i>(2006.01)</i>	<i>G09G</i>	<i>3/20</i>	<i>611A</i>
<i>G11C</i>	<i>19/28</i>	<i>(2006.01)</i>	<i>G09G</i>	<i>3/20</i>	<i>680G</i>
<i>H03K</i>	<i>17/06</i>	<i>(2006.01)</i>	<i>G02F</i>	<i>1/133</i>	<i>550</i>
<i>H03K</i>	<i>19/003</i>	<i>(2006.01)</i>	<i>G02F</i>	<i>1/136</i>	
			<i>H01L</i>	<i>29/78</i>	<i>612Z</i>
			<i>G11C</i>	<i>19/28</i>	<i>230</i>
			<i>H03K</i>	<i>17/06</i>	<i>063</i>
			<i>H03K</i>	<i>19/003</i>	

- (56)参考文献 特開2008-083692 (JP, A)
 特開2004-274050 (JP, A)
 特開2006-024350 (JP, A)
 特開昭64-082674 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/687
G02F 1/133
G02F 1/136
G09G 3/20
G09G 3/36
G11C 19/28
H01L 21/336
H01L 29/786
H03K 17/06
H03K 19/003
 JSTPlus/JMEDPlus/JST7580 (JDreamIII)