



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I758097 B

(45)公告日：中華民國 111 (2022) 年 03 月 11 日

(21)申請案號：110105534

(22)申請日：中華民國 110 (2021) 年 02 月 18 日

(51)Int. Cl. : G09G5/18 (2006.01)

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)
新竹市力行二路 1 號(72)發明人：洪志豪 HUNG, CHIH-HAO (TW)；王宏祺 WANG, HUNG-CHI (TW)；陳雅芳
CHEN, YA-FANG (TW)；楊智翔 YANG, CHIH-HSIANG (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW	202107433A	CN	101075421A
CN	102187331B	CN	106205453A
US	2006/0055687A1	US	2014/0198083A1

審查人員：林俊傑

申請專利範圍項數：10 項 圖式數：10 共 35 頁

(54)名稱

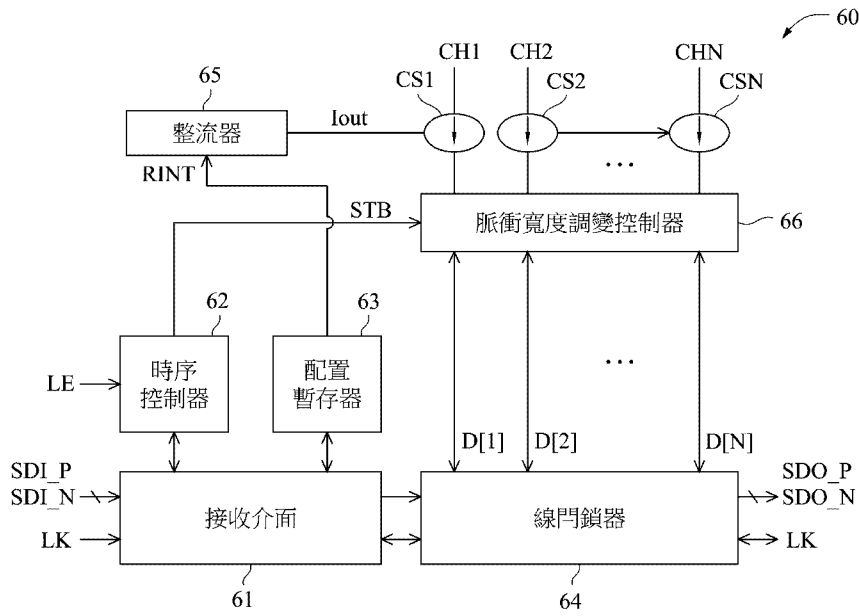
驅動電路及相關驅動方法

(57)摘要

一種驅動電路，用於一顯示面板，包括一接收介面、一時序控制器、一脈衝寬度調變控制器以及一線門鎖器。該接收介面用來接收一第一輸入訊號、一第二輸入訊號和一鏈接訊號，據以產生多個顯示資料，其中該第一輸入訊號和該第二輸入訊號是一對差分訊號。該時序控制器用來解讀該第一輸入訊號、該第二輸入訊號和該鏈接訊號，以產生一觸發訊號。該脈衝寬度調變控制器用來進行脈衝寬度調變，以產生一第一輸出訊號以及一第二輸出訊號。該線門鎖器用來暫存該第一輸出訊號和該第二輸出訊號，以及根據該觸發訊號來輸出該第一輸出訊號和該第二輸出訊號以驅動該顯示面板。

A driving circuit for a display panel and including a receiving interface, a timing controller, a PWM (pulse width modulation) controller and a line latch is disclosed. The receiving interface is configured to receive a first input signal, a second input signal and a link signal to generate a plurality of display data accordingly, wherein the first input signal and the second input signal are a pair of differential signals. The timing controller is configured to interpret the first input signal, the second input signal and the link signal to generate a trigger signal. The PWM controller is configured to perform pulse width modulation to generate a first output signal and a second output signal. The line latch is configured to hold the first and second output signals, and output the first and second output signals according to the trigger signal to drive the display panel.

指定代表圖：



第 6 圖

符號簡單說明：

- 60: 驅動電路
- 61: 接收介面
- 62: 時序控制器
- 63: 配置暫存器
- 64: 線門鎖器
- 65: 整流器
- 66: 脈衝寬度調變控制器
- CH1~CHN: 通道
- CS1~CSN: 電流源
- I_{out} : 輸出電流
- LK: 鏈接訊號
- RINT: 輸出電流參數
- SDI_P : 第一輸入訊號
- SDI_N : 第二輸入訊號
- SDO_P : 第一輸出訊號
- SDO_N : 第二輸出訊號
- STB: 觸發訊號



I758097

【發明摘要】

【中文發明名稱】 驅動電路及相關驅動方法

【英文發明名稱】 DRIVING CIRCUIT AND RELATED DRIVING METHOD

【中文】

一種驅動電路，用於一顯示面板，包括一接收介面、一時序控制器、一脈衝寬度調變控制器以及一線閃鎖器。該接收介面用來接收一第一輸入訊號、一第二輸入訊號和一鏈接訊號，據以產生多個顯示資料，其中該第一輸入訊號和該第二輸入訊號是一對差分訊號。該時序控制器用來解讀該第一輸入訊號、該第二輸入訊號和該鏈接訊號，以產生一觸發訊號。該脈衝寬度調變控制器用來進行脈衝寬度調變，以產生一第一輸出訊號以及一第二輸出訊號。該線閃鎖器用來暫存該第一輸出訊號和該第二輸出訊號，以及根據該觸發訊號來輸出該第一輸出訊號和該第二輸出訊號以驅動該顯示面板。

【英文】

A driving circuit for a display panel and including a receiving interface, a timing controller, a PWM (pulse width modulation) controller and a line latch is disclosed. The receiving interface is configured to receive a first input signal, a second input signal and a link signal to generate a plurality of display data accordingly, wherein the first input signal and the second input signal are a pair of differential signals. The

timing controller is configured to interpret the first input signal, the second input signal and the link signal to generate a trigger signal. The PWM controller is configured to perform pulse width modulation to generate a first output signal and a second output signal. The line latch is configured to hold the first and second output signals, and output the first and second output signals according to the trigger signal to drive the display panel.

【指定代表圖】第（ 6 ）圖。

【代表圖之符號簡單說明】

6 0 : 驅 動 電 路

6 1 : 接 收 介 面

6 2 : 時 序 控 制 器

6 3 : 配 置 暫 存 器

6 4 : 線 閃 鎖 器

6 5 : 整 流 器

6 6 : 脈 衝 寬 度 調 變 控 制 器

C H 1 ~ C H N : 通 道

C S 1 ~ C S N : 電 流 源

I o u t : 輸 出 電 流

L K : 鏈 接 訊 號

R I N T : 輸 出 電 流 參 數

S D I _ P : 第 一 輸 入 訊 號

S D I _ N : 第 二 輸 入 訊 號

S D O _ P : 第 一 輸 出 訊 號

S D O _ N : 第二輸出訊號

S T B : 觸發訊號

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 驅動電路及相關驅動方法

【英文發明名稱】 DRIVING CIRCUIT AND RELATED DRIVING METHOD

【技術領域】

【0001】 本揭露是關於一種驅動電路及相關驅動方法，特別是關於一種根據一對差動輸入訊號來驅動顯示面板的驅動電路及相關驅動方法。

【先前技術】

【0002】 現有的大型顯示面板(例如電視、廣告看板等)通常是由數個燈箱組合而成，每個燈箱內設置有一主機板和數個驅動電路板。主機板用來傳送資料；驅動電路板的一面設置有發光元件，另一面則設置有驅動晶片和掃描開關電路。

【0003】 在實際應用中，以解析度為 $768 * 432$ 平方畫素的五十五吋顯示面板為例，其可由四個燈箱組成，每個燈箱包含一主機板和八個驅動電路板。每個驅動電路板設置有三十六顆驅動晶片，用來驅動解析度為 $96 * 108$ 平方畫素的子面板。

【0004】 在顯示面板的尺寸不變的情況下，若欲將解析度提高到 $3840 * 2160$ 平方畫素，以支援超高畫質(ultra high definition, UHD)顯示規格，則每個驅動電路板上的驅

動晶片和訊號走線的數量需增加到五倍之多，也就是每個驅動電路板上的驅動晶片數量需增加到一百八十顆 ($36 * 5 = 180$)。在此情況下，由於單位面積上的驅動晶片和訊號走線的數量增加，將會導致電路設計的難度大幅地提升。

【0005】 此外，當輸入影像訊號是電晶體對電晶體邏輯 (Transistor-Transistor Logic, TTL) 訊號且與時脈訊號並行傳送時，輸入影像訊號容易受雜訊影響或是因為傳播衰減而導致訊號失真。

【0006】 因此，如何提供一種顯示驅動電路及相關顯示驅動方法，以節省電路面積、簡化電路設計並避免訊號失真，實乃本領域的課題之一。

【發明內容】

【0007】 為了解決上述問題，本揭露提供一種驅動電路，用於一顯示面板。該驅動電路包括一接收介面、一時序控制器、一脈衝寬度調變控制器以及一線閃鎖器。該接收介面用來接收一第一輸入訊號、一第二輸入訊號和一鏈接訊號，據以產生多個顯示資料，其中該第一輸入訊號和該第二輸入訊號是一對差分訊號。該時序控制器用來透過該接收介面接接收該第一輸入訊號、該第二輸入訊號和該鏈接訊號，並解讀該第一輸入訊號、該第二輸入訊號和該鏈接訊號，以產生一觸發訊號。該脈衝寬度調變控制器，耦接於該時序控制器，用來根據該觸發訊號和該多個顯示資料，進行

脈衝寬度調變，以產生一第一輸出訊號以及一第二輸出訊號。該線門鎖器耦接於該脈衝寬度調變控制器，用來暫存該第一輸出訊號和該第二輸出訊號，以及根據該觸發訊號來輸出該第一輸出訊號和該第二輸出訊號以驅動該顯示面板。

【0008】 本揭露另提供一種驅動方法，用於一顯示面板。該驅動方法包括：透過一接收介面，接收一第一輸入訊號、一第二輸入訊號和一鏈接訊號，據以產生多個顯示資料，其中該第一輸入訊號和該第二輸入訊號是一對差分訊號；透過一時序控制器，解讀該第一輸入訊號、該第二輸入訊號和該鏈接訊號，以產生一觸發訊號；透過一脈衝寬度調變控制器，根據該觸發訊號和該多個顯示資料，進行脈衝寬度調變，以產生一第一輸出訊號以及一第二輸出訊號；以及透過一線門鎖器，暫存該第一輸出訊號和該第二輸出訊號，以及根據該觸發訊號來輸出該第一輸出訊號和該第二輸出訊號以驅動該顯示面板。

【0009】 本揭露的驅動電路及相關驅動方法使用差分訊號的情況下，資料傳送速度可有效地提升，故驅動電路可支援更高解析度和幀率的顯示面板；驅動電路內不需設置隨機存取記憶體來預存大量資料，使得驅動電路的面積可有效地減少。由於差分訊號具有抗干擾能力強和時序定位準確的特徵，故可避免訊號失真，也不需參考額外的時脈訊號，故可簡化電路設計。

【圖式簡單說明】

【0010】 為使本揭露之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之說明如下：

第 1 圖為一顯示裝置的功能方塊圖。

第 2 圖為另一顯示裝置的功能方塊圖。

第 3 圖為第 1 圖和第 2 圖的掃描開關電路的多個掃描訊號和驅動電路的一輸出訊號的時序圖。

第 4 圖為用於第 1 圖和第 2 圖的驅動電路的功能方塊圖。

第 5 圖為多個掃描訊號和用於第 4 圖的驅動電路的控制訊號、輸入訊號、資料時脈訊號、灰階時脈訊號、觸發訊號和輸出訊號的時序圖。

第 6 圖為根據本揭露實施例一驅動電路的功能方塊圖。

第 7 圖為根據本揭露實施例多個掃描訊號和用於第 6 圖的驅動電路的第一輸入訊號、第二輸入訊號、鏈接訊號、觸發訊號、第一輸出訊號和第二輸出訊號的時序圖。

第 8 圖為根據本揭露實施例一驅動模組和多對輸入訊號的示意圖。

第 9 圖為根據本揭露實施例另一驅動模組和多對輸入訊號的示意圖。

第 10 圖為根據本揭露實施例一驅動流程的流程圖。

【實施方式】

【0011】 於本文中，當一元件被稱為「連結」或「耦接」時，可指「電性連接」或「電性耦接」。「連結」或「耦接」亦可用以表示二或多個元件間相互搭配操作或互動。此外，雖然本文中使用了「第一」、「第二」、...等用語描述不同元件，該用語僅是用以區別以相同技術用語描述的元件或操作。除非上下文清楚指明，否則該用語並非特別指稱或暗示次序或順位，亦非用以限定本揭示文件。

【0012】 第 1 圖為一顯示裝置 1 的功能方塊圖。顯示裝置 1 包含一驅動電路 10、一掃描開關電路 12 以及一顯示面板 14。顯示面板 14 包含 $M * N$ 個畫素單元 (pixel) $P[11] \sim P[1N]$ 、...、 $P[M1] \sim P[MN]$ ， M 、 N 是大於 1 的整數。顯示面板 14 例如是一共陽極 (common-anode) 被動矩陣發光二極體 (passive matrix light-emitting diode, PMLED) 面板。在結構上，每個畫素單元是以一發光二極體來實現，每一列 (row) 的 N 個二極體的陽極電性連接一掃描線 (scan line)，每一行 (column) 的 M 個二極體的陰極電性連接一資料線 (data line) 或一通道。顯示面板 14 透過 M 條掃描線耦接於掃描開關電路 12，以及透過 N 條資料線 (或通道) 耦接於驅動電路 10。

【0013】 在操作上，掃描開關電路 12 包含 M 個開關，用來根據 M 個掃描訊號 $SC[1] \sim SC[M]$ ，提供一驅動電壓 V_{LED} 到顯示面板 14。驅動電路 10 用來根據一輸入訊號 SDI 、一控制訊號 LE (繪於第 4 圖) 和一資料時脈訊號

DCLK(繪於第4圖),提供一輸出訊號SDO(繪於第3圖)到顯示面板14。於一實施例中,掃描開關電路12的每個開關是以一P型電晶體來實現,P型電晶體包含耦接於一掃描訊號的一控制端,耦接於驅動電壓VLED的一第一端和耦接於一掃描線的一第二端。

【0014】第2圖為另一顯示裝置2的功能方塊圖。顯示裝置1包含一驅動電路20、一掃描開關電路22以及一顯示面板24。顯示面板14例如是一共陰極(common-cathode)被動矩陣發光二極體面板。在結構上,每個畫素單元是以一發光二極體來實現,每一列(row)的N個二極體的陰極電性連接一掃描線,每一行(column)的M個二極體的陽極電性連接一資料線。顯示面板24透過M條掃描線電性連接掃描開關電路22,以及透過N條資料線電性連接驅動電路20。

【0015】在操作上,掃描開關電路22包含M個開關,用來根據M個掃描訊號SC[1]~SC[M],將顯示面板24耦接於一接地電壓GND。驅動電路20用來根據多個驅動電壓VLED_R和VLED_GB、控制訊號LE、輸入訊號SDI和時脈訊號DCLK(其中訊號LE、SDI和DCLK繪於第4圖),提供輸出訊號SDO(繪於第3圖)到顯示面板24。於一實施例中,掃描開關電路22的每個開關是以一N型電晶體來實現,N型電晶體包含耦接於一掃描訊號的一控制端,耦接於接地電壓GND的一第一端和耦接於一掃描線的一第二端。

【0016】 第 3 圖為第 1 圖和第 2 圖的掃描開關電路 12 和 22 的多個掃描訊號 $SC[1] \sim SC[M]$ 和驅動電路 10 和 20 的輸出訊號 SDO 的時序圖。當掃描訊號 $SC[1]$ 為一第一邏輯狀態(例如邏輯「1」)時，耦接於第一條掃描線的 N 個畫素單元 $P[11] \sim P[1N]$ 被導通，而畫素單元 $P[11] \sim P[1N]$ 的灰階值 (grayscale) 所對應的亮度 (brightness) 由一導通時間 $W1$ 的長度來決定。若畫素單元被導通的時間越長則對應的亮度越高(代表灰階值越高)。以此類推，當掃描訊號 $SC[2]$ 為第一邏輯狀態時，耦接於第二條掃描線的 N 個畫素單元 $P[21] \sim P[2N]$ 被導通，而畫素單元 $P[21] \sim P[2N]$ 的灰階值所對應的亮度由一導通時間 $W2$ 的長度來決定。另一方面，當掃描訊號 $SC[1] \sim SC[M]$ 為一第二邏輯狀態(邏輯「0」)時，則畫素單元被關閉。簡單來說，掃描開關電路 12 和 22 根據多個掃描訊號 $SC[1] \sim SC[M]$ 來分別導通耦接於第 1 \sim M 條掃描線的 N 個畫素單元，驅動電路 10 和 20 的輸出訊號 SDO 分別在多個導通時間 $W1 \sim WN$ 內控制 N 個畫素單元的亮度。如此一來，掃描開關電路 12 和 22 以及驅動電路 10 和 20 可分別驅動顯示面板 14 和 24 來顯示影像。

【0017】 第 4 圖為一驅動電路 40 的功能方塊圖。驅動電路 40 可取代第 1 圖和第 2 圖的驅動電路 10 和 20。驅動電路 40 包含一接收介面 41、一時序控制器 42、一配置 (configuration) 暫存器 43、一隨機存取記憶體 (random access memory, RAM) 44、一整流器 45、

一脈衝寬度調變 (pulse width modulation) 控制器 46 以及多個電流源 $CS1 \sim CSN$ 。

【0018】 驅動電路 10 的架構如第 4 圖所示。接收介面 41 用來接收輸入訊號 SDI 和資料時脈訊號 DCLK，據以產生多個顯示資料 $D[1] \sim D[N]$ 。時序控制器 42 用來接收並解讀控制訊號 LE。配置暫存器 43 用來儲存至少一配置參數，例如但不限於灰階模式、掃描模式、輸出電流的增益以及顏色參數等。整流器 45 耦接於一外接電阻 (未繪於第 4 圖)，外接電阻的一電阻值 R_{EXT} 決定整流器 45 產生的一輸出電流 I_{out} 。多個電流源 $CS1 \sim CSN$ 用來根據輸出電流 I_{out} ，產生用於多個通道 $CH1 \sim CHN$ 的多個驅動電流。脈衝寬度調變控制器 46 用來根據一灰階時脈訊號 GCLK、一觸發訊號 ROW 和對應多個通道 $CH1 \sim CHN$ 的多個顯示資料 $D[1] \sim D[N]$ ，進行脈衝寬度調變。隨機存取記憶體 44 用來儲存對應 $(2 * m)$ 列的 $(2 * m * N)$ 個像素單元的顯示資料， m 是驅動電路 10 可支援的掃描數。舉例來說，假設驅動電路 10 一次掃描一列畫素單元 (意即 $m = 1$)，則隨機存取記憶體 44 一次儲存對應兩列的 $(2 * 1 * N)$ 個像素單元的顯示資料。當驅動電路 10 在驅動第 Y 條掃描線的 N 個畫素單元時，隨機存取記憶體 44 儲存對應第 Y 條掃描線的 N 個畫素單元的顯示資料 $D_Y[1] \sim D_Y[N]$ ，以及儲存對應第 $(Y + 1)$ 條的 N 個畫素單元的顯示資料 $D_{Y+1}[1] \sim D_{Y+1}[N]$ ， Y 是大於零的整數。接著，當驅動電路 10 在驅動對應第 $(Y + 1)$ 條掃描線的多個畫素單元時，

於隨機存取記憶體 44 中，對應第 Y 條的 N 個畫素單元的顯示資料 $D_Y[1] \sim D_Y[N]$ 被複寫為對應第 $(Y+2)$ 條的 N 個畫素單元的顯示資料 $D_{Y+2}[1] \sim D_{Y+2}[N]$ 。也就是說，當驅動電路 10 在驅動第 Y 條掃描線的 N 個畫素單元時，隨機存取記憶體 44 產生的輸出訊號 SDO 包含對應第 Y 條的 N 個畫素單元的顯示資料 $D_Y[1] \sim D_Y[N]$ ；接著，當驅動電路 10 在驅動第 $(Y+1)$ 條掃描線的 N 個畫素單元時，隨機存取記憶體 44 產生的輸出訊號 SDO 包含對應第 $(Y+1)$ 條的 N 個畫素單元的顯示資料 $D_{Y+1}[1] \sim D_{Y+1}[N]$ 。如此一來，驅動電路 10 產生的輸出訊號 SDO 包含對應不同掃描線的 N 個顯示資料 $D[1] \sim D[N]$ ，用來分別驅動連接到不同掃描線的 N 個像素單元。

【0019】 第 5 圖為多個掃描訊號 $SC[1] \sim SC[M]$ 和用於第 4 圖的驅動電路 10 的控制訊號 LE 、輸入訊號 SDI 、資料時脈訊號 $DCLK$ 、灰階時脈訊號 $GCLK$ 、觸發訊號 ROW 和輸出訊號 SDO 的時序圖。控制訊號 LE 和時脈訊號 $DCLK$ 用來指示驅動電路 10 需進行的操作，例如將輸入資料寫入記憶體、設定顯示參數、垂直空白起始 (*vertical blanking start*) 和顯示資料等。灰階時脈訊號 $GCLK$ 或驅動訊號 ROW 用來指示驅動電路 10 控制輸出訊號 SDO 的輸出時機。例如，觸發訊號 ROW 的上升邊緣用來指示一條掃描線的開啟時間，而灰階時脈訊號 $GCLK$ 的上升邊緣用來指示多個資料線 (或通道) 的開啟時間。

【0020】 值得注意的是，第 4 圖的驅動電路 40 存有以下特

徵：(1)隨機存取記憶體 44 占了相當比例的電路面積(依照支援掃數，隨機存取記憶體 44 約略占了 30%~40%的電路面積)；(2)輸入訊號 SDI 和資料時脈訊號 DCLK 都是電晶體對電晶體邏輯(Transistor-Transistor Logic, TTL)訊號，故僅適合低速傳送；以及(3)驅動晶片的輸入接腳數多(例如，至少需要六個接腳來連接電阻值 REXT、灰階時脈訊號 GCLK、觸發訊號 ROW、控制訊號 LE、輸入訊號 SDI 和資料時脈訊號 DCLK)。為了解決上述問題，申請人提出了一種驅動電路及相關驅動方法，可節省電路面積、簡化電路設計並避免訊號失真。

【0021】第 6 圖為根據本揭露實施例一驅動電路 60 的功能方塊圖。驅動電路 60 可取代第 4 圖的驅動電路 40。驅動電路 60 包含一接收介面 61、一時序控制器 62、一配置暫存器 63、一線門鎖器 64、一整流器 65、一脈衝寬度調變控制器 66 以及多個電流源 CS1~CSN。

【0022】接收介面 61 耦接於時序控制器 62、配置暫存器 63 和線門鎖器 64，用來接收一第一輸入訊號 SDI_P、一第二輸入訊號 SDI_N 和一鏈接(link)訊號 LK，據以產生多個顯示資料 D[1]~D[N]。鏈接訊號 LK 是驅動電路 60 與一輸入訊號源(例如一處理器)進行溝通的訊號，其可為雙向或單向控制訊號。時序控制器 62 耦接於接收介面 61 和脈衝寬度調變控制器 66，用來透過接收介面 61 接收第一輸入訊號 SDI_P、第二輸入訊號 SDI_N 和鏈接訊號 LK，並解讀第一輸入訊號 SDI_P、第二輸入訊號 SDI_N 和鏈

接訊號 LK，以產生一觸發訊號 STB 到脈衝寬度調變控制器 66。配置暫存器 63 耦接於接收介面 61，用來儲存至少一配置參數，例如但不限於一輸出電流參數 RINT、灰階模式、掃描模式以及顏色參數等。整流器 65 耦接於配置暫存器 63 和多個電流源 CS1~CSN，用來根據輸出電流參數 RINT，產生一輸出電流 Iout 到多個電流源 CS1~CSN。多個電流源 CS1~CSN 耦接於整流器 65 和脈衝寬度調變控制器 66，用來根據輸出電流 Iout，產生用於多個通道 CH1~CHN 的多個驅動電流到脈衝寬度調變控制器 66。脈衝寬度調變控制器 66 耦接於時序控制器 62 和線門鎖器 64，用來根據觸發訊號 STB 和對應多個通道 CH1~CHN 的多個顯示資料 D[1]~D[N]，進行脈衝寬度調變，以產生一第一輸出訊號 SDO_P 以及一第二輸出訊號 SDO_N。線門鎖器 64 耦接於接收介面 61、和脈衝寬度調變控制器 66，用來暫存(hold)第一輸出訊號 SDO_P 以及第二輸出訊號 SDO_N，以及根據觸發訊號 STB 來輸出第一輸出訊號 SDO_P 和第二輸出訊號 SDO_N。

【0023】 值得注意的是，於本揭露實施例中，第一輸入訊號 SDI_P 和第二輸入訊號 SDI_N 是一對差分訊號(differential pair)，用來取代第 4 圖的單線(single-wired)輸入訊號 SDI。單線訊號可支援的資料率為每秒兆位(Megabit per second)，而差分訊號可支援的資料率可達每秒千兆位(Gigabit per second)。在使用差分訊號的情況下，資料傳送速度可有效地提升，故

驅動電路 60 可支援更高解析度和幀率 (frame rate) 的顯示面板；驅動電路 60 內不需設置隨機存取記憶體 44 來預存大量資料，使得驅動電路 60 的面積 (相對於驅動電路 40 而言) 可有效地減少。在實際應用中，相較於驅動電路 40，當原始支援掃數為 16 時，驅動電路 60 的晶粒 (die) 尺寸可減少 8% 到 15%；當原始支援掃數為 32 時，驅動電路 60 的晶粒尺寸可減少 16% 到 30%；以及當原始支援掃數為 64 時，驅動電路 60 的晶粒尺寸可減少 30% 到 60%。於一實施例中，第 1 圖的掃描開關電路 12 或第 2 圖的掃描開關電路 22 可以和驅動電路 60 整合在同一個積體電路晶片。

【0024】 進一步地，由於差分訊號具有抗干擾能力強和時序定位準確的特徵，故可避免訊號失真，也不需參考額外的時脈訊號 (例如資料時脈訊號 DCLK)。時序控制器 62 可根據第一輸入訊號 SDI_P 和第二輸入訊號 SDI_N 來重建 (或產生) 相關的時序訊號 (例如觸發訊號 STB)，故驅動電路 60 不需接收額外的灰階時脈訊號 GCLK 和觸發訊號 ROW。此外，在已知顯示面板的應用範圍的前提下，用於控制輸出電流 I_{out} 的電阻 (其電阻值為 R_{EXT}) 可整合在驅動電路 60 內部，並透過輸出電流參數 R_{INT} 來設定輸出電流 I_{out} 的大小。如此一來，由第 6 圖可看出，驅動電路 60 的輸入接腳數可簡化為三個 (例如，至少需要三個接腳來連接第一輸入訊號 SDI_P、第二輸入訊號 SDI_N 和鏈接訊號 LK)。

【0025】 第 7 圖為根據本揭露實施例多個掃描訊號 $SC[1] \sim SC[N]$ 和用於第 6 圖的驅動電路的第一輸入訊號 SDI_P 、第二輸入訊號 SDI_N 、鏈接訊號 LK 、觸發訊號 STB 、第一輸出訊號 SDO_P 和第二輸出訊號 SDO_N 的時序圖。第一輸入訊號 SDI_P 、第二輸入訊號 SDI_N 用來指示驅動電路 60 需進行的操作，例如設定顯示參數、垂直空白起始、顯示資料和重建觸發訊號 STB 等。在掃描訊號 $SC[1] \sim SC[N]$ 的上升邊緣，驅動電路 60 同步產生觸發訊號 STB 的上升邊緣(用來指示資料線或通道的開啟時間)以及輸出第一輸出訊號 SDO_P 和第二輸出訊號 SDO_N 來顯示資料。

【0026】 第 8 圖為根據本揭露實施例一驅動模組 80、多個第一輸入訊號 $D1_P \sim D8_P$ 和多個第二輸入訊號 $D1_N \sim D8_N$ 的時序的示意圖。在結構上，驅動模組 80 包括一電路板 800、多個驅動電路 81~88 以及一輸入輸出介面 89。多個驅動電路 81~88 和輸入輸出介面 89 設置在電路板 800 上，輸入輸出介面 89 與多個驅動電路 81~88 並聯，用來並行傳輸鏈接訊號 LK 、多個第一輸入訊號 $D1_P \sim D8_P$ 和多個第二輸入訊號 $D1_N \sim D8_N$ 到多個驅動電路 81~88。於一實施例中，輸入輸出介面 89 可以設置在不同於電路板 800 的另一塊電路板上。

【0027】 在操作上，輸入輸出介面 89 可從一訊號輸入源同時接收多個第一輸入訊號 $D1_P \sim D8_P$ 、多個第二輸入訊號 $D1_N \sim D8_N$ 和傳輸鏈接訊號 LK ，傳輸鏈接訊號 LK

來和驅動電路 81~88 進行溝通，以及同時將多個第一輸入訊號 D1_P~D8_P 和多個第二輸入訊號 D1_N~D8_N 並行傳輸到多個驅動電路 81~88。如此一來，本揭露可實現並行(parallel)傳輸，其優勢在於單位時間內的資料率可為單點傳輸的資料率的多倍數(例如，八倍)。

【0028】 第 9 圖為根據本揭露實施例另一驅動模組 90、一第一輸入訊號 D_P 和一第二輸入訊號 D_N 的時序的示意圖。第一輸入訊號 D_P 包括多個第一輸入訊號 D1_P~D8_P，第二輸入訊號 D_N 包括多個第二輸入訊號 D1_N~D8_N。在結構上，驅動模組 90 包括一電路板 900、多個驅動電路 91~98 以及一輸入輸出介面 99。多個驅動電路 91~98 和輸入輸出介面 99 設置在電路板 900 上，輸入輸出介面 99 與多個驅動電路 91~98 相互串聯。輸入輸出介面 99 依序傳輸鏈接訊號 LK、第一輸入訊號 D1_P~D8_P 和第二輸入訊號 D1_N~D8_N 到多個驅動電路 91~98。

【0029】 在操作上，輸入輸出介面 99 可從一訊號輸入源接收鏈接訊號 LK、第一輸入訊號 D_P 和第二輸入訊號 D_N。輸入輸出介面 99 和驅動電路 91~98 透過鏈接訊號 LK 來進行溝通，例如上游訊號源透過鏈接訊號 LK 來告知下游接收端需接收顯示資料，使得驅動電路 91~98 依序接收第一輸入訊號 D1_P~D8_P 和第二輸入訊號 D1_N~D8_N。如此一來，本揭露可實現串接(cascade)傳輸，其優勢在於驅動模組 90 中的訊號傳輸路徑最短，以簡化電

路設計並避免訊號失真。本領域具通常知識者可依實際的應用，選擇串接驅動電路的數量，以達到資料率與電路板布局的最佳化。

【0030】 在第 8 圖和第 9 圖的實施例中，並行傳輸與串接傳輸可混和使用。也就是說，在單一電路板上可設置和輸入輸出介面並聯的一些驅動電路以及和輸入輸出介面串接的一些驅動電路，以達到資料率與電路板布局的最佳化。

【0031】 第 10 圖為根據本揭露實施例一驅動流程 100 的流程圖。關於驅動電路 60、81~88、91~98 的操作方式可歸納為驅動流程 100，用來驅動顯示面板，驅動流程 100 包含以下步驟。

【0032】 步驟 101：接收第一輸入訊號、第二輸入訊號以及一鏈接訊號，其中第一輸入訊號和第二輸入訊號是一對差分訊號。

【0033】 步驟 102：根據第一輸入訊號、第二輸入訊號和鏈接訊號，產生觸發訊號。

【0034】 步驟 103：根據第一輸入訊號、第二輸入訊號和觸發訊號，進行脈衝寬度調變，以產生第一輸出訊號以及第二輸出訊號，其中第一輸出訊號和第二輸出訊號是一對差分訊號。

【0035】 步驟 104：透過線門鎖器暫存第一輸出訊號和第二輸出訊號，以及根據觸發訊號來輸出第一輸出訊號和第二輸出訊號。

【0036】 於驅動流程 100 中，步驟 101 可由接收介面 61

來執行，步驟 102 可由時序控制器 62 來執行，步驟 103 可由脈衝寬度調變控制器 66 來執行，步驟 104 可由線門鎖器 64 來執行。於一實施例中，驅動流程 100 更包括透過一配置暫存器產生一輸出電流參數到一整流器。透過驅動流程 100，本揭露可在不使用隨機存取記憶體的前提下來驅動顯示面板，可節省電路面積、簡化電路設計並避免訊號失真。

【0037】 綜上所述，本揭露的驅動電路及相關驅動方法使用差分訊號的情況下，資料傳送速度可有效地提升，故驅動電路可支援更高解析度和幀率的顯示面板；驅動電路內不需設置隨機存取記憶體來預存大量資料，使得驅動電路的面積可有效地減少。由於差分訊號具有抗干擾能力強和時序定位準確的特徵，故可避免訊號失真，也不需參考額外的時脈訊號，故可簡化電路設計。

【0038】 雖然本案已以實施方式揭露如上，然其並非限定本案，任何熟習此技藝者，在不脫離本案之精神和範圍內，當可作各種之更動與潤飾，因此本案之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0039】

1, 2 : 顯示裝置

10, 20, 40, 60 : 驅動電路

12, 22 : 掃描開關電路

4 1 , 6 1 : 接收介面
4 2 , 6 2 : 時序控制器
4 3 , 6 3 : 配置暫存器
4 4 : 隨機存取記憶體
6 4 : 線門鎖器
4 5 : 整流器
4 6 : 脈衝寬度調變控制器
C H 1 ~ C H N : 通道
C S 1 ~ C S N : 電流源
D C L K : 資料時脈訊號
G C L K : 灰階時脈訊號
G N D : 接地電壓
I o u t : 輸出電流
L E : 控制訊號
L K : 鏈接訊號
P [1 1] ~ P [1 N] , … , P [M 1] ~ P [M N] : 畫素單元
R E X T : 電阻值
R I N T : 輸出電流參數
R O W , S T B : 觸發訊號
S C [1] ~ S C [N] : 掃描訊號
S D I : 輸入訊號
S D I _ P , D _ P , D 1 _ P ~ D 8 _ P : 第一輸入訊號
S D I _ N , D _ N , D 1 _ N ~ D 8 _ N : 第二輸入訊號
S D O : 輸出訊號

SDO_P: 第一輸出訊號

SDO_N: 第二輸出訊號

VLED, VLED_R, VLED_GB: 驅動電壓

W1 ~ WN: 導通時間

【發明申請專利範圍】

【請求項 1】一種驅動電路，用於一顯示面板，包括：

一接收介面，用來接收一第一輸入訊號、一第二輸入訊號和一鏈接訊號，據以產生多個顯示資料，其中該第一輸入訊號和該第二輸入訊號是一對差分訊號；

一時序控制器，用來透過該接收介面接收該第一輸入訊號、該第二輸入訊號和該鏈接訊號，並解讀該第一輸入訊號、該第二輸入訊號和該鏈接訊號，以產生一觸發訊號；

一脈衝寬度調變控制器，耦接於該時序控制器，用來根據該觸發訊號和該多個顯示資料，進行脈衝寬度調變，以產生一第一輸出訊號以及一第二輸出訊號；以及

一線門鎖器，耦接於該脈衝寬度調變控制器，用來暫存該第一輸出訊號和該第二輸出訊號，以及根據該觸發訊號來輸出該第一輸出訊號和該第二輸出訊號以驅動該顯示面板。

【請求項 2】如請求項 1 所述的驅動電路，進一步包括：

一配置暫存器，耦接於該接收介面，用來儲存一輸出電流參數；

一整流器，耦接於該配置暫存器，用來根據該輸出電流參數，產生一輸出電流；以及

多個電流源，耦接於該整流器和該脈衝寬度調變控制器，用來根據該輸出電流，產生多個驅動電流到該脈衝

寬度調變控制器。

【請求項 3】如請求項 1 所述的驅動電路，其用於一驅動模組，該驅動模組包括：

一輸入輸出介面，用來從一訊號輸入源同時接收多個第一輸入訊號、多個第二輸入訊號和一傳輸鏈接訊號；以及

多個驅動電路，與該輸入輸出介面並聯；

其中該輸入輸出介面並行傳輸該鏈接訊號、該多個第一輸入訊號和該多個第二輸入訊號到該多個驅動電路。

【請求項 4】如請求項 1 所述的驅動電路，其用於一驅動模組，該驅動模組包括：

一輸入輸出介面，用來從一訊號輸入源接收該第一輸入訊號、該第二輸入訊號和該傳輸鏈接訊號，其中該第一輸入訊號包括多個第一輸入訊號，該第二輸入訊號包括多個第二輸入訊號；以及

多個驅動電路，該多個驅動電路與該輸入輸出介面相互串聯；

其中該輸入輸出介面依序傳輸該鏈接訊號、該多個第一輸入訊號和該多個第二輸入訊號到該多個驅動電路。

【請求項 5】如請求項 3 或 4 所述的驅動電路，其中該驅動模組還包括一電路板，該輸入輸出介面及該多個驅動電

路設置在該電路板上，或者該多個驅動電路設置在該電路板上且該輸入輸出介面設置在另一塊電路板上。

【請求項 6】如請求項 1 所述的驅動電路，其用於一驅動模組，該驅動模組包括一掃描開關電路，該掃描開關電路與該驅動電路整合在同一個積體電路晶片；當該顯示面板是一共陽極被動矩陣發光二極體面板時，該掃描開關電路包括多個 P 型電晶體開關；當該顯示面板是一共陰極被動矩陣發光二極體面板，該掃描開關電路包括多個 N 型電晶體開關。

【請求項 7】一種驅動方法，用於一顯示裝置，包括：

透過一接收介面，接收一第一輸入訊號、一第二輸入訊號和一鏈接訊號，據以產生多個顯示資料，其中該第一輸入訊號和該第二輸入訊號是一對差分訊號；

透過一時序控制器，解讀該第一輸入訊號、該第二輸入訊號和該鏈接訊號，以產生一觸發訊號；

透過一脈衝寬度調變控制器，根據該觸發訊號和該多個顯示資料，進行脈衝寬度調變，以產生一第一輸出訊號以及一第二輸出訊號；以及

透過一線門鎖器，暫存該第一輸出訊號和該第二輸出訊號，以及根據該觸發訊號來輸出該第一輸出訊號和該第二輸出訊號以驅動一顯示面板。

【請求項 8】如請求項 7 所述的驅動方法，其還包括：

透過一配置暫存器，儲存一輸出電流參數；

透過一整流器，根據該輸出電流參數，產生一輸出電流；以及

透過多個電流源，根據該輸出電流，產生多個驅動電流到該脈衝寬度調變控制器。

【請求項 9】如請求項 7 所述的驅動方法，其還包括：

透過一輸入輸出介面，從一訊號輸入源同時接收多個第一輸入訊號、多個第二輸入訊號和一傳輸鏈接訊號；以及

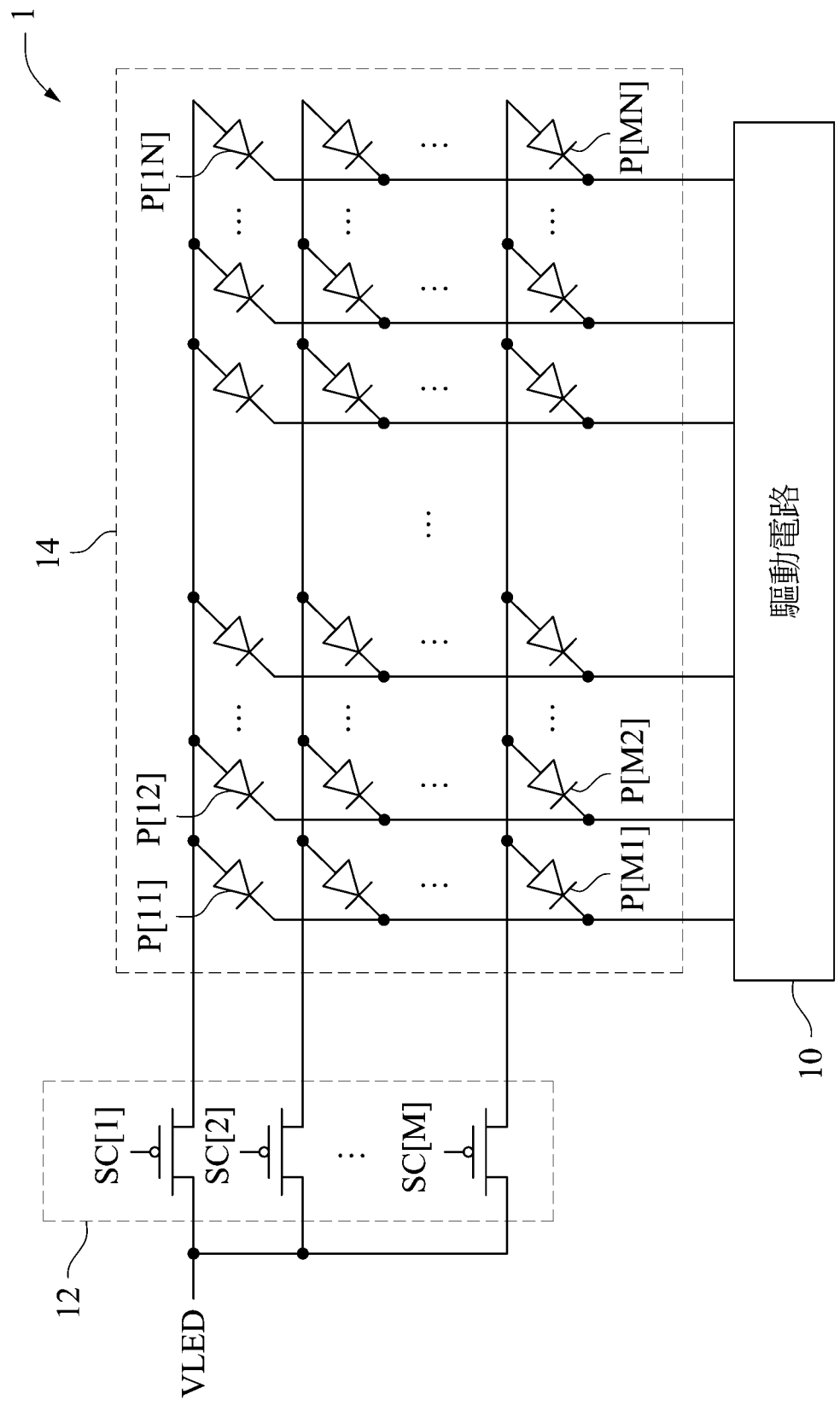
透過該輸入輸出介面並行傳輸該鏈接訊號、該多個第一輸入訊號和該多個第二輸入訊號到多個驅動電路，其中該多個驅動電路與該輸入輸出介面並聯。

【請求項 10】如請求項 7 所述的驅動方法，其還包括：

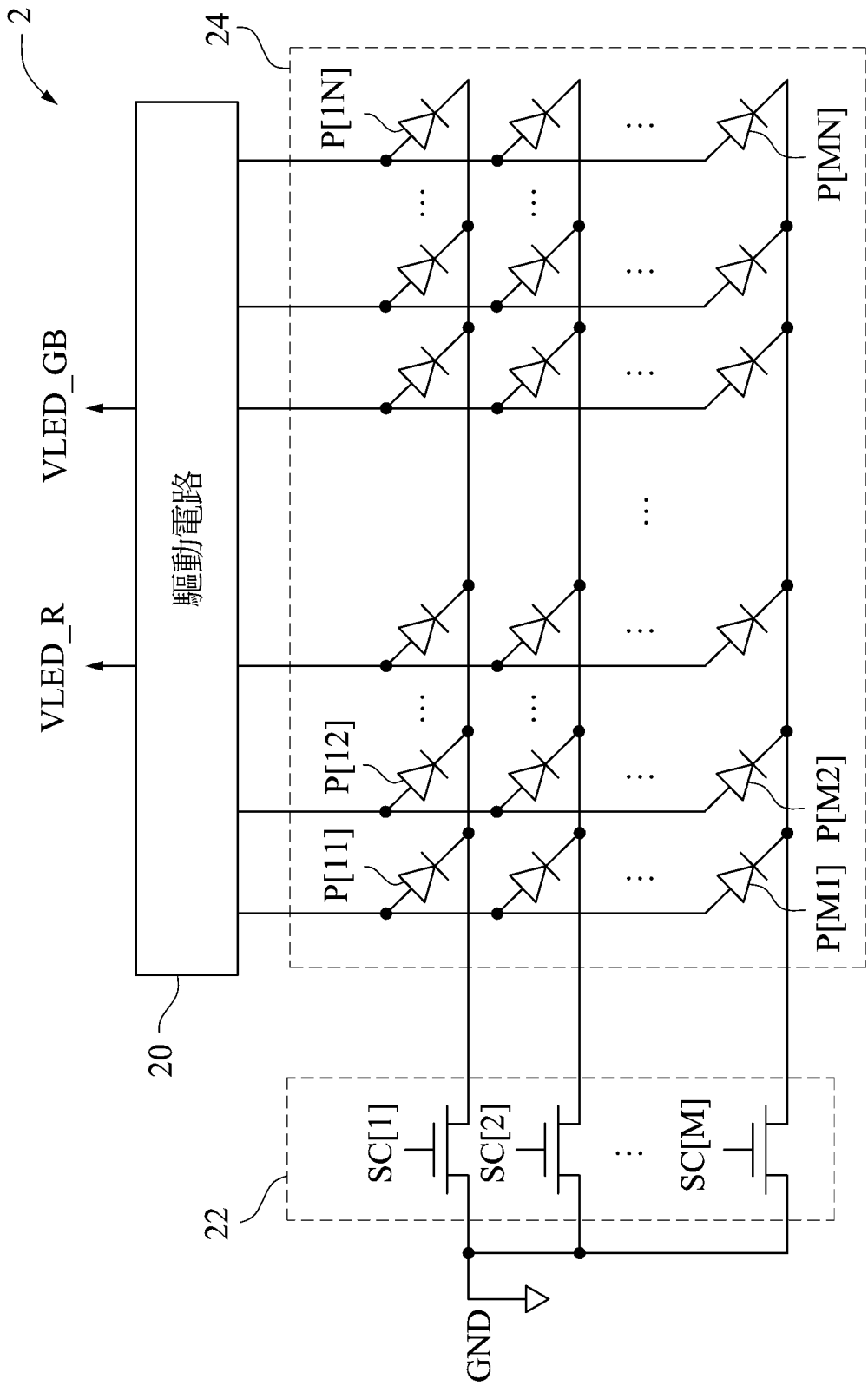
透過一輸入輸出介面，從一訊號輸入源接收該第一輸入訊號、該第二輸入訊號和該傳輸鏈接訊號，其中該第一輸入訊號包括多個第一輸入訊號，該第二輸入訊號包括多個第二輸入訊號；以及

透過該輸入輸出介面依序傳輸該鏈接訊號、該多個第一輸入訊號和該多個第二輸入訊號到多個驅動電路多個驅動電路，其中該多個驅動電路與該輸入輸出介面相互串聯。

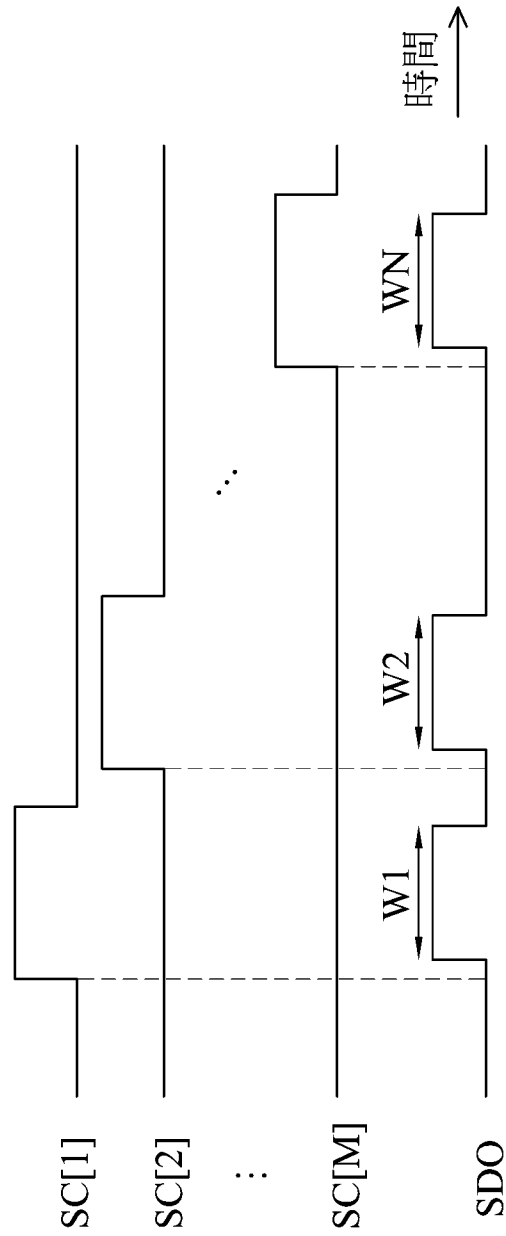
【發明圖式】



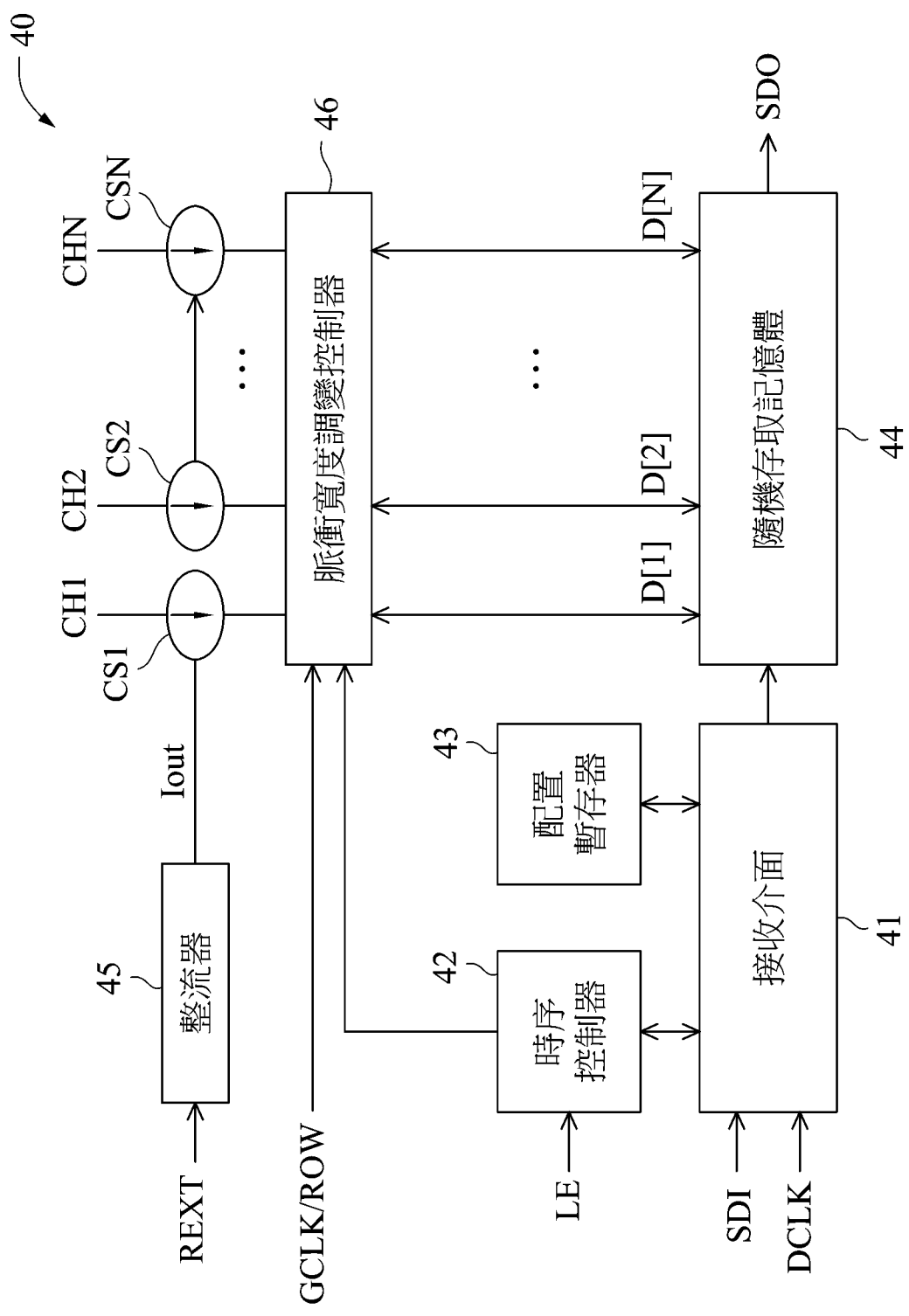
第 1 圖



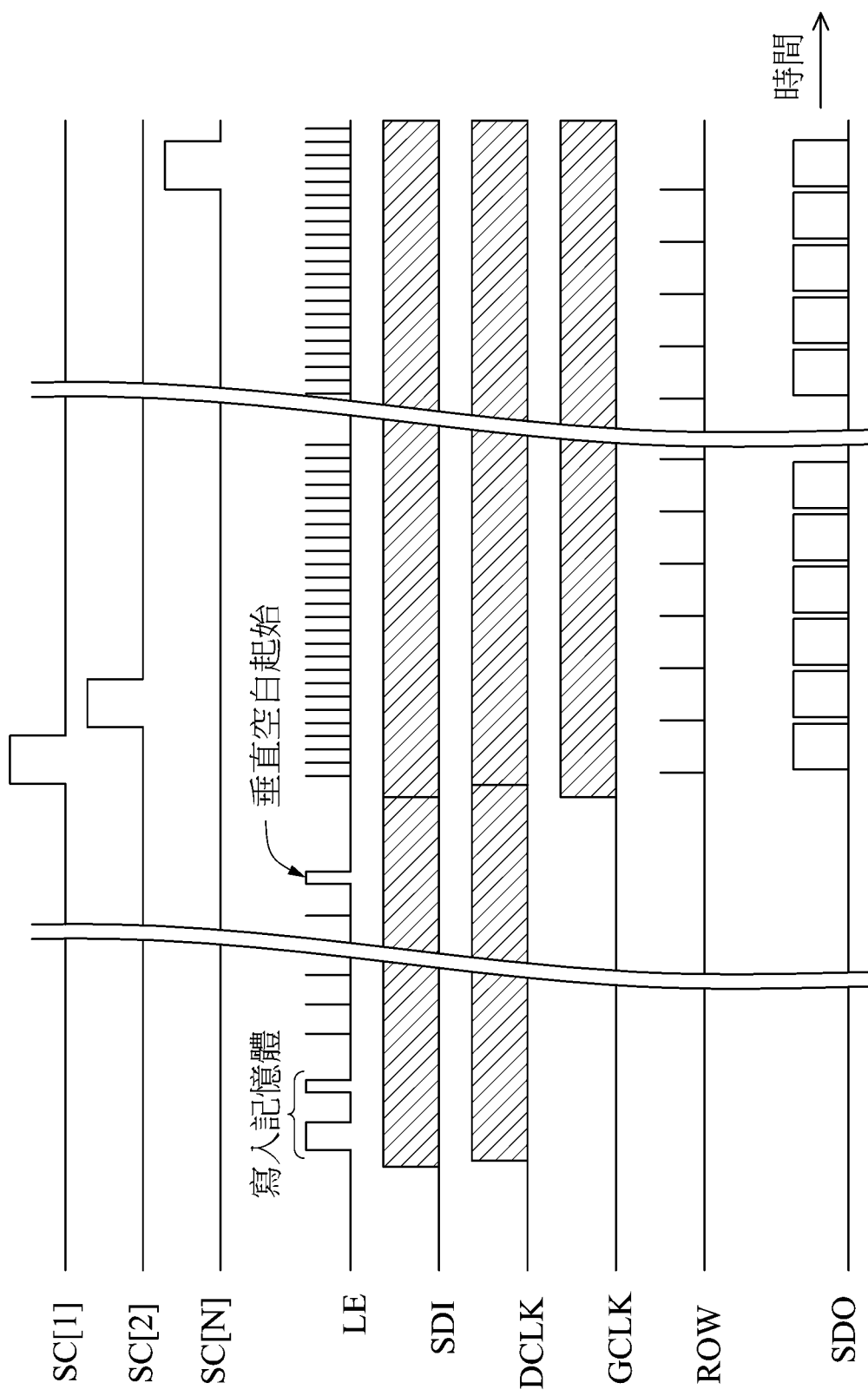
第 2 圖



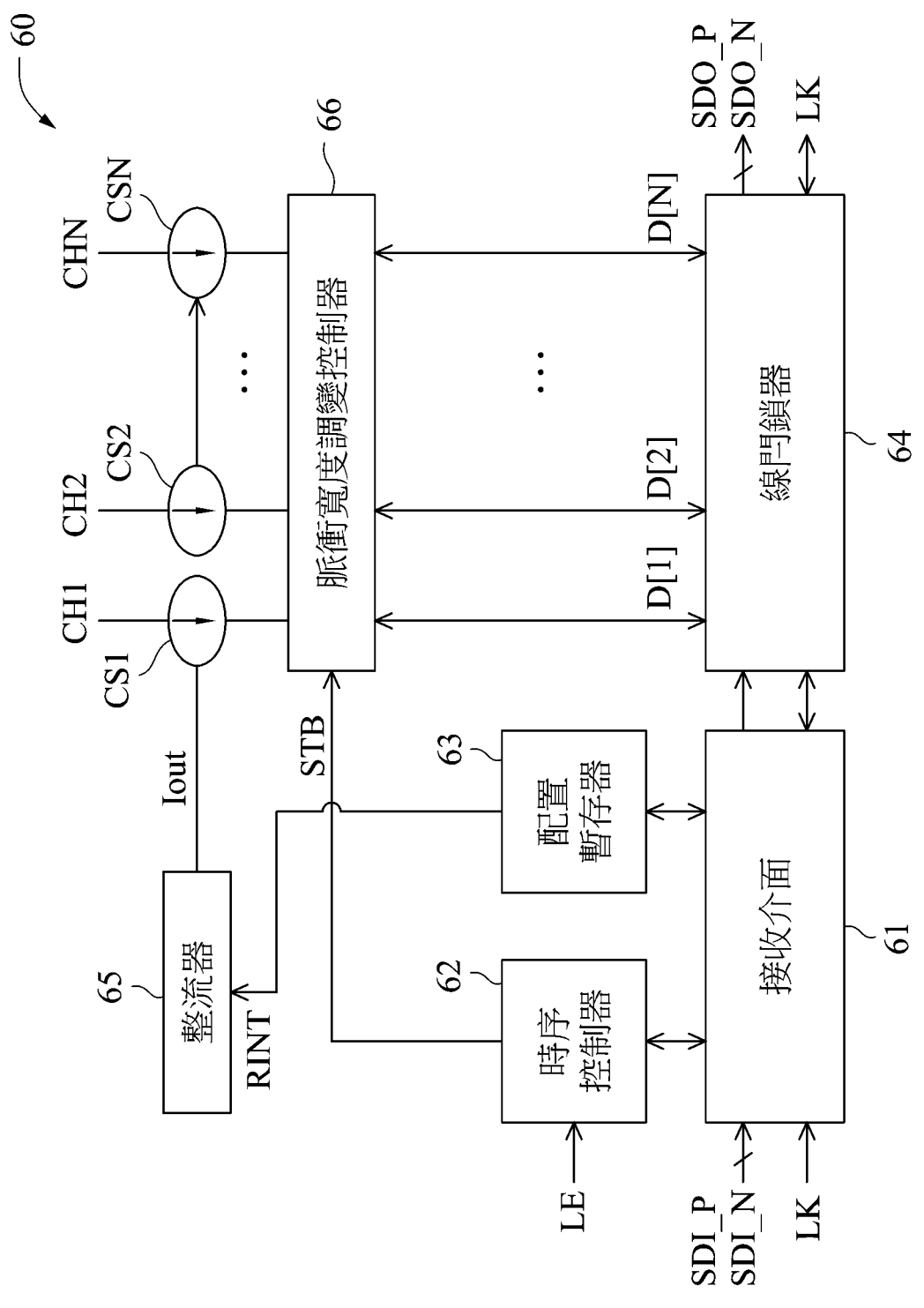
第3圖



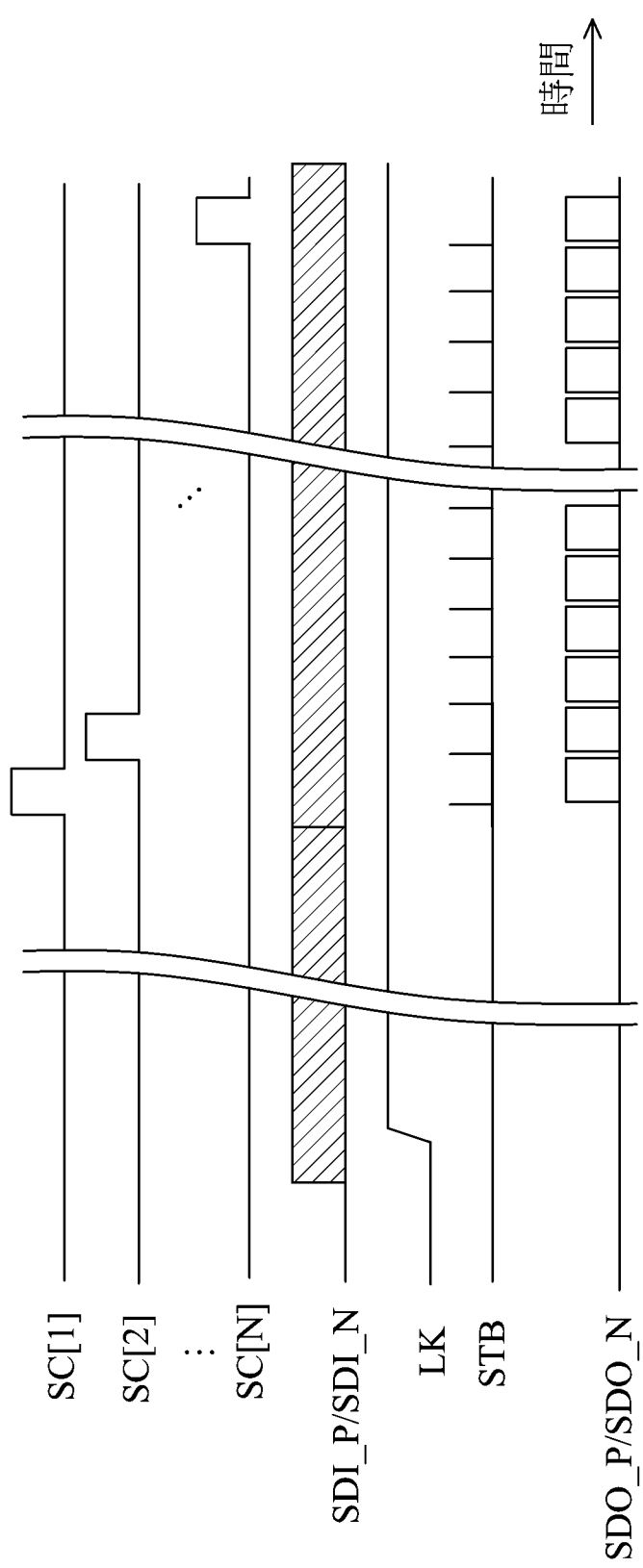
第 4 圖



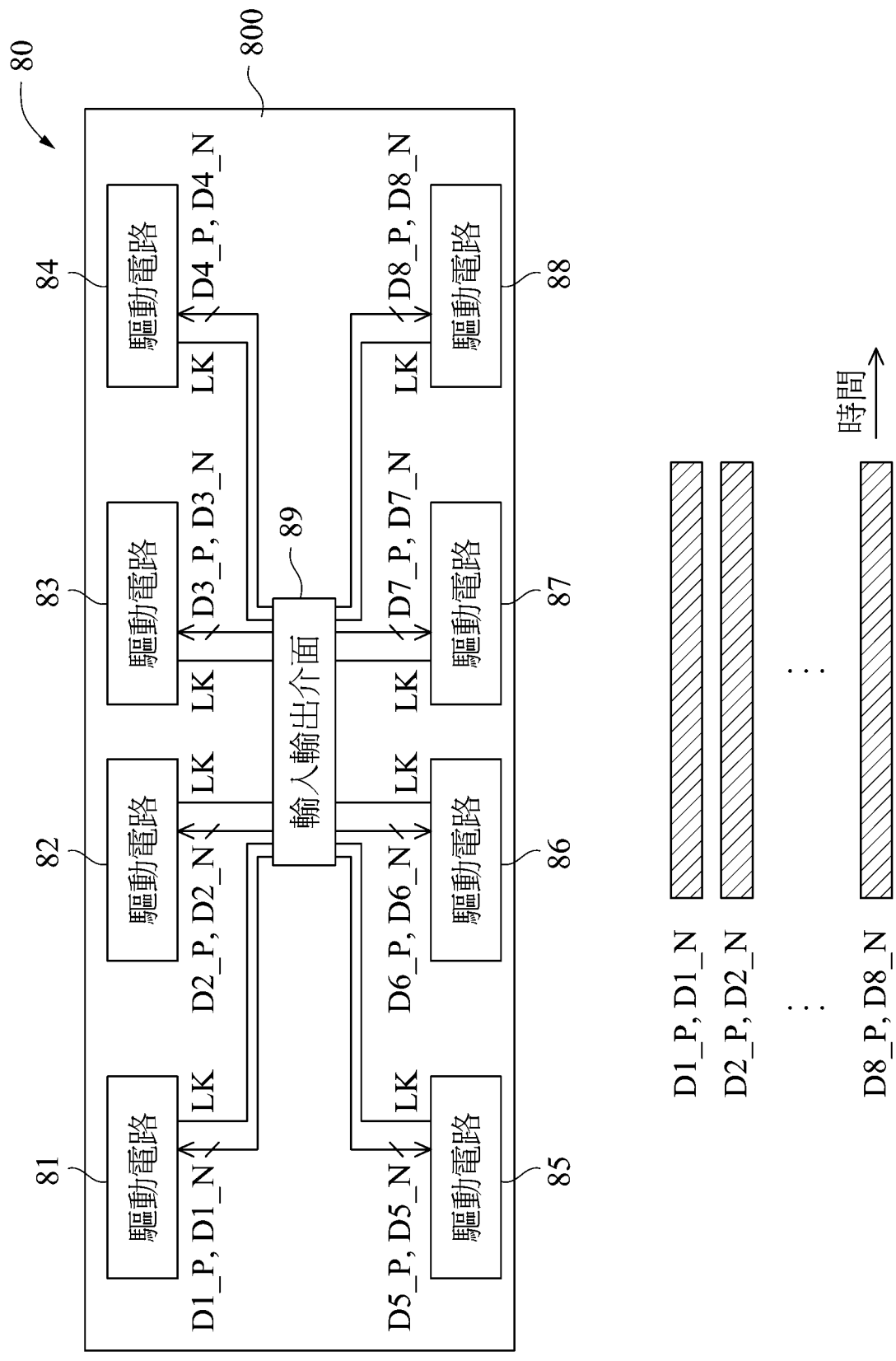
第 5 圖



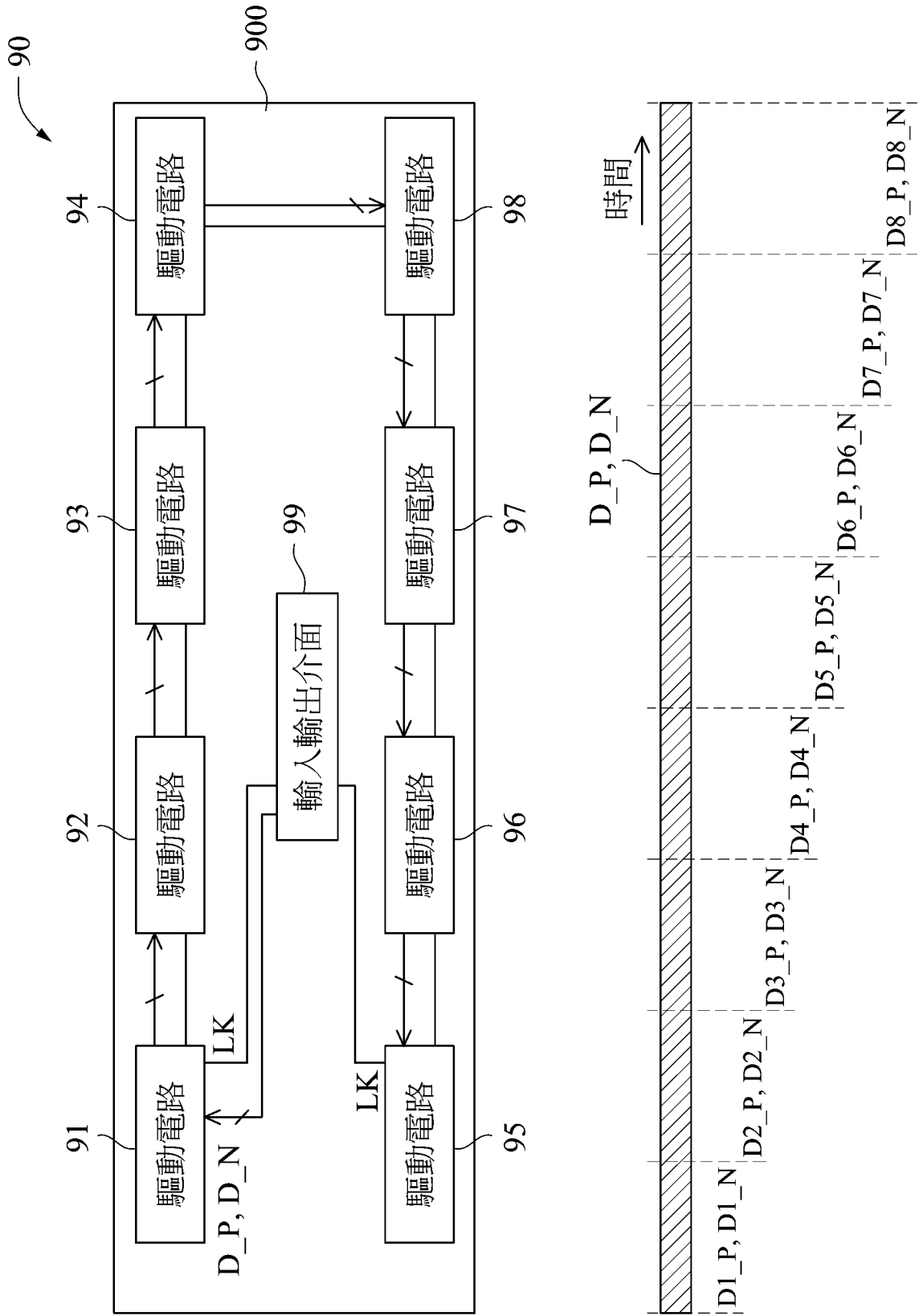
第6圖



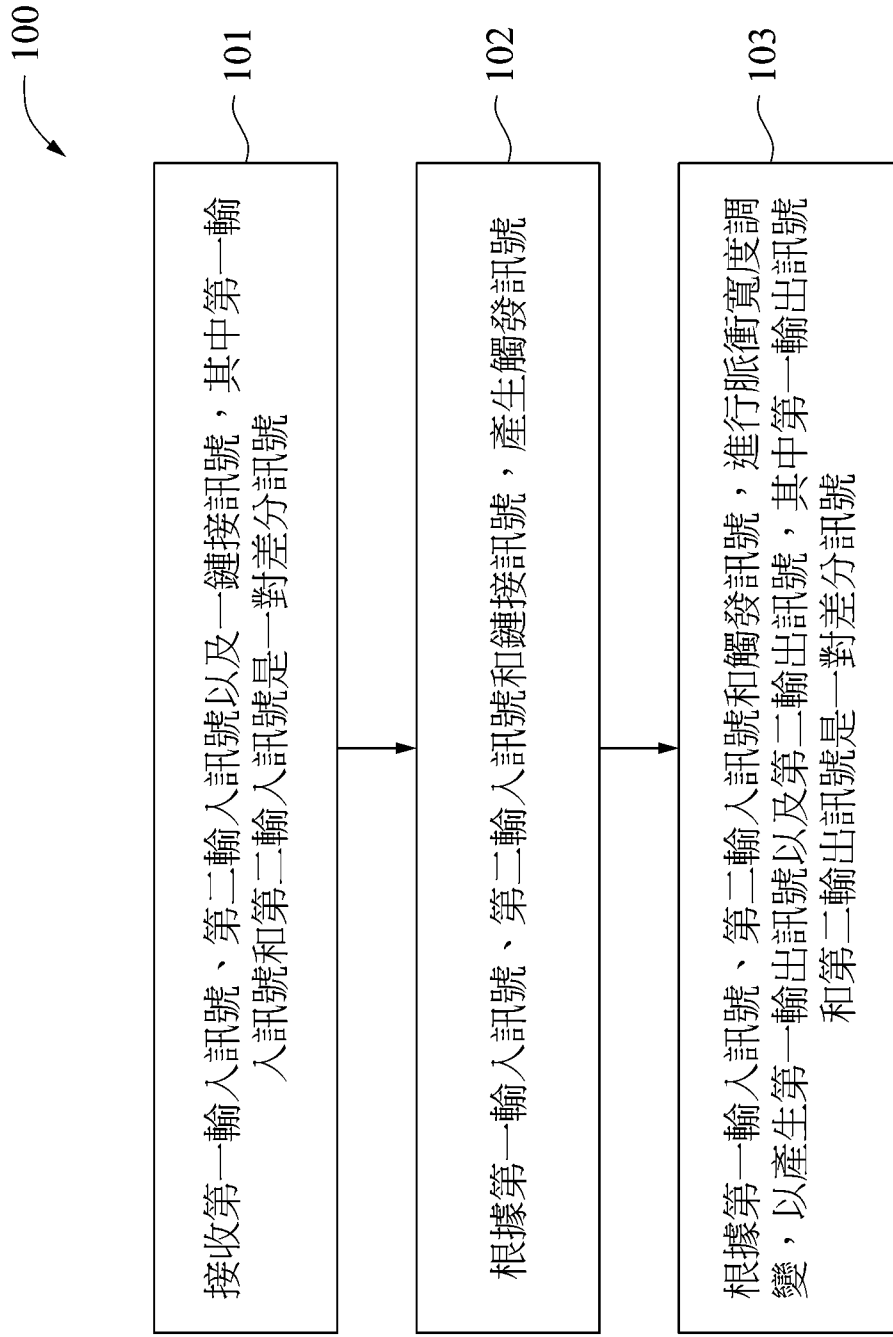
第7圖



第 8 圖



第 9 圖



第 10 圖