

【特許請求の範囲】

【請求項 1】

電子線回折パターンの解析においてスポットが明確に現れる結晶系、及び、ハロー状のパターンが現れる非晶質系のいずれでもないインキュベーション状態を有する In-Ga-Zn-O 系で、一部、或いは全部が構成されているチャネル形成領域を有する薄膜トランジスタを備えた半導体装置。

【請求項 2】

絶縁表面上にゲート電極層と、

前記ゲート電極層上方に第 1 の絶縁層と、

前記第 1 の絶縁層上方にインジウム、ガリウム、及び亜鉛を含む酸化物半導体層と、

前記酸化物半導体層上方にソース電極層またはドレイン電極層と、

前記ソース電極層または前記ドレイン電極層を覆う第 2 の絶縁層とを有し、

前記酸化物半導体層は、前記ソース電極層または前記ドレイン電極層と重なる領域よりも膜厚の薄い領域を有し、

前記第 2 の絶縁層は、前記酸化物半導体層の膜厚の薄い領域と接し、

前記酸化物半導体層の膜厚の薄い領域は、電子線回折パターンの解析においてスポットが明確に現れる結晶系、及び、ハロー状のパターンが現れる非晶質系のいずれでもないインキュベーション状態を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記インキュベーション状態は、電子線回折パターンの解析においてスポットは明確でないが、周期性を有していることを特徴とする半導体装置。

【請求項 4】

請求項 2 または請求項 3 のいずれか一において、前記第 2 の絶縁層は、スパッタ法で得られる酸化シリコン膜である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる薄膜トランジスタと、該薄膜トランジスタを用いた半導体装置及びその作製方法に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数 nm 以上数百 nm 以下程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透光性を有する電極材料として用いられている。

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化スズ、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献 1 及び特許文献 2）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

本発明の一態様は、新規な状態を有する酸化物半導体層を用いる半導体装置を提供することと課題とする。

【 0 0 0 6 】

また、本発明の一態様は、電気特性が良好で信頼性の高い薄膜トランジスタ及び当該薄膜トランジスタをスイッチング素子として用いた半導体装置を提供することを課題とする。

【課題を解決するための手段】

【 0 0 0 7 】

従来公知のアモルファス状態とも異なり、従来公知の結晶状態とも異なる電子線回折パターンを示す新規な状態（インキュベーション状態）を有する $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系膜を形成し、薄膜トランジスタのチャネル形成領域として用いる。インキュベーション状態を有する $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系膜を薄膜トランジスタのチャネル形成領域として用いると、オン電流及び電界効果移動度を高めることができ、さらに信頼性の向上も実現することができる。

10

【 0 0 0 8 】

本明細書で開示する本発明の一態様は、電子線回折パターンの解析においてスポットが明確に現れる結晶系、及び、ハロー状のパターンが現れる非晶質系のいずれでもないインキュベーション状態を有する $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系で、一部、或いは全部が構成されているチャネル形成領域を有する薄膜トランジスタを備えた半導体装置である。

20

【 0 0 0 9 】

上記構成は、上記課題の少なくとも一つを解決する。

【 0 0 1 0 】

なお、酸化物半導体層としては、 $\text{InMO}_3(\text{ZnO})_m(m>0)$ で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m(m>0)$ で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体を $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系酸化物半導体とよび、その薄膜を $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系膜とも呼ぶ。

30

【 0 0 1 1 】

また、従来公知のアモルファス状態とも異なり、従来公知の結晶状態とも異なる電子線回折パターンを示すインキュベーション状態を有する金属酸化物であれば特に $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系金属酸化物に限定されず、酸化物半導体層に適用する金属酸化物として上記の他にも、 $\text{In}-\text{Sn}-\text{O}$ 系、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{Al}-\text{Zn}-\text{O}$ 系、 $\text{Sn}-\text{Ga}-\text{Zn}-\text{O}$ 系、 $\text{Al}-\text{Ga}-\text{Zn}-\text{O}$ 系、 $\text{Sn}-\text{Al}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{Zn}-\text{O}$ 系、 $\text{Sn}-\text{Zn}-\text{O}$ 系、 $\text{Al}-\text{Zn}-\text{O}$ 系、 $\text{In}-\text{O}$ 系、 $\text{Sn}-\text{O}$ 系、または $\text{Zn}-\text{O}$ 系の金属酸化物を適用することができる。また上記金属酸化物からなる酸化物半導体層中に酸化珪素を含ませてもよい。

40

【 0 0 1 2 】

本発明の一態様として、ボトムゲート構造の薄膜トランジスタを用いる。具体的には、酸化膜半導体層上にソース電極層及びドレイン電極層が重なるチャネルエッチ型であり、酸化物半導体層はチャネル形成領域上部において酸化物半導体層の一部がエッチングされている構造とする。

【 0 0 1 3 】

また、本発明の他の一態様は、絶縁表面上にゲート電極層と、ゲート電極層上方に第1の絶縁層と、第1の絶縁層上方にインジウム、ガリウム、及び亜鉛を含む酸化物半導体層と、酸化物半導体層上方にソース電極層またはドレイン電極層と、ソース電極層またはドレ

50

イン電極層を覆う第2の絶縁層とを有し、酸化物半導体層は、ソース電極層またはドレイン電極層と重なる領域よりも膜厚の薄い領域を有し、第2の絶縁層は、酸化物半導体層の膜厚の薄い領域と接し、酸化物半導体層の膜厚の薄い領域は、電子線回折パターンの解析においてスポットが明確に現れる結晶系、及び、ハロー状のパターンが現れる非晶質系のいずれでもないインキュベーション状態を有することを特徴とする半導体装置である。

【0014】

本明細書において、インキュベーション状態とは、電子線回折パターンの解析においてスポットが明確に現れる結晶系、及び、ハロー状のパターンが現れる非晶質系のいずれでもないが、電子線回折パターンの解析におけるスポットは明確でないがそれが現れ、周期性を有している状態を指している。また、インキュベーション状態は、モル数比が $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ や、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ のスパッタ法による成膜用ターゲットなどを用いて得られる酸化物半導体膜の状態であり、 InGaZnO_4 の結晶構造 (図35参照。) や、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶構造 (図34参照。) などの安定な結晶構造にいたる直前の状態、即ち、一部の結合はできているが、一つの結晶にまで安定な分子構造を有する結晶になっていない前駆体を指している。

10

【0015】

インキュベーション状態を示すパターンの例を図28、図29、図30、及び図31に示す。また、インキュベーション状態を有する $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系の酸化物半導体層を薄膜トランジスタのチャネル形成領域として用いたチャネルエッチ型の薄膜トランジスタの断面を高分解能透過電子顕微鏡 (日立製作所製「H9000-NAR」; TEM) で観察した写真を図26に示し、酸化物半導体層とその上に接する酸化物絶縁層の界面を走査透過型電子顕微鏡 (日立製作所製「HD-2700」; STEM) で加速電圧を200kVとし、観察した高倍写真 (400万倍) を図27に示す。

20

【0016】

また、比較例として電子線回折パターンの解析においてスポットが明確に現れる結晶系のパターンの一例を図32に示す。図32に示す電子線回折パターンは、既知の格子定数を比較すると、結晶構造は、図34に示す $\text{In}_2\text{Ga}_2\text{ZnO}_7$ である。図34は、結晶構造の模式図であり、ab面内でIn原子が取りうるサイト201、In原子202、Ga原子またはZn原子のいずれか一の原子203、酸素原子204をそれぞれ示している。

30

【0017】

また、比較例として電子線回折パターンの解析においてハロー状のパターンが現れる非晶質系のパターンを図33に示す。

【0018】

図28、図29、図30、及び図31に示されるインキュベーション状態を示すパターンは、図32や図33と異なっている。

【0019】

また、上記構成において、薄膜トランジスタのゲート電極層、ソース電極層及びドレイン電極層は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムから選ばれた金属元素を主成分とする膜、若しくはそれらの合金膜を用いる。また、ソース電極層及びドレイン電極層は、上述した元素を含む単層に限定されず、二層以上の積層を用いることができる。

40

【0020】

また、酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電層をソース電極層、ドレイン電極層及びゲート電極層に用いることで画素部の透光性を向上させ、開口率を高くすることもできる。

【0021】

また、本発明の一態様である薄膜トランジスタを用いて、駆動回路部及び画素部を同一基板上に形成し、EL素子、液晶素子または電気泳動素子などを用いて表示装置を作製する

50

ことができる。

【0022】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、画素部の薄膜トランジスタの保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。

【0023】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

10

【0024】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0025】

また、本明細書中で連続成膜とは、スパッタ法で行う第1の成膜工程からスパッタ法で行う第2の成膜工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性ガス雰囲気（窒素雰囲気または希ガス雰囲気）で制御されていることを言う。連続成膜を行うことにより、清浄化された被処理基板の水分等の再付着を回避して成膜を行うことができる。

【0026】

20

同一チャンバー内で第1の成膜工程から第2の成膜工程までの一連のプロセスを行うことは本明細書における連続成膜の範囲にあるとする。

【0027】

また、異なるチャンバーで第1の成膜工程から第2の成膜工程までの一連のプロセスを行う場合、第1の成膜工程を終えた後、大気にふれることなくチャンバー間を基板搬送して第2の成膜を施すことも本明細書における連続成膜の範囲にあるとする。

【0028】

なお、第1の成膜工程と第2の成膜工程の間に、基板搬送工程、アライメント工程、徐冷工程、または第2の工程に必要な温度とするため基板を加熱または冷却する工程等を有しても、本明細書における連続成膜の範囲にあるとする。

30

【0029】

ただし、洗浄工程、ウエットエッチング、レジスト形成といった液体を用いる工程が第1の成膜工程と第2の成膜工程の間にある場合、本明細書でいう連続成膜の範囲には当てはまらないとする。

【発明の効果】

【0030】

酸化物半導体層の一部または全部をインキュベーション状態とすることにより寄生チャネルの発生を抑えることができる。また、オンオフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。

【図面の簡単な説明】

40

【0031】

【図1】本発明の一態様を説明する断面図。

【図2】本発明の一態様を説明する断面図工程図。

【図3】本発明の一態様を説明する断面図工程図。

【図4】本発明の一態様を説明する平面図。

【図5】本発明の一態様を説明する平面図。

【図6】本発明の一態様を説明する平面図。

【図7】本発明の一態様を説明する平面図。

【図8】本発明の一態様を説明する断面図及び平面図。

【図9】本発明の一態様を説明する平面図。

50

- 【図 10】本発明の一態様を説明する平面図。
- 【図 11】半導体装置のブロック図を説明する図。
- 【図 12】信号線駆動回路の回路構成及びタイミングチャートを説明する図。
- 【図 13】シフトレジスタの構成を示す回路図。
- 【図 14】シフトレジスタの動作を説明する回路図およびタイミングチャート。
- 【図 15】本発明の一態様を説明する断面図及び平面図。
- 【図 16】本発明の一態様を説明する断面図。
- 【図 17】半導体装置の画素等価回路を説明する図。
- 【図 18】本発明の一態様を説明する断面図。
- 【図 19】本発明の一態様を説明する断面図及び平面図。 10
- 【図 20】本発明の一態様を説明する断面図。
- 【図 21】電子ペーパーの使用形態の例を説明する図。
- 【図 22】電子書籍の一例を示す外観図。
- 【図 23】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。
- 【図 24】遊技機の例を示す外観図。
- 【図 25】携帯電話機の一例を示す外観図。
- 【図 26】薄膜トランジスタの断面 T E M 写真。
- 【図 27】薄膜トランジスタの酸化物半導体層と酸化物絶縁層の界面付近の断面 T E M 写真。
- 【図 28】本発明の一態様を説明する電子線回折パターン。 20
- 【図 29】本発明の一態様を説明する電子線回折パターン。
- 【図 30】本発明の一態様を説明する電子線回折パターン。
- 【図 31】本発明の一態様を説明する電子線回折パターン。
- 【図 32】比較例である電子線回折パターン。
- 【図 33】比較例である電子線回折パターン。
- 【図 34】酸化物半導体の結晶構造の比較例を説明する図。
- 【図 35】酸化物半導体の結晶構造の比較例を説明する図。
- 【発明を実施するための形態】
- 【0032】
- 以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。 30
- 【0033】
- (実施の形態 1)
- 本実施の形態では、薄膜トランジスタの構造について、図 1 を用いて説明する。
- 【0034】
- 本実施の形態のチャネルエッチ型の薄膜トランジスタを図 1 に示す。図 1 は断面図であり、その平面図を図 4 (A) に示す。図 1 は、図 4 (A) における線 A 1 - A 2 の断面図となっている。 40
- 【0035】
- 図 1 に示す薄膜トランジスタは、基板 100 上にゲート電極層 101、ゲート絶縁層 102、酸化物半導体層 103、ソース電極層 105a 及びドレイン電極層 105b を含む。また、酸化物半導体層 103、ソース電極層 105a 及びドレイン電極層 105b 上に酸化物絶縁層 107 が設けられている。
- 【0036】
- なお、図 1 に示す薄膜トランジスタは、ソース電極層 105a とドレイン電極層 105b との間で酸化膜半導体層の一部がエッチングされた構造である。
- 【0037】
- ゲート電極層 101 は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タ 50

ングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。好ましくはアルミニウムや銅などの低抵抗金属材料での形成が有効であり、耐熱性や腐食性の問題から高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

【0038】

また、画素部の開口率を向上させる目的として、ゲート電極層101に酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電層を用いることもできる。

10

【0039】

ゲート絶縁層102はCVD法やスパッタ法などで形成する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化タンタルなどの単層膜または積層膜を用いることができる。

【0040】

酸化物半導体層103は、In、Ga、及びZnを含むIn-Ga-Zn-O系膜を用い、例えば $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造とする。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。

20

【0041】

酸化物半導体層103はスパッタ法を用いて形成する。膜厚は、10nm以上300nm以下とし、好ましくは20nm以上100nm以下とする。なお、図1のように酸化物半導体層103は、ソース電極層105aとドレイン電極層105bの間の一部をエッチングするため、ソース電極層105a又はドレイン電極層105bと重なる領域よりも膜厚の薄い領域を有する。

30

【0042】

酸化物半導体層103は、成膜された段階でインキュベーション状態とすることが好ましいが必要があれば加熱処理を行ってもよい。また、酸化物半導体層が成膜された段階で多くの未結合手を有する非晶質である場合、脱水化または脱水素化処理の加熱工程を行うことで、近距離にある未結合手同士が結合し合い、インキュベーション状態とする。例えば、RTA法等で高温短時間の脱水化または脱水素化処理を行うことが好ましい。なお、本明細書では、窒素、または希ガス等の不活性気体雰囲気下での加熱処理を脱水化または脱水素化のための加熱処理と呼ぶ。本明細書では、この加熱処理によって H_2 として脱離させていることのみを脱水素化と呼んでいるわけではなく、H、OHなどを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

40

【0043】

ソース電極層105a及びドレイン電極層105bは、第1の導電層112a、112b、第2の導電層113a、113b、第3の導電層114a、114bからなる3層構造となっている。これらの材料としては、前述したゲート電極層101と同様の材料を用いることができる。

【0044】

また、ゲート電極層101と同様に前述の透光性を有する酸化物導電層をソース電極層105a及びドレイン電極層105bに用いることで画素部の透光性を向上させ、開口率を高くすることもできる。

【0045】

50

また、ソース電極層 105 a 及びドレイン電極層 105 b となる前述の金属材料を主成分とする膜と酸化物半導体層 103 のそれぞれの間に前述の酸化物導電層を形成し、接触抵抗を低減させることもできる。

【0046】

酸化物半導体層 103、ソース電極層 105 a 及びドレイン電極層 105 b 上には、チャネル保護層として機能する酸化物絶縁層 107 を有する。酸化物絶縁層 107 にはスパッタ法を用いる無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

【0047】

また、従来公知のアモルファス状態とも異なり、従来公知の結晶状態とも異なる電子線回折パターンを示すインキュベーション状態を有する金属酸化物をチャネル形成領域とすることにより、信頼性が高く、オン電流及び電界効果移動度が高いなどの電気特性の向上した薄膜トランジスタを提供することができる。

10

【0048】

(実施の形態 2)

本実施の形態では、実施の形態 1 で示したチャネルエッチ型薄膜トランジスタを含む表示装置の作製工程を例として、図 2 乃至図 10 を用いて説明する。図 2 と図 3 は断面図で、図 4 乃至図 7 は平面図となっており、図 4 乃至図 7 の線 A1 - A2 及び線 B1 - B2 は、図 2 及び図 3 の断面図 A1 - A2、B1 - B2 に対応している。

20

【0049】

まず、基板 100 を準備する。基板 100 は、フュージョン法やフロート法で作製されるガラス基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。

【0050】

なお、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。酸化ホウ素 (B_2O_3) と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

30

【0051】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【0052】

また基板 100 上に下地膜として絶縁膜を形成してもよい。下地膜としては、CVD 法やスパッタ法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、または窒化酸化シリコン膜の単層、又は積層で形成すればよい。基板 100 としてガラス基板のようにナトリウム等の可動イオンを含有する基板を用いる場合、下地膜として窒化シリコン膜、窒化酸化シリコン膜などの窒素を含有する膜を用いることで、可動イオンが酸化物半導体層に侵入することを防ぐことができる。

40

【0053】

次に、ゲート電極層 101 を含むゲート配線、容量配線 108、及び第 1 の端子 121 を形成するための導電膜をスパッタ法や真空蒸着法で基板 100 全面に成膜する。次いで、導電膜を基板 100 全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極 (ゲート電極層 101 を含むゲート配線、容量配線 108、及び第 1 の端子 121) を形成する。このとき段切れ防止のために、少なくともゲート電極層 101 の端部にテーパ形状が形成されるようにエッチングするのが好ましい。この段階での断面図を図 2 (A) に示した。なお、この段階での平面図が図 4 (B) に相当する。

50

【 0 0 5 4 】

ゲート電極層 1 0 1 を含むゲート配線と容量配線 1 0 8、ゲート配線端子部の第 1 の端子 1 2 1 は、アルミニウム、銅、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウムなどの金属材料、またはこれらの金属材料を主成分とする合金材料、またはこれらの金属材料を成分とする窒化物を用いて、単層又は積層で形成することができる。好ましくはアルミニウムや銅などの低抵抗金属材料での形成が有効であるが、耐熱性や腐食性の問題から高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

【 0 0 5 5 】

10

例えば、ゲート電極層 1 0 1 の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3 層の積層構造としては、アルミニウム、アルミニウムとシリコンの合金、アルミニウムとチタンの合金またはアルミニウムとネオジムの合金を中間層とし、タングステン、窒化タングステン、窒化チタンまたはチタンを上下層として積層した構造とすることが好ましい。

【 0 0 5 6 】

このとき、一部の電極層や配線層に透光性を有する酸化物導電層を用いて開口率を向上させることもできる。例えば、酸化物導電層には酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等を用いることができる。

20

【 0 0 5 7 】

次いで、ゲート電極層 1 0 1 を覆い、ゲート絶縁層 1 0 2 を全面に成膜する。ゲート絶縁層 1 0 2 は C V D 法やスパッタ法などを用い、膜厚を 5 0 n m 以上 2 5 0 n m 以下とする。

【 0 0 5 8 】

例えば、ゲート絶縁層 1 0 2 としてスパッタ装置を用いて酸化シリコン膜を 1 0 0 n m の厚さで形成する。勿論、ゲート絶縁層 1 0 2 はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

30

【 0 0 5 9 】

また、島状の酸化物半導体層 1 0 3 を形成するための酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 1 0 2 の表面に付着しているゴミを除去する処理を行ってもよい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、 N_2O などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に Cl_2 、 CF_4 などを加えた雰囲気で行ってもよい。逆スパッタ処理後、大気に曝すことなく酸化物半導体膜を成膜することによって、ゲート絶縁層 1 0 2 と酸化物半導体層 1 0 3 の界面にゴミや水分が付着するのを防ぐことができる。

40

【 0 0 6 0 】

次いで、ゲート絶縁層 1 0 2 上に、膜厚 5 n m 以上 2 0 0 n m 以下、好ましくは 1 0 n m 以上 4 0 n m 以下の酸化物半導体膜を形成する。

【 0 0 6 1 】

酸化物半導体膜は、 $In - Ga - Zn - O$ 系、 $In - Sn - Zn - O$ 系、 $In - Al - Zn - O$ 系、 $Sn - Ga - Zn - O$ 系、 $Al - Ga - Zn - O$ 系、 $Sn - Al - Zn - O$ 系、 $In - Zn - O$ 系、 $Sn - Zn - O$ 系、 $Al - Zn - O$ 系、 $In - O$ 系、 $Sn - O$ 系、

50

またはZn-O系の酸化物半導体膜を用いることができる。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0062】

ここでは、In、Ga、及びZnを含む酸化物半導体成膜用ターゲット（モル数比が $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 、または $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ ）を用いて、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。本実施の形態では、酸化物半導体膜として、In-Ga-Zn-O系酸化物半導体成膜用ターゲットを用い、スパッタ装置により膜厚30nmのIn-Ga-Zn-O系膜を成膜する。

10

【0063】

また、酸化物半導体成膜用ターゲットの相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上とするのが好ましい。相対密度の高いターゲットを用いると、形成される酸化物半導体膜中の不純物濃度を低減することができ、電気特性及び信頼性の高い薄膜トランジスタを得ることができる。

【0064】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法、直流電源を用いるDCスパッタ法、さらにパルスのバイアスを与えるパルスDCスパッタ法がある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

20

【0065】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0066】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

30

【0067】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

【0068】

また、スパッタ法による成膜中に光やヒータによって基板を400℃以上700℃以下に加熱してもよい。成膜中に加熱することで、成膜と同時にスパッタによる損傷を修復させる。

【0069】

また、酸化物半導体膜の成膜を行う前に、スパッタ装置内壁や、ターゲット表面やターゲット材料中に残存している水分または水素を除去するためにプレヒート処理を行うと良い。プレヒート処理としては成膜チャンバー内を減圧下で200℃～600℃に加熱する方法や、加熱しながら窒素や不活性ガスの導入と排気を繰り返す方法等がある。プレヒート処理を終えたら、基板またはスパッタ装置を冷却した後大気にふれることなく酸化物半導体膜の成膜を行う。この場合のターゲット冷却液は、水ではなく油脂等を用いるとよい。加熱せずに窒素の導入と排気を繰り返しても一定の効果が得られるが、加熱しながら行うとなお良い。

40

【0070】

また、酸化物半導体膜の成膜を行う前、または成膜中、または成膜後に、スパッタ装置内に残存している水分などをクライオポンプを用いて除去することが好ましい。

50

【0071】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、In-Ga-Zn-O系膜をエッチングする。エッチングには、クエン酸やシュウ酸などの有機酸をエッチングとして用いることができる。ここでは、ITO07N（関東化学社製）を用いたウェットエッチングにより、不要な部分を除去してIn-Ga-Zn-O系膜を島状にし、酸化物半導体層111を形成する。酸化物半導体層111の端部をテーパ状にエッチングすることで、段差形状による配線の段切れを防ぐことができる。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。この段階での断面図を図2（B）に示した。この段階での平面図が図5に相当する。

【0072】

また、必要であれば、酸化物半導体層の脱水化または脱水素化を行う。この脱水化または脱水素化を行う第1の加熱処理は、高温のガス（窒素、または希ガス等の不活性ガス）や光を用いて500以上750以下（若しくはガラス基板の歪点以下の温度）で1分以上10分間以下程度、好ましくは650、3分間以上6分間以下程度のRTA（Rapid Thermal Anneal）処理を行うことができる。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。なお、第1の加熱処理は、酸化物半導体層111を形成後のタイミングに限らず、フォトリソグラフィ工程の前や、酸化物半導体層111を形成後などで複数回行っても良い。

【0073】

なお、第1の加熱処理においては、雰囲気中に、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する不活性ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0074】

次いで、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してゲート電極層101と同じ材料の配線や電極層に達するコンタクトホールを形成する。このコンタクトホールは後に形成する導電膜と直接接続するために設ける。例えば、駆動回路部において、ゲート電極層とソース電極層或いはドレイン電極層と直接接する薄膜トランジスタや、端子部のゲート配線と電氣的に接続する端子を形成する場合にコンタクトホールを形成する。

【0075】

次に、酸化物半導体層111およびゲート絶縁層102上に金属材料からなる第1の導電層112、第2の導電層113、第3の導電層114をスパッタ法や真空蒸着法で成膜する。この段階での平面図を図2（C）に示した。

【0076】

第1の導電層112、第2の導電層113、第3の導電層114の材料としては、前述したゲート電極層101と同様の材料を用いることができる。

【0077】

ここでは、第1の導電層112及び第3の導電層114として耐熱性導電性材料であるチタンを用い、第2の導電層113としてネオジムを含むアルミニウム合金を用いる。このような構成にすることで、アルミニウムの低抵抗性を活かしつつ、ヒロックの発生を低減することができる。なお、本実施の形態では第1の導電層112乃至第3の導電層114からなる3層構造としたが、これに限られることはなく、単層構造としてもよいし、2層構造としてもよいし、4層以上の構造としてもよい。例えば、チタン膜の単層構造としてもよいし、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0078】

次に、第4のフォトリソグラフィ工程を行い、レジストマスク131を形成し、エッチングにより不要な部分を除去してソース電極層105a及びドレイン電極層105b、酸化物半導体層103及び接続電極120を形成する。この際のエッチング方法としてウェッ

10

20

30

40

50

トエッチングまたはドライエッチングを用いる。例えば、第1の導電層112及び第3の導電層114にチタンを、第2の導電層113にネオジムを含むアルミニウム合金を用いる場合には、過酸化水素水又は加熱塩酸をエッチャントに用いてウェットエッチングすることができる。このエッチング工程において、酸化物半導体層103の一部がエッチングされ、ソース電極層105aとドレイン電極層105bの間に、ソース電極層105a又はドレイン電極層105bと重なる領域よりも膜厚の薄い領域を有する酸化物半導体層103となる。この段階での断面図を図3(A)に示した。なお、この段階での平面図が図6に相当する。

【0079】

また、第1の導電層112、第2の導電層113、第3の導電層114、酸化物半導体層103のエッチングを過酸化水素水又は加熱塩酸をエッチャントとするエッチングで一度に行うことができるため、ソース電極層105a又はドレイン電極層105b及び酸化物半導体層103の端部は一致し、連続的な構造とすることができる。またウェットエッチングを用いるために、エッチングが等方的に行われ、ソース電極層105a及びドレイン電極層105bの端部はレジストマスク131より後退している。以上の工程で酸化物半導体層103をチャンネル形成領域とする薄膜トランジスタ170が作製できる。

10

【0080】

ここで、ゲート電極層101と同様に前述の透光性を有する酸化物導電層をソース電極層105a及びドレイン電極層105bに用いることで画素部の透光性を向上させ、開口率を高くすることもできる。

20

【0081】

また、この第4のフォトリソグラフィ工程において、ソース電極層105a及びドレイン電極層105bと同じ材料である第2の端子122をソース配線端子部に残す。なお、第2の端子122はソース配線(ソース電極層105a又はドレイン電極層105bを含むソース配線)と電氣的に接続されている。

【0082】

また、端子部において、接続電極120は、ゲート絶縁膜に形成されたコンタクトホールを介して端子部の第1の端子121と直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線あるいはドレイン配線とゲート電極が直接接続される。

30

【0083】

また、多階調マスクにより形成した複数(代表的には二種類)の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【0084】

次いで、レジストマスク131を除去し、薄膜トランジスタ170を覆う酸化物絶縁層107を形成する。酸化物絶縁層107はスパッタ法などを用いて得られる酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの酸化物絶縁層を用いることができる。

【0085】

酸化物絶縁層107は、スパッタリング法など、酸化物絶縁層に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁層として酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。ここで、成膜時に水、水素等の不純物を混入させない方法として、成膜前に減圧下で150以上350以下の温度で2分間以上10分間以下のプリベークを行い、大気に触れることなく酸化物絶縁層を形成することが望ましい。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及

40

50

び希ガス雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜が好ましい。

【0086】

本実施の形態では、純度が6Nであり、柱状多結晶Bドーパの珪素ターゲット（抵抗値0.01 cm）を用い、基板とターゲットの間との距離（T-S間距離）を89 mm、圧力0.4 Pa、直流（DC）電源6 kW、酸素（酸素流量比率100%）雰囲気下でパルスDCスパッタ法により成膜する。膜厚は300 nmとする。

【0087】

次いで、必要であれば、不活性ガス雰囲気下で第2の加熱処理（好ましくは200 以上400 以下、例えば250 以上350 以下）を行う。例えば、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。または、第1の加熱処理と同様に高温短時間のRTA処理を行っても良い。

【0088】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物絶縁層107のエッチングによりドレイン電極層105bに達するコンタクトホール125を形成する。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127、接続電極120に達するコンタクトホール126も形成する。この段階での断面図を図3（B）に示す。

【0089】

次いで、レジストマスクを除去した後、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ In_2O_3 SnO₂、ITOと略記する）などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。ただし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO）を用いても良い。

【0090】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110を形成する。

【0091】

また、この第6のフォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び酸化物絶縁層107を誘電体として、容量配線108と画素電極層110とで保持容量が形成される。

【0092】

また、この第6のフォトリソグラフィ工程において、第1の端子121及び第2の端子122をレジストマスクで覆い端子部に形成された透光性を有する導電膜128、129を残す。透光性を有する導電膜128、129はFPCとの接続に用いられる電極または配線となる。第1の端子121と直接接続された接続電極120上に形成された透光性を有する導電膜128は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子122上に形成された透光性を有する導電膜129は、ソース配線の入力端子として機能する接続用の端子電極である。

【0093】

次いで、レジストマスクを除去し、この段階での断面図を図3（C）に示す。なお、この段階での平面図が図7に相当する。

【0094】

また、図8（A1）、図8（A2）は、この段階でのゲート配線端子部の平面図及び断面図をそれぞれ図示している。図8（A1）は図8（A2）中のC1-C2線に沿った断面図に相当する。図8（A1）において、保護絶縁膜154および第2の端子150上に形成される透光性を有する導電膜155は、入力端子として機能する接続用の端子電極であ

10

20

30

40

50

る。また、図 8 (A 1) において、ゲート配線端子部では、ゲート配線と同じ材料で形成される第 1 の端子 1 5 1 と、ソース配線と同じ材料で形成される接続電極 1 5 3 とがゲート絶縁層 1 5 2 を介して重なり直接接して導通させている。また、接続電極 1 5 3 と透光性を有する導電膜 1 5 5 が保護絶縁膜 1 5 4 に設けられたコンタクトホールを介して直接接して導通させている。

【 0 0 9 5 】

また、図 8 (B 1) 、及び図 8 (B 2) は、ソース配線端子部の平面図及び断面図をそれぞれ図示している。また、図 8 (B 1) は図 8 (B 2) 中の D 1 - D 2 線に沿った断面図に相当する。図 8 (B 1) において、保護絶縁膜 1 5 4 および接続電極 1 5 3 上に形成される透光性を有する導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 8 (B 1) において、ソース配線端子部では、ゲート配線と同じ材料で形成される電極 1 5 6 が、ソース配線と電氣的に接続される第 2 の端子 1 5 0 の下方にゲート絶縁層 1 5 2 を介して重なる。電極 1 5 6 は第 2 の端子 1 5 0 とは電氣的に接続しておらず、電極 1 5 6 を第 2 の端子 1 5 0 と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 1 5 0 は、保護絶縁膜 1 5 4 を介して透光性を有する導電膜 1 5 5 と電氣的に接続している。

10

【 0 0 9 6 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

20

【 0 0 9 7 】

こうして 6 回のフォトリソグラフィ工程により、6 枚のフォトマスクを使用して、チャンネルエッチ型の薄膜トランジスタ 1 7 0 及び保持容量部を完成させることができる。また、チャンネルエッチ型の薄膜トランジスタ 1 7 0 は、インキュベーション状態を有する In - Ga - Zn - O 系の酸化物半導体層をチャンネル形成領域として用いた薄膜トランジスタであり、その断面を高分解能透過電子顕微鏡で観察した写真が図 2 6 に相当する。

【 0 0 9 8 】

そして、これらを個々の画素に対応してマトリクス状に配置し、画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

30

【 0 0 9 9 】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0Vなどに設定するための端子である。

【 0 1 0 0 】

また、本実施の形態は、図 7 の画素構成に限定されず、図 7 とは異なる平面図の例を図 9 に示す。図 9 では容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第 3 の端子は省略することができる。なお、図 9 において、図 7 と同じ部分には同じ符号を用いて説明する。

40

【 0 1 0 1 】

また、図 7 の画素構成とは異なる例を図 1 0 に示す。図 1 0 では、ソース電極層 1 0 5 a 及びドレイン電極層 1 0 5 b と同じ材料である容量電極層 1 2 4 をゲート絶縁層 1 0 2 上に形成し、画素電極層 1 1 0 は酸化物絶縁層 1 0 7 に設けられたコンタクトホール 1 0 9 を介して容量電極層 1 2 4 と電氣的に接続する。図 1 0 の画素構成において、保持容量は

50

、容量部におけるゲート絶縁層 1 0 2 を誘電体として、容量電極層 1 2 4 と容量配線 1 0 8 とで保持容量が形成される。

【0102】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0103】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を 1 フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

10

【0104】

また、垂直同期周波数を 1 . 5 倍、好ましくは 2 倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0105】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数の LED (発光ダイオード) 光源または複数の EL 光源などを用いて面光源を構成し、面光源を構成している各光源を独立して 1 フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3 種類以上の LED を用いてもよいし、白色発光の LED を用いてもよい。独立して複数の LED を制御できるため、液晶層の光学変調の切り替えタイミングに合わせて LED の発光タイミングを同期させることもできる。この駆動技術は、LED を部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

20

【0106】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0107】

本実施の形態で得られる n チャンネル型のトランジスタは、インキュベーション状態である In - Ga - Zn - O 系膜をチャンネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

30

【0108】

また、発光表示装置を作製する場合、有機発光素子の一方の電極 (カソードとも呼ぶ) は、低電源電位、例えば GND、0 V などに設定するため、端子部に、カソードを低電源電位、例えば GND、0 V などに設定するための第 4 の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第 5 の端子を設ける。

【0109】

以上の工程により、電気特性が良好で信頼性の高い薄膜トランジスタ及び該薄膜トランジスタを用いた表示装置を提供することができる。

40

【0110】

なお、本実施の形態に示す構成は、実施の形態 1 に示した構成を適宜組み合わせて用いることができる。

【0111】

(実施の形態 3)

本実施の形態では、同一基板上に少なくとも駆動回路部の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0112】

画素部に配置する薄膜トランジスタは、実施の形態 1 または実施の形態 2 に従って形成する。また、実施の形態 1 または実施の形態 2 に示す薄膜トランジスタは n チャンネル型 T F

50

Tであるため、駆動回路のうち、 n チャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0113】

アクティブマトリクス型表示装置のブロック図の一例を図11(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

10

【0114】

図11(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板5300上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

20

【0115】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)(スタート信号はスタートパルスともいう)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)、走査線駆動回路用クロック信号(GCK2)を供給する。タイミング制御回路5305は、信号線駆動回路5304に、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。

30

【0116】

図11(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを図ることができる。

40

【0117】

また、実施の形態1または実施の形態2に示す薄膜トランジスタは、 n チャネル型TFTである。図12(A)、図12(B)では n チャネル型TFTで構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0118】

信号線駆動回路は、シフトレジスタ5601、及びスイッチング回路5602を有する。スイッチング回路5602は、スイッチング回路5602_1~5602_N(Nは自然数)という複数の回路を有する。スイッチング回路5602_1~5602_Nは、各々、薄膜トランジスタ5603_1~5603_k(kは自然数)という複数のトランジスタを有する。薄膜トランジスタ5603_1~5603_kが、 n チャネル型TFTであ

50

る例を説明する。

【0119】

信号線駆動回路の接続関係について、スイッチング回路5602__1を例にして説明する。薄膜トランジスタ5603__1～5603__kの第1端子は、各々、配線5604__1～5604__kと接続される。薄膜トランジスタ5603__1～5603__kの第2端子は、各々、信号線S1～Skと接続される。薄膜トランジスタ5603__1～5603__kのゲートは、配線5605__1と接続される。

【0120】

シフトレジスタ5601は、配線5605__1～5605__Nに順番にHレベル（H信号、高電源電位レベル、ともいう）の信号を出力し、スイッチング回路5602__1～5602__Nを順番に選択する機能を有する。

10

【0121】

スイッチング回路5602__1は、配線5604__1～5604__kと信号線S1～Skとの導通状態（第1端子と第2端子との間の導通）を制御する機能、即ち配線5604__1～5604__kの電位を信号線S1～Skに供給するか否かを制御する機能を有する。このように、スイッチング回路5602__1は、セクタとしての機能を有する。また薄膜トランジスタ5603__1～5603__kは、各々、配線5604__1～5604__kと信号線S1～Skとの導通状態を制御する機能、即ち配線5604__1～5604__kの電位を信号線S1～Skに供給する機能を有する。このように、薄膜トランジスタ5603__1～5603__kは、各々、スイッチとしての機能を有する。

20

【0122】

なお、配線5604__1～5604__kには、各々、ビデオ信号用データ（DATA）が入力される。ビデオ信号用データ（DATA）は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0123】

次に、図12（A）の信号線駆動回路の動作について、図12（B）のタイミングチャートを参照して説明する。図12（B）には、信号Sout__1～Sout__N、及び信号Vdata__1～Vdata__kの一例を示す。信号Sout__1～Sout__Nは、各々、シフトレジスタ5601の出力信号の一例であり、信号Vdata__1～Vdata__kは、各々、配線5604__1～5604__kに入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間T1～期間TNに分割される。期間T1～TNは、各々、選択された行に属する画素にビデオ信号用データ（DATA）を書き込むための期間である。

30

【0124】

期間T1～期間TNにおいて、シフトレジスタ5601は、Hレベルの信号を配線5605__1～5605__Nに順番に出力する。例えば、期間T1において、シフトレジスタ5601は、ハイレベルの信号を配線5605__1に出力する。すると、薄膜トランジスタ5603__1～5603__kはオンになるので、配線5604__1～5604__kと、信号線S1～Skとが導通状態になる。このとき、配線5604__1～5604__kには、Data（S1）～Data（Sk）が入力される。Data（S1）～Data（Sk）は、各々、薄膜トランジスタ5603__1～5603__kを介して、選択される行に属する画素のうち、1列目～k列目の画素に書き込まれる。こうして、期間T1～TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ（DATA）が書き込まれる。

40

【0125】

以上のように、ビデオ信号用データ（DATA）が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ（DATA）の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き

50

込み不足を防止することができる。

【 0 1 2 6 】

なお、シフトレジスタ 5 6 0 1 及びスイッチング回路 5 6 0 2 としては、実施の形態 1 または実施の形態 2 に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ 5 6 0 1 が有する全てのトランジスタを単極性のトランジスタで構成することができる。

【 0 1 2 7 】

走査線駆動回路及び / または信号線駆動回路の一部に用いるシフトレジスタの一形態について図 1 3 及び図 1 4 を用いて説明する。

【 0 1 2 8 】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (C L K) 及びスタートパルス信号 (S P) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に O N にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 1 2 9 】

シフトレジスタは、第 1 のパルス出力回路 1 0 _ 1 乃至第 N のパルス出力回路 1 0 _ N (N は 3 以上の自然数) を有している (図 1 3 (A) 参照) 。図 1 3 (A) に示すシフトレジスタの第 1 のパルス出力回路 1 0 _ 1 乃至第 N のパルス出力回路 1 0 _ N には、第 1 の配線 1 1 より第 1 のクロック信号 C K 1 、第 2 の配線 1 2 より第 2 のクロック信号 C K 2 、第 3 の配線 1 3 より第 3 のクロック信号 C K 3 、第 4 の配線 1 4 より第 4 のクロック信号 C K 4 が供給される。また第 1 のパルス出力回路 1 0 _ 1 では、第 5 の配線 1 5 からのスタートパルス S P 1 (第 1 のスタートパルス) が入力される。また 2 段目以降の第 n のパルス出力回路 1 0 _ n (n は、2 以上 N 以下の自然数) では、一段前段のパルス出力回路からの信号 (前段信号 O U T (n - 1) という) (n は 2 以上の自然数) が入力される。また第 1 のパルス出力回路 1 0 _ 1 では、2 段後段の第 3 のパルス出力回路 1 0 _ 3 からの信号が入力される。同様に、2 段目以降の第 n のパルス出力回路 1 0 _ n では、2 段後段の第 (n + 2) のパルス出力回路 1 0 _ (n + 2) からの信号 (後段信号 O U T (n + 2) という) が入力される。従って、各段のパルス出力回路からは、後段及び / または二つ前段のパルス出力回路に入力するための第 1 の出力信号 (O U T (1) (S R) ~ O U T (N) (S R)) 、別の配線等に入力される第 2 の出力信号 (O U T (1) ~ O U T (N)) が出力される。なお、図 1 3 (A) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 O U T (n + 2) が入力されないが、一例としては、別途第 6 の配線 1 6 より第 2 のスタートパルス S P 2 、第 7 の配線 1 7 より第 3 のスタートパルス S P 3 をそれぞれ入力する構成とすればよい。または、別途シフトレジスタの内部で生成された信号であってもよい。例えば、画素部へのパルス出力に寄与しない第 (N + 1) のパルス出力回路 1 0 _ (N + 1) 、第 (N + 2) のパルス出力回路 1 0 _ (N + 2) を設け (ダミー段ともいう) 、当該ダミー段より第 2 のスタートパルス (S P 2) 及び第 3 のスタートパルス (S P 3) に相当する信号を生成する構成としてもよい。

【 0 1 3 0 】

なお、クロック信号 (C K) は、一定の間隔で H レベルと L レベル (L 信号、低電源電位レベル、ともいう) を繰り返す信号である。ここで、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、G C K 、S C K ということもあるが、ここでは C K として説明を行う。

【 0 1 3 1 】

第 1 の入力端子 2 1 、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の配線 1 1

10

20

30

40

50

～第４の配線１４のいずれかと電氣的に接続されている。例えば、図１３（Ａ）において、第１のパルス出力回路１０―１は、第１の入力端子２１が第１の配線１１と電氣的に接続され、第２の入力端子２２が第２の配線１２と電氣的に接続され、第３の入力端子２３が第３の配線１３と電氣的に接続されている。また、第２のパルス出力回路１０―２は、第１の入力端子２１が第２の配線１２と電氣的に接続され、第２の入力端子２２が第３の配線１３と電氣的に接続され、第３の入力端子２３が第４の配線１４と電氣的に接続されている。

【０１３２】

第１のパルス出力回路１０―１～第Ｎのパルス出力回路１０―Ｎの各々は、第１の入力端子２１、第２の入力端子２２、第３の入力端子２３、第４の入力端子２４、第５の入力端子２５、第１の出力端子２６、第２の出力端子２７を有しているとする（図１３（Ｂ）参照）。第１のパルス出力回路１０―１において、第１の入力端子２１に第１のクロック信号ＣＫ１が入力され、第２の入力端子２２に第２のクロック信号ＣＫ２が入力され、第３の入力端子２３に第３のクロック信号ＣＫ３が入力され、第４の入力端子２４にスタートパルスが入力され、第５の入力端子２５に後段信号ＯＵＴ（３）が入力され、第１の出力端子２６より第１の出力信号ＯＵＴ（１）（ＳＲ）が出力され、第２の出力端子２７より第２の出力信号ＯＵＴ（１）が出力されていることとなる。

【０１３３】

次に、パルス出力回路の具体的な回路構成の一例について、図１３（Ｃ）で説明する。

【０１３４】

図１３（Ｃ）に示した第１のパルス出力回路１０―１は、第１のトランジスタ３１～第１１のトランジスタ４１を有している。また、上述した第１の入力端子２１～第５の入力端子２５、及び第１の出力端子２６、第２の出力端子２７に加え、第１の高電源電位ＶＤＤが供給される電源線５１、第２の高電源電位ＶＣＣが供給される電源線５２、低電源電位ＶＳＳが供給される電源線５３から、第１のトランジスタ３１～第１１のトランジスタ４１に信号、または電源電位が供給される。ここで図１３（Ｃ）における各電源線の電源電位の大小関係は、第１の電源電位ＶＤＤは第２の電源電位ＶＣＣ以上とし、第２の電源電位ＶＣＣは第３の電源電位ＶＳＳより大きい電位とする。なお、第１のクロック信号（ＣＫ１）～第４のクロック信号（ＣＫ４）は、一定の間隔でＨレベルとＬレベルを繰り返す信号であるが、ＨレベルのときＶＤＤ、ＬレベルのときＶＳＳであるとする。なお電源線５１の電位ＶＤＤを、電源線５２の電位ＶＣＣより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。

【０１３５】

図１３（Ｃ）において第１のトランジスタ３１は、第１端子が電源線５１に電氣的に接続され、第２端子が第９のトランジスタ３９の第１端子に電氣的に接続され、ゲート電極が第４の入力端子２４に電氣的に接続されている。第２のトランジスタ３２は、第１端子が電源線５３に電氣的に接続され、第２端子が第９のトランジスタ３９の第１端子に電氣的に接続され、ゲート電極が第４のトランジスタ３４のゲート電極に電氣的に接続されている。第３のトランジスタ３３は、第１端子が第１の入力端子２１に電氣的に接続され、第２端子が第１の出力端子２６に電氣的に接続されている。第４のトランジスタ３４は、第１端子が電源線５３に電氣的に接続され、第２端子が第１の出力端子２６に電氣的に接続されている。第５のトランジスタ３５は、第１端子が電源線５３に電氣的に接続され、第２端子が第２のトランジスタ３２のゲート電極及び第４のトランジスタ３４のゲート電極に電氣的に接続され、ゲート電極が第４の入力端子２４に電氣的に接続されている。第６のトランジスタ３６は、第１端子が電源線５２に電氣的に接続され、第２端子が第２のトランジスタ３２のゲート電極及び第４のトランジスタ３４のゲート電極に電氣的に接続され、ゲート電極が第５の入力端子２５に電氣的に接続されている。第７のトランジスタ３７は、第１端子が電源線５２に電氣的に接続され、第２端子が第８のトランジスタ３８の第２端子に電氣的に接続され、ゲート電極が第３の入力端子２３に電氣的に接続されて

いる。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 2 の入力端子 2 2 に電氣的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電氣的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 1 0 のトランジスタ 4 0 のゲート電極に電氣的に接続され、ゲート電極が電源線 5 2 に電氣的に接続されている。第 1 0 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に電氣的に接続されている。第 1 1 のトランジスタ 4 1 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。

10

【 0 1 3 6 】

図 1 3 (C) において、第 3 のトランジスタ 3 3 のゲート電極、第 1 0 のトランジスタ 4 0 のゲート電極、及び第 9 のトランジスタ 3 9 の第 2 端子の接続箇所をノード A とする。また、第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトランジスタ 3 8 の第 1 端子、及び第 1 1 のトランジスタ 4 1 のゲート電極の接続箇所をノード B とする (図 1 4 (A) 参照) 。

20

【 0 1 3 7 】

図 1 4 (A) に、図 1 3 (C) で説明したパルス出力回路を第 1 のパルス出力回路 1 0 _ 1 に適用した場合に、第 1 の入力端子 2 1 乃至第 5 の入力端子 2 5 と第 1 の出力端子 2 6 及び第 2 の出力端子 2 7 に入力または出力される信号を示している。

【 0 1 3 8 】

具体的には、第 1 の入力端子 2 1 に第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力される。

30

【 0 1 3 9 】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。

40

【 0 1 4 0 】

ここで、図 1 4 (A) に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図 1 4 (B) に示す。なおシフトレジスタが走査線駆動回路である場合、図 1 4 (B) 中の期間 6 1 は垂直帰線期間であり、期間 6 2 はゲート選択期間に相当する。

【 0 1 4 1 】

なお、図 1 4 (A) に示すように、ゲート電極に第 2 の電源電位 V C C が印加される第 9 のトランジスタ 3 9 を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【 0 1 4 2 】

ゲート電極に第 2 の電源電位 V C C が印加される第 9 のトランジスタ 3 9 がない場合、ブ

50

ートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、第1の電源電位VDDより大きくなる。そして、第1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

10

【0143】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減する利点がある。

20

【0144】

なお第1のトランジスタ31乃至第11のトランジスタ41の半導体層として、インキュベーション状態を有するIn-Ga-Zn-O系膜を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。またインキュベーション状態を有するIn-Ga-Zn-O系膜をチャネル形成領域に用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数低減することができるため、回路の小型化を図ることが出来る。

30

【0145】

なお、第7のトランジスタ37のゲート電極に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図14(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図14(A)に示すシフトレジスタにおいて第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極に第3の入力端子23からクロック信号CK3が供給され、第8のトランジスタ38のゲート電極に第2の入力端子22からクロック信号CK

40

50

2 が供給される結線関係とすることが好適である。なぜなら、ノード B の電位の変動回数が低減され、またノイズを低減することが出来るからである。

【0146】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0147】

(実施の形態4)

実施の形態1及び2に示す薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路部に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、実施の形態1及び2に示す薄膜トランジスタを用いて駆動回路部の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0148】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0149】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0150】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0151】

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図15を用いて説明する。図15(A1)(A2)は、第1の基板4001上に形成された実施の形態1及び2で示したインキュベーション状態であるIn-Ga-Zn-O系膜をチャネル形成領域として含む薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図15(B)は、図15(A1)(A2)のM-Nにおける断面図に相当する。

【0152】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶

半導体又は多結晶半導体で形成された信号線駆動回路4003が実装されている。

【0153】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG法、ワイヤボンディング法、或いはTAB法などを用いることができる。図15(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図15(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0154】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図15(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

10

【0155】

薄膜トランジスタ4010、4011は、インキュベーション状態であるIn-Ga-Zn-O系膜をチャネル形成領域として含む実施の形態1及び2に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0156】

絶縁層4044上において駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040は画素電極層4030と同じ材料を用いて同一工程で形成することができる。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

20

【0157】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。なお、図示はしていないが、カラーフィルタは第1の基板4001または第2の基板4006のどちら側に設けても良い。

30

【0158】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

40

【0159】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

50

【0160】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu\text{sec}$ 以上 $100\mu\text{sec}$ 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。なお、ブルー相を用いる場合は、図15の構成に限らず、対向電極層4031に相当する電極層が画素電極層4030と同じ基板側に形成された構造の、所謂横電界モードの構成を用いても良い。

10

【0161】

なお本実施の形態は透過型液晶表示装置の例であるが、本発明は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0162】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

20

【0163】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態2で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

30

【0164】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0165】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

40

【0166】

また、保護膜を形成した後に、酸化物半導体層のアニール（300 以上400 以下）を行ってもよい。

【0167】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、アクリル樹脂、ポリイミド、ベンゾシクロブテン樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

50

【0168】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si - O - Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0169】

絶縁層 4021 の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層 4021 を材料液を用いて形成する場合、ベークする工程で同時に、酸化物半導体層のアニール（300 以上 400 以下）を行ってもよい。絶縁層 4021 の焼成工程と酸化物半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

10

【0170】

画素電極層 4030、対向電極層 4031 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0171】

また、画素電極層 4030、対向電極層 4031 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が 10000 / 以下、波長 550 nm における透光率が 70 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0.1 · cm 以下であることが好ましい。

20

【0172】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0173】

また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 及び画素部 4002 に与えられる各種信号及び電位は、FPC 4018 から供給されている。

30

【0174】

本実施の形態では、接続端子電極 4015 が、液晶素子 4013 が有する画素電極層 4030 と同じ導電膜から形成され、端子電極 4016 は、薄膜トランジスタ 4010、4011 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0175】

接続端子電極 4015 は、FPC 4018 が有する端子と、異方性導電膜 4019 を介して電氣的に接続されている。

【0176】

また図 15 においては、信号線駆動回路 4003 を別途形成し、第 1 の基板 4001 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

40

【0177】

図 16 は、実施の形態 1 及び 2 に示す TFT を適用して作製される TFT が設けられた基板、即ち TFT 基板 2600 を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0178】

図 16 は液晶表示モジュールの一例であり、TFT 基板 2600 と対向基板 2601 がシール材 2602 により固着され、その間に TFT 等を含む画素部 2603、液晶層を含む

50

表示素子 2604、着色層 2605 等が設けられ表示領域を形成している。また、TFT 基板 2600 及び対向基板 2601 は偏光板 2606、偏光板 2607 を備えている。着色層 2605 はカラー表示を行う場合に必要であり、RGB 方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT 基板 2600 と対向基板 2601 の外側には偏光板 2606、偏光板 2607、拡散板 2613 が配設されている。光源は冷陰極管 2610 と反射板 2611 により構成され、回路基板 2612 は、フレキシブル配線基板 2609 により TFT 基板 2600 の配線回路部 2608 と接続され、コントロール回路や電源回路などの外部回路が組み込まれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0179】

10

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

【0180】

20

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0181】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【0182】

(実施の形態 5)

本実施の形態では、実施の形態 1 及び 2 に示す薄膜トランジスタを適用した半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

30

【0183】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア (電子および正孔) が再結合することにより、発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0184】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

40

【0185】

図 17 は、本発明を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0186】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここで

50

は、実施の形態 1 及び 2 で示した、インキュベーション状態である酸化物半導体層（In - Ga - Zn - O 系膜）をチャネル形成領域に用いる n チャネル型のトランジスタを、1 つの画素に 2 つ用いる例を示す。

【0187】

画素 6400 は、スイッチング用トランジスタ 6401、駆動用トランジスタ 6402、発光素子 6404 及び容量素子 6403 を有している。スイッチング用トランジスタ 6401 はゲートが走査線 6406 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 6405 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 6402 のゲートに接続されている。駆動用トランジスタ 6402 は、ゲートが容量素子 6403 を介して電源線 6407 に接続され、第 1 電極が電源線 6407 に接続され、第 2 電極が発光素子 6404 の第 1 電極（画素電極）に接続されている。発光素子 6404 の第 2 電極は共通電極 6408 に相当する。共通電極 6408 は、同一基板上に形成される共通電位線と電氣的に接続される。

10

【0188】

なお、発光素子 6404 の第 2 電極（共通電極 6408）には低電源電位が設定されている。なお、低電源電位とは、電源線 6407 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6404 に印加して、発光素子 6404 に電流を流して発光素子 6404 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6404 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

【0189】

なお、容量素子 6403 は駆動用トランジスタ 6402 のゲート容量を代用して省略することも可能である。駆動用トランジスタ 6402 のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0190】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ 6402 のゲートには、駆動用トランジスタ 6402 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ 6402 は線形領域で動作させる。駆動用トランジスタ 6402 は線形領域で動作させるため、電源線 6407 の電圧よりも高い電圧を駆動用トランジスタ 6402 のゲートにかける。なお、信号線 6405 には、（電源線電圧 + 駆動用トランジスタ 6402 の V_{th} ）以上の電圧をかける。

30

【0191】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合も信号の入力を異ならせることで、図 17 と同じ画素構成を用いることができる。

【0192】

アナログ階調駆動を行う場合、駆動用トランジスタ 6402 のゲートに発光素子 6404 の順方向電圧 + 駆動用トランジスタ 6402 の V_{th} 以上の電圧をかける。発光素子 6404 の順方向電圧とは、発光素子を所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ 6402 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6404 に電流を流すことができる。駆動用トランジスタ 6402 を飽和領域で動作させるため、電源線 6407 の電位は、駆動用トランジスタ 6402 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6404 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0193】

なお、図 17 に示す画素構成は、これに限定されない。例えば、図 17 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0194】

次に、発光素子の構成について、図 18 を用いて説明する。ここでは、発光素子駆動用 T

50

F T が n 型の場合を例に挙げて、画素の断面構造について説明する。図 18 (A) (B) (C) の半導体装置に用いられる発光素子駆動用 T F T である T F T 7 0 0 1 、 7 0 1 1 、 7 0 2 1 は、実施の形態 1 及び 2 で示す薄膜トランジスタと同様に作製でき、インキュベーション状態である In-Ga-Zn-O 系膜をチャネル形成領域として含む薄膜トランジスタである。インキュベーション状態である In-Ga-Zn-O 系膜をチャネル形成領域として含む薄膜トランジスタを用いることにより発光素子を有する半導体装置の低消費電力を実現することができる。

【 0 1 9 5 】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透光性を有していればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、図 17 に示す画素構成はどの射出構造の発光素子にも適用することができる。

10

【 0 1 9 6 】

下面射出構造の発光素子について図 18 (A) を用いて説明する。

【 0 1 9 7 】

発光素子駆動用 T F T 7 0 1 1 が n 型で、発光素子 7 0 1 2 から発せられる光が第 1 の電極 7 0 1 3 側に射出する場合の、画素の断面図を示す。図 18 (A) では、発光素子駆動用 T F T 7 0 1 1 のドレイン電極層と電気的に接続された透光性を有する導電膜 7 0 1 7 上に、発光素子 7 0 1 2 の第 1 の電極 7 0 1 3 が形成されており、第 1 の電極 7 0 1 3 上に E L 層 7 0 1 4 、第 2 の電極 7 0 1 5 が順に積層されている。

20

【 0 1 9 8 】

透光性を有する導電膜 7 0 1 7 としては、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

【 0 1 9 9 】

また、発光素子の第 1 の電極 7 0 1 3 は様々な材料を用いることができる。例えば、第 1 の電極 7 0 1 3 を陰極として用いる場合には、仕事関数が小さい材料、具体的には、例えば、Li や Cs 等のアルカリ金属、および Mg 、 Ca 、 Sr 等のアルカリ土類金属、およびこれらを含む合金 (Mg : Ag 、 Al : Li など) の他、Yb や Er 等の希土類金属等が好ましい。図 18 (A) では、第 1 の電極 7 0 1 3 の膜厚は、光を透過する程度 (好ましくは、5 nm ~ 30 nm 程度) とする。例えば 20 nm の膜厚を有するアルミニウム膜を、第 1 の電極 7 0 1 3 として用いる。

30

【 0 2 0 0 】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜 7 0 1 7 と第 1 の電極 7 0 1 3 を形成してもよく、この場合、同じマスクを用いてエッチングすることができるため、好ましい。

【 0 2 0 1 】

また、第 1 の電極 7 0 1 3 の周縁部は、隔壁 7 0 1 9 で覆う。隔壁 7 0 1 9 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7 0 1 9 は、特に感光性の樹脂材料を用い、第 1 の電極 7 0 1 3 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7 0 1 9 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

40

【 0 2 0 2 】

また、第 1 の電極 7 0 1 3 及び隔壁 7 0 1 9 上に形成する E L 層 7 0 1 4 は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。E L 層 7 0 1 4 が複数の層で構成されている場合、陰極として機能する第 1 の電極 7 0 1 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホ

50

ール注入層の順に積層する。なお、これらの内、発光層以外の層を全て設ける必要はない。

【0203】

また、上記積層順に限定されず、第1の電極7013を陽極として機能させ、第1の電極7013上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、第1の電極7013を陰極として機能させ、第1の電極7013上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路部の電圧上昇を抑制でき、消費電力を少なくできるため好ましい。

【0204】

また、EL層7014上に形成する第2の電極7015としては、様々な材料を用いることができる。例えば、第2の電極7015を陽極として用いる場合、仕事関数が高い材料、例えば、ZrN、Ti、W、Ni、Pt、Cr等や、ITO、IZO、ZnOなどの透光性を有する導電性材料が好ましい。また、第2の電極7015上に遮蔽膜7016、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、第2の電極7015としてITO膜を用い、遮蔽膜7016としてTi膜を用いる。

【0205】

第1の電極7013及び第2の電極7015で、発光層を含むEL層7014を挟んでいる領域が発光素子7012に相当する。図18(A)に示した素子構造の場合、発光素子7012から発せられる光は、矢印で示すように第1の電極7013側に射出する。

【0206】

なお、図18(A)において、発光素子7012から発せられる光は、カラーフィルタ層7033を通過し、第2のゲート絶縁層7031、第1のゲート絶縁層7030、及び基板7010を通過して射出させる。

【0207】

カラーフィルタ層7033はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング法などでそれぞれ形成する。

【0208】

また、カラーフィルタ層7033はオーバーコート層7034で覆われ、さらに保護絶縁層7035によって覆う。なお、図18(A)ではオーバーコート層7034は薄い膜厚で図示したが、オーバーコート層7034は、アクリル樹脂などの樹脂材料を用い、カラーフィルタ層7033に起因する凹凸を平坦化する機能を有している。

【0209】

また、第2のゲート絶縁層7031、絶縁層7032、カラーフィルタ層7033、オーバーコート層7034、及び保護絶縁層7035に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁7019と重なる位置に配置する。

【0210】

次に、両面射出構造の発光素子について、図18(B)を用いて説明する。

【0211】

図18(B)では、発光素子駆動用TFET7021のドレイン電極層と電氣的に接続された透光性を有する導電膜7027上に、発光素子7022の第1の電極7023が形成されており、第1の電極7023上にEL層7024、第2の電極7025が順に積層されている。

【0212】

透光性を有する導電膜7027としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いることができる。

【0213】

また、第1の電極7023は様々な材料を用いることができる。例えば、第1の電極70

10

20

30

40

50

23を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。本実施の形態では、第1の電極7023を陰極として用い、その膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、第1の電極7023として用いる。

【0214】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜7027と第1の電極7023を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

10

【0215】

また、第1の電極7023の周縁部は、隔壁7029で覆う。隔壁7029は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7029は、特に感光性の樹脂材料を用い、陰極である第1の電極7023上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7029として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0216】

また、第1の電極7023及び隔壁7029上に形成するEL層7024は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7024が複数の層で構成されている場合、陰極として機能する第1の電極7023上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの内、発光層以外の層を全て設ける必要はない。

20

【0217】

また、上記積層順に限定されず、第1の電極7023を陽極として機能させ、第1の電極7023上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層に積層してもよい。ただし、消費電力を比較する場合、第1の電極7023を陰極として機能させ、第1の電極7023上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

【0218】

また、EL層7024上に形成する第2の電極7025としては、様々な材料を用いることができる。例えば、第2の電極7025を陽極として用いる場合、仕事関数が大きい材料、例えば、ITO、IZO、ZnOなどの透光性を有する導電性材料を好ましく用いることができる。本実施の形態では、第2の電極7025を陽極として用い、酸化珪素を含むITO膜を形成する。

30

【0219】

第1の電極7023及び第2の電極7025で、発光層を含むEL層7024を挟んでいる領域が発光素子7022に相当する。図18(B)に示した素子構造の場合、発光素子7022から発せられる光は、矢印で示すように第2の電極7025側と第1の電極7023側の両方に射出する。

40

【0220】

なお、図18(B)において、発光素子7022から第1の電極7023側に発せられる一方の光は、カラーフィルタ層7043を通過し、第2のゲート絶縁層7041、第1のゲート絶縁層7040、及び基板7020を通過して射出させる。

【0221】

カラーフィルタ層7043はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0222】

また、カラーフィルタ層7043はオーバーコート層7044で覆われ、さらに保護絶縁層7045によって覆う。

50

【0223】

また、第2のゲート絶縁層7041、絶縁層7042、カラーフィルタ層7043、オーバーコート層7044、及び保護絶縁層7045に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁7029と重なる位置に配置する。

【0224】

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、第2の電極7025側からの光はカラーフィルタ層7043を通過しないため、別途カラーフィルタ層を備えた封止基板を第2の電極7025上方に設けることが好ましい。

【0225】

次に、上面射出構造の発光素子について、図18(C)を用いて説明する。

10

【0226】

図18(C)に、発光素子駆動用TFT7001がn型で、発光素子7002から発せられる光が第2の電極7005側に抜ける場合の、画素の断面図を示す。図18(C)では、発光素子駆動用TFT7001のドレイン電極層と電気的に接続された発光素子7002の第1の電極7003が形成されており、第1の電極7003上にEL層7004、第2の電極7005が順に積層されている。

【0227】

また、第1の電極7003は様々な材料を用いることができる。例えば、第1の電極7003を陰極として用いる場合、仕事関数が小さい材料、具体的には、例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。

20

【0228】

また、第1の電極7003の周縁部は、隔壁7009で覆う。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0229】

また、第1の電極7003及び隔壁7009上に形成するEL層7004は、少なくとも発光層を含めば良く、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7004が複数の層で構成されている場合、陰極として機能する第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの内、発光層以外の層を全て設ける必要はない。

30

【0230】

また、上記積層順に限定されず、陽極として機能する第1の電極7003上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。

【0231】

図18(C)ではTi膜、アルミニウム膜、Ti膜の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上にMg:Ag合金薄膜とITOとの積層を形成する。

40

【0232】

ただし、TFT7001がn型の場合、第1の電極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが、駆動回路部における電圧上昇を抑制することができ、消費電力を少なくできるため好ましい。

【0233】

第2の電極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透

50

光性を有する導電膜を用いても良い。

【0234】

第1の電極7003及び第2の電極7005で発光層を含むEL層7004を挟んでいる領域が発光素子7002に相当する。図18(C)に示した素子構造の場合、発光素子7002から発せられる光は、矢印で示すように第2の電極7005側に射出する。

【0235】

また、図18(C)において、TFT7001は薄膜トランジスタ170を用いる例を示しているが、特に限定されない。

【0236】

また、図18(C)において、TFT7001のドレイン電極層は、保護絶縁層7052及び絶縁層7055に設けられたコンタクトホールを介して第1の電極7003と電氣的に接続する。平坦化絶縁層7053は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層7053を形成してもよい。平坦化絶縁層7053の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

10

20

【0237】

また、第1の電極7003と、隣り合う画素の第1の電極7008とを絶縁するために隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、第1の電極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0238】

また、図18(C)の構造においては、フルカラー表示を行う場合、例えば発光素子7002として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3種類の発光素子だけでなく白色素子を加えた4種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

30

【0239】

また、図18(C)の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子7002上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

40

【0240】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

【0241】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

【0242】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0243】

なお、発光素子の駆動を制御する薄膜トランジスタ(発光素子駆動用TFT)と発光素子が電氣的に接続されている例を示したが、発光素子駆動用TFTと発光素子との間に電流

50

制御用 T F T が接続されている構成であってもよい。

【 0 2 4 4 】

なお本実施の形態で示す半導体装置は、図 1 8 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【 0 2 4 5 】

次に、実施の形態 1 及び 2 に示す薄膜トランジスタを適用した半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 1 9 を用いて説明する。図 1 9（A）は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 1 9（B）は、図 1 9（A）の H - I における断面図に相当する。

10

【 0 2 4 6 】

第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b を囲むようにして、シール材 4 5 0 5 が設けられている。また画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b の上に第 2 の基板 4 5 0 6 が設けられている。よって画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、第 1 の基板 4 5 0 1 とシール材 4 5 0 5 と第 2 の基板 4 5 0 6 とによって、充填材 4 5 0 7 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

20

【 0 2 4 7 】

また第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、薄膜トランジスタを複数有しており、図 1 9（B）では、画素部 4 5 0 2 に含まれる薄膜トランジスタ 4 5 1 0 と、信号線駆動回路 4 5 0 3 a に含まれる薄膜トランジスタ 4 5 0 9 とを例示している。

【 0 2 4 8 】

薄膜トランジスタ 4 5 0 9、4 5 1 0 は、In - Ga - Zn - O 系膜をチャネル形成領域として含む実施の形態 1 及び 2 に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ 4 5 0 9、4 5 1 0 は n チャネル型薄膜トランジスタである。

30

【 0 2 4 9 】

絶縁層 4 5 4 4 上において駆動回路用の薄膜トランジスタ 4 5 0 9 の酸化物半導体層のチャネル形成領域と重なる位置に導電層 4 5 4 0 が設けられている。導電層 4 5 4 0 を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT 試験前後における薄膜トランジスタ 4 5 0 9 のしきい値電圧の変化量を低減することができる。また、導電層 4 5 4 0 は、電位が薄膜トランジスタ 4 5 0 9 のゲート電極層と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 4 5 4 0 の電位が GND、0 V、或いはフローティング状態であってもよい。

【 0 2 5 0 】

また 4 5 1 1 は発光素子に相当し、発光素子 4 5 1 1 が有する画素電極である第 1 の電極層 4 5 1 7 は、薄膜トランジスタ 4 5 1 0 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4 5 1 1 の構成は、第 1 の電極層 4 5 1 7、電界発光層 4 5 1 2、第 2 の電極層 4 5 1 3 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4 5 1 1 から取り出す光の方向などに合わせて、発光素子 4 5 1 1 の構成は適宜変えることができる。

40

【 0 2 5 1 】

隔壁 4 5 2 0 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4 5 1 7 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【 0 2 5 2 】

50

電界発光層 4 5 1 2 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0 2 5 3】

発光素子 4 5 1 1 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4 5 1 3 及び隔壁 4 5 2 0 上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC 膜等を形成することができる。

【0 2 5 4】

また、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、走査線駆動回路 4 5 0 4 a、4 5 0 4 b、及び画素部 4 5 0 2 に与えられる各種信号及び電位は、FPC 4 5 1 8 a、4 5 1 8 b から供給されている。

10

【0 2 5 5】

本実施の形態では、接続端子電極 4 5 1 5 が、発光素子 4 5 1 1 が有する第 1 の電極層 4 5 1 7 と同じ導電膜から形成され、端子電極 4 5 1 6 は、薄膜トランジスタ 4 5 0 9、4 5 1 0 が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0 2 5 6】

接続端子電極 4 5 1 5 は、FPC 4 5 1 8 a が有する端子と、異方性導電膜 4 5 1 9 を介して電氣的に接続されている。

【0 2 5 7】

発光素子 4 5 1 1 からの光の取り出し方向に位置する基板には、第 2 の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

20

【0 2 5 8】

また、充填材 4 5 0 7 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

【0 2 5 9】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4 板、 / 2 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

30

【0 2 6 0】

信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、別途用意された基板上に単結晶半導体又は多結晶半導体によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いはその一部、又は走査線駆動回路のみ、或いはその一部のみを別途形成して実装しても良く、本実施の形態は図 1 9 の構成に限定されない。

【0 2 6 1】

以上の工程により、半導体装置として低消費電力であり、信頼性の高い発光表示装置（表示パネル）を作製することができる。

40

【0 2 6 2】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【0 2 6 3】

（実施の形態 6）

本実施の形態では、実施の形態 1 及び 2 に示す薄膜トランジスタを適用した半導体装置として電子ペーパーの例を示す。

【0 2 6 4】

図 2 0 は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体

50

装置に用いられる薄膜トランジスタ 581 としては、実施の形態 1 及び 2 で示すインキュベーション状態を有する In - Ga - Zn - O 系で、一部、或いは全部が構成されているチャンネル形成領域を有する薄膜トランジスタを適用することができる。

【0265】

図 20 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0266】

基板 580 上に設けられた薄膜トランジスタ 581 はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層は第 1 の電極層 587 と、絶縁層 583、584、585 に形成する開口で接しており電氣的に接続している。第 1 の電極層 587 と第 2 の電極層 588 との間には黒色領域 590a 及び白色領域 590b を有し、周りに液体で満たされているキャピティ 594 を含む球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている（図 20 参照。）。本実施の形態においては、第 1 の電極層 587 が画素電極に相当し、対向基板 596 に設けられる第 2 の電極層 588 が共通電極に相当する。

【0267】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 10 μm 以上 200 μm 以下程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が互いに逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、電気泳動表示素子を用いたデバイスは一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0268】

以上の工程により、半導体装置として、電気特性が高く、且つ、信頼性の高い電子ペーパーを作製することができる。

【0269】

電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 21、図 22 に示す。

【0270】

図 21（A）は、電子ペーパーで作られたポスター 2631 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0271】

また、図 21（B）は、電車などの乗り物の車内広告 2632 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0272】

また、図 22 は、電子書籍の一例を示している。例えば、電子書籍 2700 は、筐体 2701 および筐体 2703 の 2 つの筐体で構成されている。筐体 2701 および筐体 2703 は、軸部 2711 により一体とされており、該軸部 2711 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0273】

筐体 2701 には表示部 2705 が組み込まれ、筐体 2703 には表示部 2707 が組み込まれている。表示部 2705 および表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 22 では表示部 2705）に文章を表示し、左側の表示部（図 22 では表示部 2707）に画像を表示することができる。

10

【0274】

また、図 22 では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカ 2725などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

【0275】

20

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0276】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【0277】

（実施の形態 7）

実施の形態 1 及び 2 に示すインキュベーション状態を有する In - Ga - Zn - O 系で、一部、或いは全部が構成されているチャネル形成領域を有する薄膜トランジスタを用いた半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。インキュベーション状態を有する In - Ga - Zn - O 系で、一部、或いは全部が構成されているチャネル形成領域を有する薄膜トランジスタを用いた電子機器は、信頼性が向上する。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【0278】

図 23（A）は、テレビジョン装置の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することが可能である。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

40

【0279】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

【0280】

50

なお、テレビジョン装置 9 6 0 0 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【 0 2 8 1 】

図 2 3 (B) は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム 9 7 0 0 は、筐体 9 7 0 1 に表示部 9 7 0 3 が組み込まれている。表示部 9 7 0 3 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【 0 2 8 2 】

なお、デジタルフォトフレーム 9 7 0 0 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム 9 7 0 0 の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9 7 0 3 に表示させることができる。

【 0 2 8 3 】

また、デジタルフォトフレーム 9 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【 0 2 8 4 】

図 2 4 (A) は携帯型遊技機であり、筐体 9 8 8 1 と筐体 9 8 9 1 の 2 つの筐体で構成されており、連結部 9 8 9 3 により、開閉可能に連結されている。筐体 9 8 8 1 には表示部 9 8 8 2 が組み込まれ、筐体 9 8 9 1 には表示部 9 8 8 3 が組み込まれている。また、図 2 4 (A) に示す携帯型遊技機は、その他、スピーカ部 9 8 8 4、記録媒体挿入部 9 8 8 6、LED ランプ 9 8 9 0、入力手段（操作キー 9 8 8 5、接続端子 9 8 8 7、センサ 9 8 8 8（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9 8 8 9）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 2 4 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 2 4 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 2 8 5 】

図 2 4 (B) は大型遊技機であるスロットマシンの一例を示している。スロットマシン 9 9 0 0 は、筐体 9 9 0 1 に表示部 9 9 0 3 が組み込まれている。また、スロットマシン 9 9 0 0 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9 9 0 0 の構成は上述のものに限定されず、少なくとも本発明に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【 0 2 8 6 】

図 2 5 (A) は、携帯電話機の一例を示している。携帯電話機 1 0 0 0 は、筐体 1 0 0 1 に組み込まれた表示部 1 0 0 2 の他、操作ボタン 1 0 0 3、外部接続ポート 1 0 0 4、スピーカ 1 0 0 5、マイク 1 0 0 6などを備えている。

【 0 2 8 7 】

図 2 5 (A) に示す携帯電話機 1 0 0 0 は、表示部 1 0 0 2 を指などで触れることで、情報を入力ことができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1 0 0 2 を指などで触れることにより行うことができる。

10

20

30

40

50

【 0 2 8 8 】

表示部 1 0 0 2 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【 0 2 8 9 】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1 0 0 2 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1 0 0 2 の画面のほとんどのキーボードまたは番号ボタンを表示させることが好ましい。

【 0 2 9 0 】

また、携帯電話機 1 0 0 0 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1 0 0 0 の向き（縦か横か）を判断して、表示部 1 0 0 2 の画面表示を自動的に切り替えるようにすることができる。

【 0 2 9 1 】

また、画面モードの切り替えは、表示部 1 0 0 2 を触れること、又は筐体 1 0 0 1 の操作ボタン 1 0 0 3 の操作により行われる。また、表示部 1 0 0 2 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【 0 2 9 2 】

また、入力モードにおいて、表示部 1 0 0 2 の光センサで検出される信号を検知し、表示部 1 0 0 2 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【 0 2 9 3 】

表示部 1 0 0 2 は、イメージセンサとして機能させることもできる。例えば、表示部 1 0 0 2 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【 0 2 9 4 】

図 2 5 (B) も携帯電話機の一例である。図 2 5 (B) の携帯電話機は、筐体 9 4 1 1 に、表示部 9 4 1 2、及び操作ボタン 9 4 1 3 を含む表示装置 9 4 1 0 と、筐体 9 4 0 1 に操作ボタン 9 4 0 2、外部入力端子 9 4 0 3、マイク 9 4 0 4、スピーカ 9 4 0 5、及び着信時に発光する発光部 9 4 0 6 を含む通信装置 9 4 0 0 とを有しており、表示機能を有する表示装置 9 4 1 0 は電話機能を有する通信装置 9 4 0 0 と矢印の 2 方向に脱着可能である。よって、表示装置 9 4 1 0 と通信装置 9 4 0 0 の短軸同士を取り付けることも、表示装置 9 4 1 0 と通信装置 9 4 0 0 の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置 9 4 0 0 より表示装置 9 4 1 0 を取り外し、表示装置 9 4 1 0 を単独で用いることもできる。通信装置 9 4 0 0 と表示装置 9 4 1 0 とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

【 0 2 9 5 】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

【 符号の説明 】

【 0 2 9 6 】

- 1 0 パルス出力回路
- 1 1 第 1 の配線
- 1 2 第 2 の配線
- 1 3 第 3 の配線
- 1 4 第 4 の配線
- 1 5 第 5 の配線

10

20

30

40

50

1 6	第 6 の配線	
1 7	第 7 の配線	
2 1	入力端子	
2 2	入力端子	
2 3	入力端子	
2 4	入力端子	
2 5	入力端子	
2 6	出力端子	
2 7	出力端子	
2 8	薄膜トランジスタ	10
3 1	トランジスタ	
3 2	トランジスタ	
3 3	トランジスタ	
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	
4 0	トランジスタ	20
4 1	トランジスタ	
4 2	トランジスタ	
4 3	トランジスタ	
5 1	電源線	
5 2	電源線	
5 3	電源線	
1 0 0	基板	
1 0 1	ゲート電極層	
1 0 2	ゲート絶縁層	
1 0 3	酸化物半導体層	30
1 0 5 a	ソース電極層	
1 0 5 b	ドレイン電極層	
1 0 7	酸化物絶縁層	
1 0 8	容量配線	
1 0 9	コンタクトホール	
1 1 0	画素電極層	
1 1 2	導電層	
1 1 2 a、1 1 2 b	導電層	
1 1 3	導電層	
1 1 3 a、1 1 3 b	導電層	40
1 1 4	導電層	
1 1 4 a、1 1 4 b	導電層	
1 2 0	接続電極	
1 2 1	端子	
1 2 2	端子	
1 2 4	容量電極層	
1 2 5	コンタクトホール	
1 2 6	コンタクトホール	
1 2 7	コンタクトホール	
1 2 8	透光性を有する導電膜	50

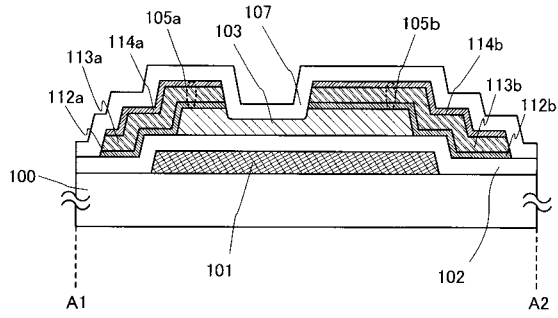
1 2 9	透光性を有する導電膜	
1 3 1	レジストマスク	
1 5 0	端子	
1 5 1	端子	
1 5 2	ゲート絶縁層	
1 5 3	接続電極	
1 5 4	保護絶縁膜	
1 5 5	透光性を有する導電膜	
1 5 6	電極	
1 7 0	薄膜トランジスタ	10
2 0 1	サイト	
2 0 2	I n 原子	
2 0 3	原子	
2 0 4	酸素原子	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	20
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	対向基板	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	30
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	40
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 6 3 1	ポスター	
2 6 3 2	車内広告	
2 7 0 0	電子書籍	
2 7 0 1	筐体	50

2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	10
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	20
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 4 0	導電層	
4 0 4 4	絶縁層	
4 5 0 1	基板	
4 5 0 2	画素部	30
4 5 0 3 a、4 5 0 3 b	信号線駆動回路	
4 5 0 4 a、4 5 0 4 b	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	40
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a、4 5 1 8 b	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 4	絶縁層	
5 3 0 0	基板	
5 3 0 1	画素部	50

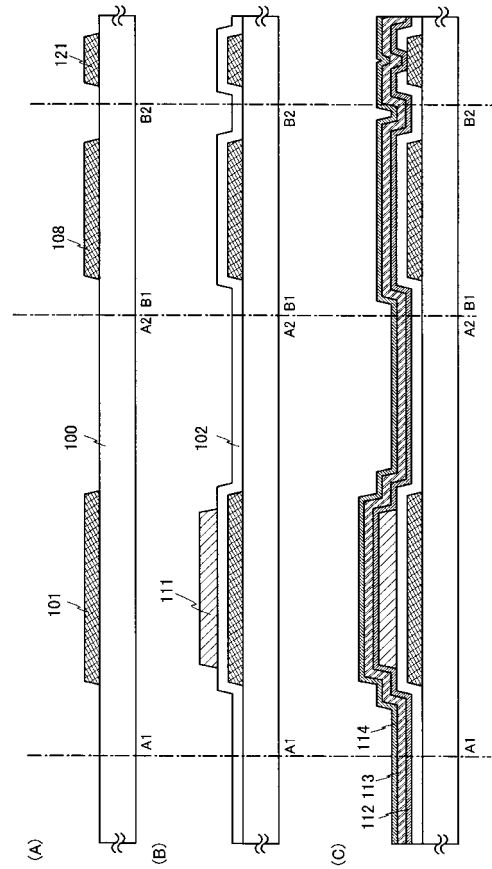
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 4 0 0	画素	10
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	発光素子駆動用 T F T	
7 0 0 2	発光素子	20
7 0 0 3	電極	
7 0 0 4	E L 層	
7 0 0 5	電極	
7 0 0 8	電極	
7 0 0 9	隔壁	
7 0 1 0	基板	
7 0 1 1	発光素子駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	電極	
7 0 1 4	E L 層	30
7 0 1 5	電極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 1 9	隔壁	
7 0 2 0	基板	
7 0 2 1	発光素子駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	電極	
7 0 2 4	E L 層	
7 0 2 5	電極	40
7 0 2 7	導電膜	
7 0 2 9	隔壁	
7 0 3 0	第 1 のゲート絶縁層	
7 0 3 1	第 2 のゲート絶縁層	
7 0 3 2	絶縁層	
7 0 3 3	カラーフィルタ層	
7 0 3 4	オーバーコート層	
7 0 3 5	保護絶縁層	
7 0 4 0	第 1 のゲート絶縁層	
7 0 4 1	第 2 のゲート絶縁層	50

7 0 4 2	絶縁層	
7 0 4 3	カラーフィルタ層	
7 0 4 4	オーバーコート層	
7 0 4 5	保護絶縁層	
7 0 5 2	保護絶縁層	
7 0 5 3	平坦化絶縁層	
7 0 5 5	絶縁層	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	操作ボタン	10
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	20
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	30
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	40
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	

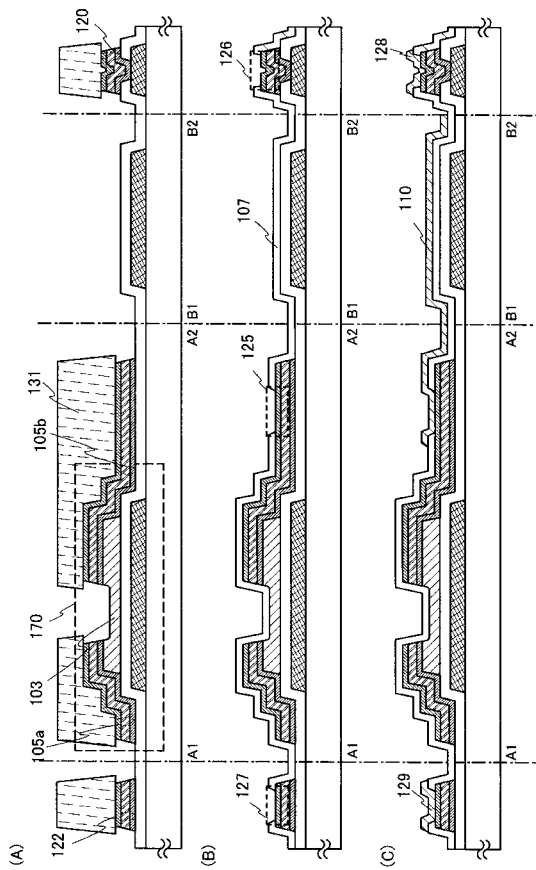
【図 1】



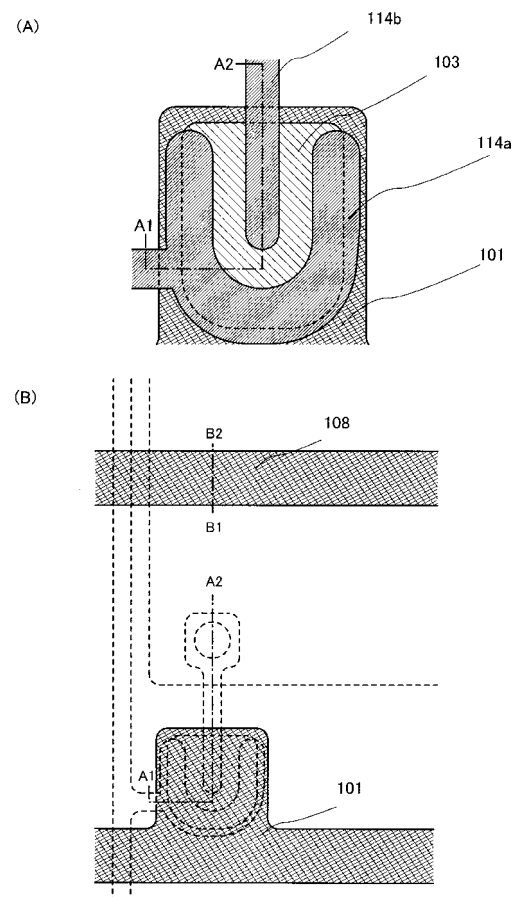
【図 2】



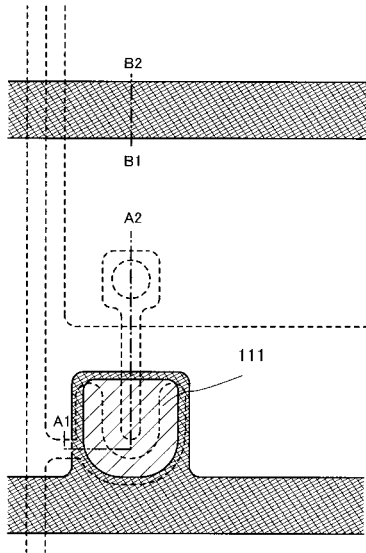
【図 3】



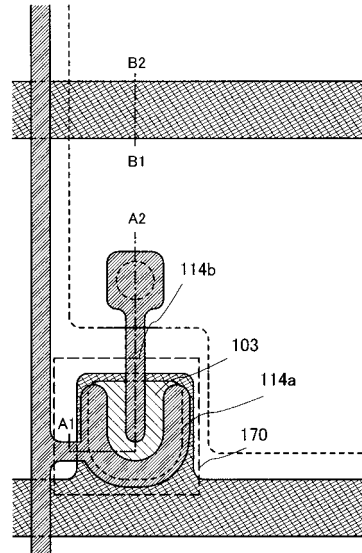
【図 4】



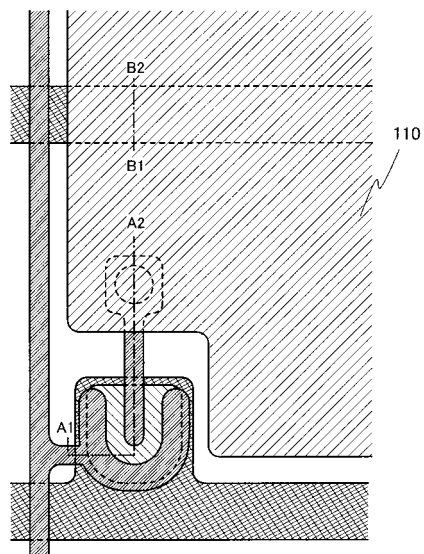
【図 5】



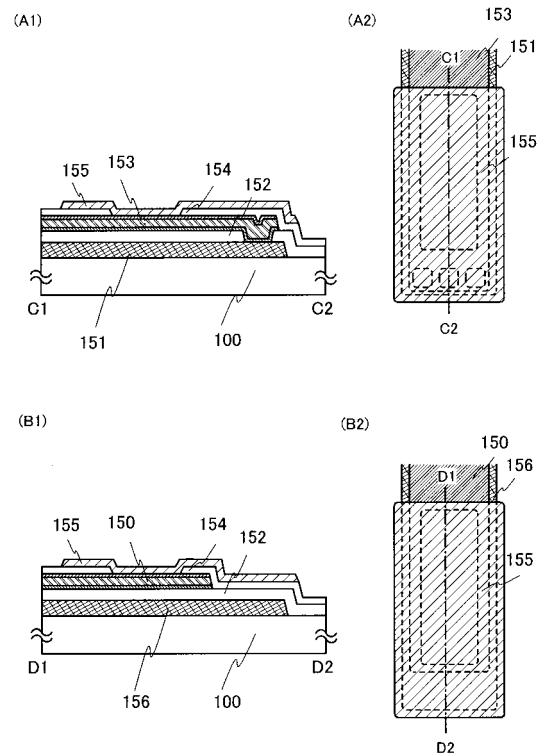
【図 6】



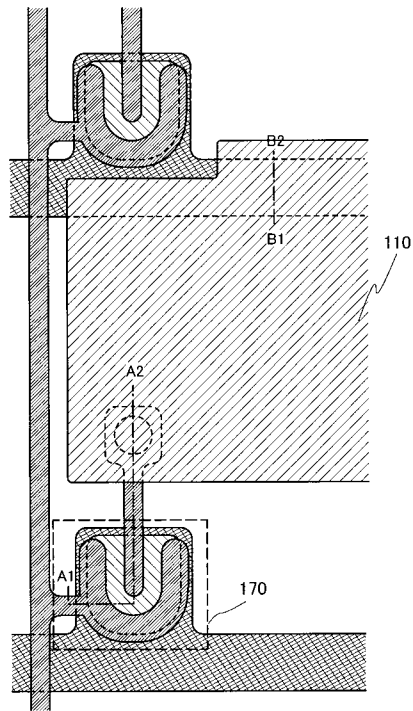
【図 7】



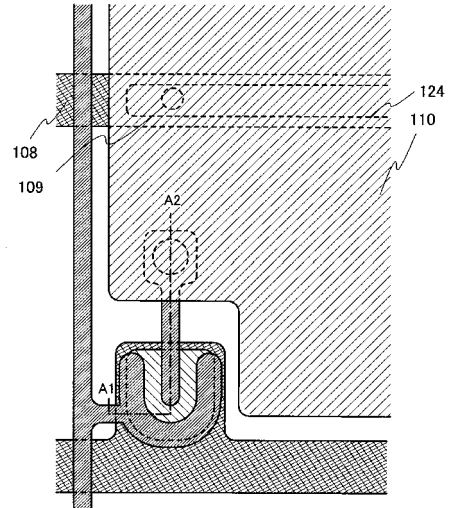
【図 8】



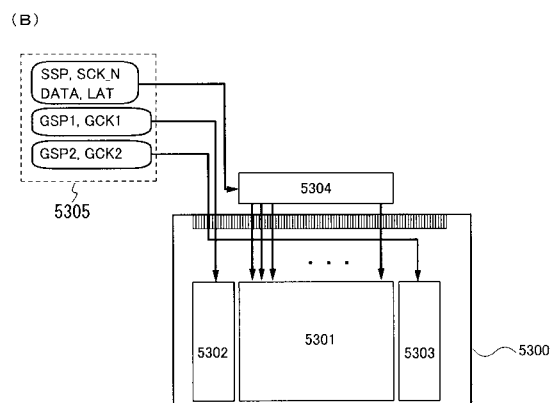
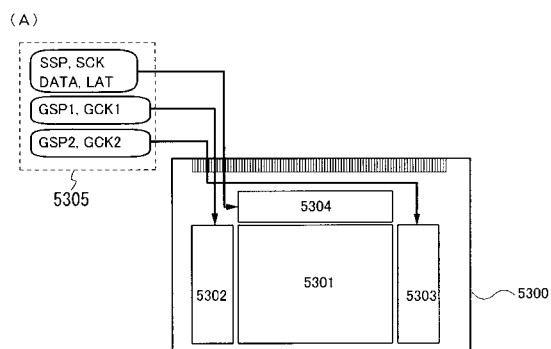
【図 9】



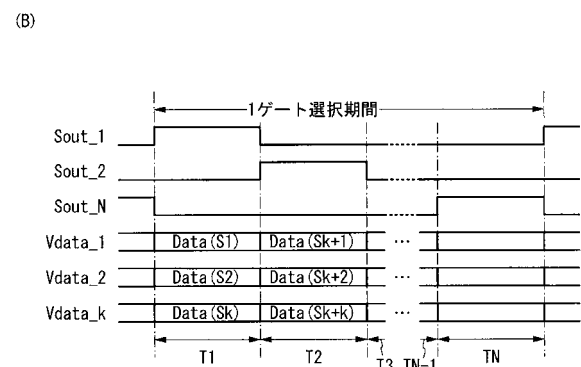
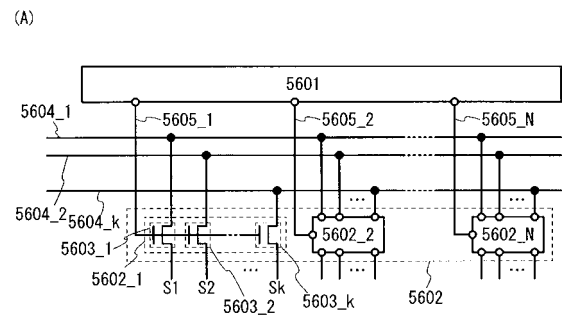
【図 10】



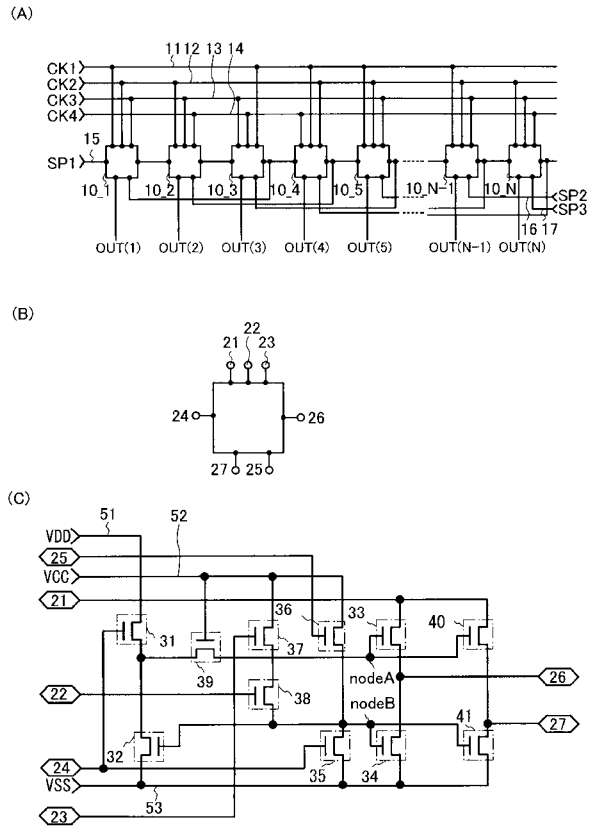
【図 11】



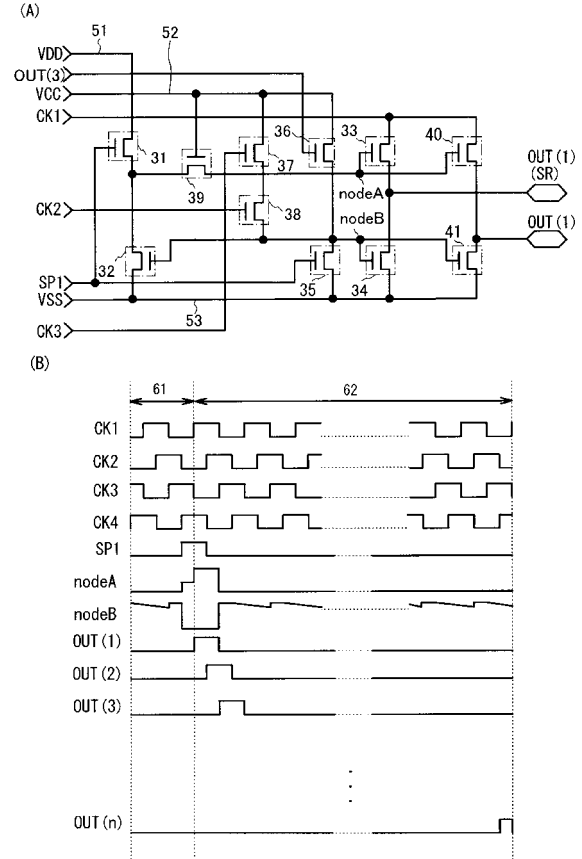
【図 12】



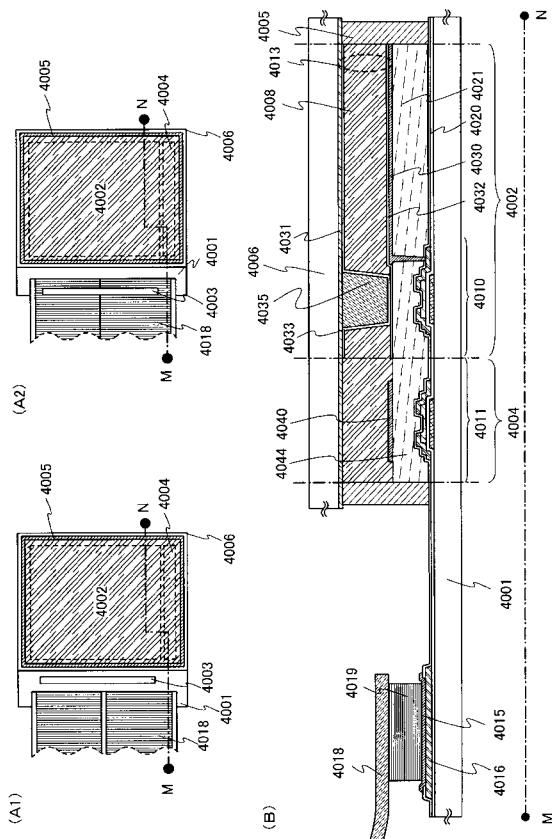
【図 13】



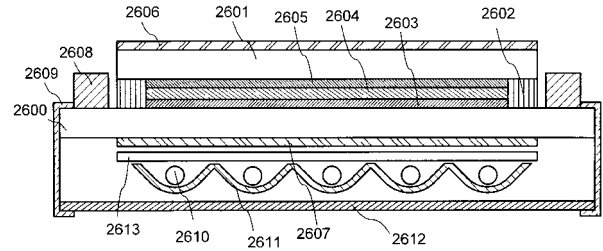
【図 14】



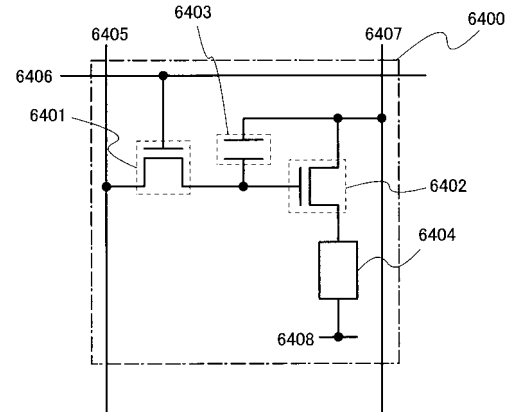
【図 15】



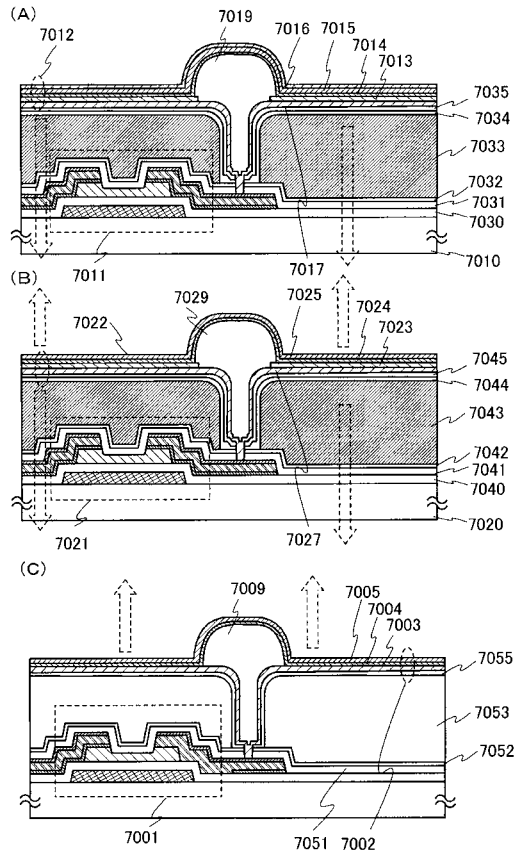
【図 16】



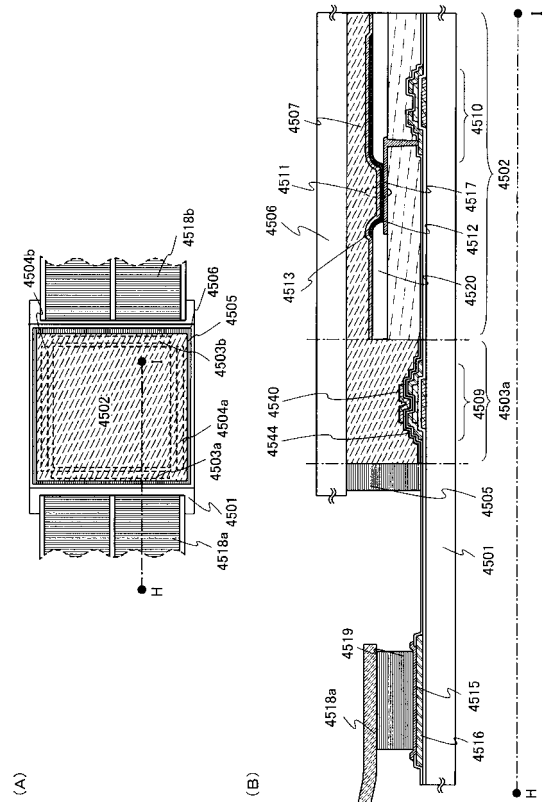
【図 17】



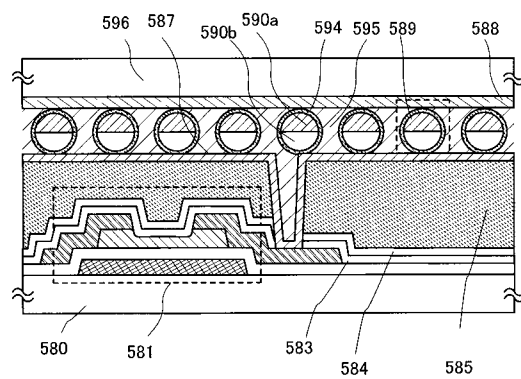
【図 18】



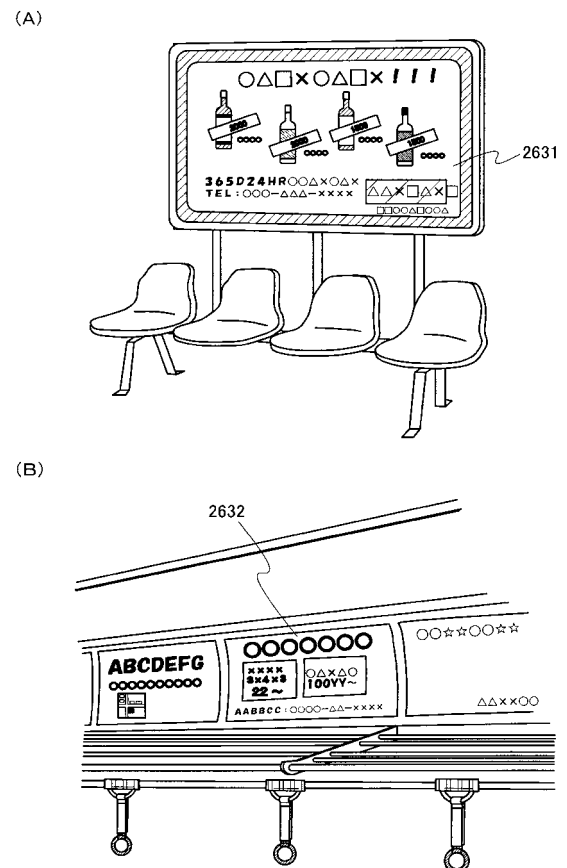
【図 19】



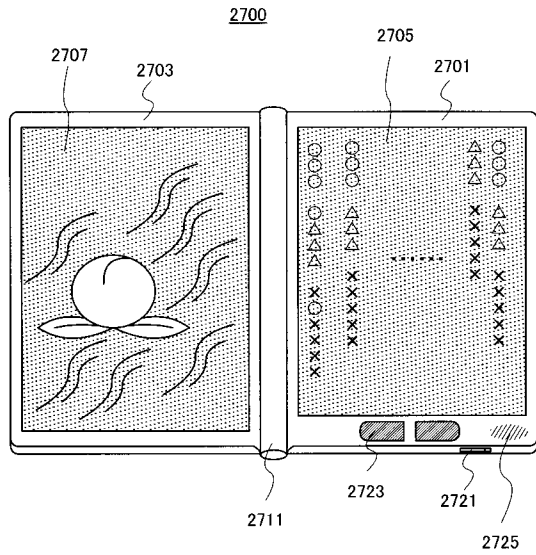
【図 20】



【図 21】

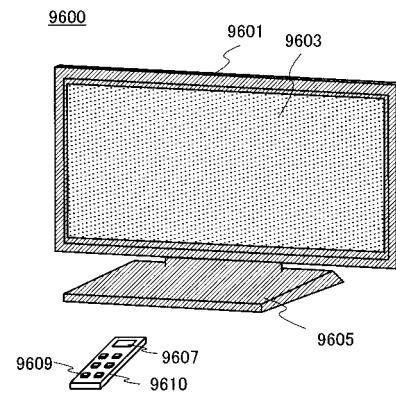


【図 2 2】

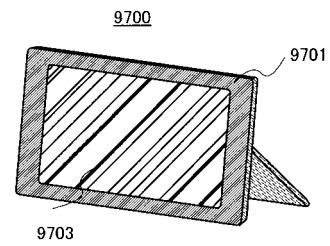


【図 2 3】

(A)

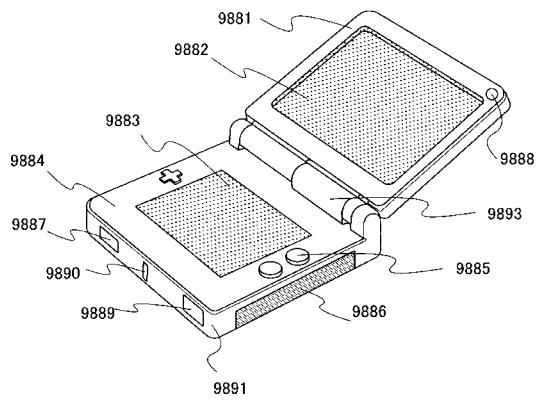


(B)

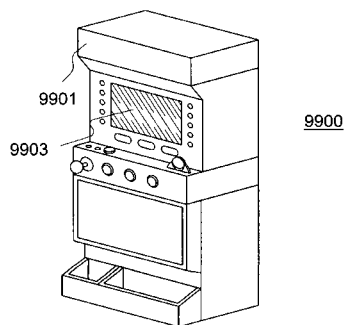


【図 2 4】

(A)

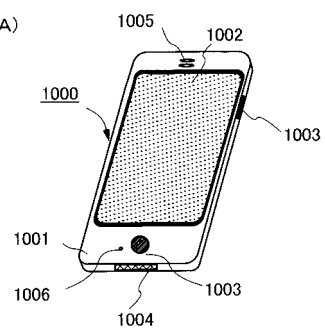


(B)

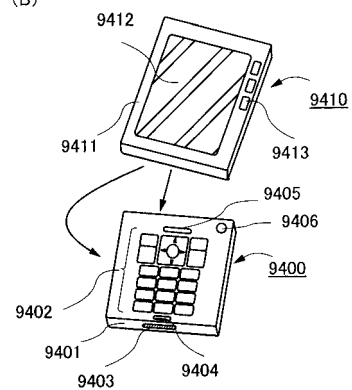


【図 2 5】

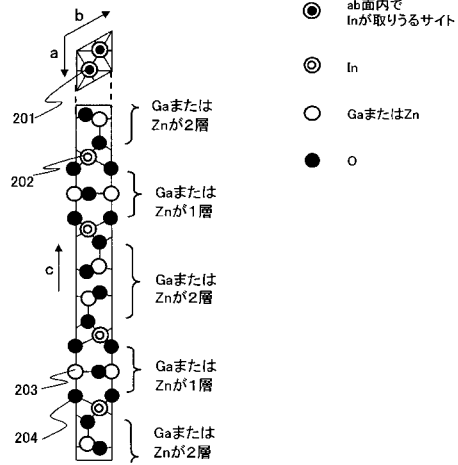
(A)



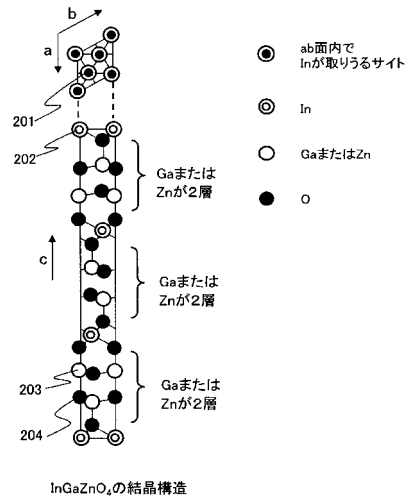
(B)



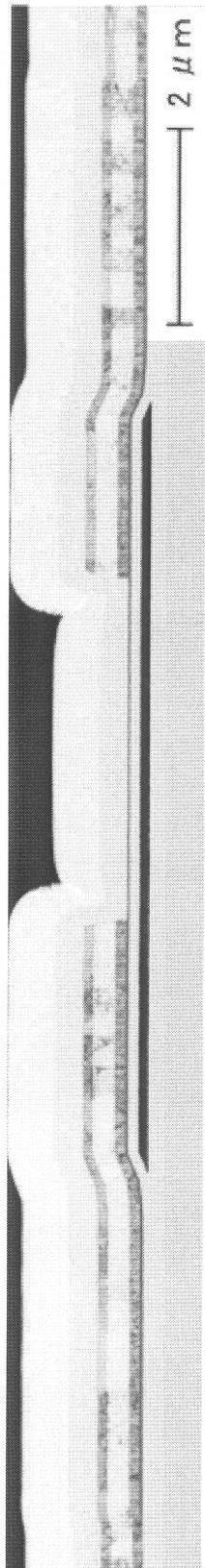
【図 3 4】



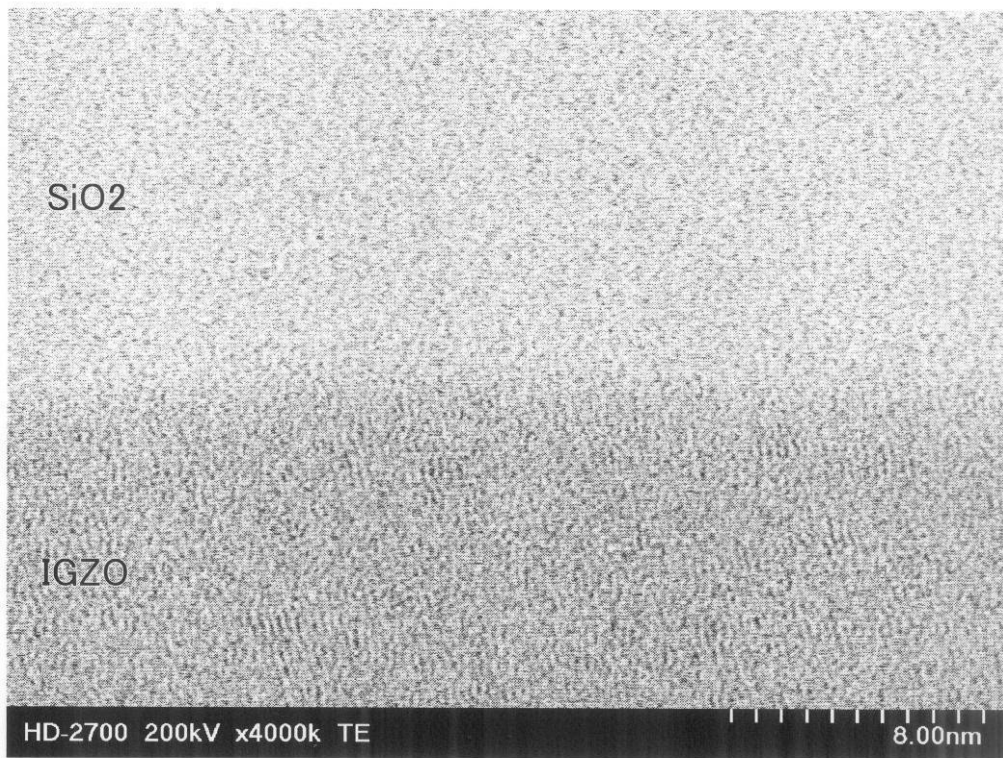
【図 3 5】



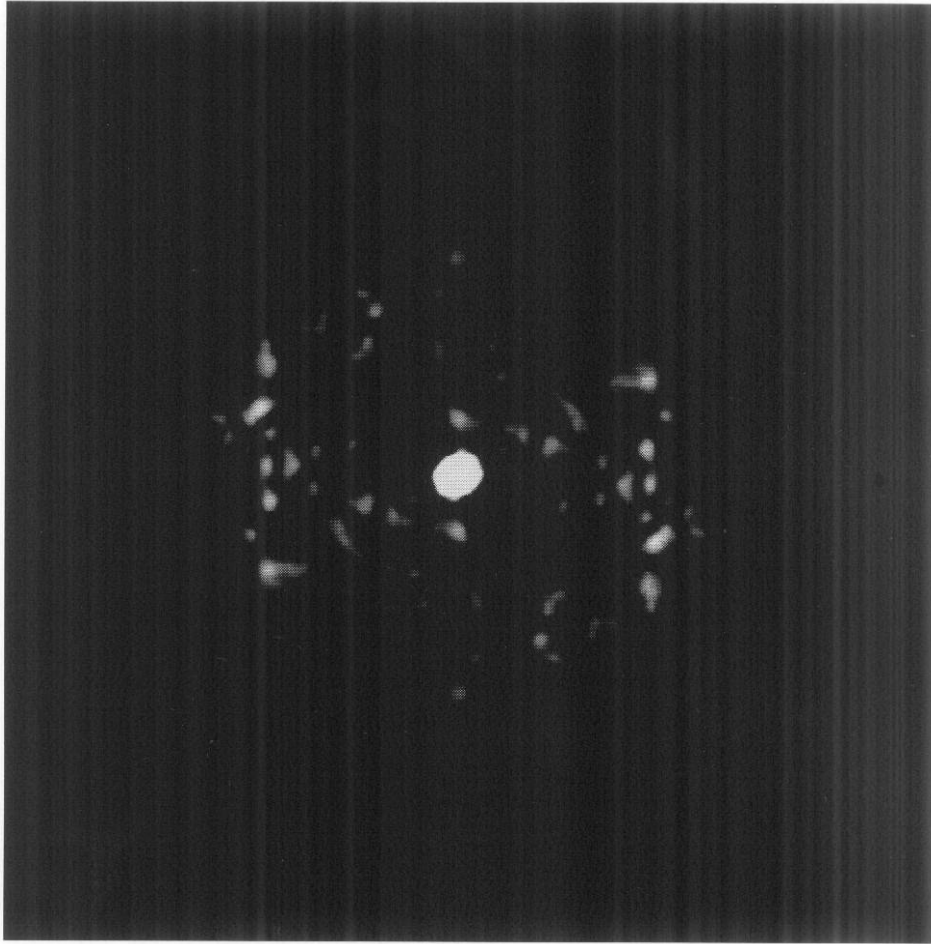
【図 26】



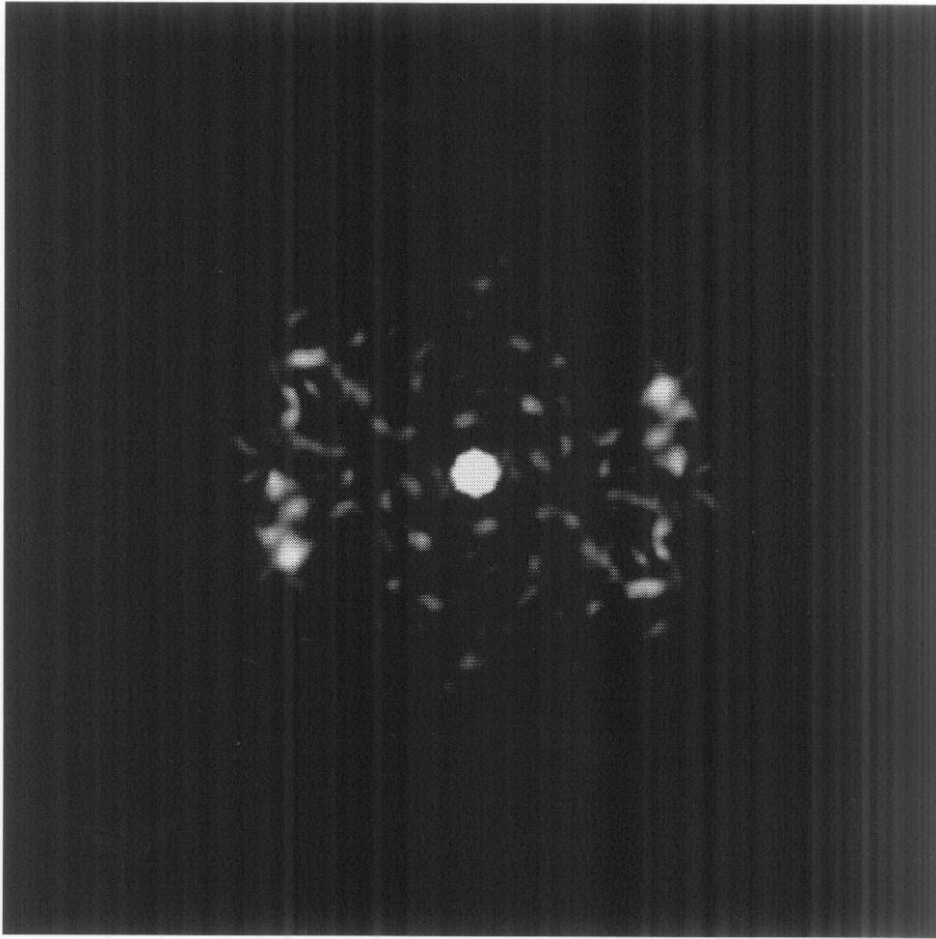
【図 27】



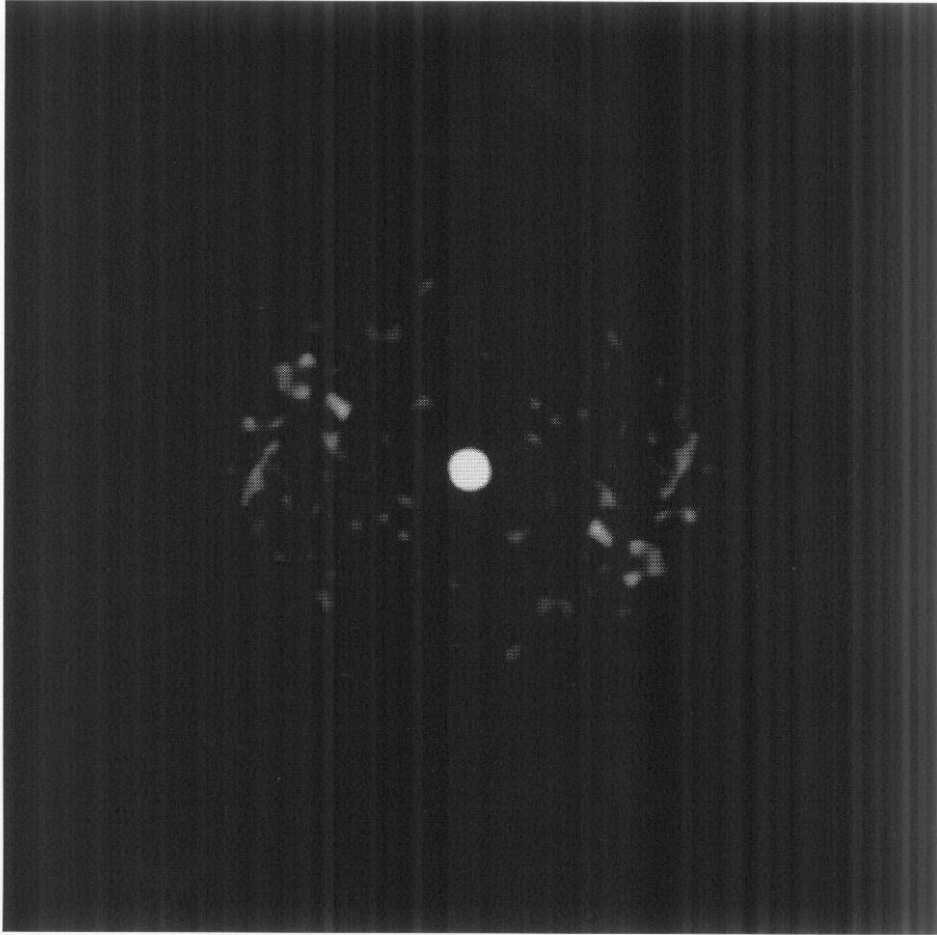
【図 28】



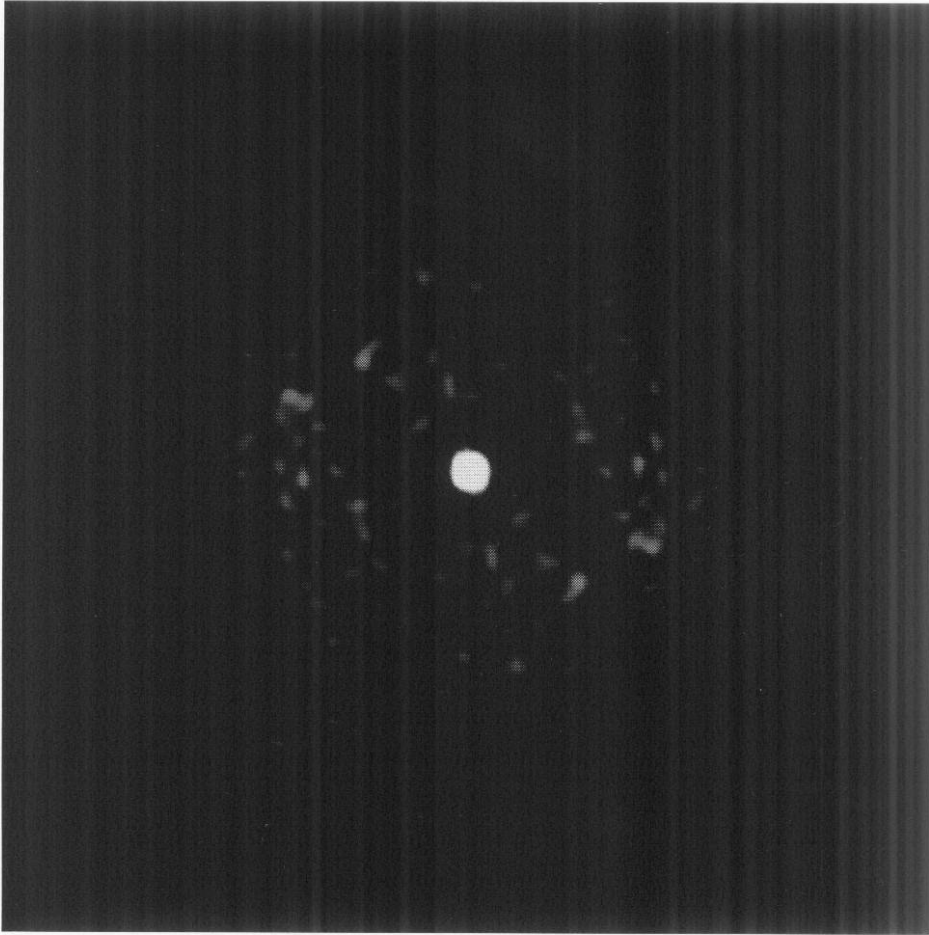
【図 29】



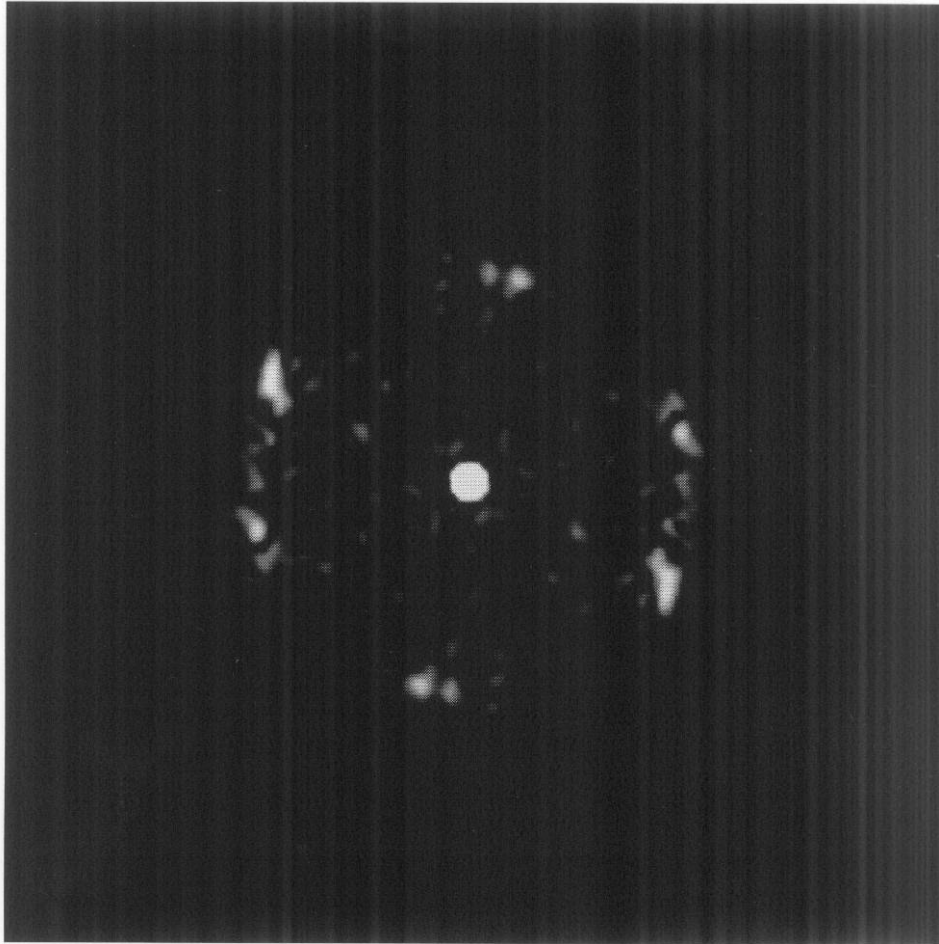
【図 30】



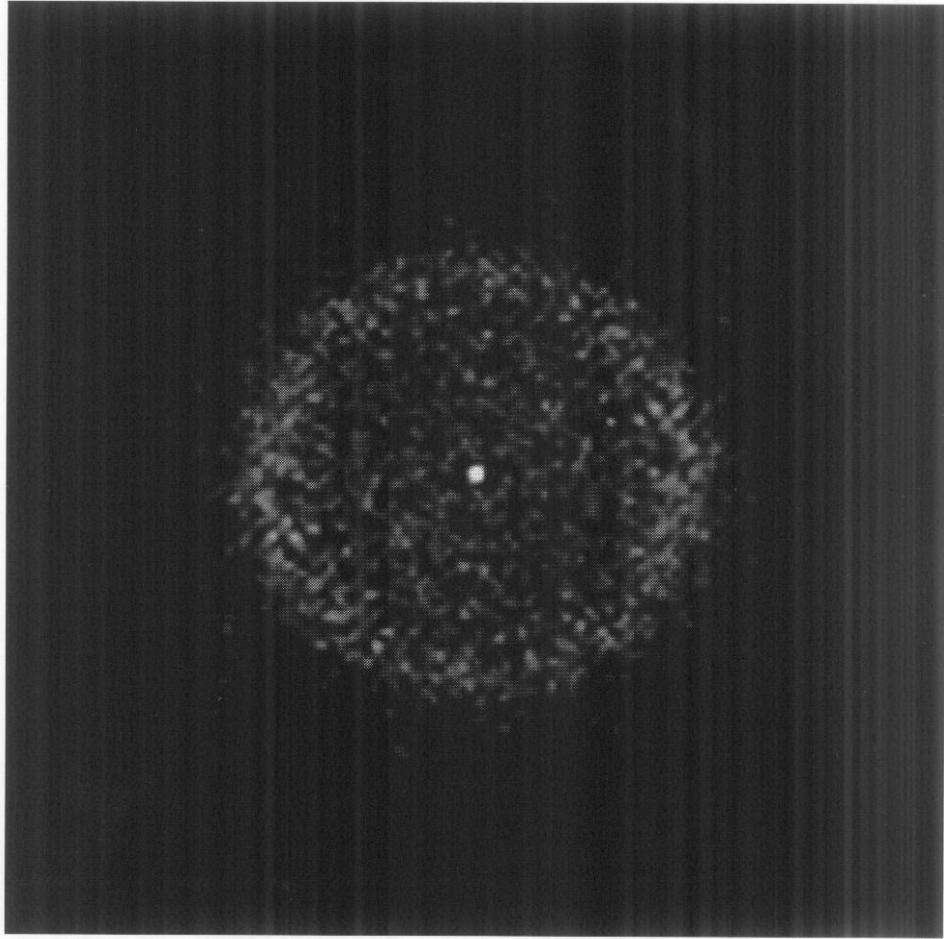
【図 3 1】



【図 3 2】



【図 33】



フロントページの続き

(72)発明者 山崎 舜平

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 5F110 AA05 BB01 BB02 CC07 DD01 DD02 DD03 DD04 DD13 DD14
DD15 EE02 EE03 EE04 EE07 EE14 EE15 EE43 EE44 FF01
FF02 FF03 FF04 FF28 FF29 GG01 GG11 GG24 GG25 GG43
GG57 GG58 HK02 HK03 HK04 HK06 HK07 HK21 HL07 HL22
HL23 HM04 HM12 NN03 NN22 NN23 NN24 NN25 NN27 NN33
NN34 NN36 NN72 NN73 QQ02 QQ19