(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年5月23日(23.05.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/098151 A1

(51) 国際特許分類:
G02F 1/1335 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/13 (2006.01) *G09F 9/30* (2006.01)
G02F 1/133 (2006.01) *G09F 9/302* (2006.01)
G02F 1/1343 (2006.01)

(21) 国際出願番号： PCT/JP2018/041791

(22) 国際出願日： 2018年11月12日(12.11.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-219857 2017年11月15日(15.11.2017) JP

(71) 出願人: 株式会社ＪＶＣケンウッド (**JVC KENWOOD CORPORATION**) [JP/JP]; 〒2210022 神奈川県横浜市神奈川区守屋町３丁目１２番地 Kanagawa (JP).

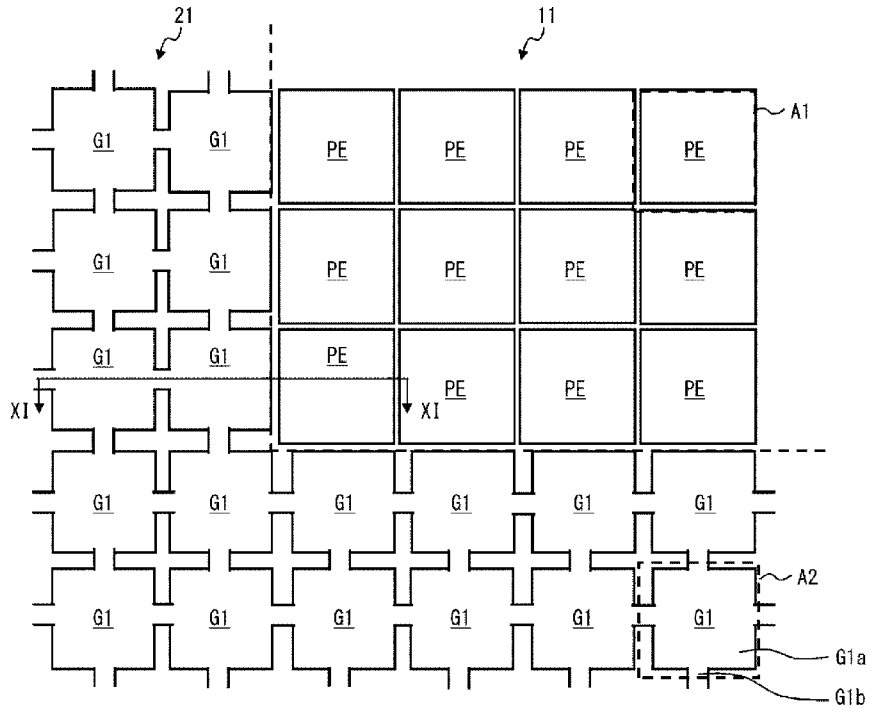
(72) 発明者: 岩佐 隆行 (**IWASA Takayuki**); 〒2210022 神奈川県横浜市神奈川区守屋町３丁目１２番地 株式会社ＪＶＣケンウッド知的財産部内 Kanagawa (JP).

(74) 代理人: 家入 健 (**IEIRI Takeshi**); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目３３番８ アサヒビルヂング５階 響国際特許事務所 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) **Title:** REFLECTIVE LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称： 反射型液晶表示装置



(57) **Abstract:** According to one embodiment, a reflective liquid crystal display device (10) is provided with: an image display part (11) in which a plurality of pixels (12) are respectively disposed in a plurality of pixel disposition regions (A1) divided in a matrix; and a frame part (21) which is provided so as to surround the outer periphery of the image display part (11) and in which a plurality of frame electrodes (G1) are respectively disposed in a plurality of electrode disposition regions (A2) divided in a matrix, wherein in each of the electrode disposition regions (A2), the frame electrode (G1) is

WO 2019/098151 A1

[続葉有]

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

disposed such that the area ratio thereof has a difference of 5% or less with reference to the area ratio of a reflecting electrode (PE) of the pixel (12) to each of the pixel disposition regions (A1).

(57) 要約:一実施の形態によれば、反射型液晶表示装置(１０)は、行列状に区画された複数の画素配置領域(Ａ１)に複数の画素(１２)がそれぞれ配置された画像表示部(１１)と、画像表示部(１１)の外周を囲むようにして設けられ、行列状に区画された複数の電極配置領域(Ａ２)に複数の額縁電極(Ｇ１)がそれぞれ配置された額縁部(２１)と、を備え、各電極配置領域(Ａ２)には、各画素配置領域(Ａ１)に占める画素(１２)の反射電極(ＰＥ)の面積率を基準にして、差分が５％以内の面積率となるように額縁電極(Ｇ１)が配置されている。

明　細　書

発明の名称 ： 反射型液晶表示装置

技術分野

[0001] 本発明は、反射型液晶表示装置に関し、黒表示の品質を向上させるのに適した反射型液晶表示装置に関する。

背景技術

[0002] 液晶表示装置における中間調表示方式の１つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には１画像の表示単位である１フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせにより画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。

[0003] サブフレーム駆動方式が採用された液晶表示装置の中には、各画素が、マスターラッチ及びスレーブラッチと、液晶表示素子と、複数のスイッチングトランジスタと、によって構成されているものがある。

[0004] この画素では、マスターラッチの入力端子に１ビットの第１のデータが第１のスイッチングトランジスタを通して印加され、行走査線を介して印加される行選択信号がアクティブになると、第１のスイッチングトランジスタがオン状態になり、第１のデータがマスターラッチに書き込まれる。

[0005] 全ての画素に設けられたマスターラッチへのデータの書き込みが完了すると、そのサブフレーム期間内において、全ての画素に設けられた第２のスイッチングトランジスタがオン状態になる。それにより、全ての画素に設けられたマスターラッチのデータが一斉に読み出されてスレーブラッチに書き込まれるとともに、当該スレーブラッチに書き込まれたデータが液晶表示素子の画素電極に印加される。各サブフレーム期間において、全ての画素に対して同様の処理が行われる。その結果、各画素は、１フレームを構成する複数

のサブフレームの組み合わせにより所望の階調表示を行うことができる。

[0006] なお、１フレームを構成する複数のサブフレームの期間は、それぞれ同一又は異なる所定の期間に予め割り当てられている。例えば、各画素において、最大階調表示を行う（白を表示させる）場合には１フレームを構成する複数のサブフレームの全てにおいて表示を行い、最小階調表示を行う（黒を表示させる）場合には１フレームを構成する複数のサブフレームの全てにおいて表示を行わず、それ以外の階調表示を行う場合には、表示する階調に応じて表示するサブフレームを選択する。この従来からの手法を採用した液晶表示装置は、階調を示すデジタルデータを入力データとしており、また、２段ラッチ構成のデジタル駆動方式を採用している（例えば、特許文献１参照）。

先行技術文献

特許文献

[0007] 特許文献1：特許第５７３３１５４号公報

発明の概要

[0008] しかしながら、特許文献１に開示された液晶表示装置では、画像表示部の外周を囲むように設けられた額縁部の額縁電極がベタ電極であると考えられ、その影響で、画像表示部に設けられた各画素によって表示される黒のレベルと、額縁部によって表示される黒のレベルと、が異なってしまう可能性があった。そのため、額縁部によって表示される黒が、画像表示部に設けられた各画素によって表示される黒よりも黒く強調されてしまう可能性があった。それにより、例えばプロジェクターを視聴している場合、同じレベルの黒を表示しているつもりでも、額縁部によって表示される黒が、画像表示部によって表示される黒よりも強調され過ぎてしまい、その結果、映像の品質が低下してしまう、という問題があった。

[0009] 本発明は以上の点に鑑みなされたもので、黒表示の品質を向上させることが可能な反射型液晶表示装置を提供することを目的とする。

[0010] 本実施形態の一態様にかかる反射型液晶表示装置は、行列状に区画された

複数の画素配置領域に複数の画素がそれぞれ配置された画像表示部と、前記画像表示部の外周を囲むようにして設けられ、行列状に区画された複数の電極配置領域に複数の額縁電極がそれぞれ配置された額縁部と、を備え、各前記電極配置領域には、各前記画素配置領域に占める前記画素の反射電極の面積率を基準にして、差分が５％以内の面積率となるように前記額縁電極が配置されている。

[0011] 本実施形態の一態様にかかる反射型液晶表示装置は、行列状に区画された複数の画素配置領域に複数の画素がそれぞれ配置された画像表示部と、前記画像表示部の外周を囲むようにして設けられ、行列状に区画された複数の電極配置領域に複数の額縁電極がそれぞれ配置された額縁部と、を備え、各前記電極配置領域には、各前記画素配置領域に占める前記画素の反射電極の周囲長を基準にして、差分が３０％以内の周囲長となるように前記額縁電極が配置されている。

[0012] 本実施形態によれば、黒表示の品質を向上させることが可能な反射型液晶表示装置を提供することができる。

図面の簡単な説明

[0013] [図1]実施の形態１にかかる液晶表示装置を示すブロック図である。

[図2]図１に示す液晶表示装置に設けられた画素の具体的構成を示す回路図である。

[図3]図２に示す画素に設けられた第１データ保持部を構成するインバータの具体的構成を示す回路図である。

[図4]図２に示す画素の概略断面図である。

[図5]図１に示す液晶表示装置の動作を示すタイミングチャートである。

[図6]液晶の印加電圧（ＲＭＳ電圧）と液晶のグレースケール値との関係を示す図である。

[図7]図１に示す液晶表示装置の概略平面図である。

[図8]比較例にかかる液晶表示装置に設けられた画素の反射電極、及び、額縁電極の概略平面図である。

[図9]図８に示す画素の反射電電極、及び、額縁電極を拡大した概略平面図である。

[図10]図１に示す液晶表示装置に設けられた画素の反射電極、及び、額縁電極の概略平面図である。

[図11]図１０に示す画素の反射電極、及び、額縁電極の概略断面図である。

[図12]図１０に示す画素の反射電極、及び、額縁電極を拡大した概略平面図である。

[図13]反射電極及び額縁電極のそれぞれの開口率の差と、画像表示部及び額縁部のそれぞれによって表示される黒レベルの差と、の関係を示す図である。

[図14]実施の形態２にかかる液晶表示装置に設けられた画素の反射電極、及び、額縁電極の概略平面図である。

[図15]図１４に示す画素の反射電極、及び、額縁電極の概略断面図である。

[図16]図１４に示す画素の反射電極、及び、額縁電極を拡大した概略平面図である。

[図17]実施の形態３にかかる液晶表示装置に設けられた画素の反射電極、及び、額縁電極の概略平面図である。

[図18]図１７に示す画素の反射電極、及び、額縁電極を拡大した概略平面図である。

[図19]反射電極及び額縁電極のそれぞれの周囲長の差と、画像表示部及び額縁部のそれぞれによって表示される黒レベルの差と、の関係を示す図である。

発明を実施するための形態

[0014] ＜実施の形態１＞

以下、図面を用いて本発明の実施形態について説明する。

[0015] 図１は、実施の形態１に係る反射型液晶表示装置１０を示すブロック図である。

図１に示すように、反射型液晶表示装置１０は、画像表示部１１と、タイ

ミングジェネレータ１３と、垂直シフトレジスタ１４と、データラッチ回路１５と、水平ドライバ１６と、を備える。水平ドライバ１６は、水平シフトレジスタ１６１と、ラッチ部１６２と、レベルシフタ／画素ドライバ１６３と、により構成される。

[0016] 画像表示部１１は、行列状に区画された複数の画素配置領域のそれぞれに規則的に配置された複数の画素１２を有する。

[0017] 複数の画素１２は、垂直シフトレジスタ１４に一端が接続されて行方向（Ｘ方向）に延在するｍ本（ｍは２以上の自然数）の行走査線ｇ１～ｇｍと、レベルシフタ／画素ドライバ１６３に一端が接続されて列方向（Ｙ方向）に延在するｎ本（ｎは２以上の自然数）の列データ線ｄ１～ｄｎと、がそれぞれ交差する複数の交差部に二次元マトリクス状に配置されている。画像表示部１１内の全ての画素１２は、一端がタイミングジェネレータ１３に接続されたトリガ線ｔｒｉｇ，ｔｒｉｇｂに共通接続されている。

[0018] なお、正転トリガパルス用トリガ線ｔｒｉｇが伝送する正転トリガパルスＴＲＩと、反転トリガパルス用トリガ線ｔｒｉｇｂが伝送する反転トリガパルスＴＲＩＢとは、常に逆論理値の関係（相補的な関係）にある。

[0019] タイミングジェネレータ１３は、上位装置２０から出力された垂直同期信号Ｖｓｔ、水平同期信号Ｈｓｔ、及び、基本クロックＣＬＫ等の外部信号を入力信号として受け取り、これら外部信号に基づいて、交流化信号ＦＲ、ＶスタートパルスＶＳＴ、ＨスタートパルスＨＳＴ、クロック信号ＶＣＫ，ＨＣＫ、ラッチパルスＬＴ、及び、トリガパルスＴＲＩ，ＴＲＩＢ等の各種の内部信号を生成する。

[0020] 交流化信号ＦＲは、１サブフレーム毎に極性反転する信号であり、画像表示部１１を構成する画素１２内の液晶表示素子の共通電極に、後述する共通電極電圧Ｖｃｏｍとして供給される。

[0021] スタートパルスＶＳＴは、後述する各サブフレームの開始タイミングで出力されるパルス信号であり、このスタートパルスＶＳＴによって、サブフレームの切替わりが制御される。

[0022] スタートパルスＨＳＴは、水平シフトレジスタ１６１の開始タイミングで当該水平シフトレジスタ１６１に対して出力されるパルス信号である。

[0023] クロック信号ＶＣＫは、垂直シフトレジスタ１４における１水平走査期間（１Ｈ）を規定するシフトクロックであり、クロック信号ＶＣＫのタイミングで垂直シフトレジスタ１４がシフト動作を行う。

[0024] クロック信号ＨＣＫは、水平シフトレジスタ１６１におけるシフトクロックであり、３２ビット幅でデータをシフトさせるための信号である。

[0025] ラッチパルスＬＴは、水平シフトレジスタ１６１が水平方向の１行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。

[0026] 正転トリガパルスＴＲＩ及び反転トリガパルスＴＲＩＢは、それぞれトリガ線ｔｒｉｇ，ｔｒｉｇｂを介して、画像表示部１１内の全ての画素１２に供給されるパルス信号である。

[0027] ここで、正転トリガパルスＴＲＩ及び反転トリガパルスＴＲＩＢは、あるサブフレーム期間において、画像表示部１１内の全ての画素１２内の第１データ保持部にデータが書き込まれた後にタイミングジェネレータ１３から出力される。それにより、そのサブフレーム期間において、画像表示部１１内の全ての画素１２内の第１データ保持部に保持されたデータが、それぞれ対応する画素１２内の第２データ保持部に一斉に転送される。

[0028] 垂直シフトレジスタ１４は、各サブフレームの開始タイミングで供給されるＶスタートパルスＶＳＴをクロック信号ＶＣＫに従って転送し、行走査信号を行走査線ｇ１～ｇｍに対して１Ｈ単位で順次排他的に供給する。それにより、画像表示部１１の最も上にある行走査線ｇ１から最も下にある行走査線ｇｍにかけて、行走査線が１本ずつ１Ｈ単位で順次選択されていく。

[0029] データラッチ回路１５は、図示しない外部回路から供給される１サブフレーム単位の３２ビット幅のデータを、上位装置２０からの基本クロックＣＬＫに基づいてラッチした後、基本クロックＣＬＫに同期して水平シフトレジスタ１６１へ出力する。

[0030] なお、反射型液晶表示装置１０は、映像信号の１フレームを、その映像信号の１フレーム期間より短い表示期間を持つ複数のサブフレームに分割し、これらサブフレームの組み合わせにて階調表示を行っている。そのため、上記の外部回路は、各画素の階調を示す階調データを、複数のサブフレームに対応する複数の１ビットのサブフレームデータに変換している。さらに、上記の外部回路は、同じサブフレームに属する３２画素分のサブフレームデータをまとめて３２ビット幅のデータとしてデータラッチ回路１５に供給している。

[0031] 水平シフトレジスタ１６１は、１ビットシリアルデータの処理系としてみた場合、タイミングジェネレータ１３から１Ｈの初期に供給されるスタートパルスＨＳＴによりシフトを開始し、データラッチ回路１５から供給される３２ビット幅のデータをクロック信号ＨＣＫに同期してシフトする。

[0032] ラッチ部１６２は、水平シフトレジスタ１６１が画像表示部１１の１行分の画素数ｎと同じｎビット分のデータをシフトし終わると、タイミングジェネレータ１３から供給されるラッチパルスＬＴに同期して、水平シフトレジスタ１６１から並列に供給されるｎビット分のデータ（即ち、ｎ画素分のサブフレームデータ）をラッチし、レベルシフタ／画素ドライバ１６３のレベルシフタへ出力する。なお、ラッチ部１６２のデータ転送が終了すると、タイミングジェネレータ１３からスタートパルスＨＳＴが再び出力され、水平シフトレジスタ１６１はクロック信号ＨＣＫに従ってデータラッチ回路１５からの３２ビット幅のデータのシフトを再開する。

[0033] レベルシフタ／画素ドライバ１６３のレベルシフタは、ラッチ部１６２から転送された１行のｎ画素に対応するｎ個のサブフレームデータの信号レベルを液晶駆動電圧振幅までレベルシフトする。レベルシフタ／画素ドライバ１６３の画素ドライバは、レベルシフト後の１行のｎ画素に対応したｎ個のサブフレームデータをｎ本の列データ線ｄ１～ｄｎに並列に出力する。

[0034] 水平ドライバ１６は、１水平走査期間において、データ書き込み対象として選択されている行の画素に向けたサブフレームデータの出力と、次の１水

平走査期間にデータ書き込み対象として選択される行の画素のためのサブフレームデータのシフトと、を並行して行っている。そして、ある水平走査期間において、１行のｎ画素に対応するｎ個のサブフレームデータが、データ信号としてそれぞれｎ本の列データ線ｄ１～ｄｎに並列に、かつ、一斉に出力される。

[0035] 画像表示部１１を構成する複数の画素１２のうち、垂直シフトレジスタ１４からの行走査信号により選択された１行のｎ個の画素１２は、レベルシフタ／画素ドライバ１６３から一斉に出力された１行分のｎ個のサブフレームデータをｎ本の列データ線ｄ１～ｄｎを介してサンプリングして各画素１２内の後述する第１データ保持部に書き込む。

[0036] 画素１２の詳細については後述するが、画素１２では、記憶部ＳＭ１に保持された入力データの反転データが反射電極ＰＥに印加される。つまり、画素１２は、レベルシフタ／画素ドライバ１６３から供給された入力データを反転する機能を有している。

[0037]（画素１２の具体的構成）

続いて、画素１２の具体的構成について説明する。

図２は、画素１２の具体的構成を示す回路図である。

[0038] 図２に示すように、画素１２は、行走査線ｇ１～ｇｍの何れか（以下、行走査線ｇと称す）と、列データ線ｄ１～ｄｎの何れか（以下、列データ線ｄと称す）と、が交差する交差部分に設けられている。

[0039] 画素１２は、ＳＲＡＭセル２０１と、ＤＲＡＭセル２０２と、液晶表示素子ＬＣと、を備える。ＳＲＡＭセル２０１は、第１スイッチであるスイッチＳＷ１と、第１データ保持部である記憶部ＳＭ１と、により構成されている。ＤＲＡＭセル２０２は、第２スイッチであるスイッチＳＷ２と、第２データ保持部である記憶部ＤＭ２と、により構成されている。液晶表示素子ＬＣは、離間対向配置された光反射特性を有する画素電極である反射電極ＰＥと、光透過性を有する共通電極ＣＥとの間の空間に、液晶ＬＣＭが充填封入された公知の構造である。

[0040] （ＳＲＡＭセル２０１の構成）

スイッチＳＷ１は、例えばＮチャネルＭＯＳ型トランジスタ（以下、ＮＭＯＳトランジスタという）ＭＮ１により構成されている。スイッチＳＷ１を構成するＮＭＯＳトランジスタＭＮ１では、ソースが記憶部ＳＭ１の入力端子（ノードａ）に接続され、ドレインが列データ線ｄに接続され、ゲートが行走査線ｇに接続されている。

[0041] 記憶部ＳＭ１は、一方の出力端子が他方の入力端子に接続された２つのインバータＩＮＶ１１，ＩＮＶ１２からなる自己保持型メモリである。より具体的には、インバータＩＮＶ１１の入力端子は、インバータＩＮＶ１２の出力端子及びスイッチＳＷ１を構成するＮＭＯＳトランジスタＭＮ１のソースに接続されている。インバータＩＮＶ１２の入力端子は、スイッチＳＷ２及びインバータＩＮＶ１１の出力端子に接続されている。

[0042] 図３は、インバータＩＮＶ１１の具体的構成を示す回路図である。

図３に示すように、インバータＩＮＶ１１は、直列接続されたＰチャネルＭＯＳ型トランジスタ（以下、ＰＭＯＳトランジスタという）ＭＰ１１及びＮＭＯＳトランジスタＭＮ１１を有し、それぞれのゲートに供給された入力信号を反転してそれぞれのドレインから出力する公知のＣＭＯＳインバータである。同じく、インバータＩＮＶ１２は、直列接続されたＰＭＯＳトランジスタＭＰ１２及びＮＭＯＳトランジスタＭＮ１２を有し、それぞれのゲートに供給された入力信号を反転してそれぞれのドレインから出力する公知のＣＭＯＳインバータである。

[0043] ここで、インバータＩＮＶ１１，ＩＮＶ１２の駆動能力は異なる。具体的には、記憶部ＳＭ１を構成するインバータＩＮＶ１１，ＩＮＶ１２のうち、スイッチＳＷ１から見て入力側となるインバータＩＮＶ１１内のトランジスタＭＰ１１，ＭＮ１１の駆動能力は、スイッチＳＷ１から見て出力側となるインバータＩＮＶ１２内のトランジスタＭＰ１２，ＭＮ１２の駆動能力よりも大きい。それにより、列データ線ｄからスイッチＳＷ１を介して記憶部ＳＭ１にデータが伝搬しやすくなり、一方で、スイッチＳＷ２を介して記憶部

ＤＭ２から記憶部ＳＭ１にデータが伝搬しにくくなる。

[0044] さらに、スイッチＳＷ１を構成するＮＭＯＳトランジスタＭＮ１の駆動能力は、インバータＩＮＶ１２を構成するＮＭＯＳトランジスタＭＮ１２の駆動能力よりも大きい。それにより、例えば、列データ線ｄ上でＨレベルを示すデータを記憶部ＳＭ１に記憶させる場合、列データ線ｄからスイッチＳＷ１を介して記憶部ＳＭ１の入力端子（ノードａ）に流れる電流が、記憶部ＳＭ１の入力端子からＮＭＯＳトランジスタＭＮ１２を介して接地電圧端子ＧＮＤに流れる電流よりも大きくなるため、データを正確に記憶部ＳＭ１に記憶させることができる。

[0045] （ＤＲＡＭセル２０２の構成）

スイッチＳＷ２は、並列接続されたＮＭＯＳトランジスタＭＮ２及びＰＭＯＳトランジスタＭＰ２からなる公知のトランスミッションゲートである。より具体的には、ＮＭＯＳトランジスタＭＮ２及びＰＭＯＳトランジスタＭＰ２では、それぞれのソースが記憶部ＳＭ１の出力端子に共通接続され、それぞれのドレインが記憶部ＤＭ２の入力端子及び液晶表示素子ＬＣの反射電極ＰＥに共通接続されている。そして、ＮＭＯＳトランジスタＭＮ２のゲートは、正転トリガパルス用トリガ線ｔｒｉｇに接続され、ＰＭＯＳトランジスタＭＰ２のゲートは、反転トリガパルス用トリガ線ｔｒｉｇｂに接続されている。

[0046] 例えば、スイッチＳＷ２は、トリガ線ｔｒｉｇを介して供給される正転トリガパルスがＨレベル（トリガ線ｔｒｉｇｂを介して供給される反転トリガパルスがＬレベル）の場合にオン状態となり、記憶部ＳＭ１から読み出されたデータを記憶部ＤＭ２及び反射電極ＰＥへ転送する。また、スイッチＳＷ２は、トリガ線ｔｒｉｇを介して供給される正転トリガパルスがＬレベル（トリガ線ｔｒｉｇｂを介して供給される反転トリガパルスがＨレベル）の場合にオフ状態となり、記憶部ＳＭ１の記憶データの読み出しは行わない。

[0047] スイッチＳＷ２は、公知のトランスミッションゲートであるため、オン状態において接地電圧ＧＮＤから電源電圧ＶＤＤまでの広範囲の電圧を転送す

ることができる。より具体的には、記憶部ＳＭ１からトランジスタＭＮ２，ＭＰ２のソースに印加される電圧が接地電圧ＧＮＤレベル（Ｌレベル）の場合、ＰＭＯＳトランジスタＭＰ２のソース・ドレインが導通しない代わりに、ＮＭＯＳトランジスタＭＮ２のソース・ドレインは低抵抗で導通することができる。一方、記憶部ＳＭ１からトランジスタＭＮ２，ＭＰ２のソースに印加される電圧が電源電圧ＶＤＤレベル（Ｈレベル）の場合、ＮＭＯＳトランジスタＭＮ２のソース・ドレインが導通しない代わりに、ＰＭＯＳトランジスタＭＰ２のソース・ドレインは低抵抗で導通することができる。このように、スイッチＳＷ２では、トランスミッションゲートのソース・ドレインが低抵抗で導通することができるため、オン状態において接地電圧ＧＮＤから電源電圧ＶＤＤまでの広範囲の電圧を転送することができる。

[0048] 記憶部ＤＭ２は、容量Ｃ１により構成されている。容量Ｃ１には、例えば、配線間で容量を形成するＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）容量、基板－ポリシリコン間で容量を形成するＤｉｆｆｕｓｉｏｎ容量、又は、２層ポリシリコン間で容量を形成するＰＩＰ（Ｐｏｌｙ　Ｉｎｓｕｌａｔｏｒ　Ｐｏｌｙ）容量等を用いることができる。

[0049] スイッチＳＷ２がオンすると、記憶部ＳＭ１に記憶されたデータが読み出され、スイッチＳＷ２を介して、記憶部ＤＭ２内の容量Ｃ１及び反射電極ＰＥへ転送される。それにより、記憶部ＤＭ２に記憶されたデータが書き換えられる。

[0050] ここで、スイッチＳＷ２がオンしている場合、容量Ｃ１に保持されたデータは記憶部ＳＭ１を構成するインバータＩＮＶ１２の入力ゲートにも影響を与える。しかしながら、インバータＩＮＶ１１の駆動能力をインバータＩＮＶ１２の駆動能力より大きくしているため、インバータＩＮＶ１２が容量Ｃ１のデータの影響を受ける前に、インバータＩＮＶ１１が容量Ｃ１のデータを書き換えてしまう。したがって、容量Ｃ１の保持データによって記憶部ＳＭ１のデータが意図せず書き換えられてしまうことはない。

[0051] このように、本実施の形態に係る反射型液晶表示装置１０は、ＳＲＡＭセ

ル及びＤＲＡＭセルを１つずつ備えた画素１２を用いることにより、ＳＲＡＭセルを２つ備えた画素を用いる場合よりも、画素を構成するトランジスタの数を少なくして、画素の小型化を実現している。

[0052] 本実施の形態では、スイッチＳＷ２がＰＭＯＳトランジスタＭＰ２及びＮＭＯＳトランジスタＭＮ２により構成される場合について説明したが、これに限られない。スイッチＳＷ２は、ＰＭＯＳトランジスタＭＰ２及びＮＭＯＳトランジスタＭＮ２の何れか一つが設けられた構成に適宜変更可能である。その場合、トリガ線ｔｒｉｇ，ｔｒｉｇｂの一方のみが設けられることとなる。

[0053] なお、反射型液晶表示装置１０は、画素を構成するトランジスタの数を少なくすることで画素の小型化を実現できるだけでなく、以下に説明するように記憶部ＳＭ１，ＤＭ２及び反射電極ＰＥを素子の高さ方向に有効に配置することによっても画素の小型化を実現することができる。以下、図４を用いて、詳細に説明する。

[0054] （画素１２の断面構造）

図４は、画素１２の要部を示す概略断面図である。また、図４では、容量Ｃ１が配線間で容量を形成するＭＩＭにより構成された場合を例に説明する。

[0055] 図４に示すように、シリコン基板１００上にはＮウエル１０１及びＰウエル１０２が形成されている。

[0056] Ｎウエル１０１上には、スイッチＳＷ２のＰＭＯＳトランジスタＭＰ２、及び、インバータＩＮＶ１１のＰＭＯＳトランジスタＭＰ１１が形成されている。より具体的には、Ｎウエル１０１上には、ＰＭＯＳトランジスタＭＰ２，ＭＰ１１のそれぞれのソースとなる共通拡散層、及び、ドレインとなる２つの拡散層が形成され、共通拡散層と２つの拡散層との間のチャネル領域上には、ＰＭＯＳトランジスタＭＰ２，ＭＰ１１のそれぞれのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。

[0057] Ｐウエル１０２上には、スイッチＳＷ２のＮＭＯＳトランジスタＭＮ２、

及び、インバータＩＮＶ１１のＮＭＯＳトランジスタＭＮ１１が形成されている。より具体的には、Ｐウエル１０２上には、ＮＭＯＳトランジスタＭＮ２，ＭＮ１１のそれぞれのソースとなる共通拡散層、及び、ドレインとなる２つの拡散層が形成され、共通拡散層と２つの拡散層との間のチャネル領域上には、ＮＭＯＳトランジスタＭＮ２，ＭＮ１１のそれぞれのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。

[0058] なお、Ｎウエル上の活性領域（拡散層及びチャネル領域）と、Ｐウエル上の活性領域と、の間には、素子分離酸化膜１０３が形成されている。

[0059] トランジスタＭＰ２，ＭＰ１１，ＭＮ２，ＭＮ１１の上方には、層間絶縁膜１０５をメタル間に介在させて第１メタル１０６、第２メタル１０８、第３メタル１１０、ＭＩＭ電極１１２、第４メタル１１４、及び、第５メタル１１６が積層されている。

[0060] 第５メタル１１６は、画素毎に形成される反射電極ＰＥを構成している。

[0061] トランジスタＭＮ２，ＭＰ２の各ドレインを構成する各拡散層は、コンタクト１１８、第１メタル１０６、スルーホール１１９ａ、第２メタル１０８、スルーホール１１９ｂ、第３メタル１１０、スルーホール１１９ｃ、第４メタル１１４、及び、スルーホール１１９ｅを介して、第５メタル１１６に電気的に接続されている。さらに、トランジスタＭＮ２，ＭＰ２の各ドレインを構成する各拡散層は、コンタクト１１８、第１メタル１０６、スルーホール１１９ａ、第２メタル１０８、スルーホール１１９ｂ、第３メタル１１０、スルーホール１１９ｃ、第４メタル１１４、及び、スルーホール１１９ｄを介してＭＩＭ電極１１２に電気的に接続されている。即ち、スイッチＳＷ２を構成するトランジスタＭＮ２，ＭＰ２の各ソースは、反射電極ＰＥ及びＭＩＭ電極１１２に電気的に接続されている。

[0062] 反射電極ＰＥ（第５メタル１１６）は、その上面に形成された保護膜であるパッシベーション膜（ＰＳＶ）１１７を介して、透明電極である共通電極ＣＥに離間対向配置されている。反射電極ＰＥと共通電極ＣＥとの間には、液晶ＬＣＭが充填封止されている。反射電極ＰＥ、共通電極ＣＥ、及び、そ

れらの間の液晶ＬＣＭによって液晶表示素子ＬＣが構成される。

[0063] ここで、ＭＩＭ電極１１２は、第３メタル１１０上に層間絶縁膜１０５を介して形成されている。このＭＩＭ電極１１２、第３メタル１１０、及び、それらの間の層間絶縁膜１０５によって容量Ｃ１が構成される。そのため、スイッチＳＷ１，ＳＷ２及び記憶部ＳＭ１が、第１，２層配線である第１メタル１０６及び第２メタル１０８と、トランジスタと、を用いて形成されるのに対し、記憶部ＤＭ２は、それらの上層である第３メタル１１０及びＭＩＭ電極１１２を用いて形成されることとなる。つまり、スイッチＳＷ１，ＳＷ２及び記憶部ＳＭ１と、記憶部ＤＭ２とは、それぞれ異なる層にて形成されることとなる。

[0064] 図示しない光源からの光は、共通電極ＣＥ及び液晶ＬＣＭを透過して反射電極ＰＥ（第５メタル１１６）に入射して反射され、元の入射経路を逆進して共通電極ＣＥを通して出射される。

[0065] このように、反射型液晶表示装置１０は、第５層配線である第５メタル１１６を反射電極ＰＥとして用い、第３層配線である第３メタル１１０を記憶部ＤＭ２の一部として用い、第１，２層配線である第１メタル１０６及び第２メタル１０８とトランジスタとを記憶部ＳＭ１等として用いることで、記憶部ＳＭ１、記憶部ＤＭ２及び反射電極ＰＥを高さ方向に有効に配置することが可能になるため、画素をさらに小型化することができる。それにより、例えば、３μｍ以下のピッチの画素を電源電圧３．３Ｖのトランジスタで構成できる。この３μｍ以下のピッチの画素を用いることで、対角の長さ０．５５インチの横方向４０００画素、縦方向２０００画素の液晶表示パネルを実現できる。

[0066] （反射型液晶表示装置１０の動作）

次に、図５を用いて、反射型液晶表示装置１０の動作について説明する。

図５は、反射型液晶表示装置１０の動作を示すタイミングチャートである。

[0067] 前述したように、反射型液晶表示装置１０では、垂直シフトレジスタ１４

からの行走査信号により、行走査線ｇ１～ｇｍが１本ずつ１Ｈ単位で順次選択されていくため、画像表示部１１を構成する複数の画素１２には、選択された行走査線に共通に接続された１行のｎ個の画素単位でデータが書き込まれる。そして、画像表示部１１を構成する複数の画素１２の全てにデータが書き込まれると、その後、トリガパルスＴＲＩ，ＴＲＩＢに基づき、全ての画素１２のデータが一斉に読み出される（より具体的には、全ての画素１２内の記憶部ＳＭ１のデータが一斉に記憶部ＤＭ２及び反射電極ＰＥに転送される）。

[0068] 図５の（Ａ）は、各画素１２に記憶されるサブフレームデータの変化を示している。なお、縦軸が行番号を表し、横軸が時間を表している。図５の（Ａ）に示すように、サブフレームデータの境界線は右下がりとなっている。これは、行番号の大きな画素ほどサブフレームデータが遅れて書き込まれることを表している。この境界線の一端から他端までの期間がサブフレームデータの書き込み期間に相当する。なお、Ｂ０ｂ，Ｂ１ｂ，Ｂ２ｂは、それぞれビットＢ０，Ｂ１，Ｂ２のサブフレームデータの反転データを示している。

[0069] 図５の（Ｂ）は、トリガパルスＴＲＩの出力タイミング（立ち上がりタイミング）を示している。なお、トリガパルスＴＲＩＢは、常にトリガパルスＴＲＩを論理反転した値を示すため、省略されている。図５の（Ｃ）は、反射電極ＰＥに印加されるサブフレームデータのビットを模式的に示している。図５の（Ｄ）は、共通電極電圧Ｖｃｏｍの値の変化を示している。図５の（Ｅ）は、液晶ＬＣＭに印加される電圧の変化を示している。

[0070] まず、行走査信号により選択された画素１２では、スイッチＳＷ１がオンするため、水平ドライバ１６から列データ線ｄに出力されたビットＢ０の正転サブフレームデータが、スイッチＳＷ１によりサンプリングされて記憶部ＳＭ１に書き込まれる。同様にして、画像表示部１１を構成する全ての画素１２の記憶部ＳＭ１に対してビットＢ０の正転サブフレームデータが書き込まれる。その後、画像表示部１１を構成する全ての画素１２に対してＨレベ

ルのトリガパルスＴＲＩ（及びＬレベルのトリガパルスＴＲＩＢ）が同時に供給される（時刻Ｔ１）。

[0071] これにより、全ての画素１２のスイッチＳＷ２がオンするため、記憶部ＳＭ１に記憶されているビットＢ０の正転サブフレームデータがスイッチＳＷ２を通して記憶部ＤＭ２に一斉に転送されて保持されるとともに、ビットＢ０の正転サブフレームデータが反射電極ＰＥに印加される。ここで、図５の（Ｃ）を見てもわかるように、記憶部ＤＭ２によるビットＢ０の正転サブフレームデータの保持期間（反射電極ＰＥへのビットＢ０の正転サブフレームデータの印加期間）は、トリガパルスＴＲＩがＨレベルとなってから（時刻Ｔ１）、次に再びＨレベルとなるまで（時刻Ｔ２）の１サブフレーム期間である。

[0072] ここで、サブフレームデータのビット値が「１」、すなわちＨレベルのときには反射電極ＰＥには電源電圧ＶＤＤ（ここでは３．３Ｖ）が印加され、ビット値が「０」、すなわちＬレベルのときには反射電極ＰＥには接地電圧ＧＮＤ（０Ｖ）が印加される。一方、共通電極ＣＥには、接地電圧ＧＮＤ及び電源電圧ＶＤＤに制限されることなく、自由な電圧が共通電極電圧Ｖｃｏｍとして印加できるようになっており、Ｈレベルの正転トリガパルスＴＲＩの入力に同期して共通電極電圧Ｖｃｏｍが所定電圧に切り替わるように制御される。本例では、共通電極電圧Ｖｃｏｍは、ビットＢ０の正転サブフレームデータが反射電極ＰＥに印加されるサブフレーム期間中、図５（Ｄ）に示すように、０Ｖよりも液晶の閾値電圧Ｖｔｔだけ低い電圧に設定される。

[0073] 液晶表示素子ＬＣは、反射電極ＰＥの印加電圧と共通電極電圧Ｖｃｏｍとの差電圧の絶対値である液晶ＬＣＭの印加電圧に応じた階調表示を行う。したがって、ビットＢ０の正転サブフレームデータが反射電極ＰＥに印加されるサブフレーム期間（時刻Ｔ１～Ｔ２）では、液晶ＬＣＭの印加電圧は、図５（Ｅ）に示すように、サブフレームデータのビット値が「１」のときは３．３Ｖ＋Ｖｔｔ（＝３．３Ｖ－（－Ｖｔｔ））となり、サブフレームデータのビット値が「０」のときは＋Ｖｔｔ（＝０Ｖ－（－Ｖｔｔ））となる。

[0074] 図６は、液晶の印加電圧（ＲＭＳ電圧）と液晶のグレースケール値との関係を示す。

図６を参照すると、グレースケール値曲線は、黒のグレースケール値が液晶の閾値電圧ＶｔｔのＲＭＳ電圧に対応し、かつ、白のグレースケール値が液晶の飽和電圧Ｖｓａｔ（＝３．３Ｖ＋Ｖｔｔ）のＲＭＳ電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。したがって、液晶表示素子ＬＣは上記のように液晶ＬＣＭの印加電圧が（３．３Ｖ＋Ｖｔｔ）のときは白を表示し、＋Ｖｔｔのときは黒を表示する。

[0075] 図５に戻り、液晶表示素子ＬＣがビットＢ０の正転サブフレームデータを表示しているサブフレーム期間（時刻Ｔ１～Ｔ２）において、画像表示部１１を構成する全ての画素１２の記憶部ＳＭ１に対するビットＢ０の反転サブフレームデータの書き込みが順次開始される。そして、画像表示部１１を構成する全ての画素１２の記憶部ＳＭ１に対してビットＢ０の反転サブフレームデータが書き込まれると、その後、画像表示部１１を構成する全ての画素１２に対してＨレベルのトリガパルスＴＲＩ（及びＬレベルのトリガパルスＴＲＩＢ）が同時に供給される（時刻Ｔ２）。

[0076] これにより、全ての画素１２のスイッチＳＷ２がオンするため、記憶部ＳＭ１に記憶されているビットＢ０の反転サブフレームデータがスイッチＳＷ２を通して記憶部ＤＭ２に一斉に転送されて保持されるとともに、ビットＢ０の反転サブフレームデータが反射電極ＰＥに印加される。ここで、図５の（Ｃ）を見てもわかるように、記憶部ＤＭ２によるビットＢ０の反転サブフレームデータの保持期間（反射電極ＰＥへのビットＢ０の反転サブフレームデータの印加期間）は、トリガパルスＴＲＩがＨレベルとなってから（時刻Ｔ２）、次に再びＨレベルとなるまで（時刻Ｔ３）の１サブフレーム期間である。ここで、ビットＢ０の反転サブフレームデータはビットＢ０の正転サブフレームデータと常に逆論理値の関係にあるため、ビットＢ０の正転サブフレームデータが「１」のときは「０」、ビットＢ０の正転サブフレームデ

ータが「０」のときは「１」である。

[0077] 一方、共通電極電圧Ｖｃｏｍは、ビットＢ０の反転サブフレームデータが反射電極ＰＥに印加されるサブフレーム期間中、図５（Ｄ）に示すように、３．３Ｖよりも液晶の閾値電圧Ｖｔｔだけ高い電圧に設定される。したがって、ビットＢ０の反転サブフレームデータが反射電極ＰＥに印加されるサブフレーム期間（時刻Ｔ２～Ｔ３）では、液晶ＬＣＭの印加電圧は、サブフレームデータのビット値が「１」のときは－Ｖｔｔ（＝３．３Ｖ－（３．３Ｖ＋Ｖｔｔ））となり、サブフレームデータのビット値が「０」のときは－３．３Ｖ－Ｖｔｔ（＝０Ｖ－（３．３Ｖ＋Ｖｔｔ））となる。

[0078] 例えば、ビットＢ０の正転サブフレームデータのビット値が「１」であった場合には続いて印加されるビットＢ０の反転サブフレームデータのビット値は「０」となる。このとき、液晶ＬＣＭの印加電圧は、－（３．３Ｖ＋Ｖｔｔ）となり、ビットＢ０の正転サブフレームデータが印加されたときと比較して、電位の方向が逆になるが絶対値が同じになる。そのため、画素１２は、ビットＢ０の反転サブフレームデータが印加されたときも、ビットＢ０の正転フレームデータが印加されたときと同様に、白を表示する。また、ビットＢ０の正転サブフレームデータのビット値が「０」であった場合には続いて印加されるビットＢ０の反転サブフレームデータのビット値は「１」となる。このとき、液晶ＬＣＭの印加電圧は、－Ｖｔｔとなり、ビットＢ０の正転サブフレームデータが印加されたときと比較して、電位の方向が逆になるが絶対値が同じになる。そのため、画素１２は、ビットＢ０の反転サブフレームデータが印加されたときも、ビットＢ０の正転フレームデータが印加されたときと同様に、黒を表示する。

[0079] したがって、画素１２は、図５の（Ｅ）に示すように、時刻Ｔ１～Ｔ３の２サブフレーム期間中、ビットＢ０とビットＢ０の相補ビットＢ０ｂとで同じ階調を表示するとともに、液晶ＬＣＭの電位方向がサブフレーム毎に反転する交流駆動を行うため、液晶ＬＣＭの焼き付きを防止することができる。

[0080] 続いて、液晶表示素子ＬＣがビットＢ０の反転サブフレームデータを表示

しているサブフレーム期間（時刻Ｔ２～Ｔ３）において、全ての画素１２の記憶部ＳＭ１に対するビットＢ１の正転サブフレームデータの書き込みが順次開始される。そして、画像表示部１１の全画素１２の記憶部ＳＭ１に対してビットＢ１の正転サブフレームデータが書き込まれると、その後、画像表示部１１を構成するすべての画素１２に対してＨレベルのトリガパルスＴＲＩ（及びＬレベルのトリガパルスＴＲＩＢ）が同時に供給される（時刻Ｔ３）。

[0081] これにより、全ての画素１２のスイッチＳＷ２がオンするため、記憶部ＳＭ１に記憶されているビットＢ１の正転サブフレームデータがスイッチＳＷ２を通して記憶部ＤＭ２に一斉に転送されて保持されるとととともに、ビットＢ１の正転サブフレームデータが反射電極ＰＥに印加される。ここで、図５の（Ｃ）を見てもわかるように、記憶部ＤＭ２によるビットＢ１の正転サブフレームデータの保持期間（反射電極ＰＥへのビットＢ１の正転サブフレームデータの印加期間）は、トリガパルスＴＲＩがＨレベルとなってから（時刻Ｔ３）、次に再びＨレベルとなるまで（時刻Ｔ４）の１サブフレーム期間である。

[0082] 一方、共通電極電圧Ｖｃｏｍは、ビットＢ１の正転サブフレームデータが反射電極ＰＥに印加されるサブフレーム期間は、図５（Ｄ）に示すように、０Ｖよりも液晶の閾値電圧Ｖｔｔだけ低い電圧に設定される。したがって、ビットＢ１の正転サブフレームデータが反射電極ＰＥに印加されるサブフレーム期間（時刻Ｔ３～Ｔ４）では、液晶ＬＣＭの印加電圧は、図５（Ｅ）に示すように、サブフレームデータのビット値が「１」のときは３．３Ｖ＋Ｖｔｔ（＝３．３Ｖ－（－Ｖｔｔ））となり、サブフレームデータのビット値が「０」のときは＋Ｖｔｔ（＝０Ｖ－（－Ｖｔｔ））となる。

[0083] 続いて、液晶表示素子ＬＣがビットＢ１の正転サブフレームデータを表示しているサブフレーム期間（時刻Ｔ３～Ｔ４）において、画像表示部１１を構成する全ての画素１２の記憶部ＳＭ１に対するビットＢ１の反転サブフレームデータの書き込みが順次開始される。そして、画像表示部１１を構成す

る全ての画素１２の記憶部ＳＭ１に対してビットＢ１の反転サブフレームデータが書き込まれると、その後、画像表示部１１を構成する全ての画素１２に対してＨレベルのトリガパルスＴＲＩ（及びＬレベルのトリガパルスＴＲＩＢ）が同時に供給される（時刻Ｔ４）。

[0084] これにより、全ての画素１２のスイッチＳＷ２がオンするため、記憶部ＳＭ１に記憶されているビットＢ１の反転サブフレームデータがスイッチＳＷ２を通して記憶部ＤＭ２に一斉に転送されて保持されるとともに、ビットＢ１の反転サブフレームデータが反射電極ＰＥに印加される。ここで、図５の（Ｃ）を見てもわかるように、記憶部ＤＭ２によるビットＢ１の反転サブフレームデータの保持期間（反射電極ＰＥへのビットＢ１の反転サブフレームデータの印加期間）は、トリガパルスＴＲＩがＨレベルとなってから（時刻Ｔ４）、次に再びＨレベルとなるまで（時刻Ｔ５）の１サブフレーム期間である。ここで、ビットＢ１の反転サブフレームデータはビットＢ１の正転サブフレームデータと常に逆論理値の関係にある。

[0085] 一方、共通電極電圧Ｖｃｏｍは、ビットＢ１の反転サブフレームデータが反射電極ＰＥに印加されるサブフレーム期間中、図５（Ｄ）に示すように、３．３Ｖよりも液晶の閾値電圧Ｖｔｔだけ高い電圧に設定される。したがって、ビットＢ１の反転サブフレームデータが反射電極ＰＥに印加されるサブフレーム期間（時刻Ｔ４～Ｔ５）では、液晶ＬＣＭの印加電圧は、サブフレームデータのビット値が「１」のときは－Ｖｔｔ（＝３．３Ｖ－（３．３Ｖ＋Ｖｔｔ））となり、サブフレームデータのビット値が「０」のときは－３．３Ｖ－Ｖｔｔ（＝０Ｖ－（３．３Ｖ＋Ｖｔｔ））となる。

[0086] これにより、画素１２は、図５の（Ｅ）に示すように、時刻Ｔ３～Ｔ５の２サブフレーム期間中、ビットＢ１とビットＢ１の相補ビットＢ１ｂとで同じ階調を表示するとともに、液晶ＬＣＭの電位方向がサブフレーム毎に反転する交流駆動を行うため、液晶ＬＣＭの焼き付きを防止することができる。ビットＢ２以降についても同様の動作が繰り返される。

[0087] このようにして、反射型液晶表示装置１０は、複数のサブフレームの組み

合わせにて階調表示を行っている。

[0088] なお、ビットＢ０と相補ビットＢ０ｂの各表示期間は同じ第１のサブフレーム期間であり、また、ビットＢ１と相補ビットＢ１ｂの各表示期間も同じ第２のサブフレーム期間であるが、第１のサブフレーム期間と第２のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第２のサブフレーム期間は第１のサブフレーム期間の２倍に設定されている。また、図５（Ｅ）に示すように、ビットＢ２と相補ビットＢ２ｂの各表示期間である第３のサブフレーム期間は、第２のサブフレーム期間の２倍に設定されている。他のサブフレーム期間についても同様のことが言える。システムの仕様等に応じて、各サブフレーム期間の長さ、及び、サブフレーム数を任意に設定することができる。

[0089]（額縁部２１の詳細な説明）

続いて、額縁部２１について説明する。額縁部２１は、例えばプロジェクター等によって画像を拡大投影する場合において、画像表示部１１によって表示される画像の外枠領域（額縁領域）に黒を表示する部である。

[0090] 図７は、反射型液晶表示装置１０の概略平面図である。図７に示すように、反射型液晶表示装置１０では、チップＣＨＰ１上に、画像表示部１１が設けられるとともに、画像表示部１１の外周を囲むようにして額縁部２１が設けられている。なお、図示されていないが、額縁部２１の額縁電極Ｇ１の下位階層には、各画素１２を駆動する水平ドライバ１６、垂直シフトレジスタ１４、タイミングジェネレータ１３、データラッチ回路１５等が形成されている。また、チップＣＨＰ１の外周辺には、複数のパッドＰＤ１が設けられている。チップＣＨＰ１上の各機能ブロックは、複数のパッドＰＤ１及びボンディングワイヤを介して、例えばＦＰＣ(Flexible Printed Circuit)に接続されており、ＦＰＣによって構成された上位装置からの制御信号により、画像表示部１１によって映像を表示したり、額縁部２１によって黒を表示したりする。

[0091] まず、額縁部２１の比較例である額縁部５１について説明する。

図８は、比較例にかかる反射型液晶表示装置に設けられた画像表示部１１の各画素１２の反射電極ＰＥ、及び、額縁部５１の額縁電極Ｇ５の概略平面図である。図８の例では、画像表示部１１の角部に設けられた複数の画素１２のそれぞれの反射電極ＰＥ、及び、その周辺に設けられた額縁部５１の額縁電極Ｇ５のみが示されている。

[0092] 図８に示すように、額縁電極Ｇ５は、額縁部５１の全面にわたって隙間なく広がるベタ電極であって、画素１２の反射電極ＰＥと同一階層に形成されている。なお、額縁電極Ｇ５の上層には、共通電極ＣＥが離間対向配置され、共通電極ＣＥと額縁電極Ｇ５との間には液晶ＬＣＭが充填封止されている。これら共通電極ＣＥ、額縁電極Ｇ５、及び、液晶ＬＣＭによって液晶表示素子ＬＣ＿Ｂが構成されている。

[0093] ここで、額縁電極Ｇ５には、共通電極ＣＥと同じ電圧Ｖｃｏｍが印加されている。それにより、額縁電極Ｇ５と共通電極ＣＥとの間の電位差が０Ｖになるため、額縁部５１には黒が表示される。

[0094] なお、画像表示部１１によって表示される画像の品質向上の妨げとならないように、額縁部５１によって表示される黒のレベルは、画像表示部１１によって表示される黒のレベルと同じであることが好ましい。しかしながら、実際には、額縁部５１によって表示される黒は、画像表示部１１によって表示される黒よりも黒く表示されてしまう。そのため、額縁部５１が搭載された反射型液晶表示装置では、例えば額縁部５１によって表示される黒が強調され過ぎてしまう等の理由により、映像品質が劣化してしまうという問題があった。

[0095] この問題は、画素１２の反射電極ＰＥの開口率（画素配置領域Ａ１に占める反射電極ＰＥの配置面積の割合）と、額縁部５１の額縁電極Ｇ５の開口率（画素配置領域Ａ１と等価の電極配置領域Ａ５に占める額縁電極Ｇ５の配置面積の割合）と、が違うことに起因する。以下、図９を参照しつつ説明する。

[0096] まず、画素１２の反射電極ＰＥは、隣接する画素１２の反射電極ＰＥと分

離して形成される必要があるため、反射電極ＰＥ間には画素間隙が形成される。それにより、画素１２の反射電極ＰＥの開口率は低下する。具体的には、画素１２の反射電極ＰＥの開口率は、正方形状の画素配置領域Ａ１の一辺の長さ（即ち、画素ピッチ）Ｌ１が３．８μｍ、画素間隙Ｌ２が０．２μｍである場合、８９．７５％となる（図９の左図参照）。

[0097] それに対し、額縁部５１の額縁電極Ｇ５は、既に説明したように、額縁部５１の全体にわたって隙間なく広がるベタ電極である。そのため、額縁電極Ｇ５の開口率は、１００％になる（図９の右図参照）。

[0098] そのため、反射電極ＰＥ及び額縁電極Ｇ５のそれぞれに同じレベルの黒階調の電圧を印加した場合でも、開口率の違いにより、画像表示部１１の各画素１２によって表示される黒のレベルと、額縁部５１によって表示される黒のレベルと、が異なってしまう。

[0099] より具体的には、液晶表示素子ＬＣ，ＬＣ＿Ｂに垂直に入射された光は、液晶ＬＣＭを通過して、反射電極ＰＥや額縁電極Ｇ５において垂直に反射し、液晶ＬＣＭによって変調された後、出射される。例えば、黒の表示を行う場合、液晶ＬＣＭによる変調によって、光の偏向方向を位相差にして９０度ずらす。それにより、光の進行が遮られるため、黒が表示される。ここで、画像表示部１１の各画素１２と額縁部５１とでは、光を反射する反射電極ＰＥ及び額縁電極Ｇ５のそれぞれの開口率が異なるため、液晶ＬＣＭによって変調される光の量が異なってしまい、その結果、表示される黒のレベルが互いに異なってしまう。

[0100] 次に、本実施の形態にかかる額縁部２１について具体的に説明する。

図１０は、反射型液晶表示装置１０に設けられた画像表示部１１の各画素１２の反射電極ＰＥ、及び、額縁部２１の複数の額縁電極Ｇ１の概略平面図である。なお、図１０の例では、画像表示部１１の角部に設けられた複数の画素１２のそれぞれの反射電極ＰＥ、及び、その周辺に設けられた額縁部２１の複数の額縁電極Ｇ１のみが示されている。

[0101] 図１０に示すように、額縁部２１は、行列状に区画された複数の電極配置

領域Ａ２のそれぞれに規則的に配置された複数の額縁電極Ｇ１を有する。なお、電極配置領域Ａ２は、画素１２が配置される画素配置領域Ａ１と同一サイズ（ピッチ）である。これら複数の額縁電極Ｇ１は、画素１２の反射電極ＰＥと同一階層に形成されている。

[0102] なお、各額縁電極Ｇ１の上層には、共通電極ＣＥが離間対向配置され、共通電極ＣＥと各額縁電極Ｇ１との間には液晶ＬＣＭが充填封止されている。これら共通電極ＣＥ、額縁電極Ｇ１、及び、液晶ＬＣＭによって液晶表示素子ＬＣ＿Ｂが構成されている。

[0103] 各額縁電極Ｇ１は、平面視上、矩形状の本体部Ｇ１ａと、本体部の一辺及びそれに直交する他の一辺からそれぞれ突出するようにして設けられた２つの連結部Ｇ１ｂと、によって構成されている。各額縁電極Ｇ１は、隣接する額縁電極Ｇ１と、連結部Ｇ１ｂにより電気的に接続されている。それにより、額縁部２１の全ての額縁電極Ｇ１の印加電圧を同じにすることができる。

[0104] ここで、各額縁電極Ｇ１には、共通電極ＣＥと同じ電圧Ｖｃｏｍが印加されている。それにより、各額縁電極Ｇ１と共通電極ＣＥとの間の電位差が０Ｖになるため、額縁部２１には黒が表示される。

[0105] 図１１は、図１０に示す概略平面図のＸＩ－ＸＩ部分を切り出した概略断面図である。

図１１に示すように、額縁部２１では、額縁電極Ｇ１を含む液晶表示素子と、額縁電極Ｇ１より下位階層の回路部分とが、電気的に分離して形成されている。そのため、額縁電極Ｇ１には、額縁電極Ｇ１より下位階層の回路部分に関係なく、共通電極ＣＥと同じ電圧Ｖｃｏｍを供給することができる。その他の断面構造については、図４で説明した内容と同様であるため、その説明を省略する。

[0106] なお、画像表示部１１によって表示される画像の品質向上の妨げとならないように、額縁部２１によって表示される黒のレベルは、画像表示部１１によって表示される黒のレベルにできるだけ近い（理想的には同じ）ことが好ましい。

[0107] そこで、本実施の形態では、額縁電極Ｇ１の開口率（画素配置領域Ａ１と等価の電極配置領域Ａ２に占める額縁電極Ｇ１の配置面積の割合）を、各画素１２の反射電極ＰＥの開口率（画素配置領域Ａ１に占める反射電極ＰＥの配置面積の割合）にできるだけ近づけている（理想的には同じにしている）。以下、図１２を参照しつつ説明する。

[0108] まず、画素１２の反射電極ＰＥの開口率は、正方形状の画素配置領域Ａ１の一辺の長さ（即ち、画素ピッチ）Ｌ１が３．８μｍ、画素間隙Ｌ２が０．２μｍとすると、８９．７５％となる（図１２の左図参照）。

[0109] それに対し、額縁電極Ｇ１の開口率は、正方形状の電極配置領域Ａ２の一辺の長さＬ１が３．８μｍ、間隙Ｌ３が０．２８μｍ、連結部Ｇ１ｂの幅Ｌ４が１μｍとすると、８９．６８％となる（図１２の右図参照）。これは、画素１２の反射電極ＰＥの開口率８９．７５％に近い。

[0110] このように、本実施の形態にかかる反射型液晶表示装置１０は、各額縁電極Ｇ１の開口率を、各画素１２の反射電極ＰＥの開口率にできるだけ近づけている。それにより、本実施の形態にかかる反射型液晶表示装置１０は、額縁部２１によって表示される黒のレベルを、画像表示部１１によって表示される黒のレベルに近づけることができるため、映像品質の劣化を防ぐことができる。換言すると、本実施の形態にかかる反射型液晶表示装置１０は、額縁部２１及び画像表示部１１のそれぞれによって表示される黒のレベルを均一化することができるため、ユーザにとって違和感のない映像を表示させることができる。

[0111]（実験結果）

図１３は、反射電極ＰＥ及び額縁電極Ｇ１のそれぞれの開口率の差と、画像表示部１１及び額縁部２１のそれぞれによって表示される黒レベルの差と、の関係を示す実験結果である。図１３の実験結果に示すように、反射電極ＰＥ及び額縁電極Ｇ１のそれぞれの開口率の差が小さくなるほど、画像表示部１１及び額縁部２１のそれぞれによって表示される黒レベルの差は小さくなる。そして、反射電極ＰＥ及び額縁電極Ｇ１のそれぞれの開口率の差（反

射電極ＰＥの開口率を基準にした場合の額縁電極Ｇ１の開口率の差分）が５％以下になると、画像表示部１１及び額縁部２１のそれぞれによって表示される黒レベルの差は、見かけ上、無くなった。

[0112] ＜実施の形態２＞

図１４は、実施の形態２に係る反射型液晶表示装置１０に設けられた画像表示部１１の各画素１２の反射電極ＰＥ、及び、額縁部３１の複数の額縁電極Ｇ２の概略平面図である。額縁部３１は、額縁部２１に対応し、額縁電極Ｇ２は、額縁電極Ｇ１に対応する。なお、図１４の例では、画像表示部１１の角部に設けられた複数の画素１２のそれぞれの反射電極ＰＥ、及び、その周辺に設けられた額縁部３１の複数の額縁電極Ｇ２のみが示されている。

[0113] 図１４に示すように、額縁部３１は、行列状に区画された複数の電極配置領域Ａ２のそれぞれに規則的に配置された複数の額縁電極Ｇ２を有する。なお、電極配置領域Ａ２は、画素１２が配置される画素配置領域Ａ１と同一サイズ（ピッチ）である。これら複数の額縁電極Ｇ２は、画素１２の反射電極ＰＥと同一階層に形成されている。

[0114] なお、各額縁電極Ｇ２の上層には、共通電極ＣＥが離間対向配置され、共通電極ＣＥと各額縁電極Ｇ２との間には液晶ＬＣＭが充填封止されている。これら共通電極ＣＥ、額縁電極Ｇ２、及び、液晶ＬＣＭによって液晶表示素子ＬＣ＿Ｂが構成されている。

[0115] 各額縁電極Ｇ２は、平面視上、画素１２の反射電極ＰＥと同一形状を有している。各額縁電極Ｇ２は、隣接する額縁電極Ｇ２と、これら額縁電極Ｇ２の下位階層に形成された回路部の配線によって電気的に接続されている。それにより、額縁部３１の全ての額縁電極Ｇ２の印加電圧を同じにすることができる。

[0116] ここで、各額縁電極Ｇ２には、共通電極ＣＥと同じ電圧Ｖｃｏｍが印加されている。それにより、各額縁電極Ｇ２と共通電極ＣＥとの間の電位差が０Ｖになるため、額縁部３１には黒が表示される。

[0117] 図１５は、図１４に示す概略平面図のＸＶ－ＸＶ部分を切り出した概略断

面図である。

図１５に示すように、額縁部３１では、隣接する額縁電極Ｇ２同士が、これら額縁電極Ｇ２の下位階層に形成された第４メタル１１４及びスルーホール１１９ｅを介して、電気的に接続されている。それにより、額縁部３１の全ての額縁電極Ｇ２の印加電圧を同じにすることができる。なお、第４メタル１１４とそれより下位階層の回路部分とは、電気的に分離して形成されている。そのため、額縁電極Ｇ２には、下位階層の回路部分に関係なく、共通電極ＣＥと同じ電圧Ｖｃｏｍを供給することができる。その他の断面構造については、図４で説明した内容と同様であるため、その説明を省略する。

[0118] なお、画像表示部１１によって表示される画像の品質向上の妨げとならないように、額縁部３１によって表示される黒のレベルは、画像表示部１１によって表示される黒のレベルにできるだけ近い（理想的には同じ）ことが好ましい。

[0119] そこで、本実施の形態では、額縁電極Ｇ２の開口率（画素配置領域Ａ１と等価の電極配置領域Ａ２に占める額縁電極Ｇ２の配置面積の割合）を、各画素１２の反射電極ＰＥの開口率（画素配置領域Ａ１に占める反射電極ＰＥの配置面積の割合）にできるだけ近づけている（理想的には同じにしている）。以下、図１６を参照しつつ説明する。

[0120] まず、画素１２の反射電極ＰＥの開口率は、正方形状の画素配置領域Ａ１の一辺の長さ（即ち、画素ピッチ）Ｌ１が３．８μｍ、画素間隙Ｌ２が０．２μｍとすると、８９．７５％となる（図１６の左図参照）。

[0121] また、額縁電極Ｇ２の開口率は、正方形状の電極配置領域Ａ２の一辺の長さＬ１が３．８μｍ、画素間隙Ｌ２が０．２μｍとすると、８９．７５％となる（図１６の右図参照）。これは、画素１２の反射電極ＰＥの開口率８９．７５％と同じである。

[0122] このように、実施の形態２にかかる反射型液晶表示装置１０は、各額縁電極Ｇ２の開口率を、各画素１２の反射電極ＰＥの開口率にできるだけ近づけている。それにより、実施の形態２にかかる反射型液晶表示装置１０は、額

縁部３１によって表示される黒のレベルを、画像表示部１１によって表示される黒のレベルに近づけることができるため、映像品質の劣化を防ぐことができる。換言すると、実施の形態２にかかる反射型液晶表示装置１０は、額縁部３１及び画像表示部１１のそれぞれによって表示される黒のレベルを均一化することができるため、ユーザにとって違和感のない映像を表示させることができる。

[0123] ＜実施の形態３＞

実施の形態３にかかる反射型液晶表示装置１０に設けられた額縁部４１について説明する前に、再び額縁部５１について説明する。

[0124] 既に説明しているように、画像表示部１１によって表示される画像の品質向上の妨げとならないように、額縁部５１によって表示される黒のレベルは、画像表示部１１によって表示される黒のレベルと同じであることが好ましい。しかしながら、実際には、額縁部５１によって表示される黒は、画像表示部１１によって表示される黒よりも黒く表示されてしまう。そのため、額縁部５１が搭載された液晶表示装置では、例えば額縁部５１によって表示される黒が強調され過ぎてしまう等の理由により、映像品質が劣化してしまうという問題があった。

[0125] この問題は、画素１２の反射電極ＰＥの開口率と、額縁部５１の額縁電極Ｇ５の開口率と、が違うことに起因するだけでなく、画素配置領域Ａ１当たりの反射電極ＰＥの周囲長（エッジ部分の長さ）と、電極配置領域Ａ５当たりの額縁電極Ｇ５の周囲長と、が違うことに起因する。以下、図９を参照しつつ説明する。

[0126] まず、画素１２の反射電極ＰＥは、隣接する画素１２の反射電極ＰＥと分離して形成される必要があるため、画素１２の反射電極ＰＥ間には画素間隙が形成される。それにより、画素１２の反射電極ＰＥの周囲長は増加する。具体的には、画素１２の反射電極ＰＥのエッジ部分の周囲長は、正方形状の画素配置領域Ａ１の一辺の長さ（即ち、画素ピッチ）Ｌ１が３．８μｍ、画素間隙Ｌ２が０．２μｍである場合、１４．４４μｍとなる（図９の左図参

照）。

[0127] それに対し、額縁部５１の額縁電極Ｇ５は、既に説明したように、額縁部５１の全体にわたって隙間なく広がるベタ電極である。そのため、額縁電極Ｇ５のエッジ部分の周囲長は、０μｍである（図９の右図参照）。

[0128] そのため、反射電極ＰＥ及び額縁電極Ｇ５のそれぞれに同じレベルの黒階調の電圧を印加した場合でも、周囲長の違いにより、画像表示部１１の各画素１２によって表示される黒のレベルと、額縁部５１によって表示される黒のレベルと、が異なってしまう。

[0129] より具体的には、液晶表示素子ＬＣ，ＬＣ＿Ｂに垂直に入射された光は、液晶ＬＣＭを通過して、反射電極ＰＥや額縁電極Ｇ５において垂直に反射し、液晶ＬＣＭによって変調された後、出射される。例えば、黒の表示を行う場合、液晶ＬＣＭによる変調によって、光の偏向方向を位相差にして９０度ずらす。それにより、光の進行が遮られるため、黒が表示される。ここで、画像表示部１１の各画素１２と額縁部５１とでは、光を反射する反射電極ＰＥ及び額縁電極Ｇ５のそれぞれの周囲長（エッジ部分の長さ）が異なるため、エッジ部分における乱反射の度合いが異なってしまい、その結果、表示される黒のレベルが互いに異なってしまう。例えば、エッジ部分の長さが長いと、乱反射の量が多くなるため、光の偏向方向とは異なる反射光が増加し、その結果、表示される黒は明るくなる。他方、エッジ部分の長さが短いと、乱反射の量が少なくなるため、光の偏向方向とは異なる反射光が減少し、その結果、表示される黒は暗くなる。

[0130] 次に、本実施の形態にかかる額縁部４１について具体的に説明する。

図１７は、反射型液晶表示装置１０に設けられた画像表示部１１の各画素１２の反射電極ＰＥ、及び、額縁部４１の複数の額縁電極Ｇ３の概略平面図である。なお、図１７の例では、画像表示部１１の角部に設けられた複数の画素１２のそれぞれの反射電極ＰＥ、及び、その周辺に設けられた額縁部４１の複数の額縁電極Ｇ３のみが示されている。

[0131] 図１７に示すように、額縁部４１は、行列状に区画された複数の電極配置

領域Ａ２のそれぞれに規則的に配置された複数の額縁電極Ｇ３を有する。なお、電極配置領域Ａ２は、画素１２が配置される画素配置領域Ａ１と同一サイズ（ピッチ）である。これら複数の額縁電極Ｇ３は、画素１２の反射電極ＰＥと同一階層に形成されている。

[0132] なお、各額縁電極Ｇ３の上層には、共通電極ＣＥが離間対向配置され、共通電極ＣＥと各額縁電極Ｇ３との間には液晶ＬＣＭが充填封止されている。これら共通電極ＣＥ、額縁電極Ｇ３、及び、液晶ＬＣＭによって液晶表示素子ＬＣ＿Ｂが構成されている。

[0133] 各額縁電極Ｇ３は、平面視上、矩形状の本体部Ｇ３ａと、本体部の一辺及びそれに直交する他の一辺からそれぞれ突出するようにして設けられた２つの連結部Ｇ３ｂと、によって構成されている。各額縁電極Ｇ３は、隣接する額縁電極Ｇ３と、連結部Ｇ３ｂにより電気的に接続されている。それにより、額縁部４１の全ての額縁電極Ｇ３の印加電圧を同じにすることができる。

[0134] ここで、各額縁電極Ｇ３には、共通電極ＣＥと同じ電圧Ｖｃｏｍが印加されている。それにより、各額縁電極Ｇ３と共通電極ＣＥとの間の電位差が０Ｖになるため、額縁部４１には黒が表示される。

[0135] なお、画像表示部１１によって表示される画像の品質向上の妨げとならないように、額縁部４１によって表示される黒のレベルは、画像表示部１１によって表示される黒のレベルにできるだけ近い（理想的には同じ）ことが好ましい。

[0136] そこで、本実施の形態では、額縁電極Ｇ３の周囲長を、各画素１２の反射電極ＰＥの周囲長にできるだけ近づけている（理想的には同じにしている）。以下、図１８を参照しつつ説明する。

[0137] まず、画素１２の反射電極ＰＥの周囲長は、正方形状の画素配置領域Ａ１の一辺の長さ（即ち、画素ピッチ）Ｌ１が３．８μｍ、画素間隙Ｌ２が０．２μｍとすると、１４．４４μｍとなる（図１８の左図参照）。

[0138] それに対し、額縁電極Ｇ１の開口率は、正方形状の電極配置領域Ａ２の一辺の長さＬ１が３．８μｍ、間隙Ｌ３が０．２８μｍ、連結部Ｇ１ｂの幅Ｌ

４が１μｍとすると、１４．４４μｍとなる（図１８の右図参照）。これは、画素１２の反射電極ＰＥの周囲長と同じ長さである。

[0139] このように、実施の形態３にかかる反射型液晶表示装置１０は、各額縁電極Ｇ３の周囲長（エッジ部分の長さ）を、各画素１２の反射電極ＰＥの周囲長にできるだけ近づけている。それにより、実施の形態３にかかる反射型液晶表示装置１０は、額縁部４１によって表示される黒のレベルを、画像表示部１１によって表示される黒のレベルに近づけることができるため、映像品質の劣化を防ぐことができる。換言すると、実施の形態３にかかる反射型液晶表示装置１０は、額縁部３１及び画像表示部１１のそれぞれによって表示される黒のレベルを均一化することができるため、ユーザにとって違和感のない映像を表示させることができる。

[0140] （実験結果）

図１９は、反射電極ＰＥ及び額縁電極Ｇ３のそれぞれの周囲長の差と、画像表示部１１及び額縁部４１のそれぞれによって表示される黒レベルの差と、の関係を示す実験結果である。図１９の実験結果に示すように、反射電極ＰＥ及び額縁電極Ｇ３のそれぞれの周囲長の差が小さくなるほど、画像表示部１１及び額縁部４１のそれぞれによって表示される黒レベルの差は小さくなる。そして、反射電極ＰＥ及び額縁電極Ｇ３のそれぞれの周囲長の差（反射電極ＰＥの周囲長を基準にした場合の額縁電極Ｇ３の周囲長の差分）が３０％以下になると、画像表示部１１及び額縁部４１のそれぞれによって表示される黒レベルの差は、見かけ上、無くなった。

[0141] 以上のように、実施の形態１～３にかかる反射型液晶表示装置１０は、各額縁電極の開口率を、各画素１２の反射電極ＰＥの開口率にできるだけ近づけている。それにより、実施の形態３にかかる反射型液晶表示装置１０は、額縁部によって表示される黒のレベルを、画像表示部によって表示される黒のレベルに近づけることができるため、映像品質の劣化を防ぐことができる。換言すると、実施の形態３にかかる反射型液晶表示装置１０は、額縁部及び画像表示部のそれぞれによって表示される黒のレベルを均一化することが

できるため、ユーザにとって違和感のない映像を表示させることができる。

[0142] この出願は、２０１７年１１月１５日に出願された日本出願特願２０１７－２１９８５７を基礎とする優先権を主張し、その開示の全てをここに取り込む。

産業上の利用可能性

[0143] 本発明は、プロジェクター等に搭載される液晶表示装置に好適に適用することができる。

符号の説明

[0144] １０ 反射型液晶表示装置

１１ 画像表示部

１２ 画素

１３ タイミングジェネレータ

１４ 垂直シフトレジスタ

１５ データラッチ回路

１６ 水平ドライバ

２０ 上位装置

２１ 額縁部

３１ 額縁部

４１ 額縁部

１００ シリコン基板

１０１ Ｎウエル

１０２ Ｐウエル

１０３ 素子分離酸化膜

１０５ 層間絶縁膜

１０６ 第１メタル

１０８ 第２メタル

１１０ 第３メタル

１１２ ＭＩＭ電極

１１４　第４メタル

１１６　第５メタル

１１７　パッシベーション膜（ＰＳＶ）

１１８　コンタクト

１１９ａ～１１９ｅ　スルーホール

１６１　水平シフトレジスタ

１６２　ラッチ部

１６３　レベルシフタ／画素ドライバ

１６４　ラッチ回路

１６４１～１６４３　ラッチ回路群

２０１　ＳＲＡＭセル

２０２　ＤＲＡＭセル

ｄ１～ｄｎ　列データ線

ｄＬ，ｄＭ，ｄＲ　列データ線群

ｇ１～ｇｍ　行走査線

ｔｒｉｇ，ｔｒｉｇｂ　トリガ線

ＢＦ１　バッファ

Ｃ１　容量

ＣＥ　共通電極

ＣＨＰ１　チップ

ＤＭ２　記憶部

Ｇ１～Ｇ３　額縁電極

Ｇ１ａ，Ｇ３ａ　本体部

Ｇ１ｂ，Ｇ３ｂ　連結部

ＩＮＶ１１，ＩＮＶ１２　インバータ

ＬＣ，ＬＣ＿Ｂ　液晶表示素子

ＬＣＭ　液晶

ＭＮ１，ＭＮ２　ＮＭＯＳトランジスタ

ＭＮ１１，ＭＮ１２　ＮＭＯＳトランジスタ

ＭＮ２１，ＭＮ２２　ＮＭＯＳトランジスタ

ＭＰ２　ＰＭＯＳトランジスタ

ＭＰ１１，ＭＰ１２　ＰＭＯＳトランジスタ

ＭＰ２１，ＭＰ２２　ＰＭＯＳトランジスタ

ＰＥ　反射電極

ＳＭ１　記憶部

ＳＷ１，ＳＷ２　スイッチ

ＳＷ２１，ＳＷ２２　スイッチ

請求の範囲

[請求項1] 行列状に区画された複数の画素配置領域に複数の画素がそれぞれ配置された画像表示部と、

前記画像表示部の外周を囲むようにして設けられ、行列状に区画された複数の電極配置領域に複数の額縁電極がそれぞれ配置された額縁部と、

を備え、

各前記電極配置領域には、各前記画素配置領域に占める前記画素の反射電極の面積率を基準にして、差分が５％以内の面積率となるように前記額縁電極が配置されている、

反射型液晶表示装置。

[請求項2] 各前記額縁電極は、各前記反射電極の面積率と同一の面積率となるように形成されている、

請求項１に記載の反射型液晶表示装置。

[請求項3] 行列状に区画された複数の画素配置領域に複数の画素がそれぞれ配置された画像表示部と、

前記画像表示部の外周を囲むようにして設けられ、行列状に区画された複数の電極配置領域に複数の額縁電極がそれぞれ配置された額縁部と、

を備え、

各前記電極配置領域には、各前記画素配置領域に占める前記画素の反射電極の周囲長を基準にして、差分が３０％以内の周囲長となるように前記額縁電極が配置されている、

反射型液晶表示装置。

[請求項4] 各前記額縁電極は、各前記反射電極の周囲長と同一の周囲長となるように形成されている、

請求項３に記載の反射型液晶表示装置。

[請求項5] 各前記額縁電極は、

矩形状の本体部と、

前記本体部の外周辺の一部から突出するようにして設けられた連結部と、

を有し、

前記連結部によって、隣接する他の前記額縁電極と電気的に接続されている、

請求項１～４の何れか一項に記載の反射型液晶表示装置。

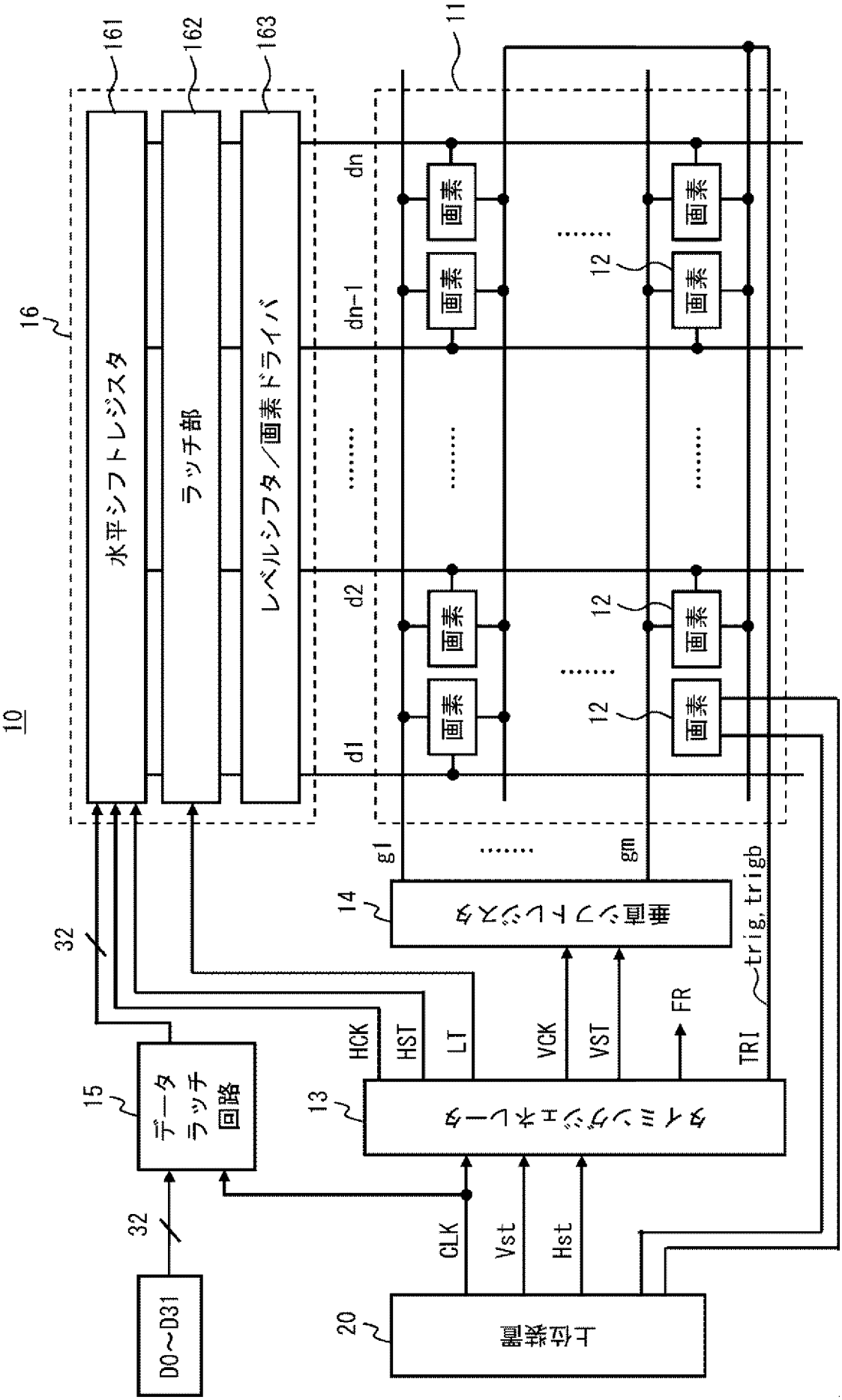
[請求項6] 各前記額縁電極は、

前記反射電極と同じ平面形状を有し、

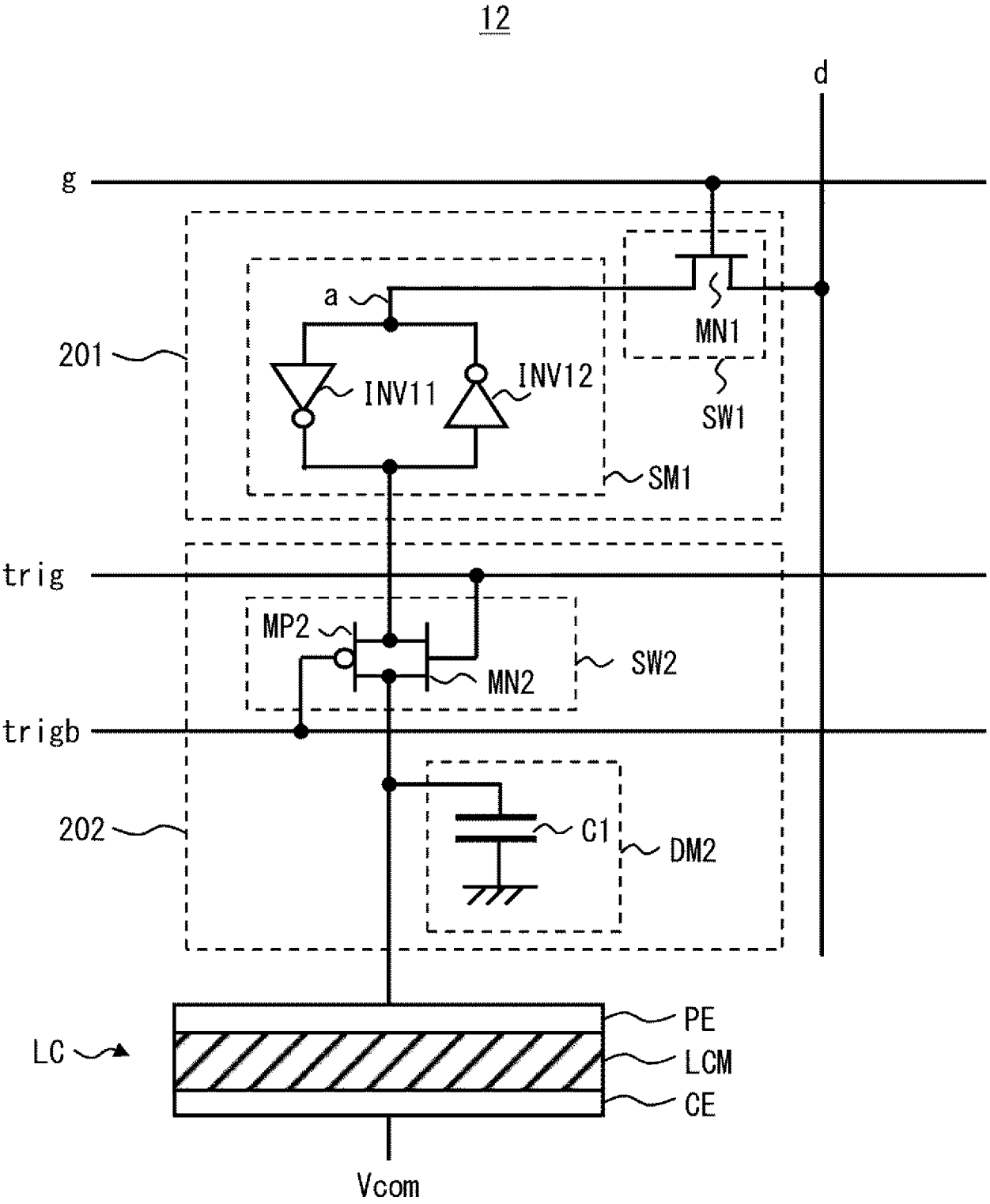
下位階層に形成された配線によって、隣接する他の前記額縁電極と電気的に接続されている、

請求項１～４の何れか一項に記載の反射型液晶表示装置。

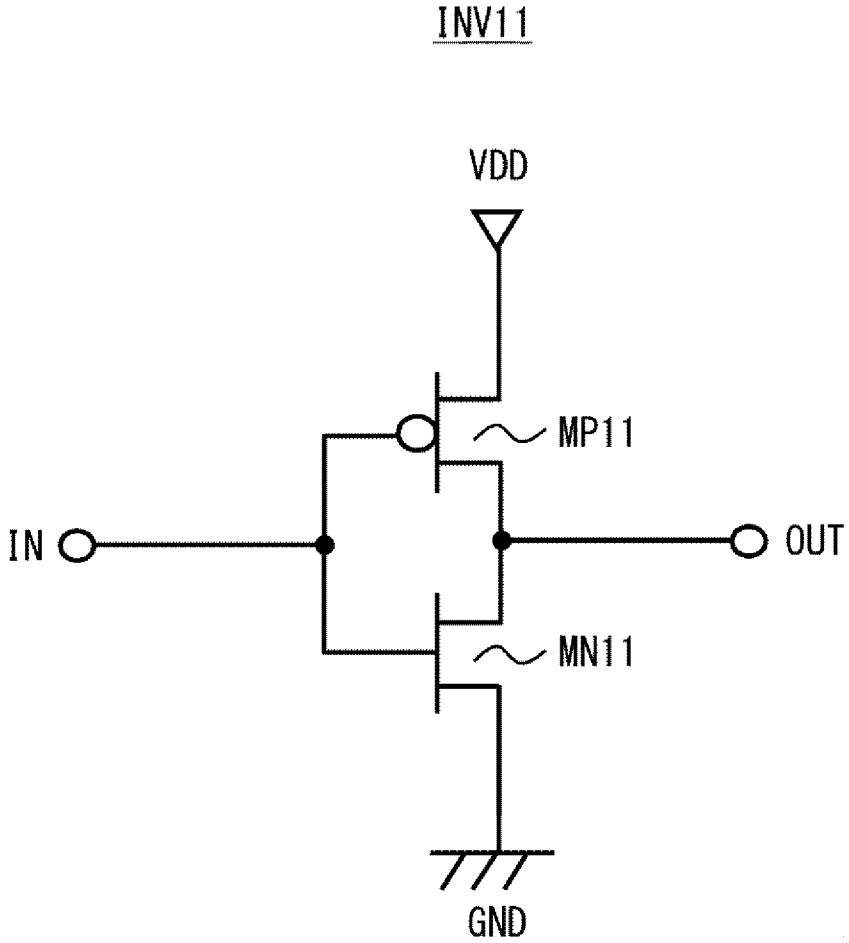
[図1]


10
16
水平シフトレジスタ
ラッチ部
レベルシフタ／画素ドライバ
161
162
163
11
画素
12
d1
d2
dn-1
dn
g1
gm
14
垂直シフトレジスタ
32
15
データラッチ回路
13
タイミングジェネレータ
HCK
HST
LT
VCK
VST
FR
TRI
trig, trigb
CLK
Vst
Hst
32
D0～D31
20
上位装置

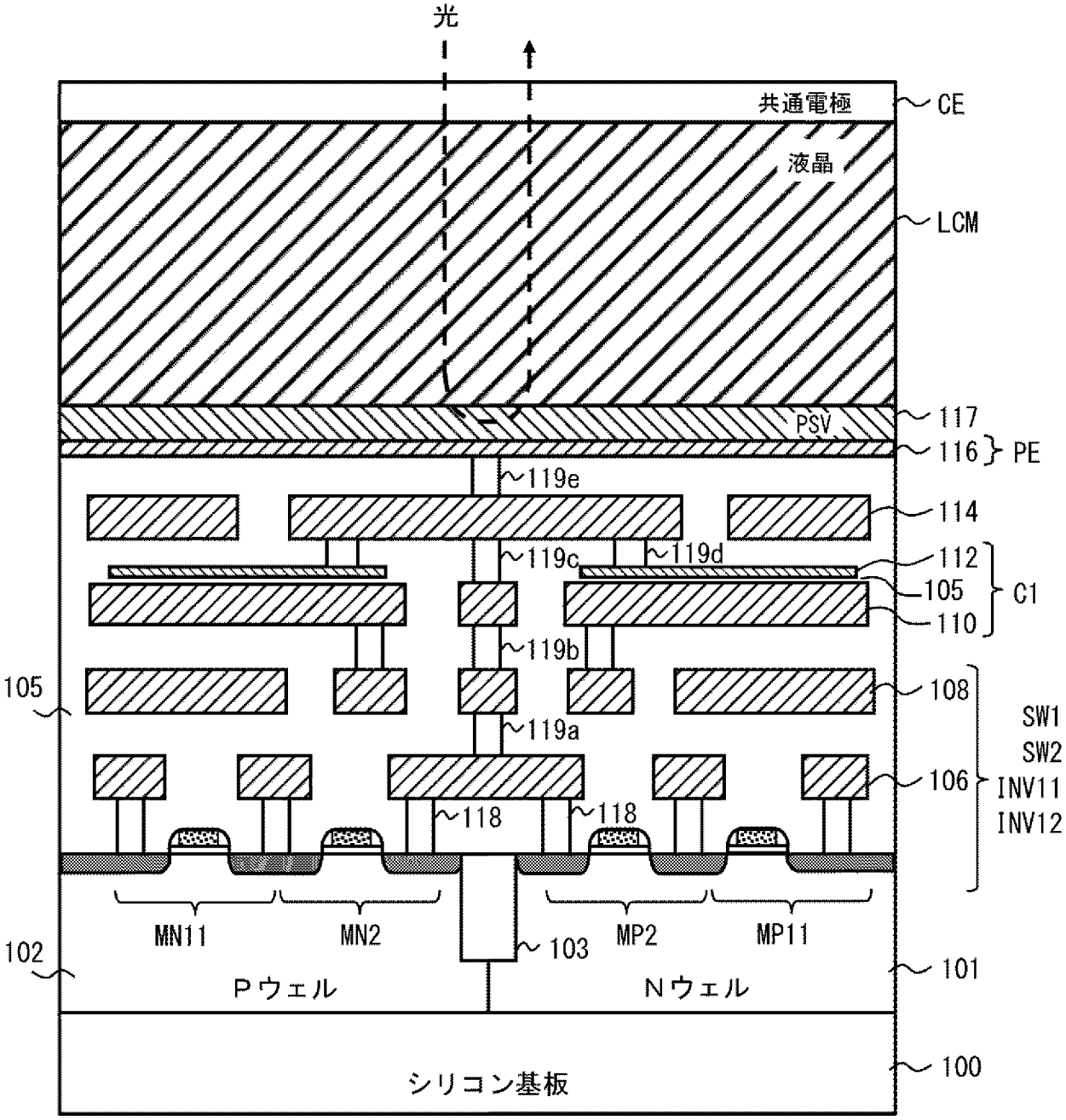
[図2]


12
d
g
a
201
INV11
INV12
MN1
SW1
SM1
trig
MP2
MN2
SW2
trigb
202
C1
DM2
LC
PE
LCM
CE
Vcom

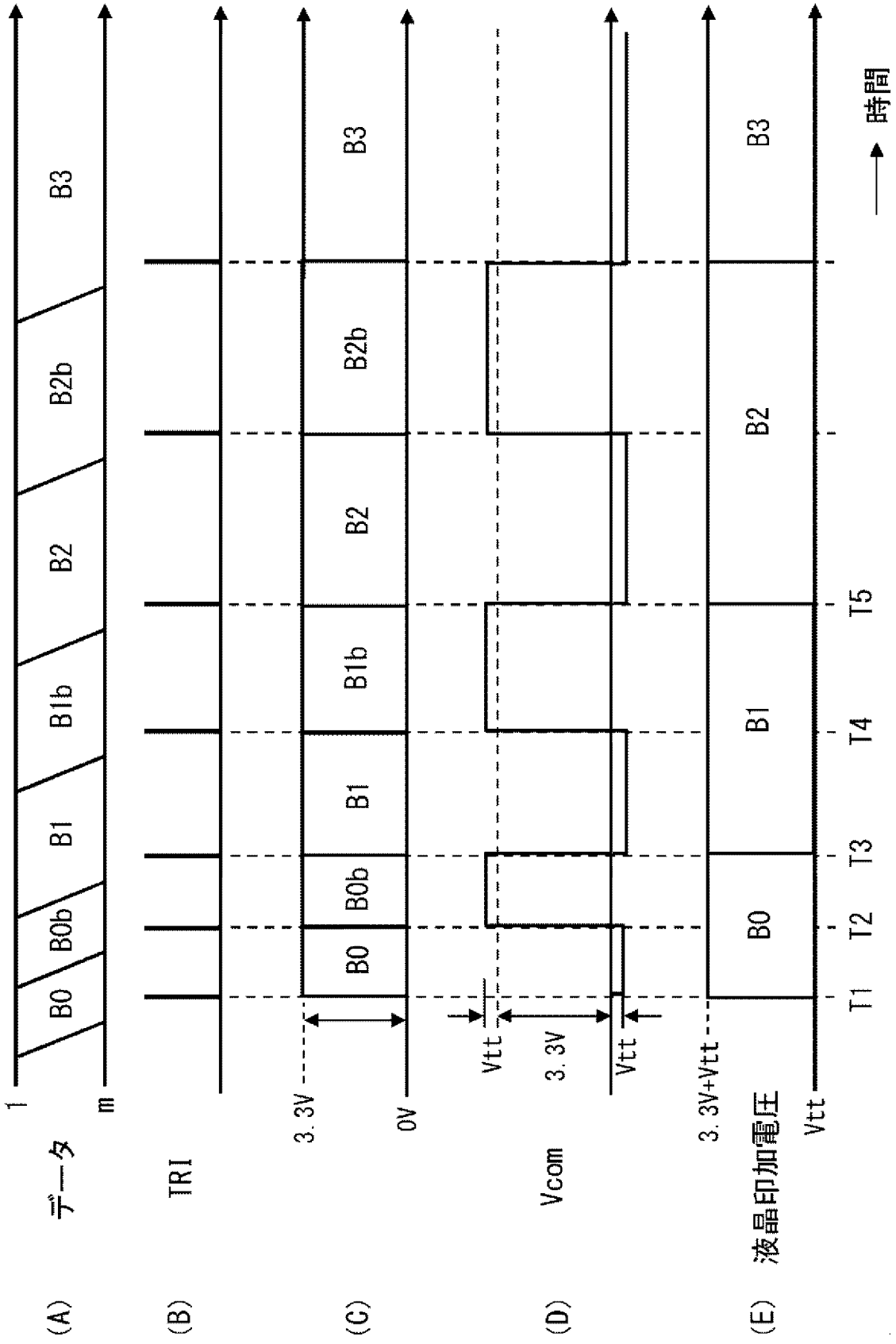
[図3]



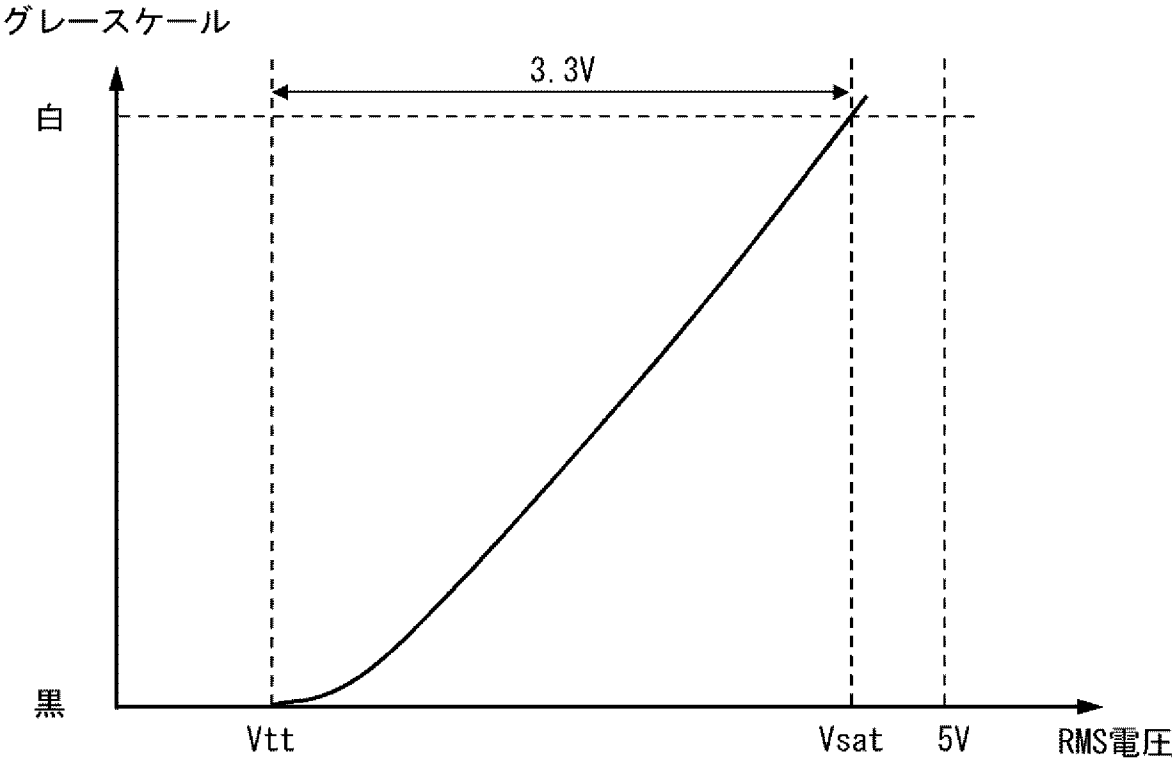
[図4]


光
共通電極
CE
液晶
LCM
PSV
117
116
PE
119e
114
119c
119d
112
105
C1
110
119b
105
108
SW1
SW2
119a
106
INV11
INV12
118
118
MN11
MN2
MP2
MP11
102
103
101
Pウェル
Nウェル
シリコン基板
100

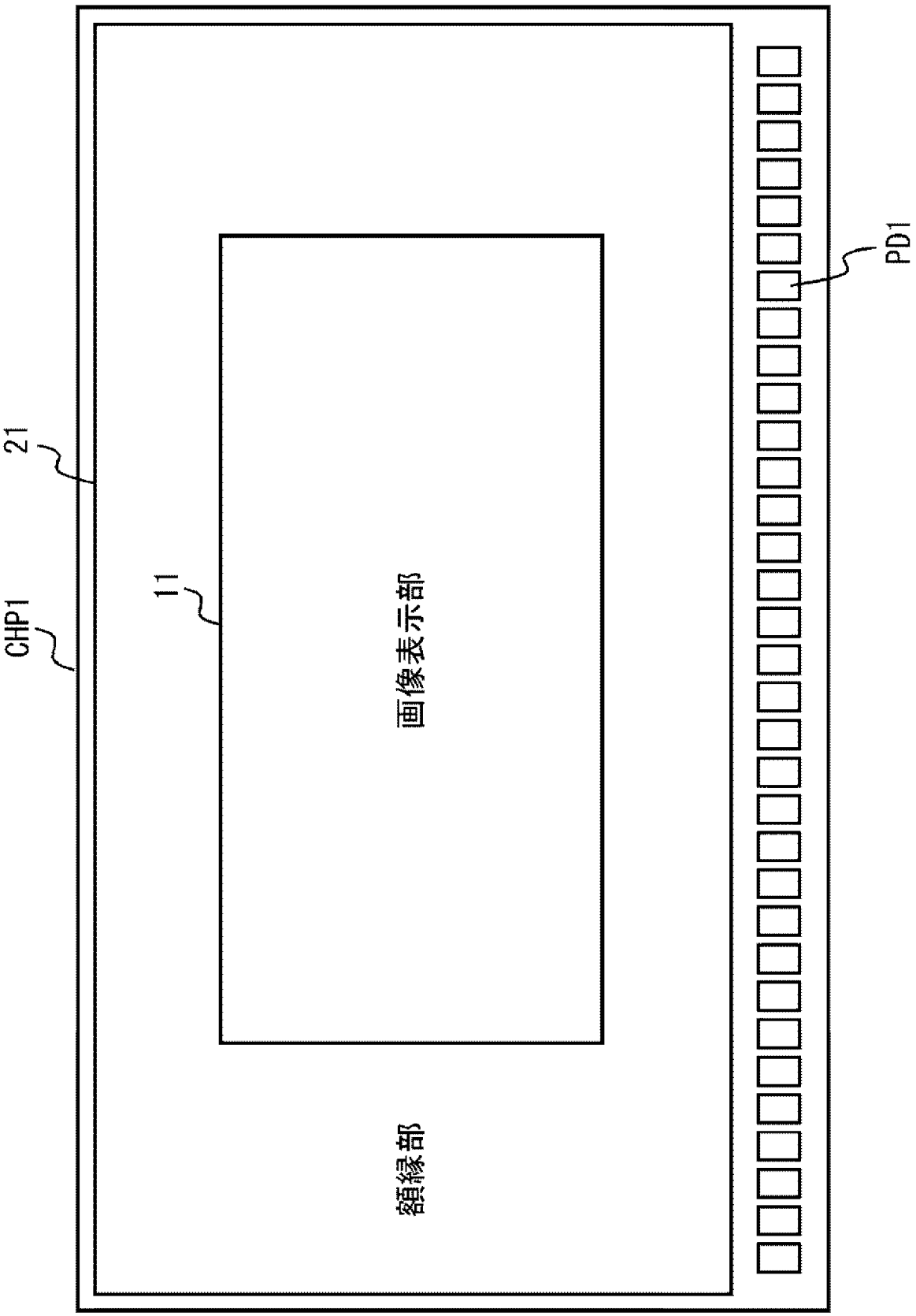
[図5]


(A)
データ
1
m
B0
B0b
B1
B1b
B2
B2b
B3
(B)
TRI
(C)
3.3V
0V
(D)
Vcom
Vtt
3.3V
Vtt
(E)
液晶印加電圧
3.3V+Vtt
Vtt
T1
T2
T3
T4
T5
時間

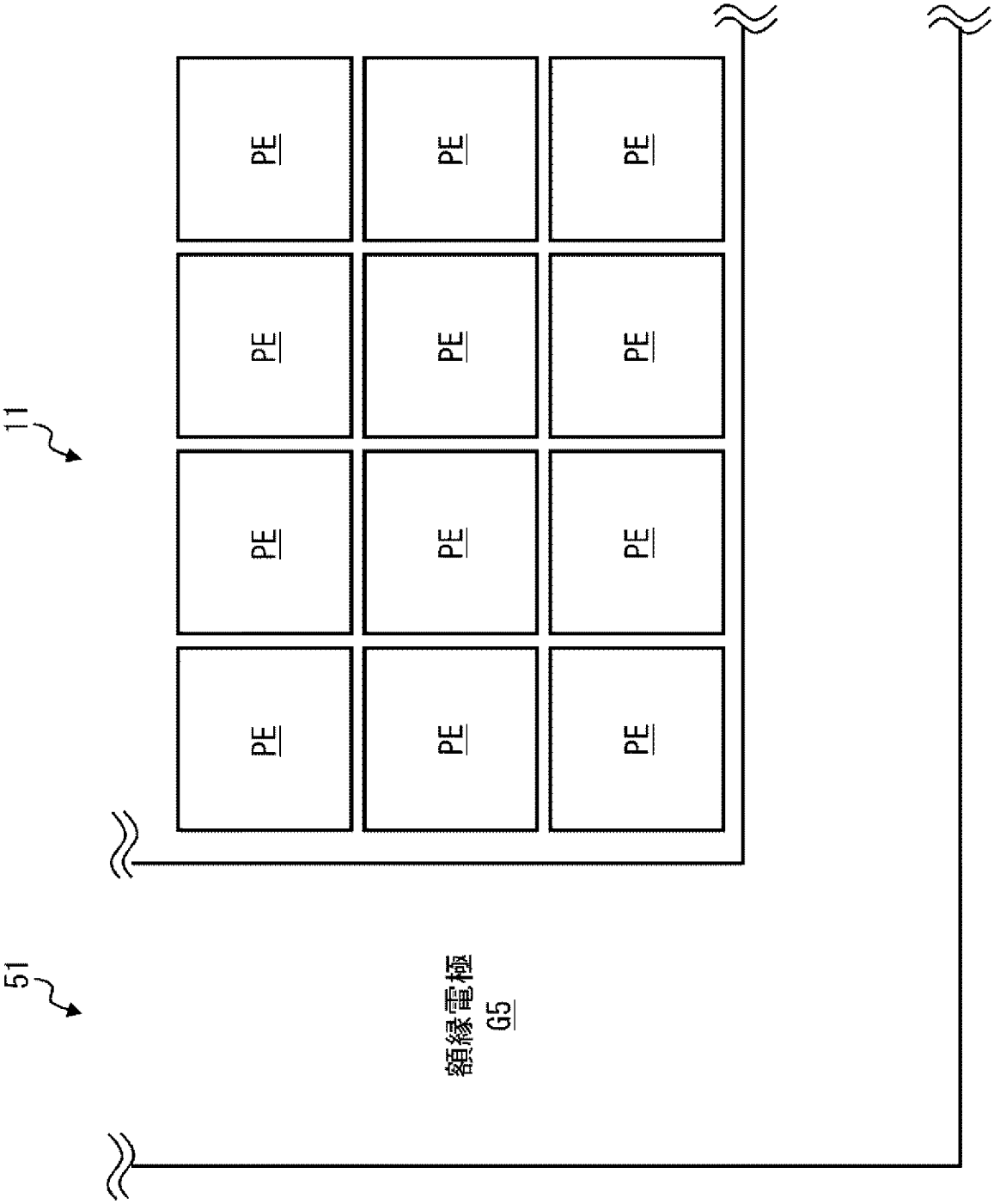
[図6]



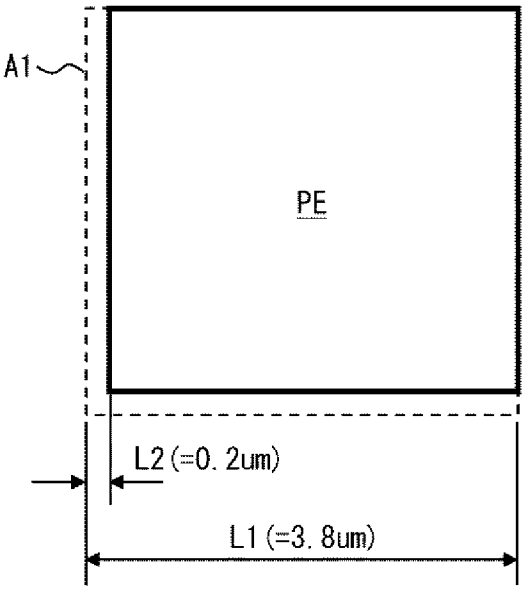
[図7]



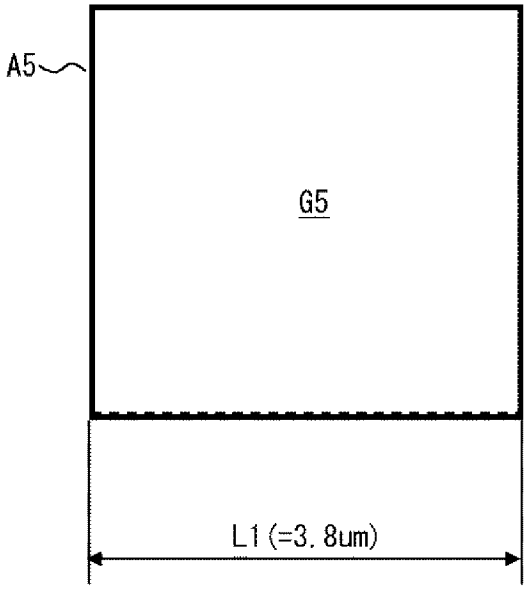
[図8]



[図9]

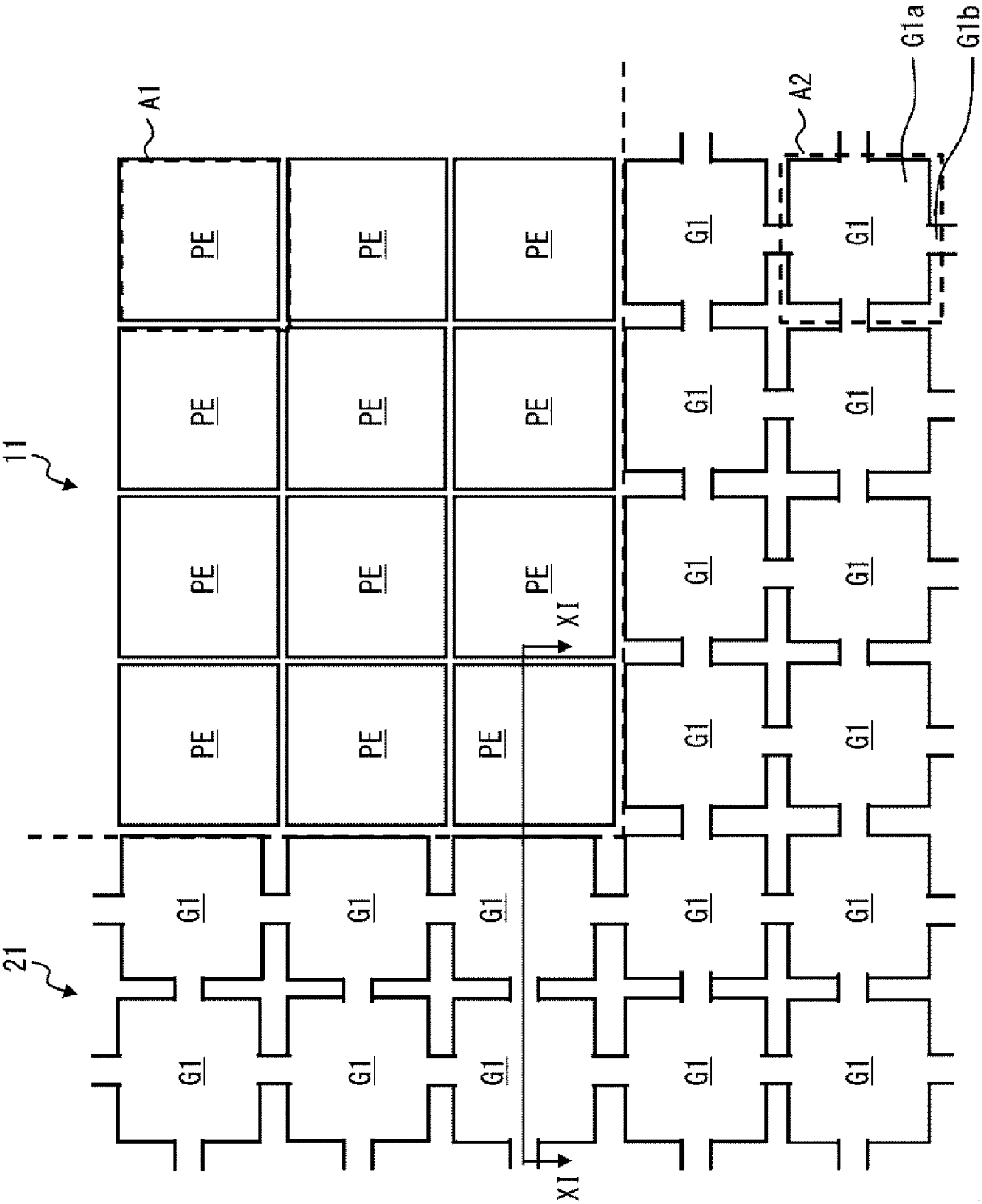


画素１２の
反射電極ＰＥ

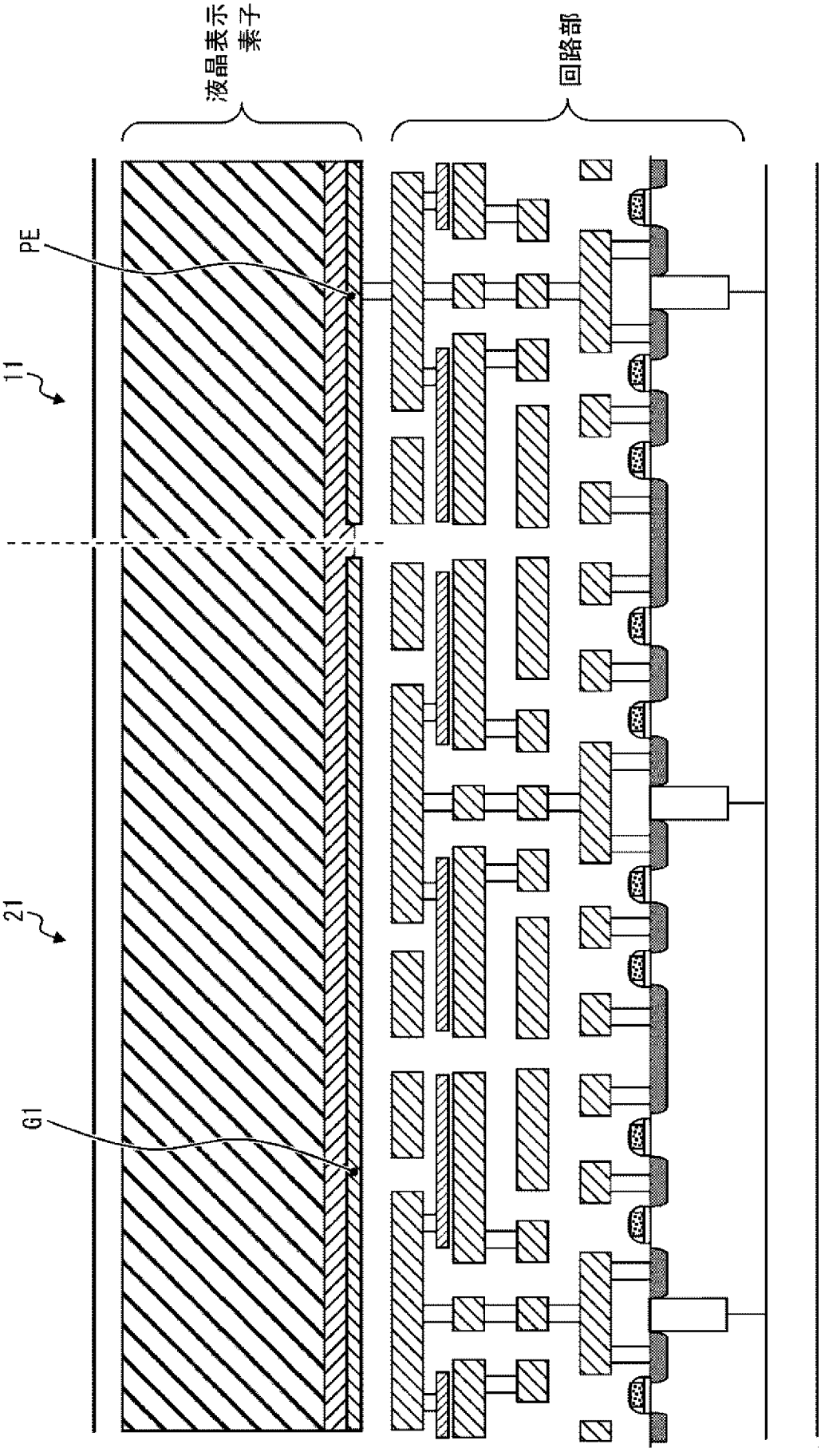


額縁電極Ｇ５

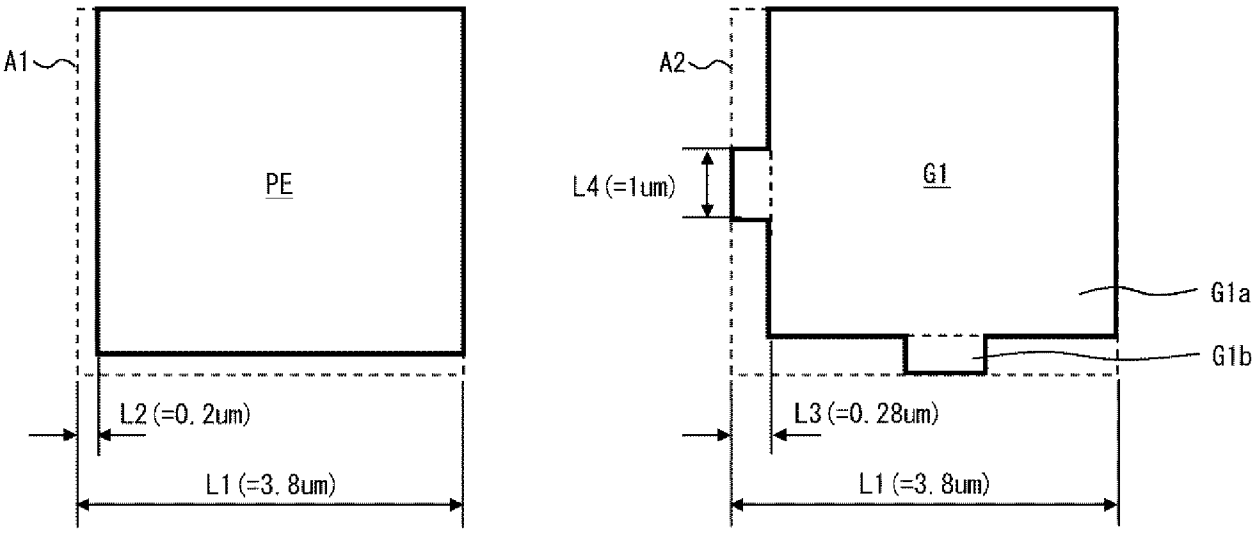
[図10]



[図11]



[図12]

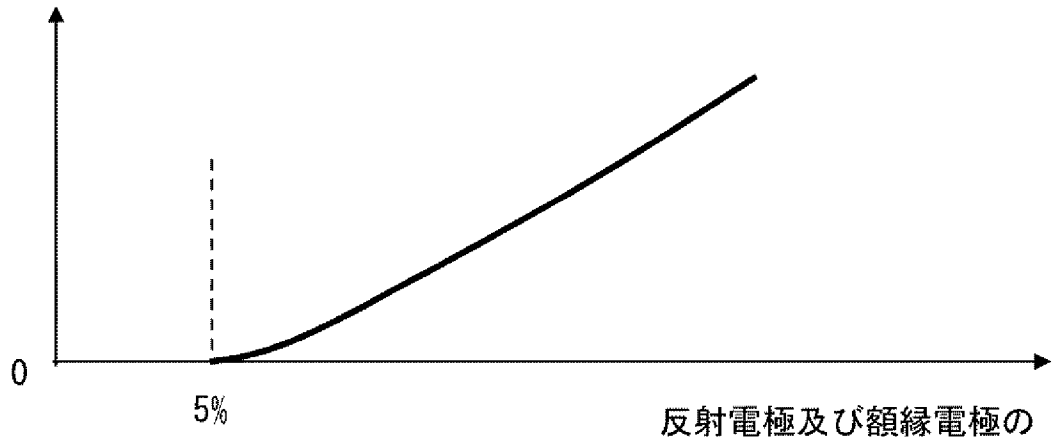


画素１２の
反射電極ＰＥ

額縁電極Ｇ１

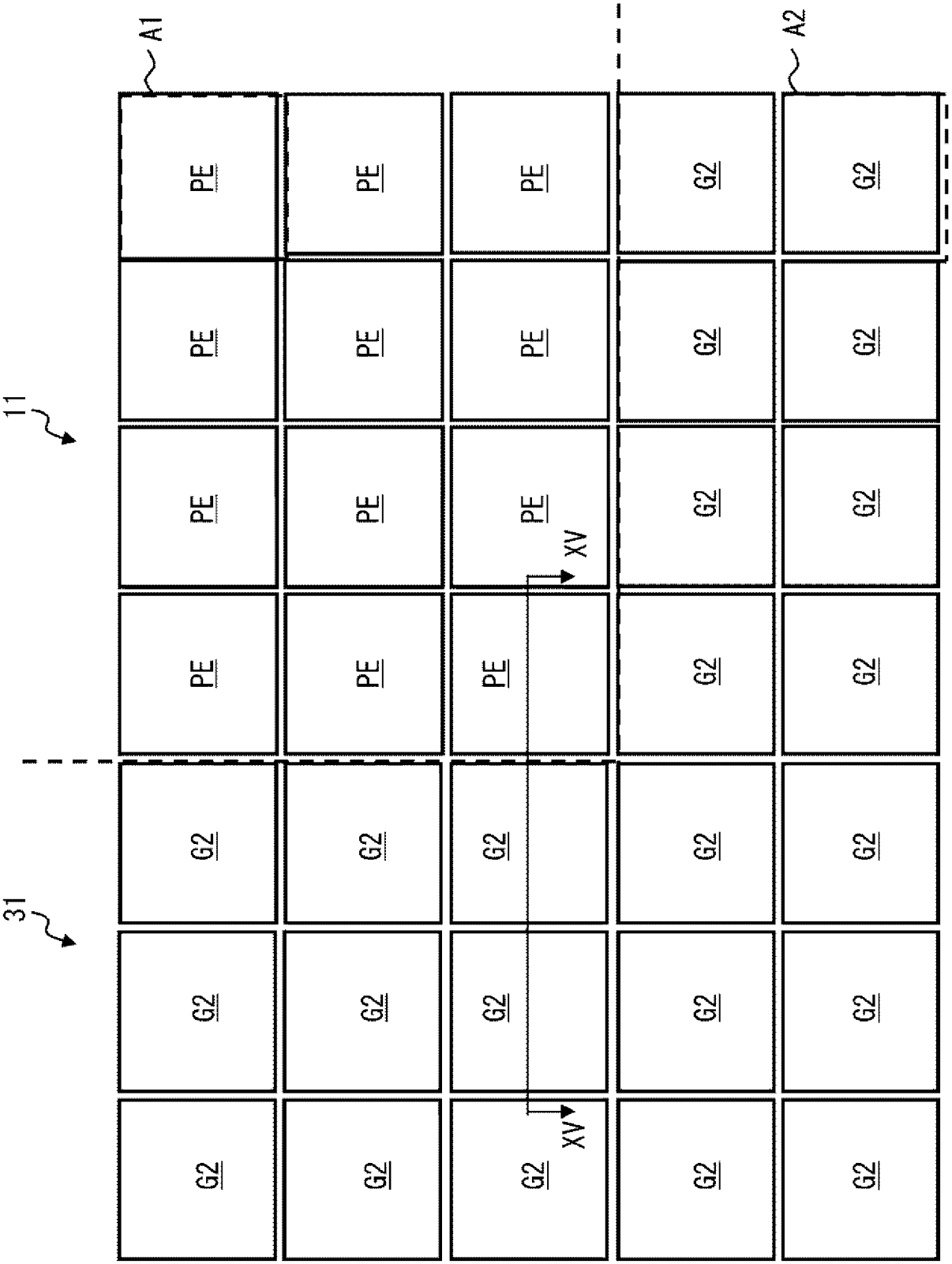
[図13]

画像表示部の黒レベルと
額縁部の黒レベルとの差

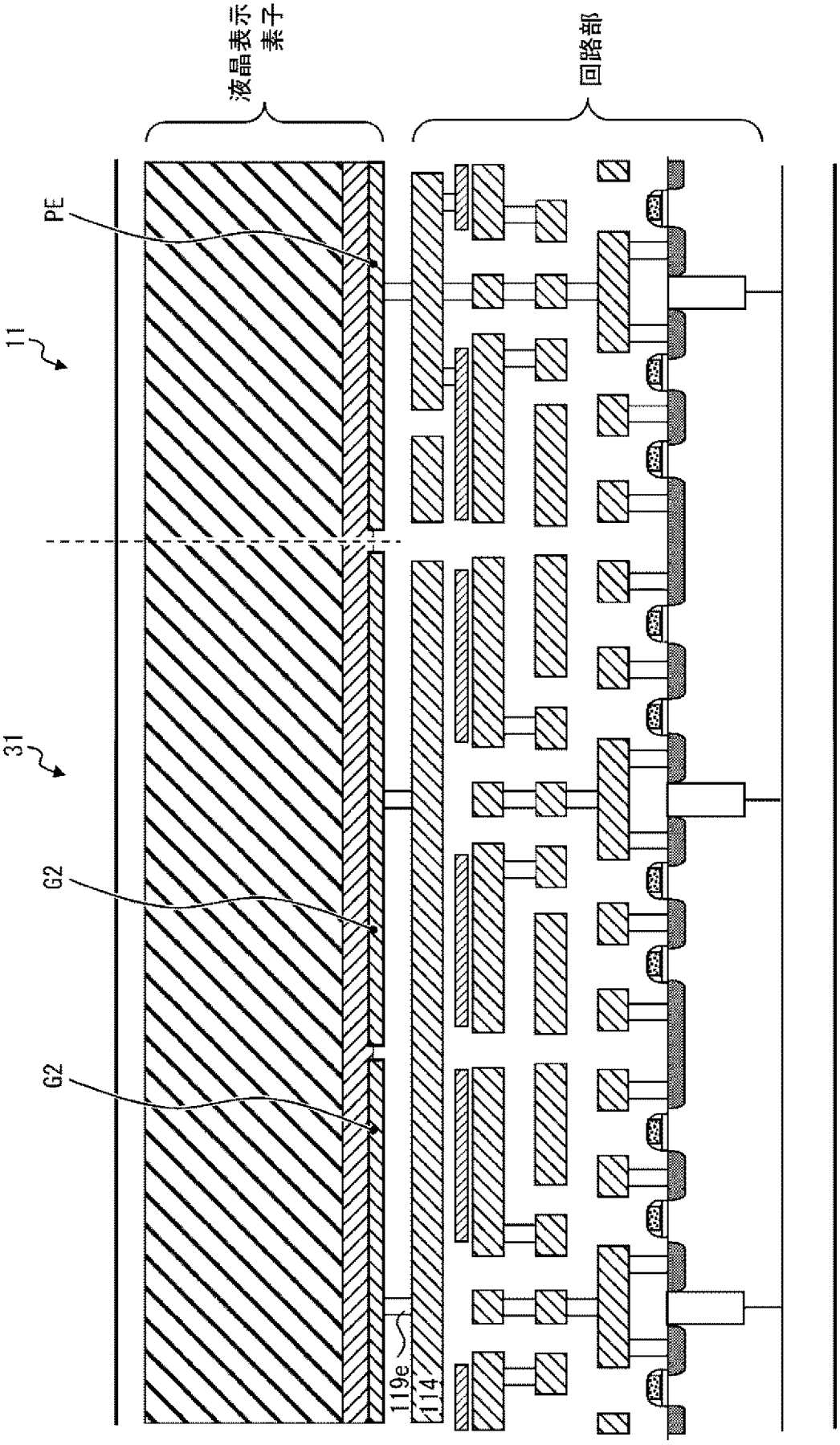


反射電極及び額縁電極の
単位領域当たりの開口率の差

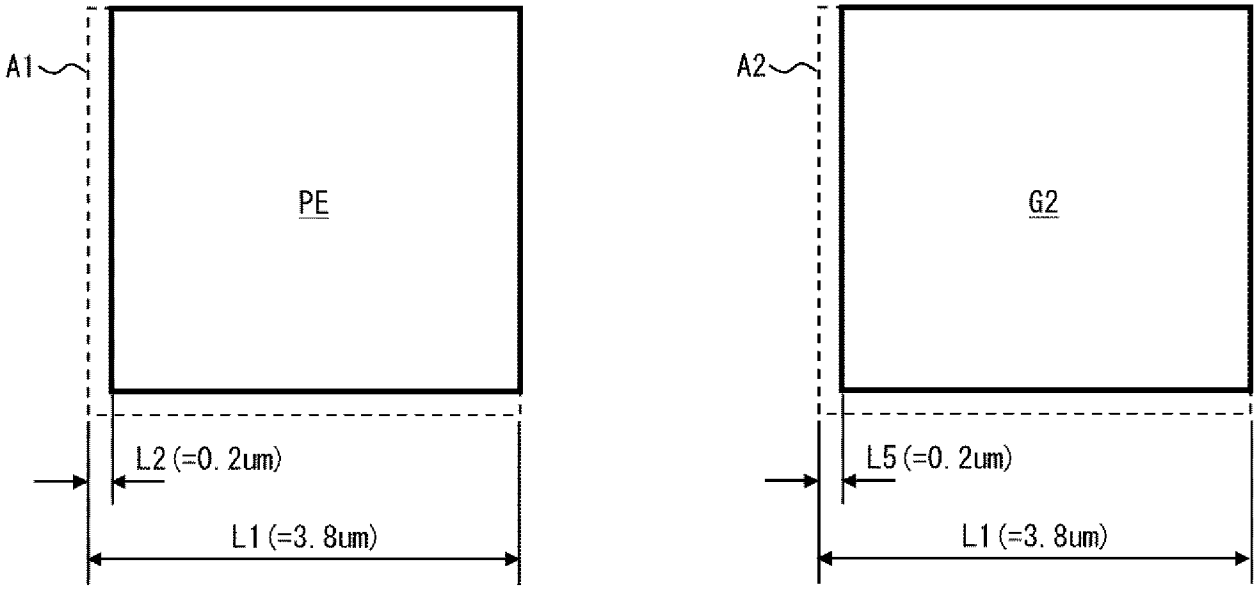
[図14]



[図15]



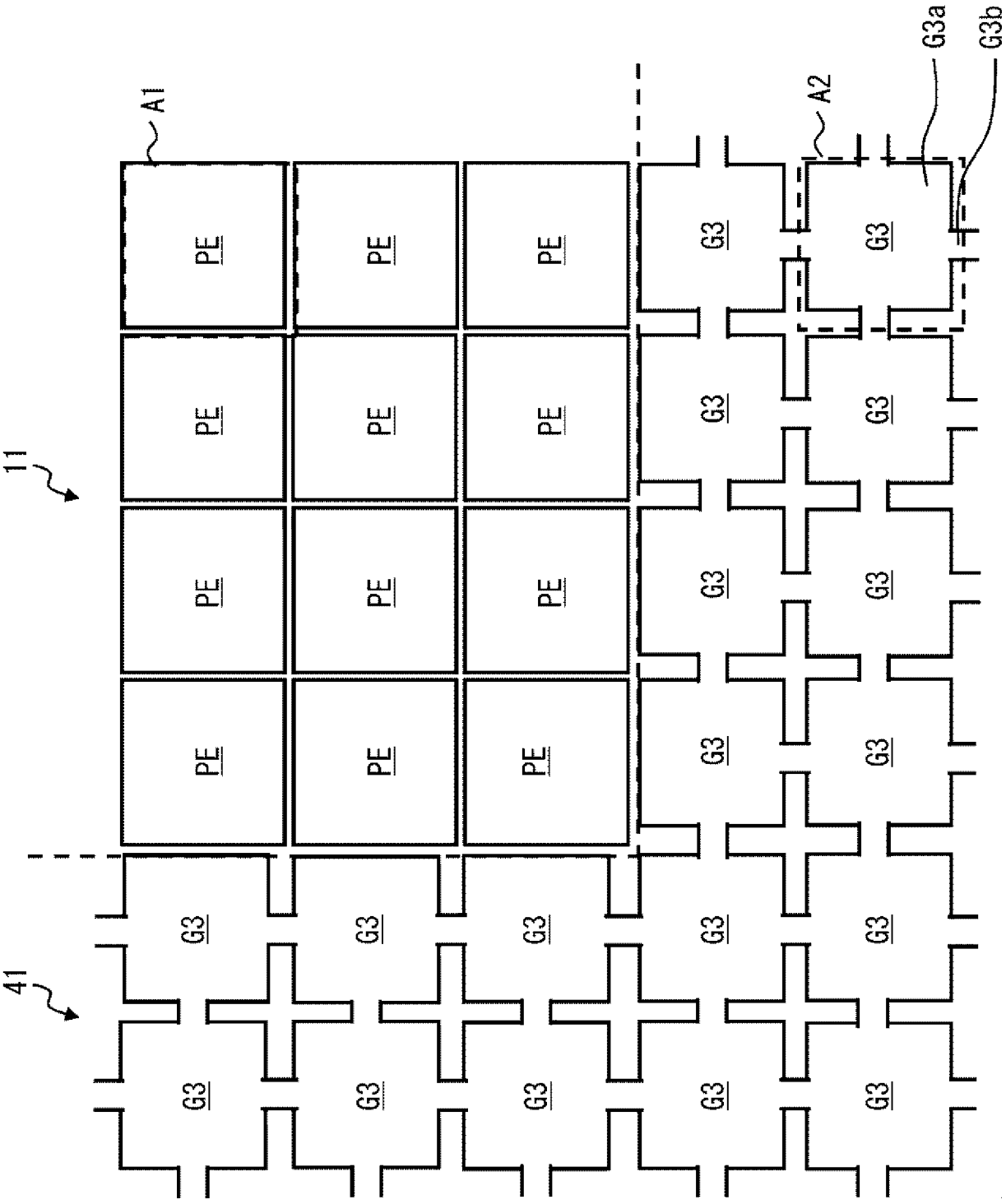
[図16]



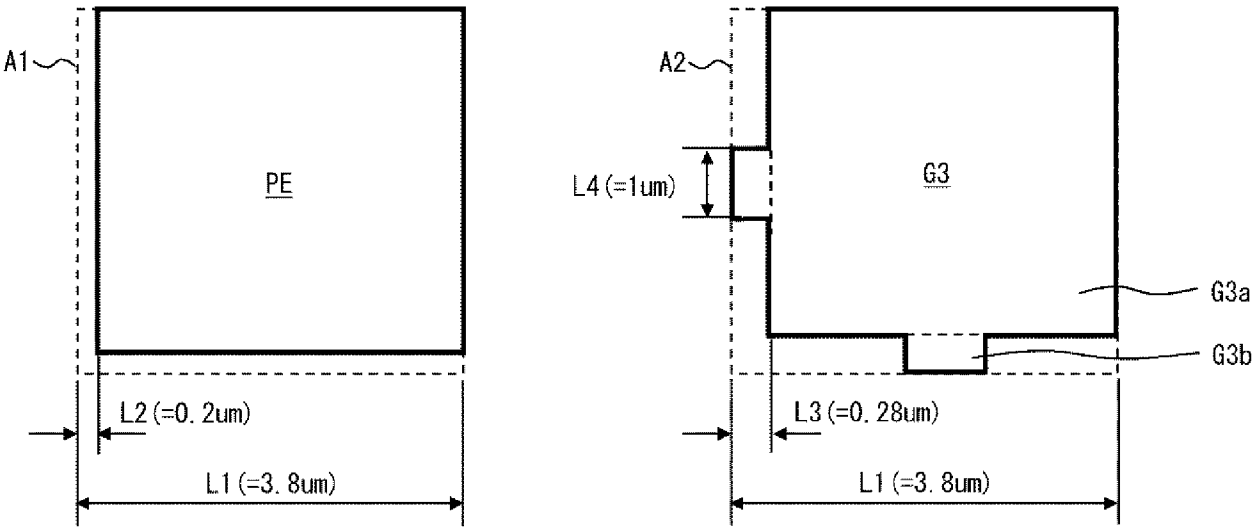
画素１２の
反射電極ＰＥ

額縁電極Ｇ２

[図17]



[図18]

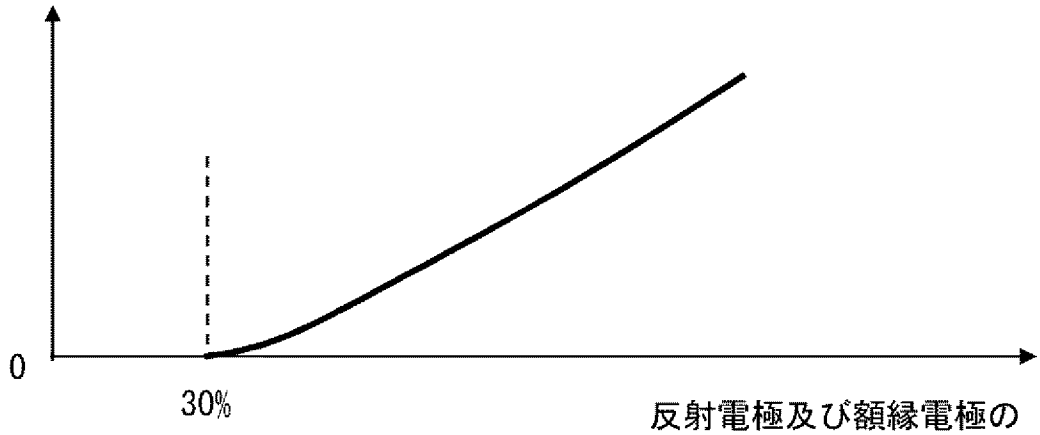


画素１２の
反射電極ＰＥ

額縁電極Ｇ３

[図19]

画像表示部の黒レベルと
額縁部の黒レベルとの差



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/041791

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. G02F1/1335(2006.01)i, G02F1/13(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09F9/302(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G02F1/1335, G02F1/13, G02F1/133, G02F1/1343, G02F1/1368, G09F9/30, G09F9/302

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-108464 A (SEIKO EPSON CORP.) 07 June 2012, paragraphs [0033]-[0040], fig. 10 & US 2012/0099067 A1, fig. 10 & EP 2445219 A1 & CN 102456333 A & KR 10-2012-0042696 A & TW 201217873 A	1-6
X	JP 2006-267937 A (VICTOR COMPANY OF JAPAN, LTD.) 05 October 2006, paragraph [0034], fig. 3 (Family: none)	1, 3, 5
A	JP 2014-92726 A (SEIKO EPSON CORP.) 19 May 2014, entire text all drawings & US 2014/0125932 A1	1-6

☐ Further documents are listed in the continuation of Box C.
☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 January 2019 (15.01.2019)	22 January 2019 (22.01.2019)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０４１７９１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1335(2006.01)i, G02F1/13(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09F9/302(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1335, G02F1/13, G02F1/133, G02F1/1343, G02F1/1368, G09F9/30, G09F9/302

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2012-108464 A (セイコーエプソン株式会社) 2012.06.07, [0033]-[0040], 図 10 & US 2012/0099067 A1, 図 10 & EP 2445219 A1 & CN 102456333 A & KR 10-2012-0042696 A & TW 201217873 A	1-6
X	JP 2006-267937 A (日本ビクター株式会社) 2006.10.05, [0034], 図 3 (ファミリーなし)	1,3,5

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１５．０１．２０１９	２２．０１．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｌ　４００９
小濱　健太
電話番号　０３－３５８１－１１０１　内線　３２９５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2014-92726 A (セイコーエプソン株式会社) 2014.05.19, 全文全図 & US 2014/0125932 A1	1-6