

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2013-229587

(P2013-229587A)

(43) 公開日 平成25年11月7日 (2013.11.7)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 2 6 C	4 M 1 0 4
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 0 8 3
H O 1 L 21/8242 (2006.01)	H O 1 L 29/78 6 1 3 B	5 F 1 0 1
H O 1 L 27/108 (2006.01)	H O 1 L 27/10 3 2 1	5 F 1 1 0
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4	
審査請求 未請求 請求項の数 10 O L (全 40 頁) 最終頁に続く		

(21) 出願番号 特願2013-65395 (P2013-65395)
 (22) 出願日 平成25年3月27日 (2013. 3. 27)
 (31) 優先権主張番号 特願2012-73827 (P2012-73827)
 (32) 優先日 平成24年3月28日 (2012. 3. 28)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 田中 哲弘
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

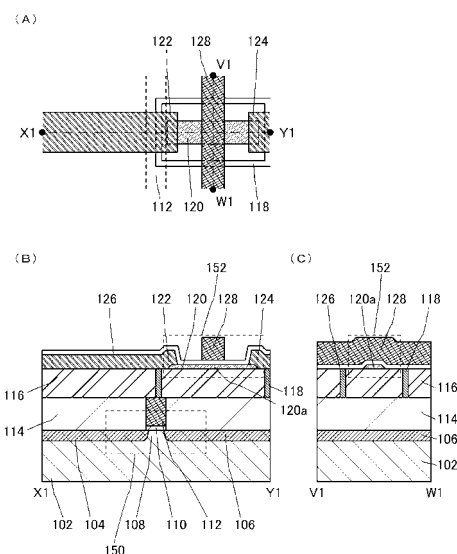
(54) 【発明の名称】 半導体装置、及び当該半導体装置を有する電子機器

(57) 【要約】

【課題】 酸化物半導体膜を用いたトランジスタに好適に酸素を供給することで、該酸化物半導体膜の酸素欠損を補填し、電気特性の安定したトランジスタを提供する。また、当該トランジスタに接続された配線、及び電極等への酸素の拡散を抑制し、信頼性の高い半導体装置を提供する。また、該半導体装置を用いた電子機器を提供する。

【解決手段】 半導体装置として、酸化物半導体膜をチャネル形成領域として含むトランジスタにおいて、チャネル形成領域に接して酸素放出型の酸化物絶縁膜を形成し、該酸化物絶縁膜より酸化物半導体膜に酸素を供給する。また、チャネル形成領域の外周には酸素バリア膜を形成することで、トランジスタに接続された配線、及び電極等への酸素の拡散を抑制することができる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

第 1 の半導体材料により形成された第 1 のチャンネル形成領域を含む第 1 のトランジスタと、

前記第 1 のトランジスタの上方に設けられ、第 2 の半導体材料により形成された第 2 のチャンネル形成領域を含む第 2 のトランジスタと、

前記第 1 のトランジスタと前記第 2 のトランジスタの間に設けられた酸化物絶縁膜と、を有し、

前記酸化物絶縁膜は、少なくとも前記第 2 のチャンネル形成領域と接して設けられ、

前記第 2 のチャンネル形成領域の外周に、前記酸化物絶縁膜を貫通する酸素バリア膜を有する 10

ことを特徴とする半導体装置。

【請求項 2】

第 1 の半導体材料により形成された第 1 のチャンネル形成領域と、

前記第 1 のチャンネル形成領域上に形成された第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜と接し、前記第 1 のチャンネル形成領域と重畳する位置に形成された第 1 のゲート電極と、

前記第 1 のチャンネル形成領域を挟むように形成されたソース領域及びドレイン領域と、を含む第 1 のトランジスタと、

第 2 の半導体材料により形成された第 2 のチャンネル形成領域と、 20

前記第 2 のチャンネル形成領域上に形成された第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜と接し、前記第 2 のチャンネル形成領域と重畳する位置に形成された第 2 のゲート電極と、

前記第 2 のチャンネル形成領域と電氣的に接続されたソース電極及びドレイン電極と、

を含む第 2 のトランジスタと、

前記第 1 のトランジスタと前記第 2 のトランジスタの間に設けられた酸化物絶縁膜と、を有し、

前記酸化物絶縁膜は、少なくとも前記第 2 のチャンネル形成領域と接して設けられ、

前記第 2 のチャンネル形成領域の外周に、前記酸化物絶縁膜を貫通する酸素バリア膜を有する 30

ことを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

さらに、前記第 2 のトランジスタと同一平面上に設けられた容量素子を、有する

ことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記酸化物絶縁膜を貫通して、前記第 1 のトランジスタと前記第 2 のトランジスタを電氣的に接続する接続電極を、有する

ことを特徴とする半導体装置。 40

【請求項 5】

請求項 4 において、

前記接続電極は、前記酸素バリア膜と接して設けられる

ことを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記酸素バリア膜は、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、金属酸化膜、または金属窒化膜である

ことを特徴とする半導体装置。

【請求項 7】 50

請求項 1 乃至請求項 6 のいずれか一において、
前記第 1 の半導体材料は、シリコンを含む材料である
ことを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、
前記第 2 の半導体材料は、酸化物半導体である
ことを特徴とする半導体装置。

【請求項 9】

請求項 8 において、
前記酸化物半導体膜は、少なくともインジウムまたは亜鉛を含む
ことを特徴とする半導体装置。

10

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一に記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、酸化物半導体でチャネル形成領域が形成される、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。また、L S I や、C P U や、電源回路に搭載されるパワーデバイスや、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置や発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

20

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、及び半導体回路は全て半導体装置である。

【背景技術】

【0003】

近年、半導体装置の開発が進められ、L S I や C P U やメモリとして用いられている。C P U は、半導体ウェハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

30

【0004】

L S I や C P U やメモリなどの半導体回路（I C チップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0005】

また、トランジスタとして、チャネル形成領域に酸化物半導体を用いる技術が注目されている。例えば、酸化物半導体として酸化亜鉛（Z n O）を用いるトランジスタや、I n G a O₃（Z n O）_mを用いるトランジスタが挙げられる。これらの酸化物半導体を用いたトランジスタを、透光性を有する基板上に形成し、画像表示装置のスイッチング素子などに用いる技術が特許文献 1、及び特許文献 2 で開示されている。

【先行技術文献】

40

【特許文献】

【0006】

【特許文献 1】特開 2 0 0 7 - 1 2 3 8 6 1 号公報

【特許文献 2】特開 2 0 0 7 - 9 6 0 5 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

L S I や C P U やメモリにおいては、半導体素子の集積化のためにトランジスタ、メモリ、容量などの各構成を積層させ、多層化された構造（以下、積層型の半導体装置）を用いることにより、単位面積あたりの記憶容量を増加させる。また、例えば、該トランジス

50

【 0 0 0 8 】

【 0 0 0 9 】

【 0 0 1 0 】

【 0 0 1 1 】

【課題を解決するための手段】

【 0 0 1 2 】

【 0 0 1 3 】

【 0 0 1 4 】

また、本発明の他の一態様は、第1の半導体材料により形成された第1のチャネル形成領域と、第1のチャネル形成領域上に形成された第1のゲート絶縁膜と、第1のゲート絶縁膜と接し、第1のチャネル形成領域と重畳する位置に形成された第1のゲート電極と、第1のチャネル形成領域を挟むように形成されたソース領域及びドレイン領域と、を含む第1のトランジスタと、第2の半導体材料により形成された第2のチャネル形成領域と、第2のチャネル形成領域上に形成された第2のゲート絶縁膜と、第2のゲート絶縁膜と接し、第2のチャネル形成領域と重畳する位置に形成された第2のゲート電極と、第2のチャネル形成領域を挟むように形成されたソース領域及びドレイン領域と、を含む第2のトランジスタと、を有する。

ャネル形成領域と電氣的に接続されたソース電極及びドレイン電極と、を含む第2のトランジスタと、第1のトランジスタと第2のトランジスタの間に設けられた酸化物絶縁膜と、を有し、酸化物絶縁膜は、少なくとも第2のチャネル形成領域と接して設けられ、第2のチャネル形成領域の外周に、酸化物絶縁膜を貫通する酸素バリア膜を有することを特徴とする半導体装置である。

【0015】

第2のチャネル形成領域の外周に、酸化物絶縁膜を貫通する酸素バリア膜を有することで、第1のトランジスタと第2トランジスタを接続する電極等を当該貫通する領域に形成することができる。また、酸化物絶縁膜を貫通するように形成された酸素バリア膜は、酸化物半導体膜の第2のチャネル形成領域に対して、酸化物絶縁膜からの横方向からの酸素の拡散を抑制できる。また、酸化物絶縁膜を貫通するように形成された酸素バリア膜は、第1のトランジスタと第2のトランジスタを接続する電極等に対しても、酸素の拡散を抑制できる。これは、酸化物絶縁膜を貫通する酸素バリア膜を有することでしか成しえない効果である。

10

【0016】

上記各構成において、さらに、第2のトランジスタと同一平面上に設けられた容量素子を有すると好ましい。第2のトランジスタと同一平面上に容量素子を形成することで、製造コストを低減させることができる。

【0017】

また、上記各構成において、酸化物絶縁膜を貫通して、第1のトランジスタと第2のトランジスタを電氣的に接続する接続電極を有すると好ましい。また、接続電極は、酸素バリア膜と接して設けられると好ましい。接続電極を酸素バリア膜と接して設けることにより、接続電極の酸化を抑制することができる。

20

【0018】

また、上記各構成において、酸素バリア膜は、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、それらの金属酸化膜、またはそれらの金属窒化膜であると好ましい。

【0019】

また、上記各構成において、第1の半導体材料は、シリコンを含む材料であると好ましい。また、第2の半導体材料は、酸化物半導体膜であると好ましく、酸化物半導体膜は、少なくともインジウムまたは亜鉛を含むとよい。

30

【0020】

また、本発明の一態様は、上記各構成を有する電子機器である。

【発明の効果】

【0021】

酸化物半導体膜を用いたトランジスタにおいて、該酸化物半導体膜の酸素欠損を補填し、電気特性の安定したトランジスタを提供することができる。また、該トランジスタに接続された配線、及び電極等への酸素の拡散を抑制し、信頼性の高い半導体装置を提供することができる。また、該半導体装置を有する電子機器を提供することができる。

【図面の簡単な説明】

40

【0022】

【図1】半導体装置の一形態を説明する図。

【図2】半導体装置の一形態を説明する図。

【図3】半導体装置の一形態を説明する図。

【図4】半導体装置の一形態を説明する図。

【図5】半導体装置の一形態を説明する図。

【図6】半導体装置の作製方法の一形態を説明する図。

【図7】半導体装置の作製方法の一形態を説明する図。

【図8】半導体装置の作製方法の一形態を説明する図。

【図9】半導体装置の作製方法の一形態を説明する図。

50

- 【図 1 0】半導体装置の作製方法の一形態を説明する図。
【図 1 1】半導体装置の作製方法の一形態を説明する図。
【図 1 2】半導体装置の一形態を説明する回路図。
【図 1 3】半導体装置を用いた記憶処理装置を説明する図。
【図 1 4】半導体装置を用いた C P U を説明する図。
【図 1 5】電子機器を説明する図。
【図 1 6】電子機器を説明する図。
【発明を実施するための形態】
【0 0 2 3】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。 10

【0 0 2 4】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0 0 2 5】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。 20

【0 0 2 6】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁膜上のゲート電極」の表現であれば、ゲート絶縁膜とゲート電極との間に他の構成要素を含むものを除外しない。

【0 0 2 7】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。 30

【0 0 2 8】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0 0 2 9】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、容量素子、その他の各種機能を有する素子などが含まれる。 40

【0 0 3 0】

(実施の形態 1)

本実施の形態では、半導体装置の一形態を、図 1 乃至図 4 を用いて説明する。本実施の形態では、半導体装置の一例として積層型の半導体装置の断面図を示す。

【0 0 3 1】

図 1 (A) は半導体装置の平面図であり、図 1 (B) は図 1 (A) における X 1 - Y 1 に係る断面図に相当し、図 1 (C) は図 1 (A) における V 1 - W 1 に係る断面図に相当する。なお、図 1 (A) では、煩雑になることを避けるため、半導体装置の構成要素の一 50

部（例えば、第２のゲート絶縁膜１２６など）を省略している。

【００３２】

図１に示す半導体装置は、第１の半導体材料１０２に形成された第１のチャネル形成領域１０８を含む第１のトランジスタ１５０と、第１のトランジスタ１５０の上方に設けられ、第２の半導体材料により形成された第２のチャネル形成領域１２０aを含む第２のトランジスタ１５２と、第１のトランジスタ１５０と第２のトランジスタ１５２の間に設けられた酸化物絶縁膜１１６と、を有し、酸化物絶縁膜１１６は、少なくとも第２のチャネル形成領域１２０aと接して設けられ、第２のチャネル形成領域１２０aの外周に、酸化物絶縁膜１１６を貫通する酸素バリア膜１１８を有する構成である。第１の半導体材料１０２としては、シリコンを含む材料が好ましく、例えば、単結晶シリコン、多結晶シリコン等のシリコンウェハー等を用いることができる。第２の半導体材料としては、例えば酸化物半導体を用いることができる。

10

【００３３】

また、第１のトランジスタ１５０は、第１のチャネル形成領域１０８上に形成された第１のゲート絶縁膜１１０と、第１のゲート絶縁膜１１０と接し、第１のチャネル形成領域１０８と重畳する位置に形成された第１のゲート電極１１２と、第１のチャネル形成領域１０８を挟むように形成されたソース領域１０４及びドレイン領域１０６を含む。第１のトランジスタ１５０上（より詳しくは、ソース領域１０４及びドレイン領域１０６上）には層間絶縁膜１１４が形成されている。

【００３４】

20

なお、図１（Ｂ）のように、第１のトランジスタ１５０は、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書等において、ソース電極との記載には、ソース領域が、ドレイン電極との記載にはドレイン領域が、含まれる。

【００３５】

また、第２のトランジスタ１５２は、酸化物半導体膜１２０に形成された第２のチャネル形成領域１２０aと、第２のチャネル形成領域１２０a上に形成された第２のゲート絶縁膜１２６と、第２のゲート絶縁膜１２６と接し、第２のチャネル形成領域１２０aと重畳する位置に形成された第２のゲート電極１２８と、第２のチャネル形成領域１２０aと電氣的に接続されたソース電極１２２及びドレイン電極１２４と、を含む。

30

【００３６】

ここで、第１の半導体材料と第２の半導体材料は、異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第１の半導体材料を酸化物半導体以外の半導体材料（結晶性のシリコンなど）とし、第２の半導体材料を酸化物半導体とすることが出来る。第１の半導体材料として、結晶性のシリコンなどを適用したトランジスタは、高速動作が容易である。一方で、第２の半導体材料として、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【００３７】

40

また、酸化物絶縁膜１１６は、加熱により酸素を放出する酸素放出型の酸化物絶縁膜を用いると好適である。「加熱により酸素を放出する」とは、TDS（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

【００３８】

酸素バリア膜１１８は、酸素透過性の低い膜を用いると好適である。酸素バリア膜１１８としては、例えば、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、それらの金属酸化膜、またはそれらの金属窒化膜であると好適である。また、酸化アルミニウム、ルテニウム、酸化ルテニウム、イリジウム、酸化イ

50

リジウム、窒化タンタルの少なくとも１つを含むと更に好適である。図１に示す構成においては、酸素バリア膜１１８として酸化アルミニウム膜を用いる。

【００３９】

図１に示すように、酸素バリア膜１１８を設ける構成とすることによって、酸化物絶縁膜１１６を加熱した際に、酸化物半導体膜１２０の下方に形成された酸化物絶縁膜１１６からの横方向への酸素の拡散を抑制し、酸化物半導体膜１２０（特に第２のチャンネル形成領域１２０ａ）中に好適に酸素を供給することができる。

【００４０】

なお、層間絶縁膜１１４と酸化物絶縁膜１１６との間に酸素バリア膜を設ける構成としてもよい。このような構成とすることで、酸化物絶縁膜１１６から放出される酸素が、第１のトランジスタ１５０側へ拡散するのを抑制することができ、酸化物絶縁膜１１６を加熱した際に、酸化物半導体膜１２０（特に第２のチャンネル形成領域１２０ａ）中に、さらに好適に酸素を供給することができる。

【００４１】

また、図１においては、酸素バリア膜１１８は、第２のチャンネル形成領域１２０ａの外周全ての酸化物絶縁膜１１６を貫通させる構造としたが、この構成に限定されない。例えば、チャンネル長方向（図１（Ｂ）に示す断面図の方向）のみ酸素バリア膜１１８により酸化物絶縁膜１１６を貫通する構造としてもよいし、チャンネル幅方向（図１（Ｃ）に示す断面図の方向）のみ酸素バリア膜１１８により酸化物絶縁膜１１６を貫通する構造としてもよい。なお、図１に示す構成においては、酸素バリア膜１１８を導電性の材料により形成した場合、ソース電極１２２及びドレイン電極１２４が同電位となるため、図１に示す構成とした場合においては、絶縁性の酸素バリア膜１１８とするとよい。

【００４２】

次に、図１に示す半導体装置と異なる形態について、図２を用いて説明する。なお、図１で用いた構成と同様の箇所には同様の符号を付し、その詳細な説明については省略する。

【００４３】

図２（Ａ）は半導体装置の平面図であり、図２（Ｂ）は図２（Ａ）におけるＸ２－Ｙ２に係る断面図に相当し、図２（Ｃ）は図２（Ａ）におけるＶ２－Ｗ２に係る断面図に相当する。なお、図２（Ａ）では、煩雑になることを避けるため、半導体装置の構成要素の一部（例えば、第２のゲート絶縁膜１２６など）を省略している。

【００４４】

図２に示す半導体装置は、第１の半導体材料１０２に形成された第１のチャンネル形成領域１０８を含む第１のトランジスタ１６０と、第１のトランジスタ１６０の上方に設けられ、第２の半導体材料により形成された第２のチャンネル形成領域１２０ａを含む第２のトランジスタ１６２と、第１のトランジスタ１６０と第２のトランジスタ１６２の間に設けられた酸化物絶縁膜１１６と、を有し、酸化物絶縁膜１１６は、少なくとも第２のチャンネル形成領域１２０ａと接して設けられ、第２のチャンネル形成領域１２０ａの外周に、酸化物絶縁膜１１６を貫通する酸素バリア膜１２３を有する構成である。

【００４５】

また、第１のトランジスタ１６０は、第１のチャンネル形成領域１０８上に形成された第１のゲート絶縁膜１１０と、第１のゲート絶縁膜１１０と接し、第１のチャンネル形成領域１０８と重畳する位置に形成された第１のゲート電極１１２と、第１のチャンネル形成領域１０８を挟むように形成されたソース領域１０４及びドレイン領域１０６とを含む。第１のトランジスタ１６０上（より詳しくは、ソース領域１０４及びドレイン領域１０６上）には層間絶縁膜１１４が形成されている。

【００４６】

また、第２のトランジスタ１６２は、酸化物半導体膜１２０に形成された第２のチャンネル形成領域１２０ａと、第２のチャンネル形成領域１２０ａ上に形成された第２のゲート絶縁膜１２６と、第２のゲート絶縁膜１２６と接し、第２のチャンネル形成領域１２０ａと重

置する位置に形成された第２のゲート電極１２８と、第２のチャネル形成領域１２０aと電氣的に接続されたソース電極１２２及びドレイン電極１２４と、を含む。

【００４７】

また、酸化物絶縁膜１１６は、加熱により酸素を放出する酸素放出型の酸化物絶縁膜を用いると好適である。

【００４８】

酸素バリア膜１２３は、酸素透過性の低い膜を用いると好適であり、酸素バリア膜１２３としては、例えば、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、それらの金属酸化膜、またはそれらの金属窒化膜であると好適である。図２に示す構成においては、酸素バリア膜１２３として導電性の材料である酸化ルテニウム膜を用いる。

10

【００４９】

また、図２に示す構成においては、酸素バリア膜１２３は、ソース電極１２２及びドレイン電極１２４の一部の電極として機能する。このような構成とすることで、第１のトランジスタ１６０と第２のトランジスタ１６２との接続電極の一部として使用することができる。具体的には、第１のトランジスタ１６０の第１のゲート電極１１２と、第２のトランジスタ１６２のソース電極１２２が酸素バリア膜１２３により接続されている。第１のトランジスタ１６０と第２のトランジスタ１６２との接続電極として酸素バリア膜を用いる場合においては、酸素バリア膜を導電性の材料とするのが好ましい。

【００５０】

20

図２に示すように、酸素バリア膜１２３を設ける構成とすることによって、酸化物絶縁膜１１６を加熱した際に、酸化物半導体膜１２０の下方に形成された酸化物絶縁膜１１６からの横方向への酸素の拡散を抑制し、酸化物半導体膜１２０（特に第２のチャネル形成領域１２０a）中に好適に酸素を供給することができる。また、ソース電極１２２及びドレイン電極１２４下層にも酸素バリア膜１２３が設けられることによって、酸化物絶縁膜１１６を加熱した際に放出される酸素が、ソース電極１２２及びドレイン電極１２４に与えられない。したがって、ソース電極１２２及びドレイン電極１２４の酸化を抑制することができる。

【００５１】

なお、層間絶縁膜１１４と酸化物絶縁膜１１６との間に酸素バリア膜を設ける構成としてもよい。このような構成とすることで、酸化物絶縁膜１１６から放出される酸素が、第１のトランジスタ１６０側へ拡散するのを抑制することができ、酸化物絶縁膜１１６を加熱した際に、酸化物半導体膜１２０（特に第２のチャネル形成領域１２０a）中に、さらに好適に酸素を供給することができる。

30

【００５２】

次に、図１及び図２に示す半導体装置と異なる形態について、図３を用いて説明する。なお、図１及び図２で用いた構成と同様の箇所には同様の符号を付し、その詳細な説明については省略する。

【００５３】

図３（A）は半導体装置の平面図であり、図３（B）は図３（A）におけるX3-Y3に係る断面図に相当し、図３（C）は図３（A）におけるV3-W3に係る断面図に相当する。なお、図３（A）では、煩雑になることを避けるため、半導体装置の構成要素の一部（例えば、第２のゲート絶縁膜１２７など）を省略している。

40

【００５４】

図３に示す半導体装置は、第１の半導体材料１０２に形成された第１のチャネル形成領域１０８を含む第１のトランジスタ１７０と、第１のトランジスタ１７０の上方に設けられ、第２の半導体材料により形成された第２のチャネル形成領域１２１aを含む第２のトランジスタ１７２と、第１のトランジスタ１７０と第２のトランジスタ１７２の間に設けられた酸化物絶縁膜１１６と、を有し、酸化物絶縁膜１１６は、少なくとも第２のチャネル形成領域１２１aと接して設けられ、第２のチャネル形成領域１２１aの外周に、酸化

50

物絶縁膜 116 を貫通する酸素バリア膜 123 を有する構成である。

【0055】

また、第 1 のトランジスタ 170 は、第 1 のチャネル形成領域 108 上に形成された第 1 のゲート絶縁膜 110 と、第 1 のゲート絶縁膜 110 と接し、第 1 のチャネル形成領域 108 と重畳する位置に形成された第 1 のゲート電極 112 と、第 1 のチャネル形成領域 108 を挟むように形成されたソース領域 104 及びドレイン領域 106 とを含む。第 1 のトランジスタ 170 上（より詳しくは、ソース領域 104 及びドレイン領域 106 上）には層間絶縁膜 114 が形成されている。

【0056】

また、第 2 のトランジスタ 172 は、酸化物半導体膜 121 に形成された第 2 のチャネル形成領域 121a と、第 2 のチャネル形成領域 121a 上に形成された第 2 のゲート絶縁膜 127 と、第 2 のゲート絶縁膜 127 と接し、第 2 のチャネル形成領域 121a と重畳する位置に形成された第 2 のゲート電極 128 と、第 2 のチャネル形成領域 121a と電氣的に接続されたソース電極 122 及びドレイン電極 124 と、を含む。

【0057】

また、酸化物絶縁膜 116 は、加熱により酸素を放出する酸素放出型の酸化物絶縁膜を用いると好適である。

【0058】

酸素バリア膜 123 は、酸素透過性の低い膜を用いると好適であり、図 3 に示す構成においては、導電性の材料を用いる。酸素バリア膜 123 としては、例えば、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、それらの金属酸化膜、またはそれらの金属窒化膜であると好適である。図 3 に示す構成においては、酸素バリア膜 123 として酸化ルテニウム膜を用いる。

【0059】

なお、図 3 に示す構成においては、酸素バリア膜 123 は、ソース電極 122 及びドレイン電極 124 の一部の電極として機能する。このような構造とすることで、第 1 のトランジスタ 170 と第 2 のトランジスタ 172 との接続電極の一部として使用することができる。具体的には、第 1 のトランジスタ 170 の第 1 のゲート電極 112 と、第 2 のトランジスタ 172 のソース電極 122 が酸素バリア膜 123 により接続されている。

【0060】

図 3 に示すように、酸素バリア膜 123 を設ける構成とすることによって、酸化物絶縁膜 116 を加熱した際に、酸化物半導体膜 121 の下方に形成された酸化物絶縁膜 116 からの横方向への酸素の拡散を抑制し、酸化物半導体膜 121（特に第 2 のチャネル形成領域 121a）中に好適に酸素を供給することができる。また、ソース電極 122 及びドレイン電極 124 下層にも酸素バリア膜 123 が設けられることによって、酸化物絶縁膜 116 を加熱した際に放出される酸素が、ソース電極 122 及びドレイン電極 124 に与えられない。したがって、ソース電極 122 及びドレイン電極 124 の酸化を抑制することができる。

【0061】

また、図 3 に示す半導体装置と図 2 に示す半導体装置との異なる構成としては、層間絶縁膜 114 と酸化物絶縁膜 116 との間に酸素バリア膜 115 が設けられた構成である。このような構成とすることで酸化物絶縁膜 116 から放出される酸素が、第 1 のトランジスタ 170 側へ拡散するのを抑制することができ、酸化物絶縁膜 116 を加熱した際に酸化物半導体膜 121（特に第 2 のチャネル形成領域 121a）中に、さらに好適に酸素を供給することができる。

【0062】

また、図 3 に示す半導体装置の図 2 に示す半導体装置との異なる構成としては、第 2 のトランジスタ 172 のソース電極 122 及びドレイン電極 124 と、酸化物半導体膜 121 との接続位置である。図 2 に示す半導体装置においては、酸化物半導体膜 120 の上側にてソース電極 122 及びドレイン電極 124 が接続した構成（所謂トップコンタクト型

10

20

30

40

50

）であり、図 3 に示す半導体装置においては酸化半導体膜 121 の下側にソース電極 122 及びドレイン電極 124 が接続する構成（所謂ボトムコンタクト型）である。このように、第 2 のトランジスタ構成は特に限定されず、実施者が適宜最適な構成を選択すればよい。

【0063】

次に、図 1 乃至図 3 に示す半導体装置と異なる形態について、図 4 を用いて説明する。なお、図 1 乃至図 3 で用いた構成と同様の箇所には同様の符号を付し、その詳細な説明については省略する。

【0064】

図 4（A）は半導体装置の平面図であり、図 4（B）は図 4（A）における X4-Y4 に係る断面図に相当し、図 4（C）は図 4（A）における V4-W4 に係る断面図に相当する。なお、図 4（A）では、煩雑になることを避けるため、半導体装置の構成要素の一部（例えば、第 2 のゲート絶縁膜 126 など）を省略している。

【0065】

図 4 に示す半導体装置は、第 1 の半導体材料 102 に形成された第 1 のチャネル形成領域 108 を含む第 1 のトランジスタ 180 と、第 1 のトランジスタ 180 の上方に設けられ、第 2 の半導体材料により形成された第 2 のチャネル形成領域 120a を含む第 2 のトランジスタ 182 と、第 1 のトランジスタ 180 と第 2 のトランジスタ 182 の間に設けられた酸化半導体絶縁膜 116 と、を有し、酸化半導体絶縁膜 116 は、少なくとも第 2 のチャネル形成領域 120a と接して設けられ、第 2 のチャネル形成領域 120a の外周に、前記酸化半導体絶縁膜 116 を貫通する酸素バリア膜 123 を有する構成である。

【0066】

また、第 1 のトランジスタ 180 は、第 1 のチャネル形成領域 108 上に形成された第 1 のゲート絶縁膜 110 と、第 1 のゲート絶縁膜 110 と接し、第 1 のチャネル形成領域 108 と重畳する位置に形成された第 1 のゲート電極 112 と、第 1 のチャネル形成領域 108 を挟むように形成されたソース領域 104 及びドレイン領域 106 とを含む。第 1 のトランジスタ 180 上（より詳しくは、ソース領域 104 及びドレイン領域 106 上）には層間絶縁膜 114 が形成される。

【0067】

また、第 2 のトランジスタ 182 は、酸化半導体膜 120 に形成された第 2 のチャネル形成領域 120a と、第 2 のチャネル形成領域 120a 上に形成された第 2 のゲート絶縁膜 126 と、第 2 のゲート絶縁膜 126 と接し、第 2 のチャネル形成領域 120a と重畳する位置に形成された第 2 のゲート電極 129 と、第 2 のチャネル形成領域 120a と電氣的に接続されたソース電極 122 及びドレイン電極 124 と、を含む。

【0068】

また、酸化半導体絶縁膜 116 は、加熱により酸素を放出する酸素放出型の酸化半導体絶縁膜を用いると好適である。

【0069】

酸素バリア膜 123 は、酸素透過性の低い膜を用いると好適であり、図 4 に示す構成においては、導電性の材料を用いる。酸素バリア膜 123 としては、例えば、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、それらの金属酸化膜、またはそれらの金属窒化膜であると好適である。図 4 に示す構成においては、酸素バリア膜 123 として酸化ルテニウム膜を用いる。

【0070】

なお、図 4 に示す構成においては、酸素バリア膜 123 は、ソース電極 122 及びドレイン電極 124 の一部の電極として機能する。このような構造とすることで、第 1 のトランジスタ 180 と第 2 のトランジスタ 182 との接続電極の一部として使用することができる。具体的には、第 1 のトランジスタ 180 の第 1 のゲート電極 112 と、第 2 のトランジスタ 182 のソース電極 122 が酸素バリア膜 123 により接続されている。

【0071】

図４に示すように、酸素バリア膜１２３を設ける構成とすることによって、酸化物絶縁膜１１６を加熱した際に、酸化物半導体膜１２０の下方に形成された酸化物絶縁膜１１６からの横方向への酸素の拡散を抑制し、酸化物半導体膜１２０（特に第２のチャネル形成領域１２０a）中に好適に酸素を供給することができる。

【００７２】

また、図４に示す半導体装置と図２に示す半導体装置との異なる構成としては、第２のゲート電極１２９の形状である。図４に示す第２のトランジスタ１８２のように、第２のゲート電極１２９の一部とソース電極１２２及びドレイン電極１２４の一部を重畳させる構造としてもよい。

【００７３】

また、図４に示す半導体装置と図２に示す半導体装置との異なる構成としては、層間絶縁膜１１４と酸化物絶縁膜１１６との間にバックゲート電極１１７が設けられた構成である。バックゲート電極１１７は、第２のトランジスタ１８２のバックゲート電極として機能する。バックゲート電極１１７を設ける構成とすることで、第２のトランジスタ１８２のしきい値電圧をバックゲート電極１１７により調整することができる。例えば、バックゲート電極１１７に電圧を印加することにより、第２のトランジスタ１８２のしきい値をプラス方向に調整できる。このように、第２のトランジスタの構成は特に限定されず、実施者が適宜最適な構成を選択すればよい。

【００７４】

以上のように、図１乃至図４に示す半導体装置は、酸化物半導体膜をチャネル形成領域として含むトランジスタにおいて、チャネル形成領域に接して酸素放出型の酸化物絶縁膜を形成し、該酸化物絶縁膜より酸化物半導体膜に酸素を供給する。また、チャネル形成領域の外周には酸素バリア膜を形成することで、トランジスタに接続された配線、及び電極等への酸素の拡散を抑制することができる。したがって、信頼性の高い半導体装置を実現することができる。

【００７５】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【００７６】

（実施の形態２）

本実施の形態では、実施の形態１に示す半導体装置と異なる形態であり、より詳細な構成について図５を用いて説明し、その後、図６乃至図１１を用いて図５に示した半導体装置の作製方法について説明する。

【００７７】

なお、図５乃至図１１において、X５－Y５に示す断面図は、第２のトランジスタ２８２のチャネル長方向の断面図に相当する。

【００７８】

図５に示す半導体装置は、第１の半導体材料により形成された第１のチャネル形成領域２１２を含む第１のp型トランジスタ２８０aと、第１の半導体材料により形成された第１のチャネル形成領域２１４を含む第１のn型トランジスタ２８０bと、第１のp型トランジスタ２８０a及び第１のn型トランジスタ２８０bの上方に設けられ、第２の半導体材料により形成された第２のチャネル形成領域２４０aを含む第２のトランジスタ２８２と、第１のp型トランジスタ２８０a及び第１のn型トランジスタ２８０bと、第２のトランジスタ２８２の間に設けられた酸化物絶縁膜２３８と、を有し、酸化物絶縁膜２３８は、少なくとも第２のチャネル形成領域２４０aと接して設けられ、第２のチャネル形成領域２４０aの外周に、酸化物絶縁膜２３８を貫通する酸素バリア膜２４２a、２４２b、２４２c、２４２dを有する構成である。

【００７９】

また、第１のp型トランジスタ２８０aは、第１のチャネル形成領域２１２上に形成された第１のゲート絶縁膜２０８aと、第１のゲート絶縁膜２０８aと接し、第１のチャネル形成領域２１２と重畳する位置に形成された第１のゲート電極２１０aと、第１のチャ

ネル形成領域 2 1 2 を挟むように形成されたソース領域 2 1 2 a 及びドレイン領域 2 1 2 b と、を含む。

【0080】

また、第 1 の n 型トランジスタ 2 8 0 b は、第 1 のチャネル形成領域 2 1 4 上に形成された第 1 のゲート絶縁膜 2 0 8 b と、第 1 のゲート絶縁膜 2 0 8 b と接し、第 1 のチャネル形成領域 2 1 4 と重畳する位置に形成された第 1 のゲート電極 2 1 0 b と、第 1 のチャネル形成領域 2 1 4 を挟むように形成されたソース領域 2 1 4 a 及びドレイン領域 2 1 4 b と、を含む。

【0081】

図 5 に示すように、第 1 の p 型トランジスタ 2 8 0 a 及び第 1 の n 型トランジスタ 2 8 0 b のように、第 1 の半導体材料により形成される第 1 のトランジスタとして異なる極性を有する複数のトランジスタを用いても良い。

10

【0082】

また、第 2 のトランジスタ 2 8 2 は、酸化物半導体膜 2 4 0 に形成された第 2 のチャネル形成領域 2 4 0 a と、第 2 のチャネル形成領域 2 4 0 a 上に形成された第 2 のゲート絶縁膜 2 4 6 と、第 2 のゲート絶縁膜 2 4 6 と接し、第 2 のチャネル形成領域 2 4 0 a と重畳する位置に形成された第 2 のゲート電極 2 4 8 b と、第 2 のチャネル形成領域 2 4 0 a と電氣的に接続されたソース電極 2 4 4 b 及びドレイン電極 2 4 4 c と、を含む。

【0083】

また、図 5 においては、第 2 のトランジスタ 2 8 2 と同一平面上に形成された容量素子 2 8 1 を有する構造である。容量素子 2 8 1 は、ソース電極 2 4 4 b 及びドレイン電極 2 4 4 c と同一工程で形成された電極 2 4 4 a と、第 2 のゲート絶縁膜 2 4 6 と、第 2 のゲート電極 2 4 8 b と同一工程で形成された電極 2 4 8 a と、を含み構成されている。なお、容量素子 2 8 1 においては、第 2 のゲート絶縁膜 2 4 6 は、誘電体としての機能を有する。

20

【0084】

また、酸素放出型の酸化物絶縁膜 2 3 8 は、加熱により酸素を放出する酸化物絶縁膜を用いると好適である。

【0085】

酸素バリア膜 2 4 2 a、2 4 2 b、2 4 2 c、2 4 2 d は、酸素透過性の低い膜を用いると好適である。酸素バリア膜 2 4 2 a、2 4 2 b、2 4 2 c、2 4 2 d としては、例えば、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、それらの金属酸化膜、またはそれらの金属窒化膜であると好適である。図 5 に示す構成においては、酸素バリア膜 2 4 2 a、2 4 2 b、2 4 2 c、2 4 2 d として酸化アルミニウム膜を用いる。

30

【0086】

図 5 に示すように、酸素バリア膜 2 4 2 a、2 4 2 b、2 4 2 c、2 4 2 d を設ける構成とすることによって、酸化物絶縁膜 2 3 8 を加熱した際に、酸化物半導体膜 2 4 0 の下方に形成された酸化物絶縁膜 2 3 8 からの横方向への酸素の拡散を抑制し、酸化物半導体膜 2 4 0 （特に第 2 のチャネル形成領域 2 4 0 a ）中に好適に酸素を供給することができる。

40

【0087】

なお、図 5 に示す構成においては、酸化物絶縁膜 2 3 8 の下側に酸素バリア膜 2 3 6 を設ける構成である。このような構成とすることで酸化物絶縁膜 2 3 8 から放出される酸素が、第 1 のトランジスタ側（第 1 の p 型トランジスタ 2 8 0 a 及び第 1 の n 型トランジスタ 2 8 0 b ）へ拡散するのを抑制することができ、酸化物絶縁膜 2 3 8 を加熱した際に酸化物半導体膜 2 4 0 （特に第 2 のチャネル形成領域 2 4 0 a ）中に、さらに好適に酸素を供給することができる。

【0088】

図 5 に示す半導体装置のその他の構成については、図 6 乃至図 1 1 に示す半導体装置の

50

作製方法において、詳細に説明を行う。

【0089】

まず、第1の半導体材料として、n型の半導体基板202を用いる。その後、n型の半導体基板202に素子分離領域204を形成した後、該n型の半導体基板202の一部にpウェル領域206を形成する（図6（A）参照）。

【0090】

n型の半導体基板202としては、n型の導電性を有する単結晶シリコン基板（シリコンウェハー）、または化合物半導体基板（SiC基板、GaN基板等）を用いることができる。

【0091】

また、n型の半導体基板202の代わりに、SOI（Silicon On Insulator）基板として、鏡面研磨ウェハーに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作られた所謂SIMOX（Separation by Implanted Oxygen）基板や、水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法等を用いて形成したSOI基板を用いてもよい。

【0092】

素子分離領域204は、LOCOS（Local Oxidation of Silicon）法またはSTI（Shallow Trench Isolation）法等を用いて形成する。

【0093】

pウェル領域206は、ホウ素等のp型を付与する不純物元素が、 $5 \times 10^{15} \text{ atoms/cm}^3 \sim 1 \times 10^{16} \text{ atoms/cm}^3$ 程度の濃度で添加されている。pウェル領域206は、n型の半導体基板202の一部にマスクを形成したのち、n型の半導体基板202の一部にp型を付与する不純物元素を添加して、形成される。

【0094】

なお、ここでは、n型の半導体基板を用いているが、p型の半導体基板を用い、p型の半導体基板にn型を付与するリン、ヒ素等の不純物元素が添加されたnウェル領域を形成してもよい。

【0095】

次に、半導体基板202上に第1のゲート絶縁膜208a、208b、及び第1のゲート電極210a、210bを形成する（図6（B）参照）。

【0096】

第1のゲート絶縁膜208a、208bの形成方法としては、例えば、熱処理を行い半導体基板202の表面を酸化した酸化シリコン膜を形成する、または、熱酸化法により酸化シリコン膜を形成した後に、窒化処理を行うことにより酸化シリコン膜の表面を窒化させることにより、酸化シリコン膜と酸素と窒素を有するシリコン膜（酸化窒化シリコン膜）との積層構造で形成する。その後、該酸化シリコン膜または酸化窒化シリコン膜上に導電膜を成膜し、該導電膜上にパターニングを行い、第1のゲート電極210a、210bを形成し、該第1のゲート電極210a、210bをマスクとして該酸化シリコン膜または酸化窒化シリコン膜をエッチングすることで形成することができる。

【0097】

または、半導体基板202上に、酸化シリコン、酸化窒化シリコン、高誘電率物質（high-k材料ともいう）である酸化タンタル、酸化ハフニウム、酸化ハフニウムシリケート、酸化ジルコニウム、酸化アルミニウム、酸化チタンなどの金属酸化物、または酸化ランタンなどの希土類酸化物等を、プラズマCVD法、スパッタリング法等を用いて、厚さ5～50nmの絶縁膜を形成した後、該絶縁膜の一部を選択的にエッチングして、第1のゲート絶縁膜208a、208bを形成してもよい。

【0098】

10

20

30

40

50

第1のゲート電極210a、210bとしては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造で第1のゲート電極210a、210bを形成してもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

【0099】

なお、第1のゲート電極210a、210bは、導電膜をスパッタリング法、プラズマCVD法、蒸着法等により形成した後、該導電膜の一部を選択的にエッチングして形成される。

10

【0100】

本実施の形態においては、熱処理を行い、半導体基板202上の表面を酸化した酸化シリコン膜を形成し、該酸化シリコン膜上に窒化タンタル膜及びタングステン膜が積層された導電膜をスパッタリング法により形成した後、酸化シリコン膜及び導電膜のそれぞれを選択的にエッチングして、第1のゲート絶縁膜208a、208b、及び第1のゲート電極210a、210bを形成する。

【0101】

なお、高集積化を実現するためには、第1のゲート電極210a、210bの側面にサイドウォール絶縁膜を有しない構成とすることが望ましい。一方で、トランジスタの特性を重視する場合には、第1のゲート電極210a、210bの側面にサイドウォール絶縁膜を設けてもよい。

20

【0102】

次に、第1のゲート電極210aをマスクとして、pウェル領域206にn型を付与する不純物元素を添加して、n型のソース領域212a及びドレイン領域212bを形成する。また、第1のゲート電極210bをマスクとして、半導体基板202にp型を付与する不純物元素を添加してp型のソース領域214a及びドレイン領域214bを形成する（図6（C）参照）。

【0103】

n型のソース領域212a及びドレイン領域212b、及びp型のソース領域214a及びドレイン領域214bにおけるn型を付与する不純物元素及びp型を付与する不純物元素の濃度は、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下である。n型を付与する不純物元素及びp型を付与する不純物元素は、イオンドーピング法、イオン注入法等を適宜用いて、pウェル領域206及び半導体基板202に添加する。

30

【0104】

また、第1のゲート電極210a、210bの側面にサイドウォール絶縁膜を設ける場合、当該サイドウォール絶縁膜と重畳する領域に、n型のソース領域212a及びドレイン領域212b、及びp型のソース領域214a及びドレイン領域214bとは異なる不純物濃度の不純物領域を形成することができる。

40

【0105】

次に、半導体基板202、素子分離領域204、第1のゲート絶縁膜208a、208b、及び第1のゲート電極210a、210b上に、スパッタリング法、プラズマCVD法、塗布法等により、絶縁膜216、218を形成する（図6（D）参照）。

【0106】

絶縁膜216、218は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。なお、絶縁膜216をプラズマCVD法により形成することで、絶縁膜216の水素含有量が高まるため、加熱処理により、半導体基板202を水素化し、水素によりダングリングボンドを終端させ、半導体基

50

板 202 の欠陥を低減することができる。

【0107】

また、絶縁膜 218 として、ポリイミド系樹脂、またはアクリル系樹脂などの有機材料を用いて形成することで、絶縁膜 218 の平坦性を高めることができる。

【0108】

絶縁膜 216 及び絶縁膜 218 を形成した後、n 型のソース領域 212 a 及びドレイン領域 212 b、p 型のソース領域 214 a 及びドレイン領域 214 b に添加された不純物元素を活性化するための熱処理を行う。

【0109】

以上の工程により、第 1 の半導体材料により形成された第 1 の p 型トランジスタ 280 a 及び第 1 の n 型トランジスタ 280 b を作製することができる。

10

【0110】

次に、絶縁膜 216、218 の一部を選択的にエッチングして n 型のソース領域 212 a 及びドレイン領域 212 b、及び p 型のソース領域 214 a 及びドレイン領域 214 b に達する開口部を形成し、該開口部にコンタクトプラグ 220 a、220 b、220 c、220 d を形成する。次に、絶縁膜 218、及びコンタクトプラグ 220 a、220 b、220 c、220 d 上に、絶縁膜 222 a、222 b、222 c、222 d、及び配線 224 a、224 b、224 c を形成する（図 7（A）参照）。

【0111】

コンタクトプラグ 220 a、220 b、220 c、220 d としては、代表的には、スパッタリング法、プラズマ CVD 法、メッキ法等により導電膜を形成した後、CMP（Chemical Mechanical Polishing）法、エッチング法等により平坦化処理を行い、導電膜の表面の不要な部分を除去することで形成できる。または、コンタクトプラグ 220 a、220 b、220 c、220 d となる導電膜を、WF₆ ガスと SiH₄ ガスから CVD 法でタングステンシリサイドを形成し、開口部に導電膜を埋め込むことで形成できる。

20

【0112】

絶縁膜 222 a、222 b、222 c、222 d としては、絶縁膜 216 と同様の材料を用いて、スパッタリング法、プラズマ CVD 法等により絶縁膜を形成した後、該絶縁膜の一部を選択的にエッチングすることで形成できる。

30

【0113】

配線 224 a、224 b、224 c としては、スパッタリング法、プラズマ CVD 法等により導電膜を形成した後、CMP 法、エッチング法等により平坦化処理を行い、該導電膜の表面の不要な部分を除去することで形成できる。

【0114】

また、配線 224 a、224 b、224 c としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

40

【0115】

なお、コンタクトプラグ 220 a、220 b、220 c、220 d、及び配線 224 a、224 b、224 c をデュアルダマシン法で形成してもよい。

【0116】

次に、加熱処理またはプラズマ処理により、絶縁膜 222 a、222 b、222 c、222 d 及び配線 224 a、224 b、224 c に含まれる水素、水等を脱離させることが好ましい。

50

【0117】

次に、絶縁膜222a、222b、222c、222d、及び配線224a、224b、224c上に絶縁膜226a、226b、コンタクトプラグ228、絶縁膜234a、234b、及び配線232を形成する（図7（B）参照）。

【0118】

絶縁膜226a、226bとしては、絶縁膜222a、222b、222c、222dと同様な手法、及び材料により形成することができる。また、コンタクトプラグ228としては、コンタクトプラグ220a、220b、220c、220dと同様な手法、及び材料により形成することができる。また、絶縁膜234a、234bとしては、絶縁膜222a、222b、222c、222dと同様な手法、及び材料により形成することができる。また、配線232としては、配線224a、224b、224cと同様な手法、及び材料により形成することができる。また、配線232と同一の工程にて、第2のトランジスタ282の第2のチャンネル形成領域240aと重畳する位置にバックゲート電極を形成してもよい。

【0119】

本実施の形態においては、絶縁膜234a、234bとして、スパッタリング法により形成した酸化シリコン膜300nmを用いる。

【0120】

なお、コンタクトプラグ228、及び配線232をデュアルダマシン法で形成してもよい。

【0121】

図7（B）に示すように平坦化された絶縁膜234a、234b、及び配線232を用いることで、後に形成する酸化物半導体膜にチャンネル形成領域を有するトランジスタにおける電気特性のばらつきを低減することができる。また、歩留まり高く酸化物半導体膜にチャンネル形成領域を有するトランジスタを形成することができる。

【0122】

次に、加熱処理またはプラズマ処理により、絶縁膜234a、234b及び配線232に含まれる水素、水等を脱離させることが好ましい。

【0123】

次に、絶縁膜234a、234b及び配線232上に酸素バリア膜236、酸化物絶縁膜238及び酸化物半導体膜240を形成する（図7（C）参照）。

【0124】

酸素バリア膜236としては、酸素透過性の低い膜を用いると好適である。酸素バリア膜236としては、例えば、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、それらの金属酸化膜、またはそれらの金属窒化膜であると好適である。また、酸化アルミニウム、ルテニウム、酸化ルテニウム、イリジウム、酸化イリジウム、窒化タンタルの少なくとも1つを含むと更に好適である。本実施の形態においては、酸素バリア膜236は酸化アルミニウム膜50nmを用いる。

【0125】

酸化物絶縁膜238としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウムを単層でまたは積層することで形成できる。また、酸化物絶縁膜238として、加熱により酸素の一部が脱離する酸化物絶縁膜を用いて形成することが好ましい。加熱により酸素の一部が脱離する酸化物絶縁膜としては、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いる。

【0126】

加熱により酸素の一部が脱離する酸化物絶縁膜は、加熱により酸素が脱離するため、後に形成される酸化物半導体膜に酸素を拡散させることができる。例えば、酸化物絶縁膜238として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 + \alpha$ （ただし、 $\alpha > 0$ ）とする。このような酸化物絶縁膜238を用いることで、後に形成される酸化物半導体膜に酸素

10

20

30

40

50

を供給することができ、酸化物半導体膜へ酸素を供給することにより、酸化物半導体膜中の酸素欠損を補填することができる。本実施の形態では酸化物絶縁膜 238 として、スパッタリング法を用いて形成する 300 nm の酸化シリコン膜を用いる。

【0127】

また、酸化物絶縁膜 238 としては、スパッタリング法、プラズマ CVD 法等により形成することができる。例えば、酸化物絶縁膜 238 をプラズマ CVD 法で形成する場合、原料ガス由来の水素または水が酸化物絶縁膜 238 中に混入される場合がある。このため、プラズマ CVD 法で酸化物絶縁膜 238 を形成した後、脱水素化または脱水化として、加熱処理を行うことが好ましい。該加熱処理の温度は、酸化物絶縁膜 238 から水素または水を放出させる温度が好ましい。

10

【0128】

また、該加熱処理は、電気炉、RTA (Rapid Thermal Annealing) 装置等を用いることができる。RTA 装置を用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、酸化物絶縁膜 238 からの水素または水の放出の時間を短縮することができる。

【0129】

該加熱処理によって、酸化物絶縁膜 238 の脱水素化または脱水化を行うことができ、後に形成される酸化物半導体膜への水素または水の拡散を抑制することができる。

【0130】

さらに、酸化物絶縁膜 238 に、酸素を導入することで、加熱により脱離する酸素量を増加させることができる。酸化物絶縁膜 238 に酸素を導入する方法としては、イオン注入法、イオンドーピング法、プラズマ処理等がある。

20

【0131】

また、脱水化または脱水素化のための加熱処理は、複数回行ってもよく、他の熱処理と兼ねてもよい。

【0132】

酸化物半導体膜 240 としては、酸化物絶縁膜 238 上に酸化物半導体膜を形成し、所望の領域に加工することで形成することができる。本実施の形態においては、酸化物半導体膜 240 として、20 nm の In-Ga-Zn 系酸化物 (IGZO) を用いる。

【0133】

また、酸化物半導体膜 240 は、単層構造であってもよいし、積層構造であってもよい。また、非晶質構造であってもよいし、結晶性であってもよい。酸化物半導体膜 240 を非晶質構造とする場合には、後の作製工程において、酸化物半導体膜 240 に熱処理を行うことによって、結晶性の酸化物半導体膜としてもよい。非晶質の酸化物半導体膜を結晶化させる熱処理の温度は、250℃以上700℃以下、好ましくは、400℃以上、より好ましくは500℃以上、さらに好ましくは550℃以上とする。なお、当該熱処理は、作製工程における他の熱処理を兼ねることも可能である。

30

【0134】

酸化物半導体膜 240 の成膜方法は、スパッタリング法、MBE (Molecular Beam Epitaxy) 法、プラズマ CVD 法、パルスレーザ堆積法、ALD (Atomic Layer Deposition) 法等を適宜用いることができる。

40

【0135】

酸化物半導体膜 240 を成膜する際、できる限り酸化物半導体膜 240 に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、例えば、スパッタリング法を用いて成膜を行う場合には、スパッタリング装置の成膜室内に供給する雰囲気ガスとして、水素、水、水酸基又は水素化物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、及び希ガスと酸素との混合ガスを適宜用いる。

【0136】

また、成膜室内の残留水分を除去しつつ水素及び水が除去されたスパッタリングガスを導入して成膜を行うことで、成膜された酸化物半導体膜 240 の水素濃度を低減させるこ

50

とができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプは、例えば、水素分子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等の排気能力が高いため、クライオポンプを用いて排気した成膜室で成膜した酸化物半導体膜 240 に含まれる不純物の濃度を低減できる。

【0137】

なお、本実施の形態では、酸化物半導体膜 240 として、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ の金属酸化物ターゲットを用い、スパッタリング法により成膜する。ただし、酸化物半導体膜 240 に用いることのできるターゲットは、これらのターゲット材料、及び組成に限定されるものではない。また、酸化物半導体膜 240 は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。また、酸化物半導体膜 240 に用いることのできるターゲットは、単結晶、多結晶等の結晶性を有するターゲットが好ましい。結晶性を有するターゲットを用いることにより、形成された薄膜も結晶性を有し、特に形成された薄膜においては、c 軸に配向された結晶となりやすい。

【0138】

また、酸化物半導体膜 240 は、成膜直後において、化学量論的組成より酸素が多い過飽和の状態とすることが好ましい。例えば、スパッタリング法を用いて酸化物半導体膜 240 を成膜する場合、成膜ガスの酸素の占める割合が多い条件で成膜することが好ましく、特に酸素雰囲気 (酸素ガス 100%) で成膜を行うことが好ましい。例えば、酸化物半導体膜 240 として、 In-Ga-Zn 系酸化物 (IGZO) を用い、成膜ガスの酸素の占める割合が多い条件 (特に酸素ガス 100% の雰囲気) で成膜すると、成膜温度を 300℃ 以上としても、膜中から Zn の放出が抑えられる。

【0139】

また、酸化物半導体膜 240 を上述した原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ の金属酸化物ターゲットを用いて形成した場合、ターゲットの組成と、基板上に形成される薄膜の組成と、が異なる場合がある。例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ の金属酸化物ターゲットを用いた場合、成膜条件にも依存するが、薄膜である酸化物半導体膜 240 の組成が、原子数比で $\text{In}:\text{Ga}:\text{Zn}=1:1:0.6\sim 0.8$ となる場合がある。これは、酸化物半導体膜 240 の成膜中において、Zn が昇華する、または In、Ga、Zn の各成分のスパッタリングレートが異なるためだと考えられる。

【0140】

したがって、所望の組成の薄膜を形成したい場合においては、予め金属酸化物ターゲットの組成を調整する必要がある。例えば、薄膜である酸化物半導体膜 240 の組成を、原子数比で $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ とする場合においては、金属酸化物ターゲットの組成を、原子数比で $\text{In}:\text{Ga}:\text{Zn}=1:1:1.5$ とすればよい。すなわち、金属酸化物ターゲットの Zn の含有率を予め大きくすればよい。ただし、ターゲットの組成は、上記数値に限定されず、成膜条件や、形成される薄膜の組成により適宜調整することができる。また、金属酸化物ターゲットの Zn の含有率を大きくすることにより、得られる薄膜の結晶性が向上するため好ましい。

【0141】

また、酸化物半導体膜 240 をスパッタリング法で成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度は、90% 以上 100% 以下、好ましくは 95% 以上、更に好ましくは 99.9% 以上とする。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜 240 を緻密な膜とすることができる。

【0142】

酸化物半導体膜 240 に用いる酸化物半導体としては、少なくともインジウム (In) または亜鉛 (Zn) を含むことが好ましい。特に In と Zn の双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタ

ビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。また、スタビライザーとしてジルコニウム (Zr) を有することが好ましい。

【0143】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

10

【0144】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZOとも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。

20

【0145】

なお、ここで、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

30

【0146】

また、酸化物半導体として、 $\text{InM} \text{O}_3 (\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、M は、Ga、Fe、Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2 \text{SnO}_5 (\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0147】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ 、あるいは $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ の原子数比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ の原子数比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

40

【0148】

しかし、これらに限られず、必要とする電気特性 (移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする電気特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0149】

例えば、In-Sn-Zn 系酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn 系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

50

【0150】

なお、例えば、In、Ga、Znの原子数比が $\text{In}:\text{Ga}:\text{Zn}=\text{a}:\text{b}:\text{c}$ ($\text{a}+\text{b}+\text{c}=1$)である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn}=\text{A}:\text{B}:\text{C}$ ($\text{A}+\text{B}+\text{C}=1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(\text{a}-\text{A})^2+(\text{b}-\text{B})^2+(\text{c}-\text{C})^2\leq r^2$ を満たすことをいう。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0151】

また、酸化物半導体膜240は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC(C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)と呼ぶ。

10

【0152】

酸化物半導体膜は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、 c 軸配向し、 a 軸または b 軸はマクロに揃っていない。

【0153】

酸化物半導体膜は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1nm以上10nm未満のサイズの微結晶(ナノ結晶ともいう。)を膜中に含む。

20

【0154】

酸化物半導体膜は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

【0155】

なお、酸化物半導体膜が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

30

【0156】

なお、酸化物半導体膜は、例えば、単結晶を有してもよい。

【0157】

酸化物半導体膜は、複数の結晶部を有し、当該結晶部の c 軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

【0158】

CAAC-OS膜に含まれる結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

40

【0159】

CAAC-OS膜に含まれる結晶部は、例えば、 c 軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつ ab 面に垂直な方向から見て金属原子が三角形または六角形状に配列し、 c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶

50

部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 80° 以上 100° 以下、好ましくは 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -10° 以上 10° 以下、好ましくは -5° 以上 5° 以下の範囲も含まれることとする。

【0160】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

10

【0161】

CAAC-OS膜に含まれる結晶部の c 軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部の c 軸は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

【0162】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

20

【0163】

酸化物半導体膜240として、CAAC-OS膜を適用する場合、該CAAC-OS膜を得る方法としては、三つ挙げられる。一つ目は、成膜温度を 100°C 以上 450°C 以下、更に好ましくは 150°C 以上 400°C 以下として酸化物半導体層の成膜を行い、表面に概略垂直に c 軸配向させる方法である。二つ目は、酸化物半導体層を薄い膜厚で成膜した後、 200°C 以上 700°C 以下の熱処理を行い、表面に概略垂直に c 軸配向させる方法である。三つ目は、一層目として薄い膜厚で成膜した後、 200°C 以上 700°C 以下の熱処理を行い、二層目の成膜を行い、表面に概略垂直に c 軸配向させる方法である。

【0164】

なお、酸化物半導体膜240として、CAAC-OS膜以外の結晶性を有する酸化物半導体膜（単結晶または微結晶）を成膜する場合には、成膜温度は特に限定されない。

30

【0165】

また、酸化物半導体膜240は、エネルギーギャップが 2.8 eV 乃至 3.2 eV であり、シリコンのエネルギーギャップ 1.1 eV と比較して大きい。また、酸化物半導体膜240の真性キャリア密度は、 $10^{-9}/\text{cm}^3$ であり、シリコンの真性キャリア密度の $10^{11}/\text{cm}^3$ と比較して極めて小さい。

【0166】

酸化物半導体膜240の多数キャリア（電子）は、トランジスタのソースから流れるのみである。また、チャネル形成領域を完全空乏化することが可能であるため、トランジスタのオフ電流を極めて小さくすることが可能である。酸化物半導体膜240を用いたトランジスタのオフ電流は、室温において、 $10\text{ yA}/\mu\text{m}$ 以下、 $85^{\circ}\text{C}\sim 95^{\circ}\text{C}$ においても、 $1\text{ zA}/\mu\text{m}$ 以下となり、極めて小さい。

40

【0167】

また、酸化物半導体膜240は、複数の酸化物半導体が積層された構造でもよい。例えば、酸化物半導体膜240を、第1の酸化物半導体と第2の酸化物半導体の積層として、第1の酸化物半導体と第2の酸化物半導体に、異なる組成の金属酸化物を用いてもよい。例えば、第1の酸化物半導体に三元系金属の酸化物を用い、第2の酸化物半導体に二元系金属の酸化物を用いてもよい。また、第1の酸化物半導体と第2の酸化物半導体を、どちらも三元系金属の酸化物としてもよい。

【0168】

50

また、第1の酸化物半導体と第2の酸化物半導体の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第1の酸化物半導体の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ とし、第2の酸化物半導体の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ としてもよい。また、第1の酸化物半導体の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ とし、第2の酸化物半導体の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ としてもよい。

【0169】

この時、第1の酸化物半導体と第2の酸化物半導体のうち、ゲート電極に近い側（チャネル側）の酸化物半導体の In と Ga の含有率を $\text{In} > \text{Ga}$ とするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物半導体の In と Ga の含有率を $\text{In} \leq \text{Ga}$ とするとよい。酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、 In の含有率を多くすることにより s 軌道のオーバーラップが多くなる傾向があるため、 $\text{In} > \text{Ga}$ の組成となる酸化物は $\text{In} \leq \text{Ga}$ の組成となる酸化物と比較して高い移動度を備える。また、 Ga は In と比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいため、 $\text{In} \leq \text{Ga}$ の組成となる酸化物は $\text{In} > \text{Ga}$ の組成となる酸化物と比較して安定した特性を備える。したがって、チャネル側に $\text{In} > \text{Ga}$ の組成となる酸化物半導体を適用し、バックチャネル側に $\text{In} \leq \text{Ga}$ の組成となる酸化物半導体を適用することで、トランジスタの移動度および信頼性をさらに高めることが可能となる。

【0170】

また、酸化物半導体膜240を積層した場合、第1の酸化物半導体と第2の酸化物半導体に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、または結晶性を有する酸化物半導体（例えば、 CAAC-Os 膜）を適宜組み合わせた構成としてもよい。また、第1の酸化物半導体と第2の酸化物半導体の少なくともどちらか一方に、非晶質酸化物半導体を適用すると、酸化物半導体の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、トランジスタの信頼性をさらに高めることが可能となる。一方で、非晶質酸化物半導体は水素などのドナーとなる不純物を吸収しやすく、また、酸素欠損が生じやすいため n 型化されやすい。このため、チャネル側の酸化物半導体は、結晶性を有する酸化物半導体（例えば、 CAAC-Os 膜）を適用することが好ましい。

【0171】

また、酸化物半導体膜240の成膜前に、酸化物半導体膜240の被成膜面に平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理（例えば、 CMP 法）、ドライエッチング処理、及びプラズマ処理を用いることができる。

【0172】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法をいう。なお、アルゴンに代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、酸化物半導体膜240の被成膜面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【0173】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、酸化物半導体膜240の被成膜面の凹凸状態に合わせて適宜設定すればよい。

【0174】

また、酸化物半導体膜240を形成後、当該酸化物半導体膜240に含まれる過剰な水素（水や水酸基を含む）を低減または除去（脱水化または脱水素化）するための熱処理を行うことが好ましい。

【0175】

上記熱処理としては、熱処理の温度が、 250°C 以上 650°C 以下、好ましくは 450°C

10

20

30

40

50

℃以上600℃以下、または基板の歪み点未満とする。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜240に対して真空（減圧）雰囲気下650℃において1時間の加熱処理を行う。

【0176】

なお、熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA（Gas Rapid Thermal Annealing）装置、LRTA（Lamp Rapid Thermal Annealing）装置等のRTA装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。なお、熱処理装置としてGRTA装置を用いる場合には、その処理時間が短いため、650℃～700℃の高温に加熱した不活性ガス中で基板を加熱してもよい。

10

【0177】

この熱処理によって、酸化物半導体膜240からn型の導電性を付与する不純物である水素を低減、より好ましくは除去することができる。また、この熱処理によって、酸化物絶縁膜238に含まれる酸素が酸化物半導体膜240へと供給される。酸化物半導体膜240の脱水化または脱水素化処理によって同時に離脱する酸素を酸化物絶縁膜238から供給することによって、酸化物半導体膜240の酸素欠損を補填することが可能である。

20

【0178】

また、熱処理で酸化物半導体膜240を加熱した後、加熱温度を維持、またはその加熱温度から徐冷しながら同じ炉に高純度の酸素ガス、高純度の亜酸化窒素ガス、または超乾燥エア（CRDS（キャビティリングダウンレーザ分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55℃）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入してもよい。酸素ガスまたは亜酸化窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは亜酸化窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガスまたは亜酸化窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。酸素ガスまたは亜酸化窒素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体膜240を構成する主成分材料である酸素を供給することによって、酸化物半導体膜240を高純度化及びi型（真性）化することができる。

30

【0179】

脱水化または脱水素化のための熱処理は、第2のトランジスタ282の作製工程の他の熱処理と兼ねてもよい。

【0180】

次に、酸化物半導体膜240の外周の酸素バリア膜236及び酸化物絶縁膜238の一部を選択的に除去し、その後、酸素バリア膜242を形成する（図8（A）参照）。

40

【0181】

酸素バリア膜242としては、酸素透過性の低い膜を用いると好適である。酸素バリア膜242としては、例えば、アルミニウム、ルテニウム、イリジウム、ハフニウム、及びタンタルの中から選ばれた金属膜、それらの金属酸化膜、またはそれらの金属窒化膜であると好適である。また、酸化アルミニウム、ルテニウム、酸化ルテニウム、イリジウム、酸化イリジウム、窒化タンタルの少なくとも1つを含むと更に好適である。本実施の形態においては、酸素バリア膜242として、50nmの酸化アルミニウム膜を用いる。

【0182】

なお、酸素バリア膜236及び酸化物絶縁膜238の一部を選択的に除去する際に、図8（A）に示すように、配線232に達する位置に開口部を形成すると好適である。該開

50

口部に後に形成されるソース電極及びドレイン電極を充填することで、第1のp型トランジスタ280a及び第1のn型トランジスタ280bと、第2のトランジスタ282を電氣的に接続することができる。

【0183】

次に、酸素バリア膜242の一部を選択的に除去し、酸素バリア膜242a、242b、242c、242dを形成する（図8（B）参照）。

【0184】

酸素バリア膜242a、242b、242c、242dの形成方法としては、酸素バリア膜242上にて全面エッチングを行い形成しても良いし、所望の領域にレジストマスクを形成し、不要な領域の酸素バリア膜242を除去することで形成してもよい。なお、所望の領域にレジストマスクを形成する場合、少なくとも、酸化物半導体膜240の表面と配線232の表面の一部が露出すればよく、後に形成される電極244a、ソース電極244b及びドレイン電極244cが接する酸化物絶縁膜238上に酸素バリア膜を残す構成としてもよい。

【0185】

次に、酸化物絶縁膜238及び酸化物半導体膜240上に導電膜を成膜し、該導電膜を所望の領域に形成することで、電極244a、ソース電極244b及びドレイン電極244cを形成する（図9（A）参照）。

【0186】

電極244a、ソース電極244b及びドレイン電極244cとしては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、アルミニウム、銅などの金属膜の下側、または上側の一方、または双方にチタン、モリブデン、タングステンなどの高融点金属膜、またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。

【0187】

また、電極244a、ソース電極244b及びドレイン電極244cに用いる導電膜は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、インジウムスズ酸化物（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する）、インジウム亜鉛酸化物（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）を用いることができる。ソース電極、及びドレイン電極に用いる導電膜は、上記の材料を用いて単層で又は積層して成膜することができる。形成方法も特に限定されず、蒸着法、プラズマCVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。

【0188】

次に、酸化物絶縁膜238、酸化物半導体膜240、電極244a、ソース電極244b及びドレイン電極244c上に第2のゲート絶縁膜246を形成し、該第2のゲート絶縁膜246と接し、電極244a及び酸化物半導体膜240と重畳する位置に電極248a、及び第2のゲート電極248bを形成する（図9（B）参照）。

【0189】

なお、酸化物半導体膜240において、第2のゲート電極248bが重畳する位置に第2のチャンネル形成領域240aが形成される。

【0190】

第2のゲート絶縁膜246としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコン等を用いることができる。また、第2のゲート絶縁膜246の膜厚は、例えば1nm以上500nm以下とすることができる。また、第2のゲート絶縁膜246の作製方法に特に限定はないが、例えば、スパッタリング法、MBE法、プラズマCVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。本実施の形態においては、第2のゲート絶

10

20

30

40

50

縁膜 246 として、20 nm の酸化窒化シリコン膜を用いる。

【0191】

電極 248a 及び第 2 のゲート電極 248b としては、例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、またはこれらを含む合金材料を用いることができる。また、電極 248a 及び第 2 のゲート電極 248b は、上記の材料を用いて単層、または積層して形成することができる。形成方法も特に限定されず、蒸着法、プラズマ CVD 法、スパッタリング法などの各種成膜方法を用いることができる。本実施の形態においては、電極 248a 及び第 2 のゲート電極 248b として、30 nm の窒化タンタル膜と 135 nm のタングステン膜との積層構造を用いる。

10

【0192】

なお、電極 248a 及び第 2 のゲート電極 248b を形成した後に、第 2 のゲート電極 248b をマスクとして、第 2 のゲート絶縁膜 246 を通過して酸化物半導体膜 240 に対し、不純物注入処理を行ってもよい。

【0193】

不純物注入処理としては、酸化物半導体膜 240 の抵抗を低くする不純物であればよく、例えば、リン (P)、砒素 (As)、アンチモン (Sb)、ホウ素 (B)、アルミニウム (Al)、窒素 (N)、アルゴン (Ar)、ヘリウム (He)、ネオン (Ne)、インジウム (In)、フッ素 (F)、塩素 (Cl)、チタン (Ti)、及び亜鉛 (Zn) のいずれかから選択される一以上を用いることができる。本実施の形態においては、不純物注入処理として、リン (P) の注入を行う。

20

【0194】

なお、この段階で容量素子 281、及び第 2 のチャネル形成領域 240a が形成された第 2 のトランジスタ 282 が形成される。

【0195】

次に、容量素子 281 及び第 2 のトランジスタ 282 上（より、詳しくは、第 2 のゲート絶縁膜 246、電極 248a 及び第 2 のゲート電極 248b 上）に絶縁膜 250 及び絶縁膜 252 を形成する（図 10 (A) 参照）。

【0196】

絶縁膜 250 としては、無機絶縁膜を用いることが好ましく、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ガリウム膜、酸化ハフニウム膜などの酸化物絶縁膜を単層で、または積層して用いればよい。また、上述の酸化物絶縁膜上に、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化酸化アルミニウム膜などの窒化物絶縁膜の単層、または積層をさらに形成してもよい。また、絶縁膜 250 の作製方法に特に限定はないが、例えば、スパッタリング法、MBE 法、PECVD 法、パルスレーザ堆積法、ALD 法等を適宜用いることができる。本実施の形態においては、絶縁膜 250 として、50 nm の酸化アルミニウム膜を用いる。

30

【0197】

絶縁膜 252 としては、絶縁膜 250 と同様の材料、及び手法により形成することができる。本実施の形態においては、絶縁膜 252 として、300 nm の酸化窒化シリコン膜を用いる。

40

【0198】

次に、第 2 のゲート絶縁膜 246、絶縁膜 250 及び絶縁膜 252 の一部を選択的に除去し、ソース電極 244b に達する開口部を形成し、その後、該開口部を充填するように電極 254 を形成する（図 10 (B) 参照）。

【0199】

電極 254 としては、導電膜を形成し所望の領域のみ除去することによって形成することができる。該導電膜としては、電極 244a、ソース電極 244b 及びドレイン電極 244c に用いた材料、及び手法により形成することができる。本実施の形態においては、電極 254 として、50 nm のチタン膜と、200 nm のアルミニウム膜と、50 nm の

50

チタン膜との積層構造を用いる。

【0200】

次に、絶縁膜250、及び電極254上に絶縁膜256a、絶縁膜256bを形成する(図11(A)参照)。

【0201】

絶縁膜256a、256bとしては、ポリイミド系樹脂、アクリル系樹脂、ベンゾシクロブテン系樹脂等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low- ϵ 材料)等を用いることができる。有機材料を用いる場合、スピコート法、印刷法などの湿式法によって形成することができる。本実施の形態においては、絶縁膜256a、256bとして1.5 μ mのポリイミド系樹脂膜を用いる。

10

【0202】

次に、電極254、絶縁膜256a、256b上に導電膜を形成し、該導電膜の一部を選択的に加工することで、配線258を形成する。その後、絶縁膜256a、256b、及び配線258上に絶縁膜260を形成する(図11(B)参照)。

【0203】

配線258としては、電極244a、ソース電極244b及びドレイン電極244cに用いた材料、及び手法により形成することができる。本実施の形態においては、配線258として、50nmのチタン膜と300nmのアルミニウム膜と5nmのチタン膜との積層構造を用いる。

【0204】

20

絶縁膜260としては、絶縁膜256a、256bに用いた材料、及び手法により形成することができる。本実施の形態においては、絶縁膜260として1.5 μ mのポリイミド系樹脂膜を用いる。

【0205】

以上により、図5に示す半導体装置を作製することができる。

【0206】

以上のように、図5に示す半導体装置は、酸化物半導体膜をチャネル形成領域として含むトランジスタにおいて、チャネル形成領域に接して酸素放出型の酸化物絶縁膜を形成し、該酸化物絶縁膜より酸化物半導体膜に酸素を供給する。また、チャネル形成領域の外周には酸素バリア膜を形成することで、トランジスタに接続された配線、及び電極等への酸素の拡散を抑制することができる。したがって、信頼性の高い半導体装置を実現することができる。

30

【0207】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0208】

(実施の形態3)

本実施の形態では、実施の形態2の図5に示す半導体装置を使用し、電力が供給されない状況でも記憶内容の保持が可能で、且つ書き込み回数にも制限が無い半導体装置の回路構成の一例について説明する。

【0209】

40

図12に図5に示す半導体装置に対応する回路構成の一例を示す。

【0210】

図12において、第1の配線(1st Line)と、第1のp型トランジスタ280aのソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1のp型トランジスタ280aのソース電極またはドレイン電極の他方と、第1のn型トランジスタ280c(図5に示す半導体装置には図示せず。)のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1のn型トランジスタ280cのソース電極またはドレイン電極の他方と、第1のn型トランジスタ280bのソース電極またはドレイン電極の一方とは、電気的に接続されている。

【0211】

50

また、第2の配線（2nd Line）と、第2のトランジスタ282のソース電極またはドレイン電極の一方とは、電氣的に接続されている。また、第2のトランジスタ282のソース電極またはドレイン電極の他方と、容量素子281の電極の一方及び第1のn型トランジスタ280bのゲート電極とは、電氣的に接続されている。

【0212】

また、第3の配線（3rd Line）と、第1のp型トランジスタ280a及び第1のn型トランジスタ280cのゲート電極とは、電氣的に接続されている。また、第4の配線（4th Line）と、第2のトランジスタ282のゲート電極とは、電氣的に接続されている。また、第5の配線（5th Line）と、容量素子281の電極の他方及び第1のn型トランジスタ280bのソース電極またはドレイン電極の他方とは、電氣的に接続されている。また、第6の配線（6th Line）と、第1のp型トランジスタ280aのソース電極またはドレイン電極の他方及び第1のn型トランジスタ280cのソース電極またはドレイン電極の一方とは、電氣的に接続されている。

【0213】

なお、第2のトランジスタ282は、酸化物半導体（OS：Oxide Semiconductor）により形成されているため、図12において、第2のトランジスタ282に「OS」の記号を付記してある。

【0214】

また、図12において、第2のトランジスタ282のソース電極またはドレイン電極の他方と、容量素子281の電極の一方と、第1のn型トランジスタ280bのゲート電極と、の接続箇所には、フローティングノード（FN）を付記してある。第2のトランジスタ282をオフ状態とすることで、フローティングノード、容量素子281の電極の一方、及び第1のn型トランジスタ280bのゲート電極に与えられた電位を保持することができる。

【0215】

図12に示す回路構成では、第1のn型トランジスタ280bのゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0216】

まず、情報の書き込み及び保持について説明する。第4の配線の電位を、第2のトランジスタ282がオン状態となる電位にして、第2のトランジスタ282をオン状態とする。これにより、第2の配線の電位が第1のn型トランジスタ280bのゲート電極、及び容量素子281に与えられる。すなわち、第1のn型トランジスタ280bのゲート電極には、所定の電荷が与えられる（書き込み）。

【0217】

その後、第4の配線の電位を、第2のトランジスタ282がオフ状態となる電位にして、第2のトランジスタ282をオフ状態とする。これにより、第1のn型トランジスタ280bのゲート電極に与えられた電荷が保持される（保持）。

【0218】

第2のトランジスタ282のオフ電流は極めて小さいため、第1のn型トランジスタ280bのゲート電極の電荷は長時間にわたって保持される。

【0219】

次に情報の読み出しについて説明する。第3の配線の電位をLowレベル電位とした際、第1のp型トランジスタ280aがオン状態となり、第1のn型トランジスタ280cがオフ状態となる。この時、第1の配線の電位は第6の配線に与えられる。一方、第3の配線の電位をHighレベル電位とした際、第1のp型トランジスタ280aがオフ状態となり、第1のn型トランジスタ280cがオン状態となる。この時、フローティングノード（FN）に保持された電荷量に応じて、第6の配線は異なる電位をとる。このため、第6の配線の電位をみることで、保持されている情報を読み出すことができる（読み出し）。

10

20

30

40

50

【0220】

また、第2のトランジスタ282は、酸化物半導体をチャネル形成領域に用いるため、極めてオフ電流が小さいトランジスタである。酸化物半導体を用いた第2のトランジスタ282のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下のオフ電流であるため、第2のトランジスタ282のリークによる、フローティングノードに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いた第2のトランジスタ282により、電力の供給が無くても情報の保持が可能な不揮発性の記憶回路を実現することが可能である。

【0221】

また、このような回路構成を用いた半導体装置を、レジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、記憶装置全体、もしくは記憶装置を構成する一または複数の論理回路において、待機状態のときに短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0222】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0223】

(実施の形態4)

本実施の形態では、実施の形態2で示した半導体装置及び実施の形態3で示した回路構成を用い、複数の回路により構成された記憶処理装置について、図13を用いて説明を行う。

【0224】

図13に示す記憶処理装置350は、一または複数の演算回路と、一または複数の記憶回路とを少なくとも有する。具体的に、図13に示す記憶処理装置350は、演算回路351と、演算回路352と、記憶回路353と、記憶回路354と、記憶回路355と、制御回路356と、電源制御回路357と、を有する。

【0225】

演算回路351、及び演算回路352は、単純な論理演算を行う論理回路をはじめ、加算器、乗算器、さらには各種演算回路などを含む。そして、記憶回路353は、演算回路351における演算処理の際に、データを一時的に保持するレジスタとして機能する。記憶回路354は、演算回路352における演算処理の際に、データを一時的に保持するレジスタとして機能する。

【0226】

また、記憶回路355は、メインメモリとして用いることができ、制御回路356が実行するプログラムをデータとして記憶する、または演算回路351、及び演算回路352からのデータを記憶することができる。

【0227】

制御回路356は、記憶処理装置350が有する演算回路351、演算回路352、記憶回路353、記憶回路354、及び記憶回路355の動作を統括的に制御する回路である。

【0228】

実施の形態2で示した半導体装置及び実施の形態3で示した回路構成を、記憶回路353、記憶回路354、及び記憶回路355に用いることで、記憶回路353、記憶回路354、及び記憶回路355への電源電圧の供給を停止しても、データを保持することができる。よって、記憶処理装置350全体への電源電圧の供給を停止し、消費電力を抑えることができる。または、記憶回路353、記憶回路354、または記憶回路355のいずれか一つまたは複数への電源電圧の供給を停止し、記憶処理装置350の消費電力を抑えることができる。また、電源電圧の供給をオフする前に、高速でデータの書き込みができ

10

20

30

40

50

、且つ電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。

【0229】

また、記憶回路353、記憶回路354、及び記憶回路355への電源電圧の供給が停止されるのに合わせて、記憶回路353、記憶回路354、及び記憶回路355とデータのやり取りを行う演算回路351、演算回路352または制御回路356への、電源電圧の供給を停止するようにしても良い。例えば、演算回路351と記憶回路353において、動作が行われない場合、演算回路351及び記憶回路353への電源電圧の供給を停止するようにしてもよい。

【0230】

また、電源制御回路357は、記憶処理装置350が有する演算回路351、演算回路352、記憶回路353、記憶回路354、記憶回路355、及び制御回路356へ供給する電源電圧の大きさを制御する。そして、電源電圧の供給を停止する場合、電源電圧の供給を停止するためのスイッチング素子は、電源制御回路357に設けられていても良いし、演算回路351、演算回路352、記憶回路353、記憶回路354、記憶回路355、及び制御回路356のそれぞれに設けられていても良い。

【0231】

なお、メインメモリである記憶回路355と、演算回路351、演算回路352、及び制御回路356の間に、キャッシュメモリとして機能する記憶回路を設けても良い。キャッシュメモリを設けることで、低速なメインメモリへのアクセスを減らして演算処理などの信号処理を高速化させることができる。また、電源電圧の供給をオフする前に、高速でデータの書き込みができ、且つ電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。

【0232】

本発明の一態様の半導体装置は、図13に示す記憶処理装置に適用することができる。

【0233】

本実施の形態は、他の実施の形態と適宜組み合わせて行うことが出来る。

【0234】

(実施の形態5)

本実施の形態では、本発明の一態様の半導体装置を記憶回路に適用し、記憶回路の一例であるCPUの構成について説明する。

【0235】

図14に、本実施の形態のCPUの構成を示す。図14に示すCPUは、基板9900上に、ALU9901、ALU・Controller9902、Instruction・Decoder9903、Interrupt・Controller9904、Timing・Controller9905、Register9906、Register・Controller9907、Bus・I/F9908、書き換え可能なROM9909、ROM・I/F9920と、を主に有している。

【0236】

なお、ALUは、Arithmetic Logic Unitであり、Bus・I/Fは、バスインターフェースであり、ROM・I/Fは、ROMインターフェースである。ROM9909、及びROM・I/F9920は、別チップに設けても良い。もちろん、図14に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0237】

Bus・I/F9908を介してCPUに入力された命令は、Instruction・Decoder9903に入力され、デコードされた後、ALU・Controller9902、Interrupt・Controller9904、Register・Controller9907、Timing・Controller9905に入力される。

10

20

30

40

50

【0238】

ALU・Controller 9902、Interrupt・Controller 9904、Register・Controller 9907、Timing・Controller 9905は、デコードされた命令に基づき、各種制御を行なう。具体的にALU・Controller 9902は、ALU 9901の動作を制御するための信号を生成する。また、Interrupt・Controller 9904は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。Register・Controller 9907は、Register 9906のアドレスを生成し、CPUの状態に応じてRegister 9906の読み出しや書き込みを行なう。

10

【0239】

また、Timing・Controller 9905は、ALU 9901、ALU・Controller 9902、Instruction・Decoder 9903、Interrupt・Controller 9904、Register・Controller 9907の動作のタイミングを制御する信号を生成する。例えばTiming・Controller 9905は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0240】

本実施の形態のCPUでは、Register 9906に、実施の形態2で示した半導体装置及び実施の形態3で示した回路構成を有する記憶回路が設けられている。Register・Controller 9907は、ALU 9901からの指示に従い、Register 9906の記憶回路に、一時的にデータの保持を行うことができる。

20

【0241】

このようにして、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUを停止することができ、それにより消費電力を低減することができる。

【0242】

本実施の形態では、CPUを例に挙げて説明したが、本発明の半導体装置はCPUに限定されず、マイクロプロセッサ、画像処理回路、DSP、FPGA等のLSIにも応用可能である。

30

【0243】

本実施の形態は、他の実施の形態と適宜組み合わせを行うことが出来る。

【0244】

(実施の形態6)

本実施の形態においては、本発明の一態様に係る半導体装置を用いることで、消費電力の低い電子機器について説明を行う。

【0245】

本発明の一態様に係る半導体装置は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。

40

【0246】

50

本発明の一態様に係る半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について図15、及び図16を用いて説明する。

【0247】

図15は、携帯用の電子機器のブロック図である。図15に示す携帯用の電子機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェース(IF)909を有している。上記実施の形態で示した半導体装置を、例えばCPU907に採用することによって、消費電力を低減することができる。

10

【0248】

図16は電子書籍のブロック図である。電子書籍はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。マイクロプロセッサ1003はCPU1011、DSP1012、インターフェース1013を有している。上記実施の形態で示した半導体装置を、例えばCPU1011に採用することで、消費電力を低減することが可能になる。

20

【0249】

本実施の形態は、他の実施の形態と適宜組み合わせて行うことができる。

【符号の説明】

【0250】

- 102 第1の半導体材料
- 104 ソース領域
- 106 ドレイン領域
- 108 第1のチャネル形成領域
- 110 第1のゲート絶縁膜
- 112 第1のゲート電極
- 114 層間絶縁膜
- 115 酸素バリア膜
- 116 酸化物絶縁膜
- 117 バックゲート電極
- 118 酸素バリア膜
- 120 酸化物半導体膜
- 120 a 第2のチャネル形成領域
- 121 酸化物半導体膜
- 121 a 第2のチャネル形成領域
- 122 ソース電極
- 123 酸素バリア膜
- 124 ドレイン電極
- 126 第2のゲート絶縁膜
- 127 第2のゲート絶縁膜
- 128 第2のゲート電極
- 129 第2のゲート電極
- 150 第1のトランジスタ
- 152 第2のトランジスタ
- 160 第1のトランジスタ
- 162 第2のトランジスタ

30

40

50

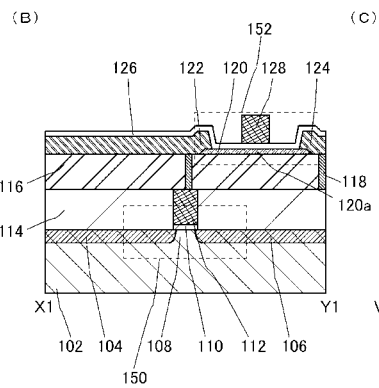
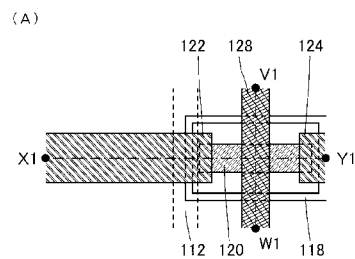
1 7 0	第 1 のトランジスタ	
1 7 2	第 2 のトランジスタ	
1 8 0	第 1 のトランジスタ	
1 8 2	第 2 のトランジスタ	
2 0 2	半導体基板	
2 0 4	素子分離領域	
2 0 6	p ウェル領域	
2 0 8 a	第 1 のゲート絶縁膜	
2 0 8 b	第 1 のゲート絶縁膜	
2 1 0 a	第 1 のゲート電極	10
2 1 0 b	第 1 のゲート電極	
2 1 2	第 1 のチャネル形成領域	
2 1 2 a	ソース領域	
2 1 2 b	ドレイン領域	
2 1 4	第 1 のチャネル形成領域	
2 1 4 a	ソース領域	
2 1 4 b	ドレイン領域	
2 1 6	絶縁膜	
2 1 8	絶縁膜	
2 2 0 a	コンタクトプラグ	20
2 2 0 b	コンタクトプラグ	
2 2 0 c	コンタクトプラグ	
2 2 0 d	コンタクトプラグ	
2 2 2 a	絶縁膜	
2 2 2 d	絶縁膜	
2 2 4 a	配線	
2 2 4 c	配線	
2 2 6 a	絶縁膜	
2 2 6 b	絶縁膜	
2 2 8	コンタクトプラグ	30
2 3 2	配線	
2 3 4 a	絶縁膜	
2 3 4 b	絶縁膜	
2 3 6	酸素バリア膜	
2 3 8	酸化物絶縁膜	
2 4 0	酸化物半導体膜	
2 4 0 a	第 2 のチャネル形成領域	
2 4 2	酸素バリア膜	
2 4 2 a	酸素バリア膜	
2 4 2 b	酸素バリア膜	40
2 4 2 c	酸素バリア膜	
2 4 2 d	酸素バリア膜	
2 4 4 a	電極	
2 4 4 b	ソース電極	
2 4 4 c	ドレイン電極	
2 4 6	第 2 のゲート絶縁膜	
2 4 8 a	電極	
2 4 8 b	第 2 のゲート電極	
2 5 0	絶縁膜	
2 5 2	絶縁膜	50

2 5 4	電 極	
2 5 6 a	絶 縁 膜	
2 5 6 b	絶 縁 膜	
2 5 8	配 線	
2 6 0	絶 縁 膜	
2 8 0 a	第 1 の p 型 トランジスタ	
2 8 0 b	第 1 の n 型 トランジスタ	
2 8 0 c	第 1 の n 型 トランジスタ	
2 8 1	容量素子	
2 8 2	第 2 の トランジスタ	10
3 5 0	記 憶 処 理 装 置	
3 5 1	演 算 回 路	
3 5 2	演 算 回 路	
3 5 3	記 憶 回 路	
3 5 4	記 憶 回 路	
3 5 5	記 憶 回 路	
3 5 6	制 御 回 路	
3 5 7	電 源 制 御 回 路	
9 0 1	R F 回 路	
9 0 2	ア ナ ロ グ ベ ー ス バ ン ド 回 路	20
9 0 3	デ ジ タ ル ベ ー ス バ ン ド 回 路	
9 0 4	バ ッ テ リ ー	
9 0 5	電 源 回 路	
9 0 6	ア プ リ ケ ー シ ョ ン プ ロ セ ッ サ	
9 0 7	C P U	
9 0 8	D S P	
9 1 0	フ ラ ッ シ ュ メ モ リ	
9 1 1	デ ィ ス プ レ イ コ ン ト ロ ー ラ	
9 1 2	メ モ リ 回 路	
9 1 3	デ ィ ス プ レ イ	30
9 1 4	表 示 部	
9 1 5	ソ ー ス ド ラ イ バ	
9 1 6	ゲ ー ト ド ラ イ バ	
9 1 7	音 声 回 路	
9 1 8	キ ー ボ ー ド	
9 1 9	タ ッ チ セ ン サ	
1 0 0 1	バ ッ テ リ ー	
1 0 0 2	電 源 回 路	
1 0 0 3	マ イ ク ロ プ ロ セ ッ サ	
1 0 0 4	フ ラ ッ シ ュ メ モ リ	40
1 0 0 5	音 声 回 路	
1 0 0 6	キ ー ボ ー ド	
1 0 0 7	メ モ リ 回 路	
1 0 0 8	タ ッ チ パ ネ ル	
1 0 0 9	デ ィ ス プ レ イ	
1 0 1 0	デ ィ ス プ レ イ コ ン ト ロ ー ラ	
1 0 1 1	C P U	
1 0 1 2	D S P	
1 0 1 3	イ ン タ ー フ ェ ー ス	
9 9 0 0	基 板	50

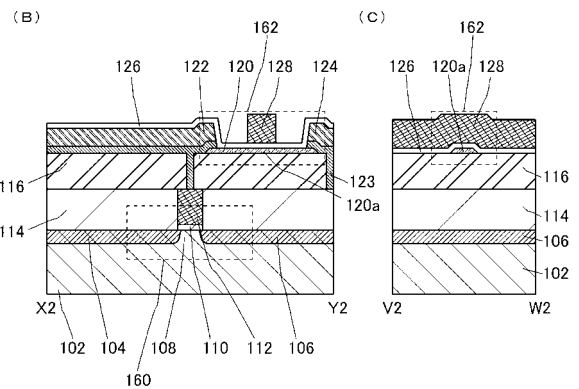
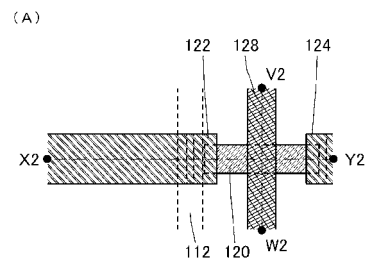
9901 ALU
 9902 ALU・Controller
 9903 Instruction・Decoder
 9904 Interrupt・Controller
 9905 Timing・Controller
 9906 Register
 9907 Register・Controller
 9908 Bus・I/F
 9909 ROM
 9920 ROM・I/F

10

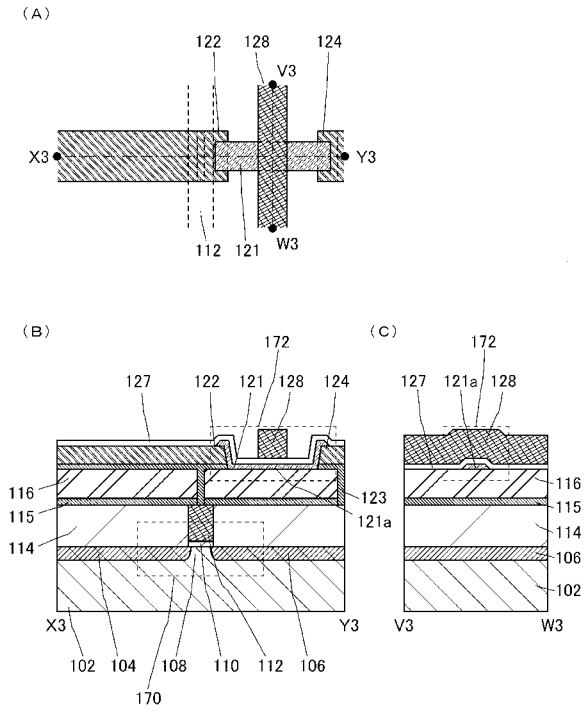
【図 1】



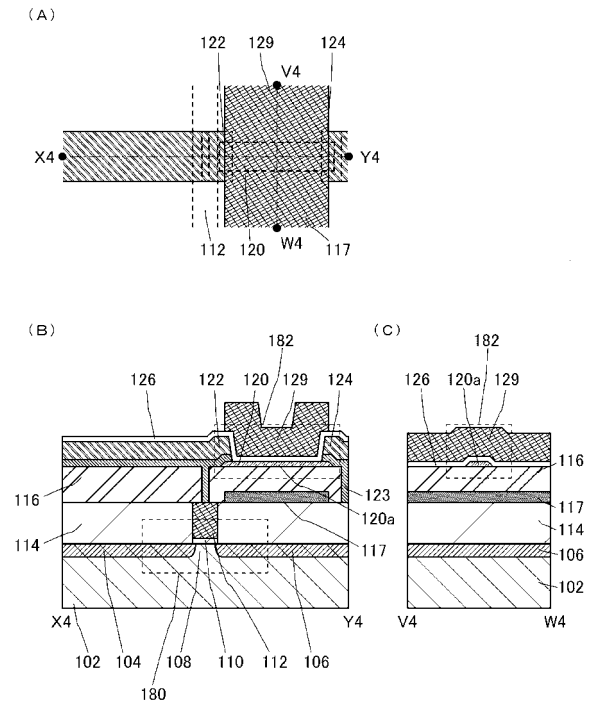
【図 2】



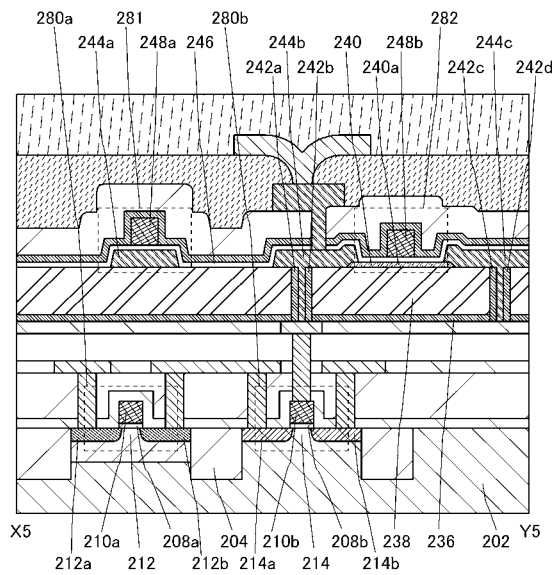
【図 3】



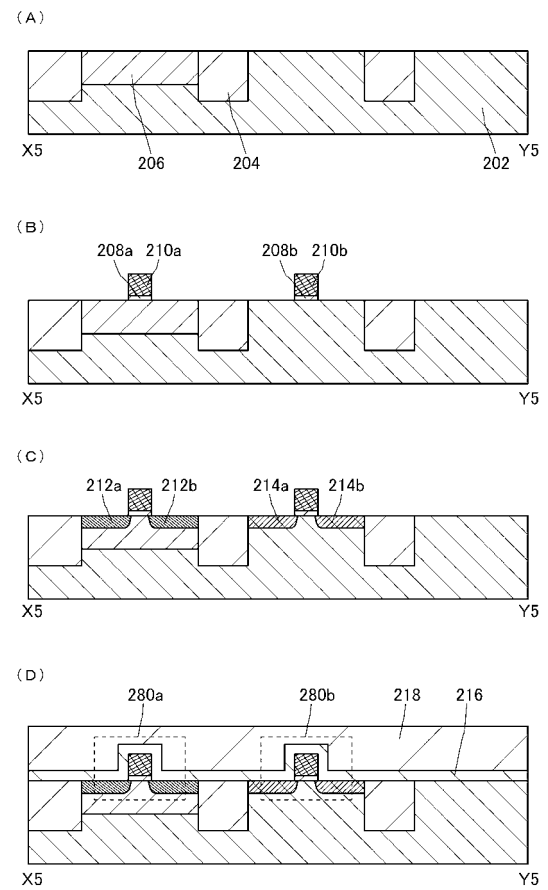
【図 4】



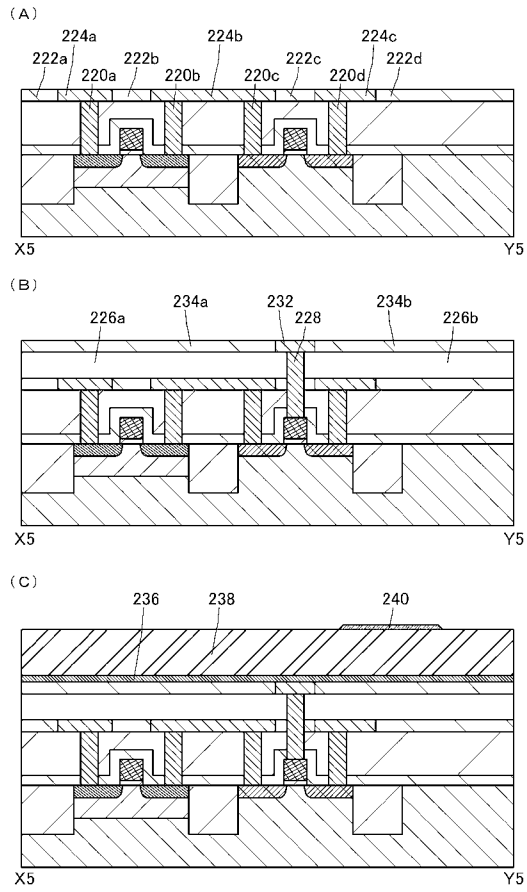
【図 5】



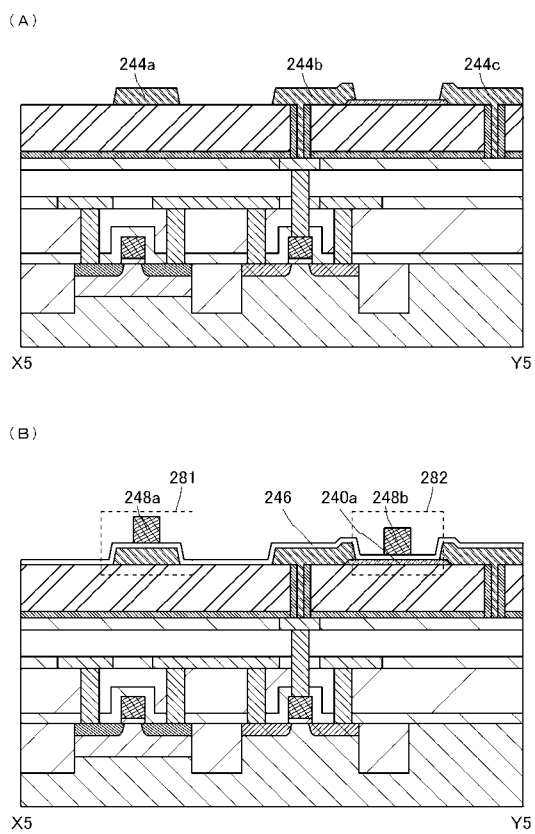
【図 6】



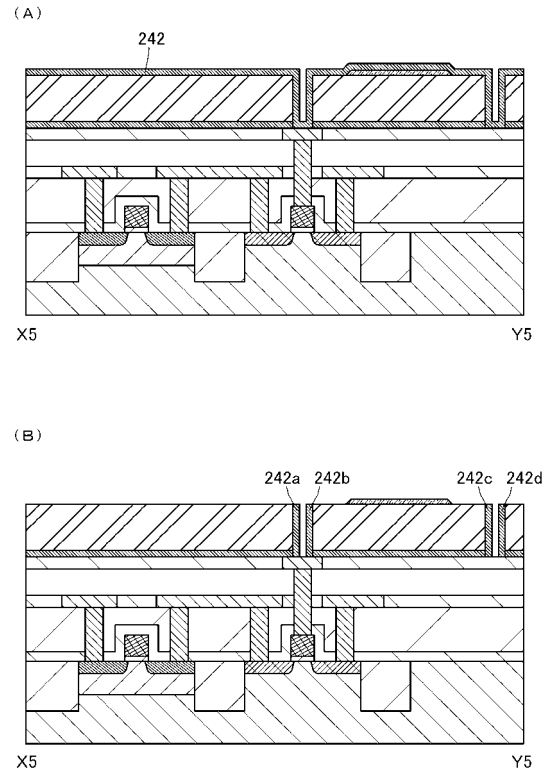
【図 7】



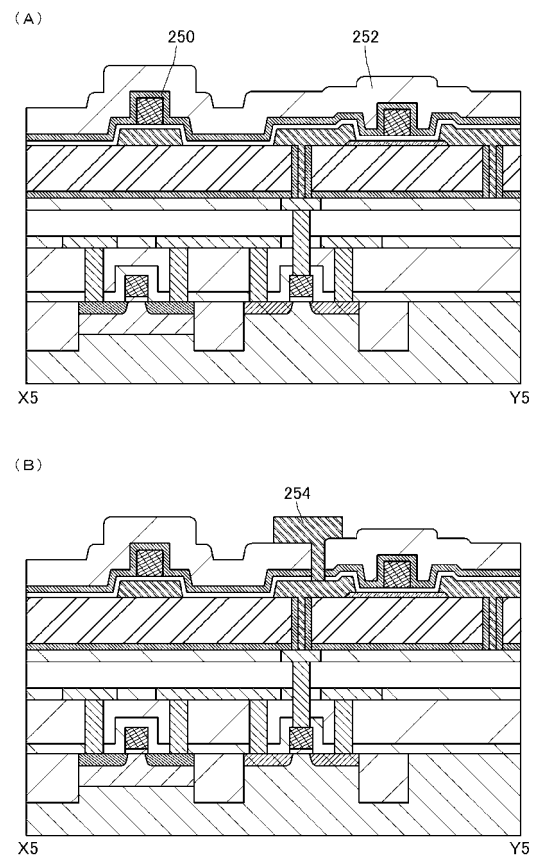
【図 9】



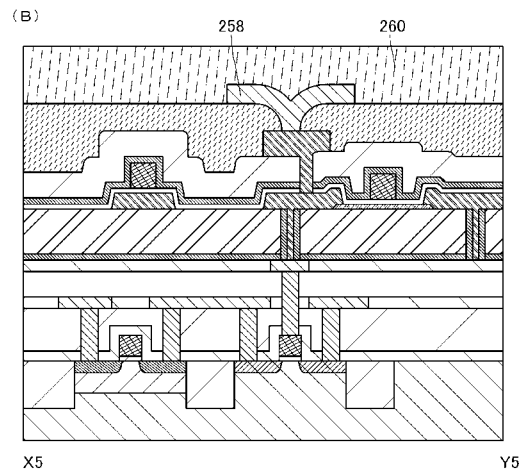
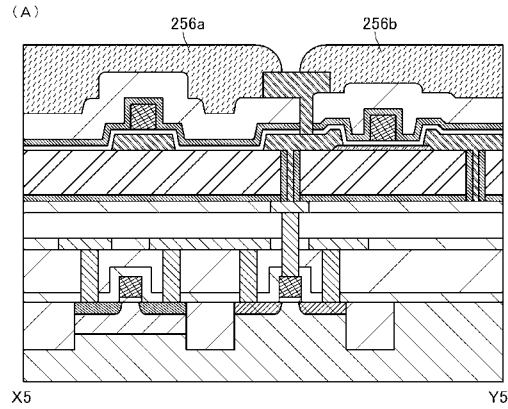
【図 8】



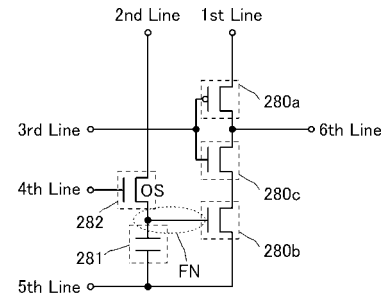
【図 10】



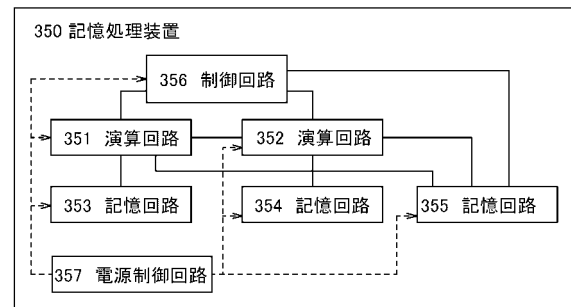
【図 1 1】



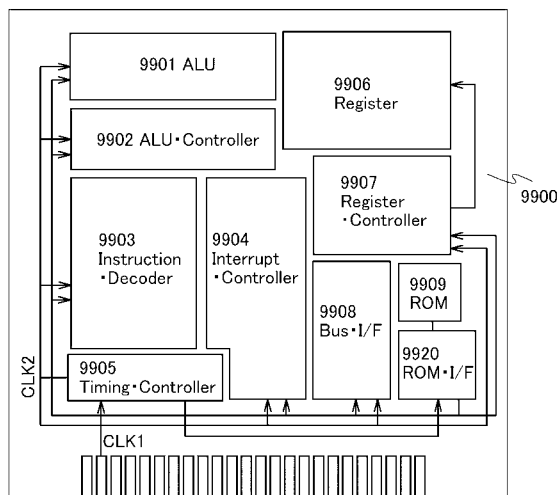
【図 1 2】



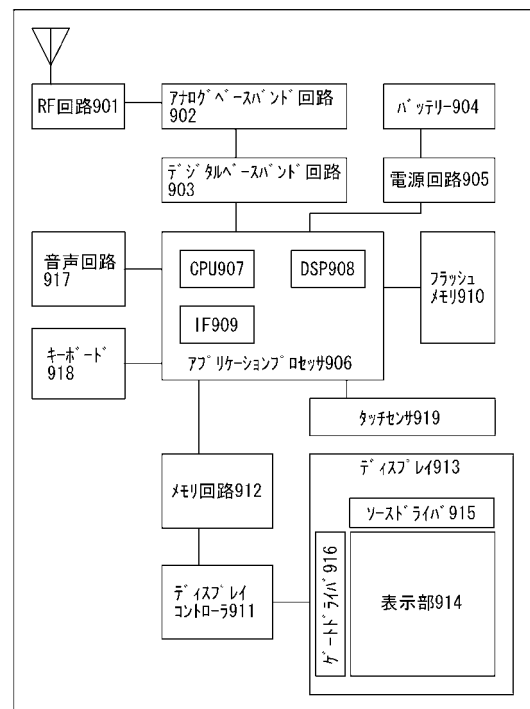
【図 1 3】



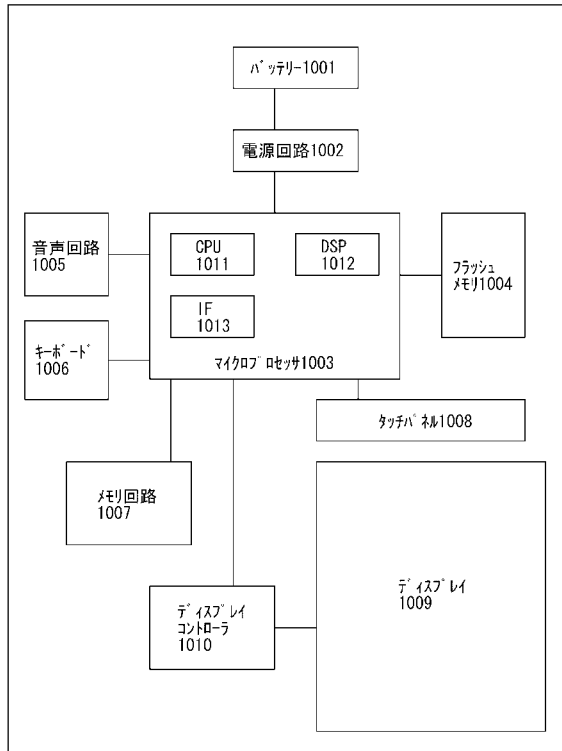
【図 1 4】



【図 1 5】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H O 1 L	27/115	(2006.01)	H O 1 L	29/78	3 7 1
H O 1 L	29/788	(2006.01)	H O 1 L	21/28	3 0 1 B
H O 1 L	29/792	(2006.01)	H O 1 L	29/50	M
H O 1 L	21/28	(2006.01)	H O 1 L	27/10	4 4 1
H O 1 L	29/417	(2006.01)	H O 1 L	27/10	4 8 1
H O 1 L	27/105	(2006.01)			
H O 1 L	27/10	(2006.01)			

F ターム (参考) 4M104 AA01 AA03 AA04 AA08 AA09 BB01 BB02 BB14 BB16 BB17
 BB18 BB28 BB30 BB31 BB32 BB33 BB36 BB40 CC01 DD16
 DD17 DD18 DD28 DD34 DD37 DD43 DD45 DD51 DD52 DD53
 DD63 DD75 DD91 EE02 EE16 FF01 FF02 FF06 FF17 FF18
 FF23 FF26 GG09 GG16 HH04 HH09 HH10
 5F083 AD02 AD14 AD69 EP22 EP75 GA05 GA06 GA10 GA25 GA27
 HA02 HA06 HA08 JA05 JA12 JA19 JA35 JA36 JA37 JA38
 JA39 JA40 JA42 JA43 JA44 JA56 JA60 LA10 MA05 MA06
 MA19 NA01 PR12 PR15 PR18 PR22 PR33 PR34 PR36 PR40
 ZA12 ZA13 ZA14 ZA15
 5F101 BA17 BD02 BD30 BD33 BD35 BD37 BD39 BD40 BE02 BE05
 BF01 BF02 BF09 BH03 BH05 BH09 BH16 BH17
 5F110 AA14 BB04 BB08 BB11 CC01 CC02 CC05 DD01 DD05 DD13
 DD14 DD15 DD17 DD25 EE03 EE04 EE06 EE09 EE14 EE30
 EE31 EE43 EE44 EE45 FF02 FF03 FF04 FF09 FF23 FF26
 FF28 FF30 GG02 GG06 GG12 GG13 GG14 GG15 GG16 GG17
 GG19 GG25 GG42 GG43 GG45 GG57 GG58 HJ01 HJ04 HJ12
 HJ13 HJ23 HK03 HK04 HK07 HK21 HK22 HK33 HK35 HK42
 HL03 HL04 HL07 HL12 HM02 HM19 NN03 NN04 NN23 NN24
 NN27 NN62 NN65 NN66 NN72 NN74 NN78 PP01 PP10 QQ11
 QQ17 QQ19