



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201320214 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101131113

(22)申請日：中華民國 101 (2012) 年 08 月 28 日

(51)Int. Cl. : H01L21/66 (2006.01)

H01L23/12 (2006.01)

(30)優先權：2011/10/04 日本

2011-220358

(71)申請人：阿德潘鐵斯特股份有限公司 (日本) ADVANTEST CORPORATION (JP)

日本

(72)發明人：中村陽登 NAKAMURA, KIYOTO (JP) ; 藤崎貴志 FUJISAKI, TAKASHI (JP)

(74)代理人：洪澄文

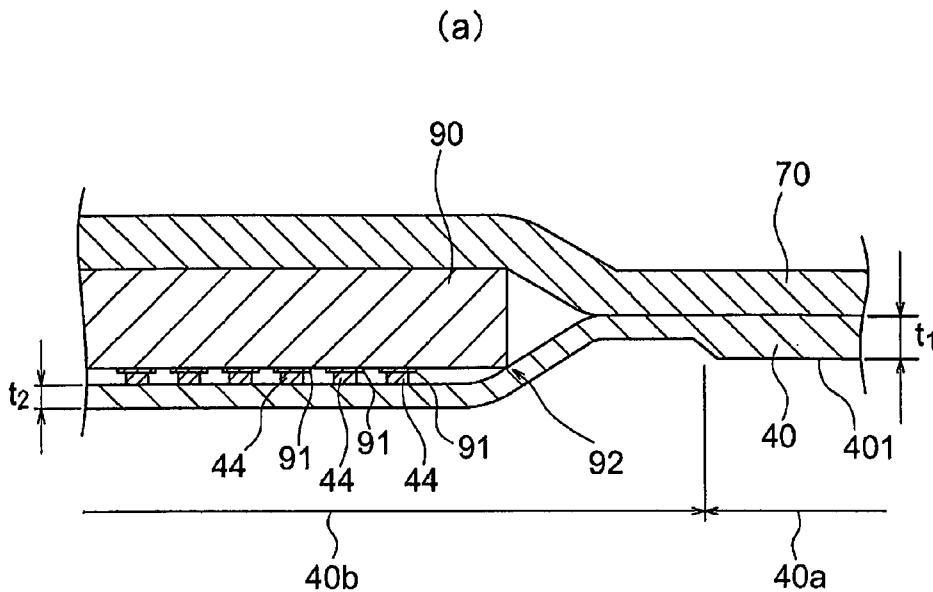
申請實體審查：有 申請專利範圍項數：6 項 圖式數：15 共 30 頁

(54)名稱

實驗用載具

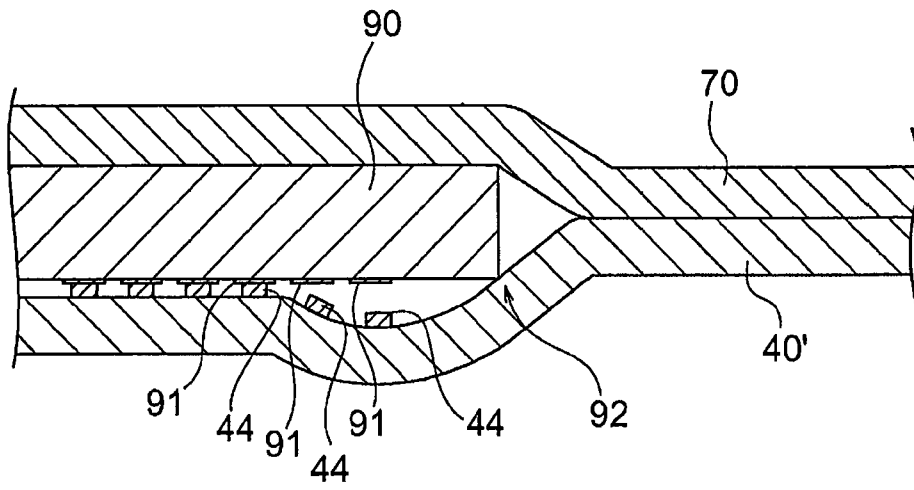
(57)摘要

【課題】提供一種可一面抑制接觸不良之發生，一面確保端子之位置精度的測試用載具。【解決手段】測試用載具 10 係包括：底薄膜 40，係在一方之主面具有與晶片 90 之電極 91 接觸的凸塊 44；及與底薄膜 40 重疊的蓋薄膜 70；將晶片 90 收容於底薄膜 40 與蓋薄膜 70 之間，底薄膜 40 係包括：具有第 1 厚度 t_1 的第 1 區域 40a；及第 2 區域 40b，係具有比第 1 厚度 t_1 更薄之第 2 厚度 t_2 ；第 2 區域 40b 係與至少晶片 90 之邊緣 92 的一部分相對向。



- 40：底薄膜
- 40'：底薄膜
- 40a：第 1 區域
- 40b：第 2 區域
- 44：凸塊
- 70：蓋薄膜
- 90：晶片
- 91：電極墊
- 92：邊緣
- 401：外側面
- t_1 ：第 1 厚度
- t_2 ：第 2 厚度

(b)



(21) 申請案號：101131113

(22) 申請日：中華民國 101 (2012) 年 08 月 28 日

(51) Int. Cl. : H01L21/66 (2006.01)

H01L23/12 (2006.01)

(30) 優先權：2011/10/04 日本

2011-220358

(71) 申請人：阿德潘鐵斯特股份有限公司 (日本) ADVANTEST CORPORATION (JP)
日本

(72) 發明人：中村陽登 NAKAMURA, KIYOTO (JP) ; 藤崎貴志 FUJISAKI, TAKASHI (JP)

(74) 代理人：洪澄文

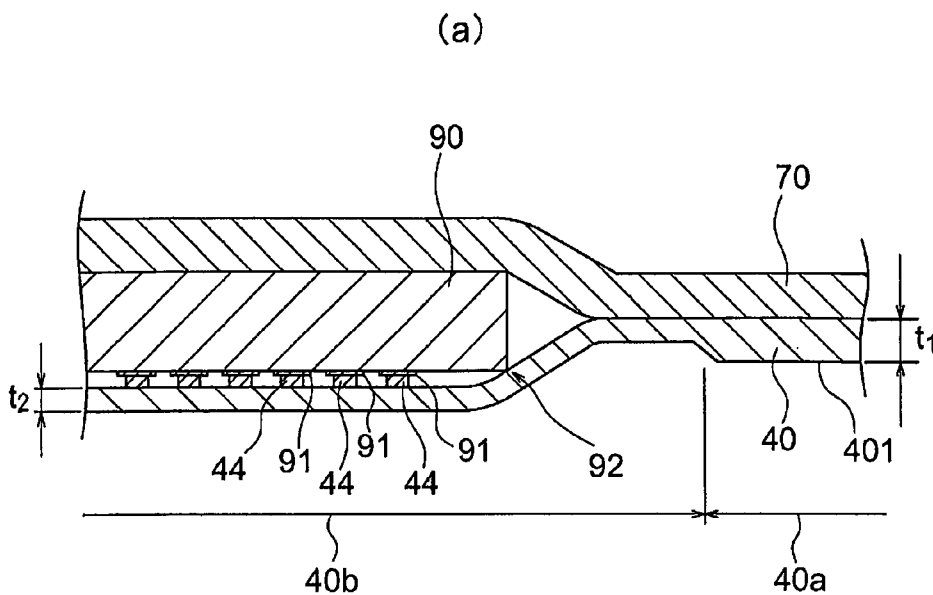
申請實體審查：有 申請專利範圍項數：6 項 圖式數：15 共 30 頁

(54) 名稱

實驗用載具

(57) 摘要

【課題】提供一種可一面抑制接觸不良之發生，一面確保端子之位置精度的測試用載具。【解決手段】測試用載具 10 係包括：底薄膜 40，係在一方之主面具有與晶片 90 之電極 91 接觸的凸塊 44；及與底薄膜 40 重疊的蓋薄膜 70；將晶片 90 收容於底薄膜 40 與蓋薄膜 70 之間，底薄膜 40 係包括：具有第 1 厚度 t_1 的第 1 區域 40a；及第 2 區域 40b，係具有比第 1 厚度 t_1 更薄之第 2 厚度 t_2 ；第 2 區域 40b 係與至少晶片 90 之邊緣 92 的一部分相對向。



- 40：底薄膜
- 40'：底薄膜
- 40a：第 1 區域
- 40b：第 2 區域
- 44：凸塊
- 70：蓋薄膜
- 90：晶片
- 91：電極墊
- 92：邊緣
- 401：外側面
- t_1 ：第 1 厚度
- t_2 ：第 2 厚度

發明摘要

※ 申請案號：101131113

※ 申請日：101.8.28

※IPC 分類：H01L 21/66 (2006.01)
H01L 23/12 (2006.01)

【發明名稱】(中文/英文)

實驗用載具

【中文】

【課題】 提供一種可一面抑制接觸不良之發生，一面確保端子之位置精度的測試用載具。

【解決手段】 測試用載具 10 係包括：底薄膜 40，係在一方之主面具有與晶片 90 之電極 91 接觸的凸塊 44；及與底薄膜 40 重疊的蓋薄膜 70；將晶片 90 收容於底薄膜 40 與蓋薄膜 70 之間，底薄膜 40 係包括：具有第 1 厚度 t_1 的第 1 區域 40a；及第 2 區域 40b，係具有比第 1 厚度 t_1 更薄之第 2 厚度 t_2 ；第 2 區域 40b 係與至少晶片 90 之邊緣 92 的一部分相對向。

【英文】

無

【代表圖】

【本案指定代表圖】：第（7）圖。

【本代表圖之符號簡單說明】：

40、40' 底薄膜、

40a 第 1 區域、

40b 第 2 區域、

44 凸塊、

70 蓋薄膜、

90 晶片、

91 電極墊、

92 邊緣、

t₁ 第 1 厚度、

t₂ 第 2 厚度、

401 外側面。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

實驗用載具

【技術領域】

【0001】 本發明係有關於一種測試用載具，該測試用載具係爲了測試形成於晶片之積體電路等的電子電路，而暫時組裝該晶片。

【先前技術】

【0002】 已知一種具有接觸片的測試用載具(例如參照專利文獻1)，該接觸片係在由聚醯胺所構成之薄膜上形成對應於測試對象之晶片之電極圖案的接觸墊、及與該接觸墊連接並用以取得與外部之測試裝置之接觸的配線圖案所構成。

[先行技術文獻]

[專利文獻1]特開平7-263504號公報

【發明內容】

【發明所欲解決之課題】

【0003】 在該測試用載具，接觸片之薄膜過厚時，因爲該薄膜的剛性高，而薄膜爬上晶片的邊緣，而位於邊緣附近的電極圖案與接觸墊在電性上不導通，而具有發生接觸不良的問題。

【0004】 在該測試用載具，接觸片之薄膜過厚時，因爲該薄膜的剛性高，而薄膜爬上晶片的邊緣，而位於邊緣附近的電極圖案與接觸墊在電性上不導通，而具有發生接觸不良的問題。

【0005】 另一方面，接觸片之薄膜過薄時，由於因薄膜本身的伸長、或形成配線時之應力而在薄膜所產生之起伏，具有接觸墊之位置精度降低的問題。

【0006】 本發明所欲解決之課題係提供一種可一面抑制接觸不良之發生，一面確保端子之位置精度的測試用載具。

【解決課題之手段】

【0007】 [1]本發明之測試用載具，係包括：薄膜狀之第1構件，係在一方之主面具有與電子元件之電極接觸的端子；及與該第1構件重疊的

第 2 構件；將該電子元件收容於該第 1 構件與該第 2 構件之間，

【0008】 其特徵在於：

【0009】 該第 1 構件係包括：

【0010】 具有第 1 厚度的第 1 區域；及

【0011】 第 2 區域，係具有比該第 1 厚度更薄之第 2 厚度；

【0012】 該第 2 區域係與至少該電子元件之外周緣的一部分相對向。

【0013】 [2]在該發明，亦可該第 2 區域係與至少在該電子元件的外周緣之該電極之附近的部分相對向。

【0014】 [3]在該發明，亦可該第 2 區域係與該電子元件之全部的該電極相對向。

【0015】 [4]在該發明，亦可該第 2 區域係藉由使該第 1 構件從另一方之主面變薄所形成。

【0016】 [5]在該發明，亦可該第 1 構件係至少包括：第 1 樹脂層；及積層於該第 1 樹脂層的第 2 樹脂層；該第 2 區域係藉由從該第 1 構件除去該第 2 樹脂層所形成。

【0017】 [6]在該發明，亦可該被測試電子元件係從半導體晶圓所切割的晶片。

【發明效果】

【0018】 在本發明，在第 1 構件，與電子元件之外周緣的一部分相對向之第 2 區域比第 1 區域更薄。因此，因為可防止第 1 構件爬上電子元件的外周緣，所以可抑制接觸不良之發生。

【0019】 另一方面，因為在第 1 構件，第 1 區域比第 2 區域更厚，所以可抑制在第 1 構件所產生之伸長或起伏，而可確保端子之位置精度。

【圖式簡單說明】

【0020】

第 1 圖係表示本發明之實施形態的元件製程之一部分的流程圖。

第 2 圖係表示本發明之實施形態之測試用載具的分解立體圖。

第 3 圖係表示本發明之實施形態之測試用載具的剖面圖。

第 4 圖係表示本發明之實施形態之測試用載具的分解剖面圖。

第 5 圖係第 4 圖之 V 部的擴大圖。

第 6 圖(a)係表示本發明之實施形態的測試用載具之底部元件的平面圖，第 6 圖(b)係沿著第 6 圖(a)之 VIB-VIB 線的剖面圖。

第 7 圖(a)係第 3 圖之 VII 部的放大圖，第 7 圖(b)係以往之測試用載具的放大圖。

第 8 圖係表示本發明之實施形態的底薄膜之變形例的剖面圖。

第 9 圖係表示本發明之實施形態的底薄膜之其他變形例的平面圖。

第 10 圖係表示本發明之實施形態的測試用載具之第 1 變形例的分解剖面圖。

第 11 圖係表示本發明之實施形態的測試用載具之第 2 變形例的分解剖面圖。

第 12 圖係表示本發明之實施形態的測試用載具之第 3 變形例的分解剖面圖。

第 13 圖係表示本發明之實施形態的測試用載具之第 4 變形例的分解剖面圖。

第 14 圖係表示本發明之實施形態的測試用載具之第 5 變形例的分解剖面圖。

第 15 圖係表示本發明之實施形態的測試用載具之第 6 變形例的分解剖面圖。

【實施方式】

【0021】 以下，根據圖面，說明本發明之實施形態。

【0022】 第 1 圖係表示本實施形態的元件製程之一部分的流程圖。

【0023】 在本實施形態，在切割半導體晶圓後(第 1 圖的步驟 S10 之後)，並在最後封裝之前(步驟 S50 之前)，測試被製入晶片 90 之電子電路(步驟 S20~S40)。

【0024】 在本實施形態，首先，藉載具組立裝置(未圖示)將晶片 90 暫時組裝於測試用載具 10(步驟 S20)。接著，藉由經由該測試用載具 10 將晶片 90 與測試裝置(未圖示)以電性連接，執行被製入晶片 90 之電子電路的測試(步驟 S30)。然後，在該測試結束時，從測試用載具 10 取出晶片 90 後(步驟 S40)，對該晶片 90 進行正式封裝，藉此，元件完成，作為最終製品(步驟 S50)。

【0025】 以下，一面參照第 2 圖~第 15 圖，一面說明在本實施形態暫時組裝(暫時封裝)晶片 90 之測試用載具 10 的構成。

【0026】 第 2 圖~第 5 圖係表示本實施形態之測試用載具的圖，第 6 圖(a)係表示本實施形態的測試用載具之底部元件的平面圖，第 6 圖(b)係沿著第 6 圖(a)之 VIB-VIB 線的剖面圖，第 7 圖(a)係第 3 圖之 VII 部的放大圖，第 7 圖(b)係以往之測試用載具的放大圖，第 8 圖及第 9 圖係表示本實施形態的底薄膜之變形例的圖，第 10 圖~第 15 圖係表示本實施形態的測試用載具之變形例的剖面圖。

【0027】 本實施形態的測試用載具 10 係如第 2 圖~第 4 圖所示，具有載置晶片 90 的底部構件 20、與蓋在該底部構件 20 上的蓋構件 50。該測試用載具 10 係藉由在降壓至比大氣壓更低之狀態將晶片 90 夾入底部構件 20 與蓋構件 50 之間，固持晶片 90。

【0028】 底部構件 20 具有底框架 30 與底薄膜 40。本實施形態的底薄膜 40 相當於本發明之第 1 構件的一例。

【0029】 底框架 30 係具有高剛性(至少比底薄膜 40 或蓋薄膜 70 更高的剛性)，並在中央形成開口 31 的剛性基板。作為構成該底框架 30 的材料，例如可列舉聚醯胺亞胺樹脂、陶瓷、玻璃等。

【0030】 另一方面，底薄膜 40 係具有撓性的薄膜，並經由黏著劑(未圖示)黏貼於包含有中央開口 31 之底框架 30 的整個面。依此方式，在本實施形態，因為剛性高的底框架 30 被黏貼於具有撓性的底薄膜 40，所以可提高底部構件 20 的處理性。此外，亦可省略底框架 30，而僅以底薄膜 40 構成底部構件 20。

【0031】 如第 5 圖所示，該底薄膜 40 具有形成配線圖案 41 的底層 42、及經由黏著層(未圖示)被覆該底層 42 的蓋層 43。底薄膜 40 的底層 42 及蓋層 43 都例如由聚醯胺薄膜所構成。配線圖案 41 係例如藉由對積層於底層 42 上的銅箔進行蝕刻所形成。此外，亦可省略蓋層 43，而使配線圖案 41 在底薄膜 40 上露出。

【0032】 如第 5 圖所示，配線圖案 41 的一端係經由形成於蓋層 43 的開口 431 露出，晶片 90 之電極墊 91 所連接的凸塊 44 形成於其上。該凸塊 44 係例如由銅(Cu)或鎳(Ni)等所構成，並例如藉半添加法形成於配線圖

案 41 的端部之上。該凸塊 44 配置成對應於晶片 90 的電極墊 91。

【0033】 另一方面，在底框架 30 與配線圖案 41 之另一端對應的位置，貫穿孔 32 貫穿。配線圖案 41 係經由形成於底層 42 的開口 421 與貫穿孔 32 連接，該貫穿孔 32 與形成於底框架 30 之下方的外部端子 33 連接。在測試被製入晶片 90 之電子電路時，測試裝置的接觸片(未圖示)與該外部端子 33 接觸。

【0034】 此外，在第 5 圖僅圖示 2 個電極墊 91，但是實際上，多個電極墊 91 形成於晶片 90，多個凸塊 44 亦以對應於該電極墊 91 的方式配置於底薄膜 40 上。本實施形態的凸塊 44 相當於本發明之端子的一例，本實施形態的晶片 90 相當於本發明之電子元件的一例，本實施形態的電極墊 91 相當於本發明之電極的一例，本實施形態之晶片 90 的邊緣 92(參照第 7 圖(a))相當於本發明之電子元件之外周緣的一例。

【0035】 又，配線圖案 41 未限定為上述的構成。雖未特別圖示，例如，亦可藉噴墨印刷將配線圖案 41 的一部分即時地形成於底薄膜 40 的表面。或者，亦可藉噴墨印刷形成於配線圖案 41 的全部。

【0036】 在本實施形態，如第 6 圖(a)及第 6 圖(b)所示，底薄膜 40 具有第 1 區域 40a 與第 2 區域 40b，該第 1 區域 40a 具有第 1 厚度 t_1 ，該第 2 區域 40b 具有第 2 厚度 t_2 ，而第 2 厚度 t_2 比第 1 厚度 t_1 更薄($t_2 < t_1$)。

【0037】 底薄膜 40 的第 2 區域 40b 係例如藉濕蝕刻等從外側面 401 使底薄膜 40 變薄所形成，如第 6 圖(a)所示，在平面圖上，被劃分成包含晶片 90 之全部的電極墊 91、與晶片 90 之邊緣 92 的一部分之矩形形狀。相對地，第 1 區域 40a 係在底薄膜 40 將第 2 區域 40b 除外之全部的區域，在該第 1 區域 40a，底薄膜 40 未變薄。此外，在第 6 圖(a)及第 6 圖(b)，凸塊 44 或配線圖案 41 係未圖示。

【0038】 如第 7 圖(b)所示，底薄膜 40' 厚時，因為該底薄膜 40' 的剛性高，所以底薄膜 40' 爬上晶片 90 的邊緣 92，而一部分的電極墊 91 就浮起，位於晶片 90 之邊緣 92 附近的電極墊 91 與凸塊 44 在電性上不導通，而發生接觸不良。

【0039】 相對地，在本實施形態，如第 7 圖(a)所示，因為底薄膜 40 具有第 2 區域 40b，可防止底薄膜 40 爬上晶片 90 的邊緣 92，而可抑制接

觸不良之發生。

【0040】 另一方面，雖未圖示，底薄膜之厚度過薄時，由於因底薄膜本身的伸長或形成配線時的應力而在底薄膜所產生之起伏，凸塊的位置精度降低。

【0041】 相對地，在本實施形態，因為底薄膜 40 具有第 1 區域 40a，可抑制在底薄膜 40 所產生之伸長或起伏，而可確保凸塊 44 的位置精度。

【0042】 此外，將第 2 區域 40b 形成於底薄膜 40 的方法係未限定為上述。例如，如第 8 圖所示，亦可底薄膜 40 具有複數層薄的底層 42B，藉由使該底層 42B 的層數相異，將第 2 區域 40b 形成於底薄膜 40。在本例之複數層底層 42B 相當於本發明之第 1 及第 2 樹脂層的一例。此外，在第 8 圖蓋層 43 係未圖示。

【0043】 又，在底薄膜 40 之第 2 區域 40b 的位置係未限定為上述。如第 9 圖所示，在平面圖上，只要第 2 區域 40b 至少包含在晶片 90 的邊緣 92，電極墊 91 位於附近的部分即可。

【0044】 回到第 2 圖~第 4 圖，蓋構件 50 具有蓋框架 60 與蓋薄膜 70。本實施形態的蓋薄膜 70 相當於本發明之第 2 構件的一例。

【0045】 蓋框架 60 係具有高剛性(至少比底薄膜 40 或蓋薄膜 70 更高的剛性)，並在中央形成開口 61 的剛性板。在本實施形態，該蓋框架 60 亦與上述的底框架 30 一樣，例如由聚醯胺亞胺樹脂、陶瓷、玻璃等所構成。

【0046】 另一方面，蓋薄膜 70 係具有撓性的薄膜，並藉黏著劑(未圖示)黏貼於包含有中央開口 61 之蓋框架 60 的整個面。在本實施形態，因為剛性高的蓋框架 60 被黏貼於具有撓性的蓋薄膜 70，所以可提高蓋構件 50 的處理性。此外，亦可僅以蓋薄膜 70 構成蓋構件 50。或者，亦可僅以未形成開口 61 的剛性板形成蓋構件 50。

【0047】 此外，凸塊 44 的位置或外部端子 33 的位置係未限定為上述，亦可是如以下所說明之第 10 圖~第 15 圖所示的構成，亦可是將這些所組合的構成。

【0048】 例如，如第 10 圖之第 1 變形例所示，亦可將凸塊 44 及外部端子 33 都形成於底薄膜 40 的上面。在此情況，連接凸塊 44 與外部端子 33 的導電路 12 係僅形成於底薄膜 40。

【0049】 又，如第 11 圖之第 2 變形例所示，亦可將凸塊 44 形成於底薄膜 40 的上面，將外部端子 33 形成於底薄膜 40 的下面。在此情況，亦導電路 12 僅形成於底薄膜 40。

【0050】 又，如第 12 圖之第 3 變形例所示，亦可將凸塊 44 形成於蓋薄膜 70 的下面，將外部端子 33 形成於蓋框架 60 的上面。在此情況，導電路 12 形成於蓋薄膜 70 與蓋框架 60。此外，雖未特別圖示，在本例，亦可按照與第 10 圖或第 11 圖相同的要領，將外部端子 33 形成於蓋薄膜 70 的下面或上面。

【0051】 又，如第 13 圖之第 4 變形例所示，亦可將凸塊 44 形成於蓋薄膜 70 的下面，將外部端子 33 形成於底框架 30 的下面。在此情況，導電路 12 形成於蓋薄膜 70、底薄膜 40 及底框架 30。

【0052】 進而，在晶片 90 在上面及下面之雙方具有電極墊 91 的情況，如第 14 圖之第 5 變形例所示，亦可將凸塊 44 形成於底薄膜 40 及蓋薄膜 70 之雙方，而且將外部端子 33 形成於底框架 30 及蓋框架 60 之雙方。

【0053】 此外，如第 12 圖~第 14 圖之第 3~第 5 變形例所示，在將凸塊 44 形成於蓋薄膜 70 的情況，將上述的第 1 區域及第 2 區域形成於該蓋薄膜 70。

【0054】 以上所說明之測試用載具 10 係如以下所示組立。

【0055】 即，首先，在將電極墊 91 與凸塊 44 對準之狀態，將晶片 90 載置於底部構件 20 之底薄膜 40 上。

【0056】 接著，在降壓至比大氣壓更低之環境下，將蓋構件 50 重疊於底部構件 20 之上，並將晶片 90 夾入底部構件 20 與蓋構件 50 之間。此時，以底部構件 20 之底薄膜 30 與蓋構件 50 之蓋薄膜 70 直接接觸的方式將蓋構件 50 重疊於底部構件 20 上。

【0057】 順便地，在晶片 90 比較厚的情況，如第 15 圖之第 6 變形例所示，亦可以底框架 30 與蓋框架 60 直接接觸的方式將蓋構件 50 重疊於底部構件 20。

【0058】 接著，在仍然將晶片 90 夾入底部構件 20 與蓋構件 50 之間的狀態，藉由使測試用載具 10 恢復至大氣壓環境，而將晶片 90 固持於形成於底部構件 20 與蓋構件 50 之間的收容空間 11(參照第 3 圖)內。

【0059】 此外，晶片 90 的電極墊 91 與底薄膜 40 的凸塊 44 係未以焊劑等固定。在本實施形態，因為收容空間 11 成為比大氣壓負壓，所以藉底薄膜 40 與蓋薄膜 70 推壓晶片 90，而晶片 90 的電極墊 91 與底薄膜 40 的凸塊 44 彼此接觸。

【0060】 此外，如第 3 圖所示，亦可底部構件 20 與蓋構件 50 係為了防止位置偏移而且提高密閉性，而藉黏著部 80 彼此固定。作為構成該黏著部 80 的黏著劑 81，例如可列舉紫外線硬化式黏著劑。

【0061】 該黏著劑 81 係如第 2 圖及第 4 圖~第 5 圖所示，在底部構件 20 塗布於與蓋構件 50 之外周部對應的位置，在將蓋構件 50 蓋在底部構件 20 後照射紫外線，使該黏著劑 81 硬化，藉此，形成黏著部 80。

【0062】 此外，在藉由以黏著部 80 黏貼底部構件 20 與蓋構件 50 後，從外部推壓測試用載具 10，而使晶片 90 的電極墊 91 與凸塊 44 接觸的情況，亦可不對收容空間 11 降壓。

【0063】 如以上所示，在本實施形態，因為藉第 2 區域 40b，可防止底薄膜 40 爬上晶片 90 的邊緣 92，所以可抑制接觸不良之發生。

【0064】 又，在本實施形態，因為藉第 1 區域 40a，可抑制底薄膜 40 之伸長或起伏的發生，所以可確保凸塊 44 的位置精度。

進而，在本實施形態，因為第 2 區域 40b 與晶片 90 之全部的電極墊 91 相對向，所以可吸收晶片 90 的翹曲或凸塊 44 的高度不均。

【0065】 此外，以上所說明的實施形態係為了易於理解本發明所記載，不是為了限定本發明所記載。因此，在上述之實施形態所揭示的各元件係亦包含屬於本發明之技術性範圍之全部的設計變更或對等物的主旨。

【符號說明】

【0066】

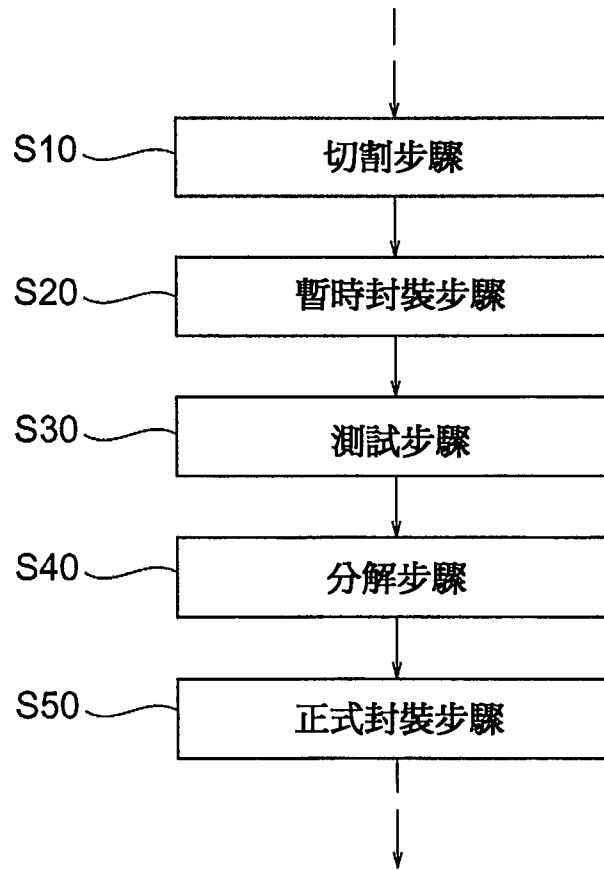
- 10 測試用載具
- 11 收容空間
- 12 導電路
- 20 底部構件
- 30 底框架
- 31 中央開口

- 32 貫穿孔
- 33 外部端子
- 40 底薄膜
- 40a 第 1 區域
- 40b 第 2 區域
- 401 外側面
- 41 配線圖案
- 42 底層
- 421 開口
- 43 蓋層
- 431 開口
- 44 凸塊
- 50 蓋構件
- 60 蓋框架
- 61 中央開口
- 70 蓋薄膜
- 80 黏著部
- 81 黏著劑
- 90 晶片
- 91 電極墊
- 92 邊緣

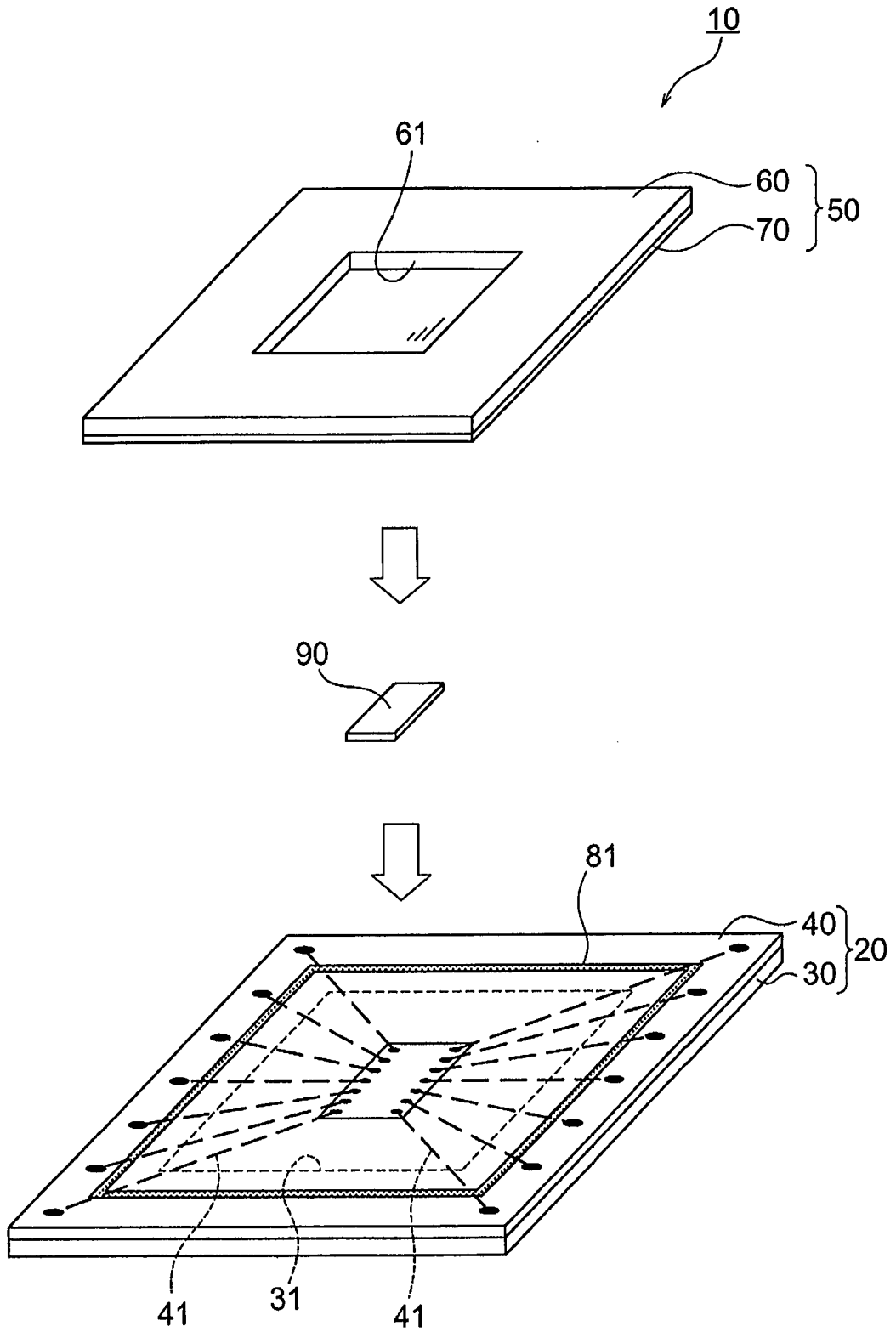
申請專利範圍

1. 一種測試用載具，包括：薄膜狀之第 1 構件，係在一方之主面具有與電子元件之電極接觸的端子；及與該第 1 構件重疊的第 2 構件；將該電子元件收容於該第 1 構件與該第 2 構件之間，
其特徵在於：
該第 1 構件係包括：
具有第 1 厚度的第 1 區域；及
第 2 區域，係具有比該第 1 厚度更薄之第 2 厚度；
該第 2 區域係與至少該電子元件之外周緣的一部分相對向。
2. 如申請專利範圍第 1 項之測試用載具，其中該第 2 區域係與至少在該電子元件的外周緣之該電極之附近的部分相對向。
3. 如申請專利範圍第 1 項之測試用載具，其中該第 2 區域係與該電子元件之全部的該電極相對向。
4. 如申請專利範圍第 1 至 3 項中任一項之測試用載具，其中該第 2 區域係藉由使該第 1 構件從另一方之主面變薄所形成。
5. 如申請專利範圍第 1 至 3 項中任一項之測試用載具，其中該第 1 構件係至少包括：
第 1 樹脂層；及
積層於該第 1 樹脂層的第 2 樹脂層；
該第 2 區域係藉由從該第 1 構件除去該第 2 樹脂層所形成。
6. 如申請專利範圍第 1 項之測試用載具，其中該被測試電子元件係從半導體晶圓所切割的晶片。

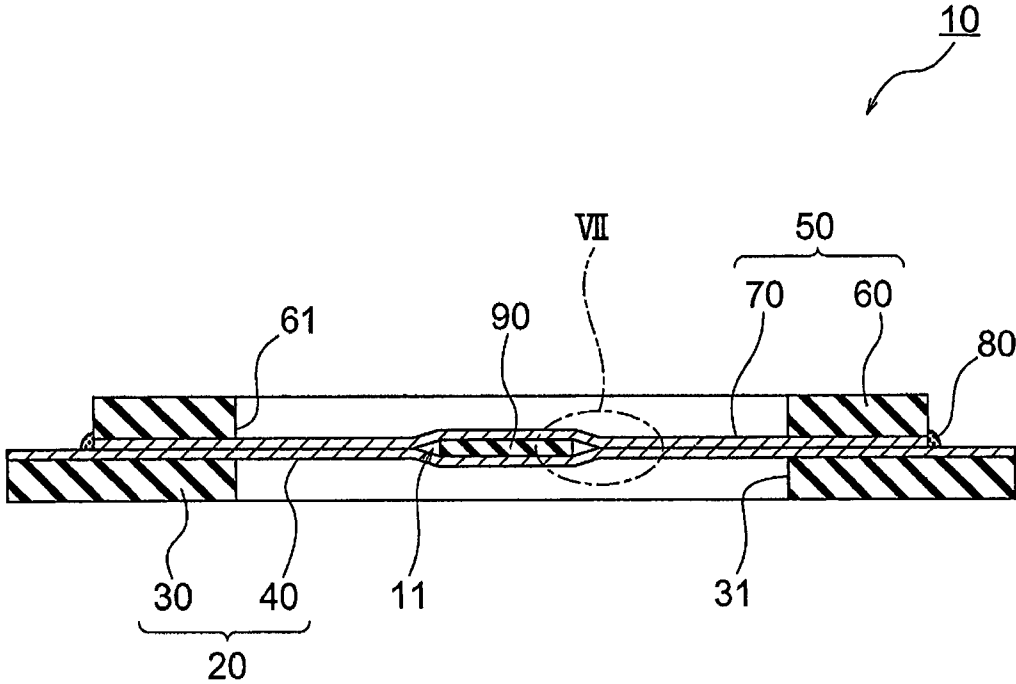
圖式



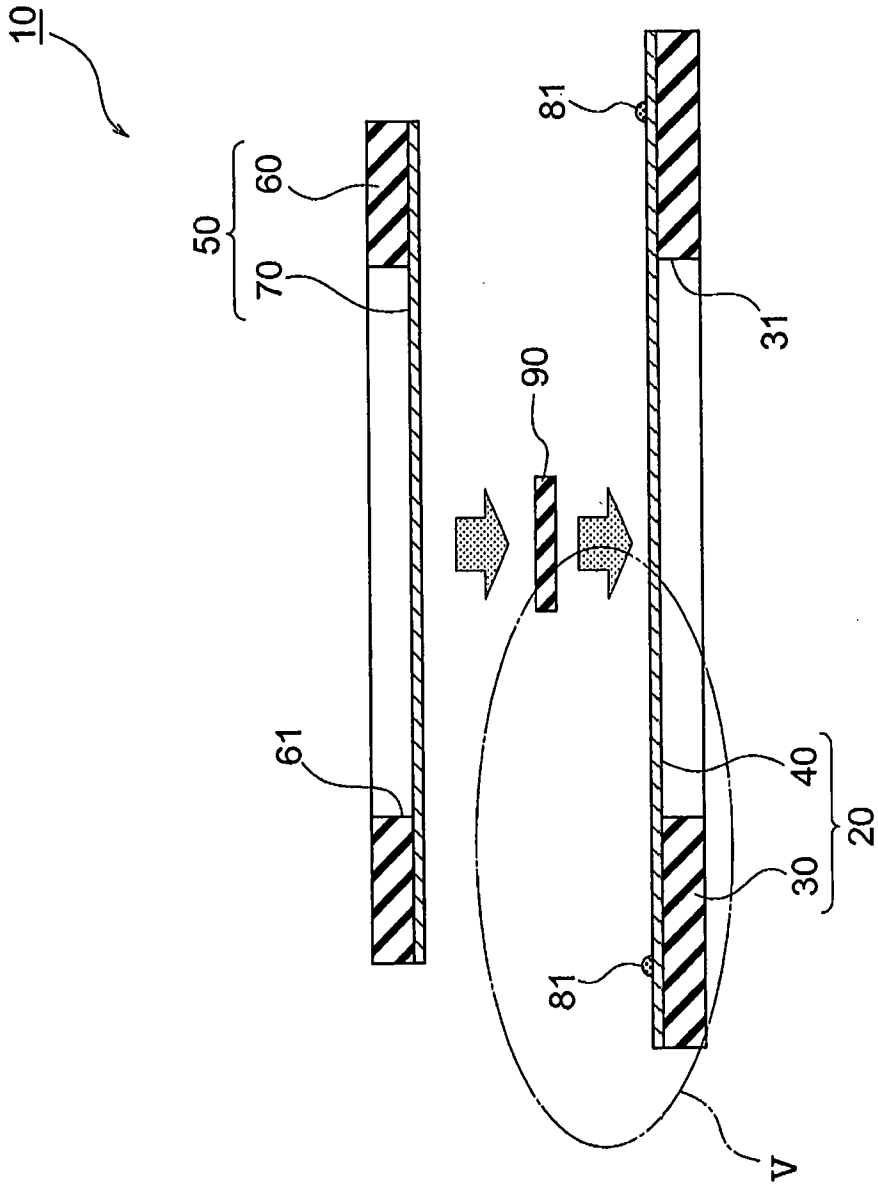
第1圖



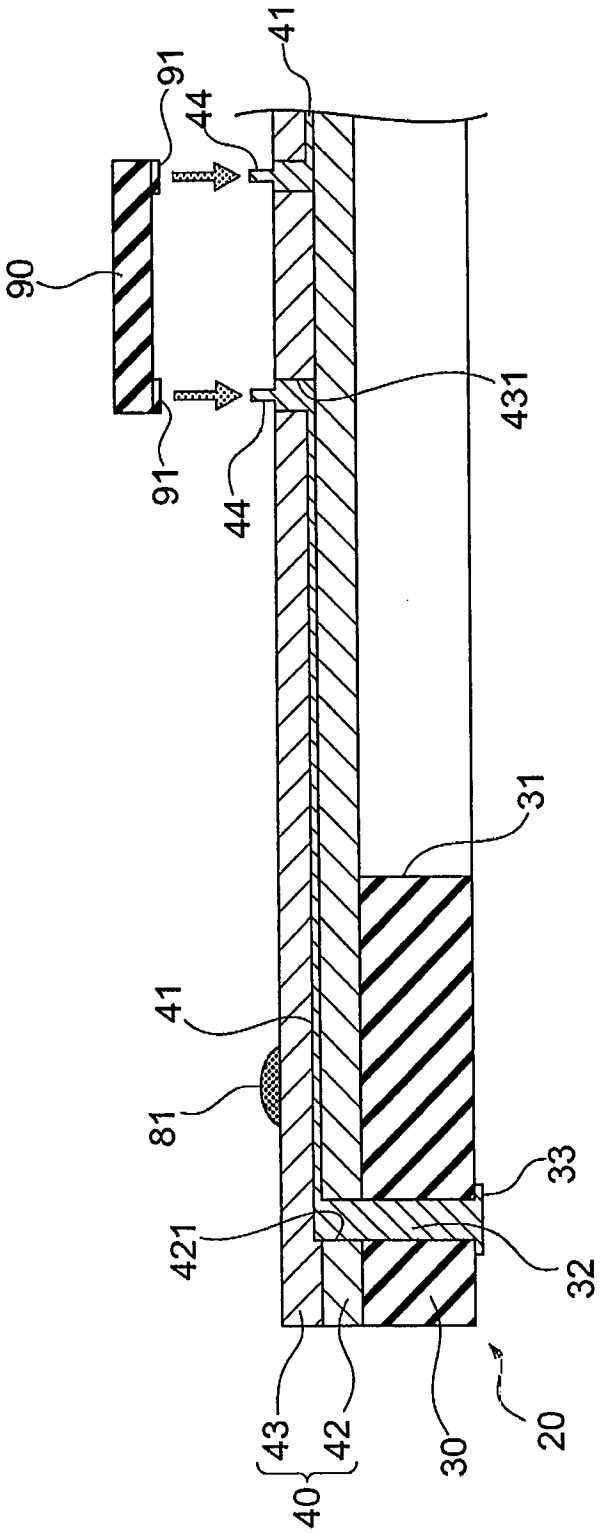
第2圖



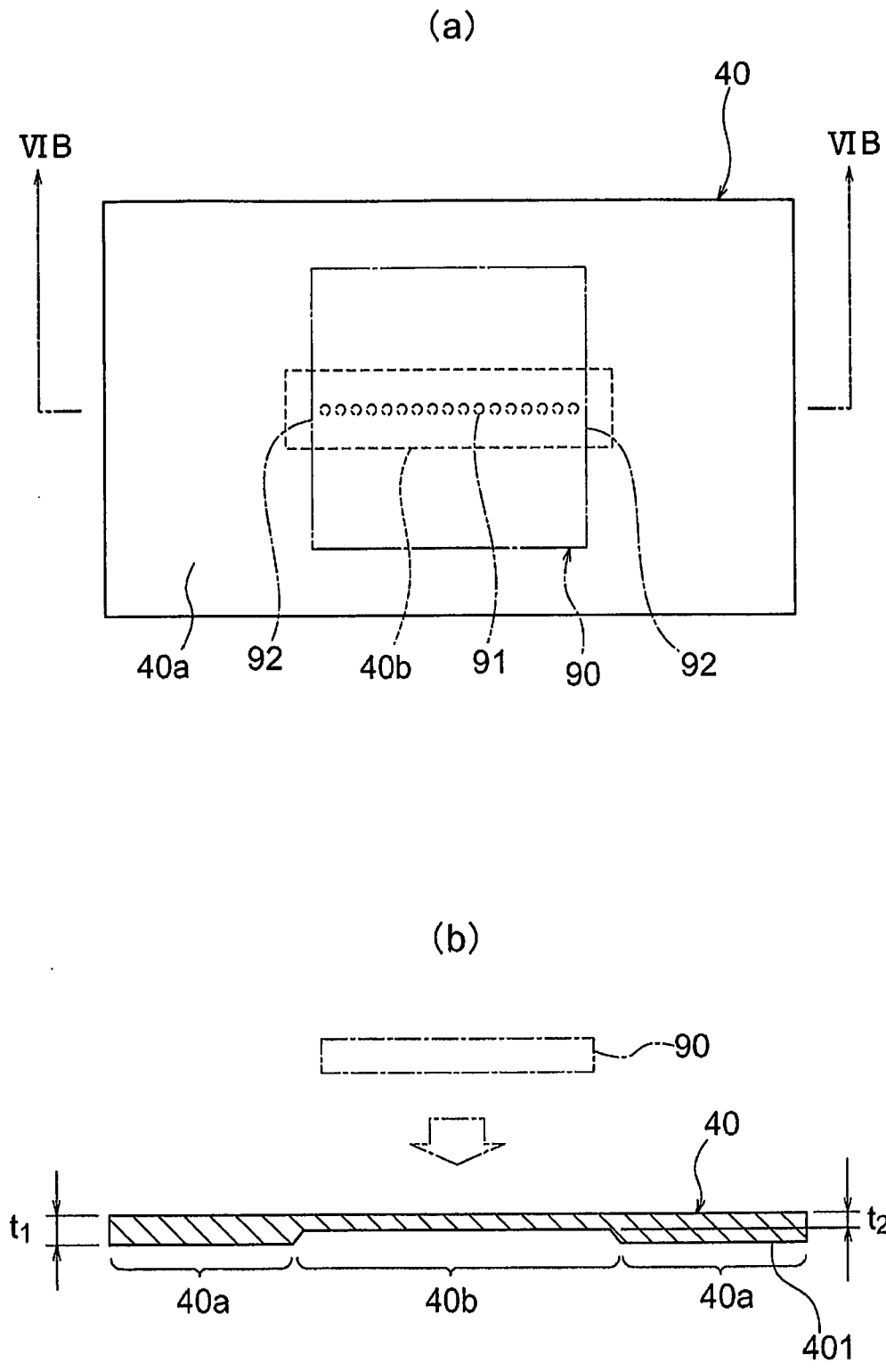
第3圖



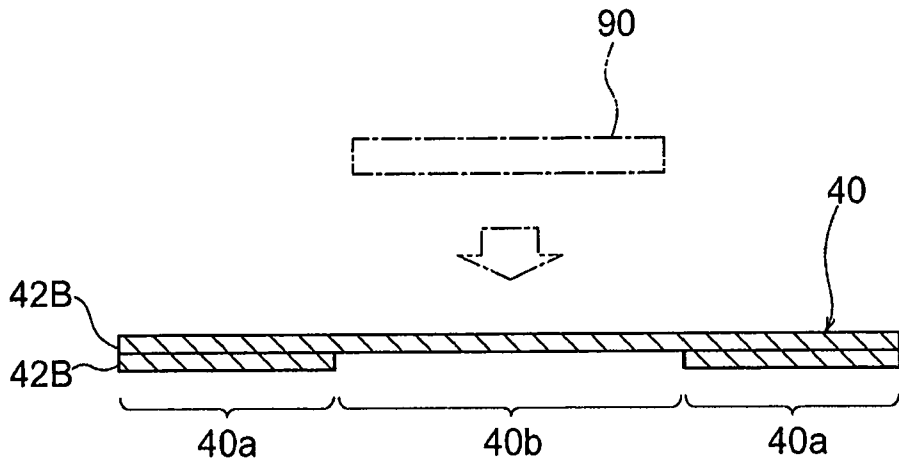
第4圖



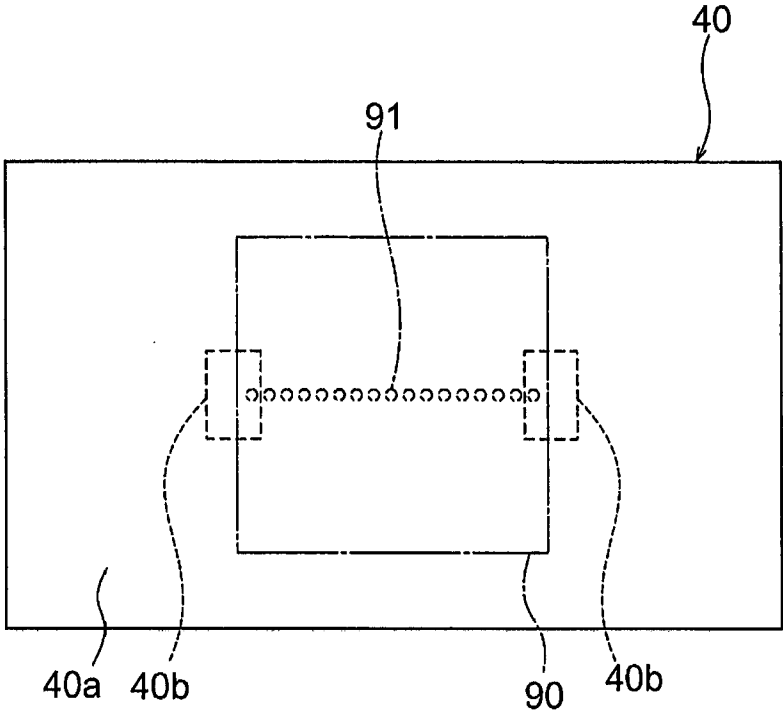
第5圖



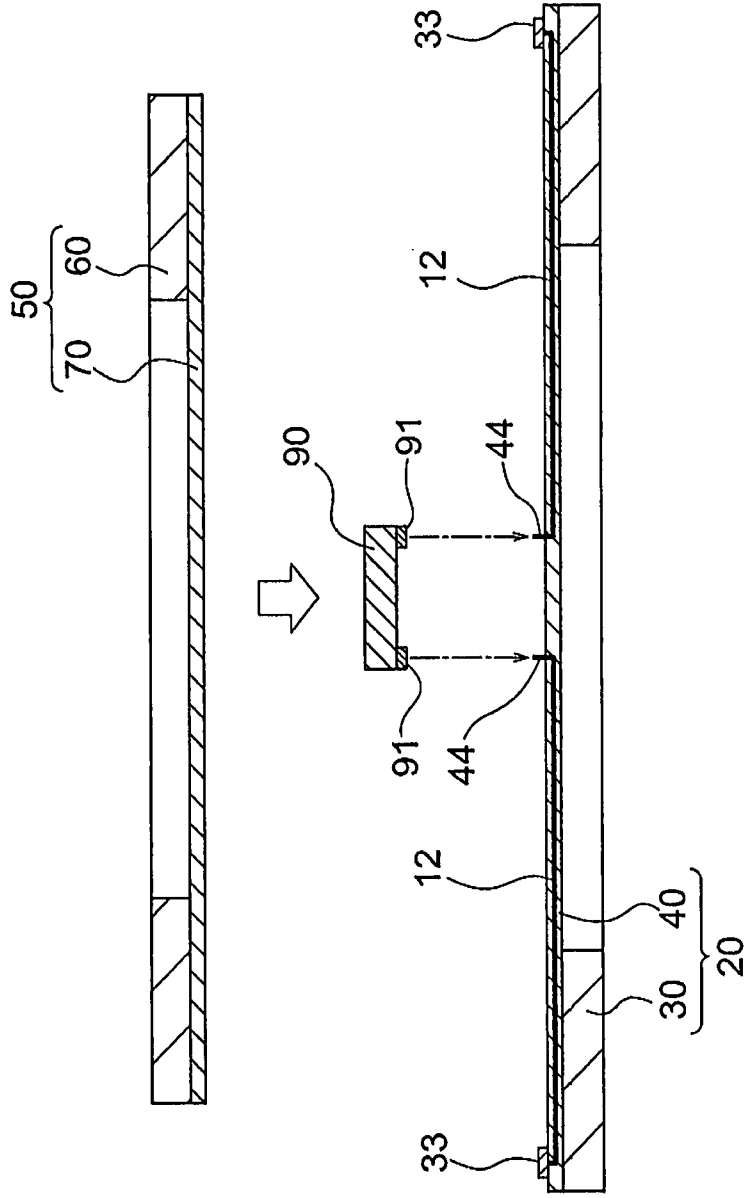
第6圖



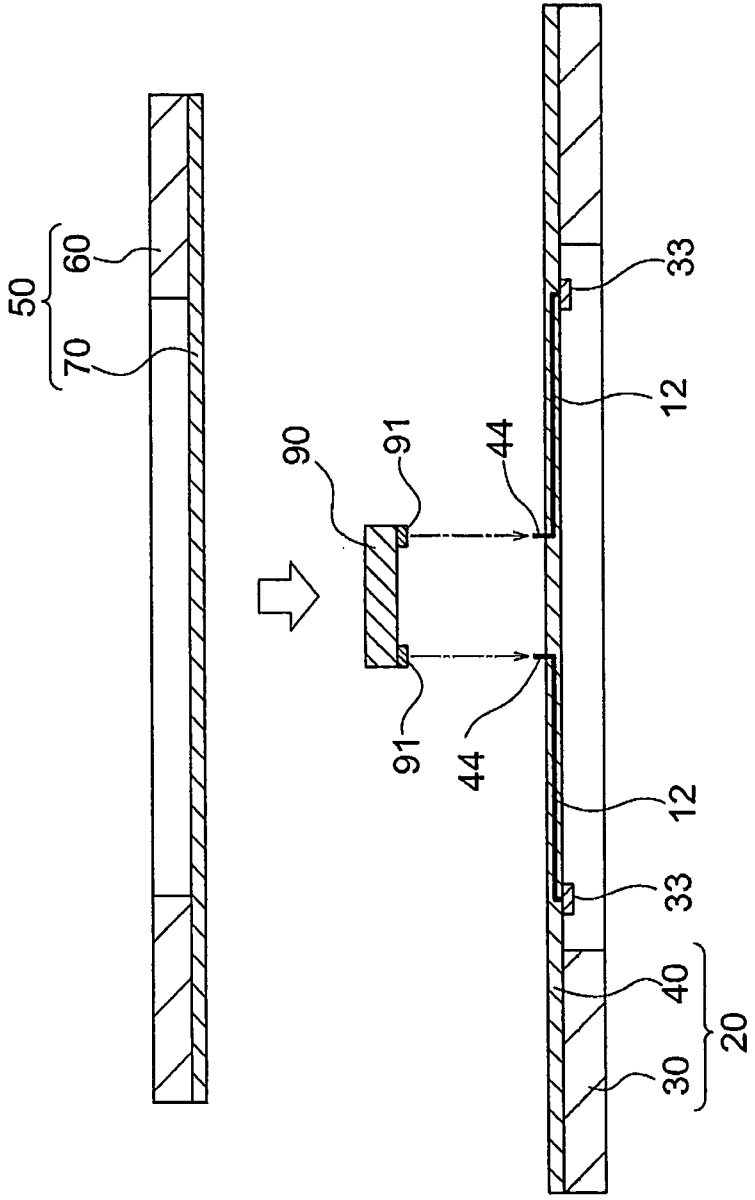
第8圖



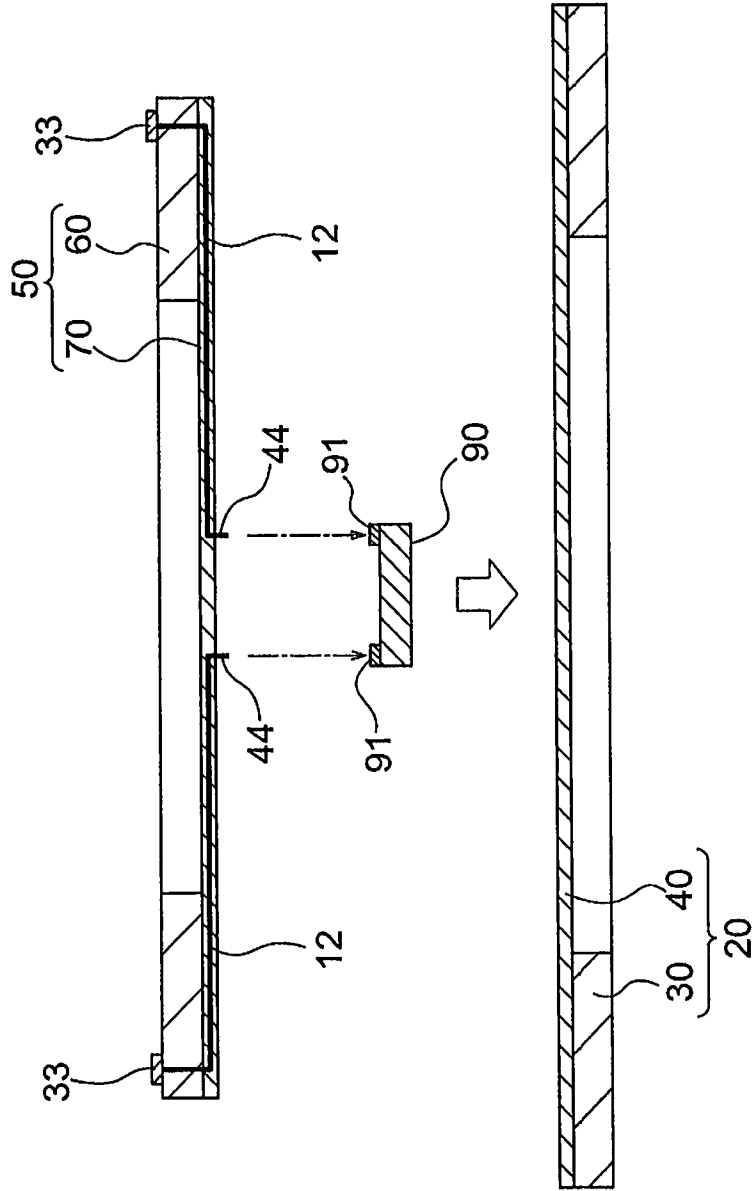
第9圖



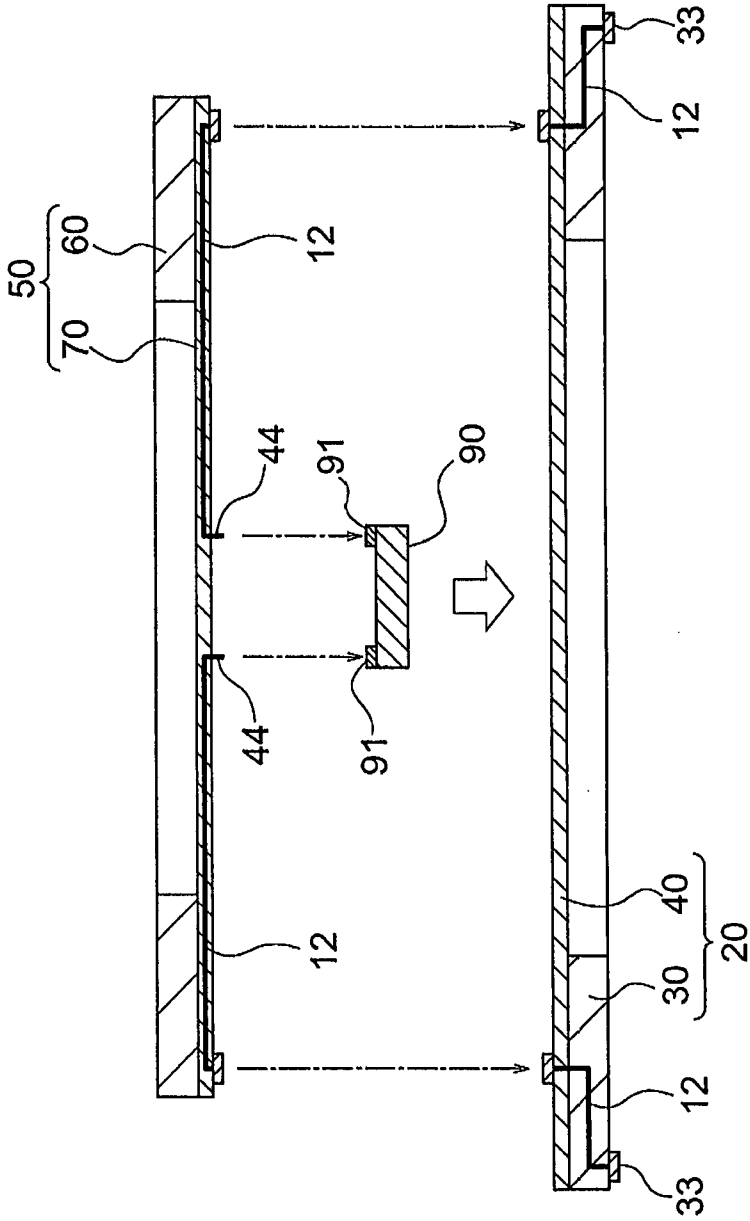
第10圖



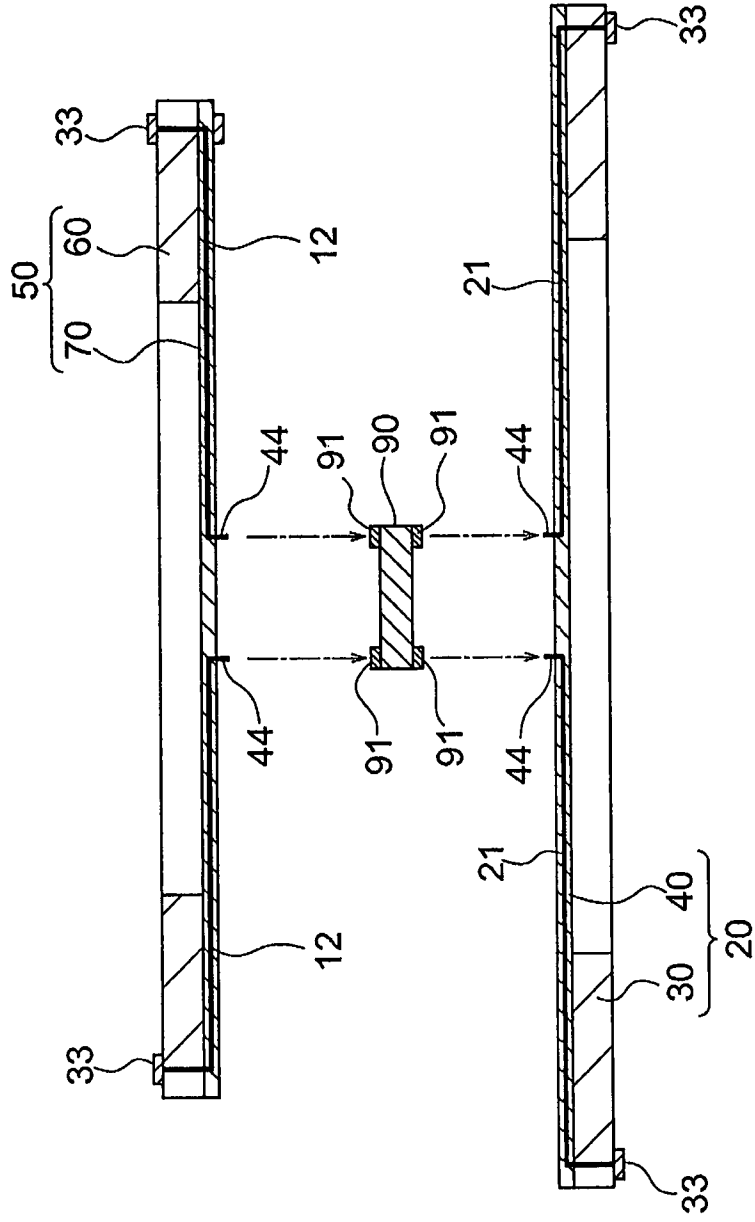
第11圖



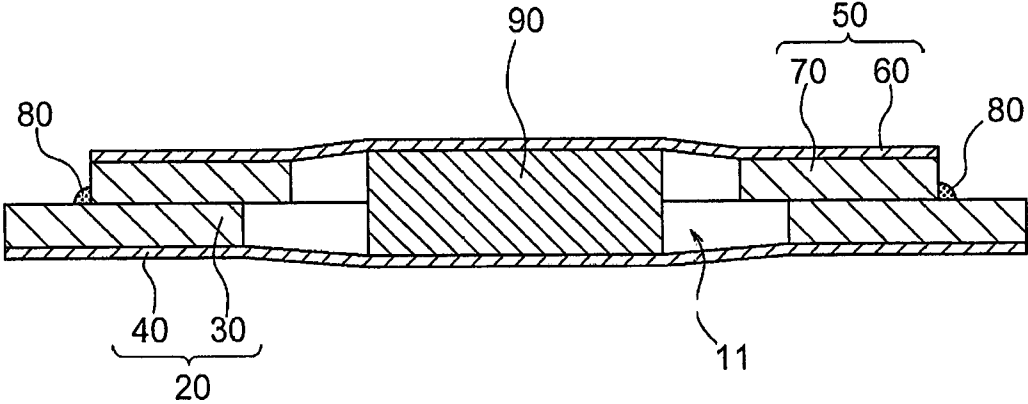
第12圖



第13圖



第14圖



第15圖

【0049】 又，如第 11 圖之第 2 變形例所示，亦可將凸塊 44 形成於底薄膜 40 的上面，將外部端子 33 形成於底薄膜 40 的下面。在此情況，亦導電路 12 僅形成於底薄膜 40。

【0050】 又，如第 12 圖之第 3 變形例所示，亦可將凸塊 44 形成於蓋薄膜 70 的下面，將外部端子 33 形成於蓋框架 60 的上面。在此情況，導電路 12 形成於蓋薄膜 70 與蓋框架 60。此外，雖未特別圖示，在本例，亦可按照與第 10 圖或第 11 圖相同的要領，將外部端子 33 形成於蓋薄膜 70 的下面或上面。

【0051】 又，如第 13 圖之第 4 變形例所示，亦可將凸塊 44 形成於蓋薄膜 70 的下面，將外部端子 33 形成於底框架 30 的下面。在此情況，導電路 12 形成於蓋薄膜 70、底薄膜 40 及底框架 30。

【0052】 進而，在晶片 90 在上面及下面之雙方具有電極墊 91 的情況，如第 14 圖之第 5 變形例所示，亦可將凸塊 44 形成於底薄膜 40 及蓋薄膜 70 之雙方，而且將外部端子 33 形成於底框架 30 及蓋框架 60 之雙方。

【0053】 此外，如第 12 圖~第 14 圖之第 3~第 5 變形例所示，在將凸塊 44 形成於蓋薄膜 70 的情況，將上述的第 1 區域及第 2 區域形成於該蓋薄膜 70。

【0054】 以上所說明之測試用載具 10 係如以下所示組立。

【0055】 即，首先，在將電極墊 91 與凸塊 44 對準之狀態，將晶片 90 載置於底部構件 20 之底薄膜 40 上。

【0056】 接著，在降壓至比大氣壓更低之環境下，將蓋構件 50 重疊於底部構件 20 之上，並將晶片 90 夾入底部構件 20 與蓋構件 50 之間。此時，以底部構件 20 之底薄膜 40 與蓋構件 50 之蓋薄膜 70 直接接觸的方式將蓋構件 50 重疊於底部構件 20 上。

【0057】 順便地，在晶片 90 比較厚的情況，如第 15 圖之第 6 變形例所示，亦可以底框架 30 與蓋框架 60 直接接觸的方式將蓋構件 50 重疊於底部構件 20。

【0058】 接著，在仍然將晶片 90 夾入底部構件 20 與蓋構件 50 之間的狀態，藉由使測試用載具 10 恢復至大氣壓環境，而將晶片 90 固持於形成於底部構件 20 與蓋構件 50 之間的收容空間 11(參照第 3 圖)內。

【0059】 此外，晶片 90 的電極墊 91 與底薄膜 40 的凸塊 44 係未以焊劑等固定。在本實施形態，因為收容空間 11 成為比大氣壓負壓，所以藉底薄膜 40 與蓋薄膜 70 推壓晶片 90，而晶片 90 的電極墊 91 與底薄膜 40 的凸塊 44 彼此接觸。

【0060】 此外，如第 3 圖所示，亦可底部構件 20 與蓋構件 50 係為了防止位置偏移而且提高密閉性，而藉黏著部 80 彼此固定。作為構成該黏著部 80 的黏著劑 81，例如可列舉紫外線硬化式黏著劑。

【0061】 該黏著劑 81 係如第 2 圖及第 4 圖~第 5 圖所示，在底部構件 20 塗布於與蓋構件 50 之外周部對應的位置，在將蓋構件 50 蓋在底部構件 20 後照射紫外線，使該黏著劑 81 硬化，藉此，形成黏著部 80。

【0062】 此外，在藉由以黏著部 80 黏貼底部構件 20 與蓋構件 50 後，從外部推壓測試用載具 10，而使晶片 90 的電極墊 91 與凸塊 44 接觸的情況，亦可不對收容空間 11 降壓。

【0063】 如以上所示，在本實施形態，因為藉第 2 區域 40b，可防止底薄膜 40 爬上晶片 90 的邊緣 92，所以可抑制接觸不良之發生。

【0064】 又，在本實施形態，因為藉第 1 區域 40a，可抑制底薄膜 40 之伸長或起伏的發生，所以可確保凸塊 44 的位置精度。

進而，在本實施形態，因為第 2 區域 40b 與晶片 90 之全部的電極墊 91 相對向，所以可吸收晶片 90 的翹曲或凸塊 44 的高度不均。

【0065】 此外，以上所說明的實施形態係為了易於理解本發明所記載，不是為了限定本發明所記載。因此，在上述之實施形態所揭示的各元件係亦包含屬於本發明之技術性範圍之全部的設計變更或對等物的主旨。

【符號說明】

【0066】

- 10 測試用載具
- 11 收容空間
- 12 導電路
- 20 底部構件
- 30 底框架
- 31 中央開口