

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5415104号
(P5415104)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月22日(2013.11.22)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 D

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 7 C

G O 2 F 1/1368 (2006.01)

H O 1 L 29/78 6 1 6 K

G O 2 F 1/1368

請求項の数 7 (全 44 頁)

(21) 出願番号 特願2009-43480 (P2009-43480)
 (22) 出願日 平成21年2月26日(2009.2.26)
 (65) 公開番号 特開2009-231828 (P2009-231828A)
 (43) 公開日 平成21年10月8日(2009.10.8)
 審査請求日 平成23年12月19日(2011.12.19)
 (31) 優先権主張番号 特願2008-43856 (P2008-43856)
 (32) 優先日 平成20年2月26日(2008.2.26)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 溝口 隆文
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 三上 真弓
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 齋藤 祐美子
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 大橋 達也

最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の導電膜、第1の絶縁膜、第1の半導体膜、第2の半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に、凹部を有する第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記第1の半導体膜、前記第2の半導体膜及び前記第2の導電膜に第1のエッチングを行って前記第1の導電膜の一部を露出させ、

前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行って第1の電極層と、前記第1の電極層とは分断された第2の電極層と、を形成し、

前記第1のレジストマスクを後退させて、第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて、前記第2の導電膜、前記第2の半導体膜及び前記第1の半導体膜の一部に第3のエッチングを行って第1の半導体領域と、第1の半導体領域上の第2の半導体領域及び第3の半導体領域と、第3の電極層と、第4の電極層と、を形成することでトランジスタを形成し、

前記第2のレジストマスクを除去し、

前記トランジスタ上に第2の絶縁膜を形成し、

前記第2の絶縁膜に開口部を形成して、前記第3の電極層又は第4の電極層の一部を露出させ、

前記開口部及び前記第2の絶縁膜上に画素電極を選択的に形成し、

10

20

前記第 1 の電極層は、前記トランジスタのゲート電極として機能する領域を有し、
前記第 3 の電極層又は前記第 4 の電極層は、前記第 2 の電極層と重なる領域を有するこ
とを特徴とする表示装置の作製方法。

【請求項 2】

請求項 1 において、

前記第 1 のレジストマスクは多階調マスクを用いて形成することを特徴とする表示装置の作製方法。

【請求項 3】

第 1 の導電膜、第 1 の絶縁膜、第 1 の半導体膜、第 2 の半導体膜及び第 2 の導電膜を順に積層して形成し、

前記第 2 の導電膜上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて、前記第 1 の絶縁膜、前記第 1 の半導体膜、前記第 2 の半導体膜及び前記第 2 の導電膜に第 1 のエッチングを行って前記第 1 の導電膜の一部を露出させ、

前記第 1 の導電膜の一部にサイドエッチングを伴う第 2 のエッチングを行って第 1 の電極層と、前記第 1 の電極層とは分断された第 2 の電極層と、を形成し、

前記第 1 のレジストマスクを除去し、

前記第 2 の導電膜上に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクを用いて前記第 2 の導電膜、前記第 2 の半導体膜及び前記第 1 の半導体膜の一部に第 3 のエッチングを行って第 1 の半導体領域と、第 1 の半導体領域上の第 2 の半導体領域及び第 3 の半導体領域と、第 3 の電極層と、第 4 の電極層と、を形成することでトランジスタを形成し、

前記第 2 のレジストマスクを除去し、

前記トランジスタ上に第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜に開口部を形成して、前記第 3 の電極層又は第 4 の電極層の一部を露出させ、

前記開口部及び前記第 2 の絶縁膜上に画素電極を選択的に形成し、

前記第 1 の電極層は、前記トランジスタのゲート電極として機能する領域を有し、

前記第 3 の電極層又は前記第 4 の電極層は、前記第 2 の電極層と重なる領域を有するこ
とを特徴とする表示装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、

前記第 2 の電極層は、前記開口部と重なる領域を有することを特徴とする表示装置の作製方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記第 1 のエッチングはドライエッチングであり、

前記第 2 のエッチングはウエットエッチングであることを特徴とする表示装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、

前記第 2 の絶縁膜は、CVD 法又はスパッタリング法により形成される絶縁膜と、スピコンコート法により形成される絶縁膜と、を積層して形成することを特徴とする表示装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記第 2 の半導体膜は、一導電性を付与する不純物元素を含む半導体膜を有することを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、表示装置の作製方法に関する。

【 背景技術 】

【 0 0 0 2 】

近年、ガラス基板等の絶縁性表面を有する基板上に形成された、厚さ数 nm ~ 数百 nm 程度の半導体薄膜により構成される薄膜トランジスタが注目されている。薄膜トランジスタは、IC (Integrated Circuit) 及び電気光学装置を始めとした電子デバイスに広く応用されている。薄膜トランジスタは、特に液晶表示装置又は EL (Electro Luminescence) 表示装置等に代表される、表示装置のスイッチング素子として開発が急がれている。アクティブマトリクス型液晶表示装置では、選択されたスイッチング素子に接続された画素電極と、該画素電極に対応する対向電極と、の間に電圧が印加されることにより、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。ここで、アクティブマトリクス型液晶表示装置とは、マトリクス状に配置された画素電極をスイッチング素子により駆動することによって、画面上に表示パターンが形成される方式を採用した液晶表示装置をいう。

10

【 0 0 0 3 】

上記のようなアクティブマトリクス型液晶表示装置の用途は拡大しており、画面サイズの大面積化、高精細化及び高開口率化の要求が高まっている。また、アクティブマトリクス型液晶表示装置には高い信頼性が求められ、その生産方法には高い生産性及び生産コストの低減が求められる。生産性を高め、生産コストを低減する方法の一つに、工程の簡略化が挙げられる。

20

【 0 0 0 4 】

アクティブマトリクス型液晶表示装置では、スイッチング素子として主に薄膜トランジスタが用いられている。薄膜トランジスタの作製において、フォトリソグラフィに用いるフォトマスクの枚数を削減することは、工程の簡略化のために重要である。例えばフォトマスクが一枚増加すると、レジスト塗布、プリベーク、露光、現像、ポストベーク等の工程と、その前後の工程において、被膜の形成及びエッチング工程、更にはレジスト剥離、洗浄及び乾燥工程等が必要になる。そのため、作製工程に使用するフォトマスクが一枚増加するだけで、工程数が大幅に増加する。作製工程におけるフォトマスクを低減するために、数多くの技術開発がなされている。

30

【 0 0 0 5 】

薄膜トランジスタは、チャネル形成領域がゲート電極より下層に設けられるトップゲート型と、チャネル形成領域がゲート電極より上層に設けられるボトムゲート型とに大別される。ボトムゲート型薄膜トランジスタの作製工程において使用されるフォトマスク数は、トップゲート型薄膜トランジスタの作製工程において使用されるフォトマスク数よりも少ないことが知られている。ボトムゲート型薄膜トランジスタは、3枚のフォトマスクにより作製されることが一般的である。

【 0 0 0 6 】

また、フォトマスクの枚数を低減させる従来の技術としては、裏面露光、レジストリフロー又はリフトオフ法といった複雑な技術を用いるものが多く、特殊な装置を必要とするものが多い。このような複雑な技術を用いることで、これに起因する様々な問題が生じ、歩留まり低下の一因になっている。また、薄膜トランジスタの電気的特性を犠牲にせざるを得ないことも多い。

40

【 0 0 0 7 】

薄膜トランジスタの作製工程における、フォトマスクの枚数を減らすための代表的な手段として、多階調マスク (ハーフトーンマスク又はグレートーンマスクと呼ばれるもの) を用いた技術が広く知られている。多階調マスクを用いて作製工程を低減する技術として、例えば特許文献 1 が挙げられる。多階調マスクを用いることで、ボトムゲート型薄膜トランジスタを2枚のフォトマスクにより作製することができる。

50

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2003-179069号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、上記した多階調マスクを用いてボトムゲート型薄膜トランジスタを作製する場合であっても、ゲート電極層のパターニングに1枚のフォトマスクを費やさねばならず、これ以上フォトマスクの枚数を減らすことは困難であり、ボトムゲート型薄膜トランジスタの作製には、少なくとも2枚のフォトマスクを要する。

10

【0010】

そこで、本発明の一態様は、ゲート電極層のパターニングに新たなフォトマスクを用いることなく作製することのできる薄膜トランジスタの作製方法を提供することを課題とする。また、複雑な技術を用いることなく、薄膜トランジスタの作製に用いるフォトマスクの枚数を従来よりも少なくすることを課題とする。

【0011】

上記の作製方法は、表示装置の画素に設けられる薄膜トランジスタに適用することが特に好ましい。従って、本発明の一態様は、従来よりもフォトマスクの枚数が少なく、歩留まり及び信頼性の高い表示装置の作製方法を提供することを課題とする。

20

【課題を解決するための手段】

【0012】

本発明の一態様である薄膜トランジスタの作製方法では、第1の導電膜と、該第1の導電膜上に絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜をこの順に積層した薄膜積層体と、を形成し、第1のエッチングにより前記第1の導電膜を露出させつつ、少なくとも前記薄膜積層体のパターンを形成し、第2のエッチングにより第1の導電膜のパターンを形成する。ここで、第2のエッチングは、第1の導電膜が選択的にサイドエッチングされる条件により行う。

【0013】

ここで、第1のエッチングは、ドライエッチング又はウエットエッチングのいずれかを用いればよいが、異方性の高いエッチング（物理的エッチング）法により行うことが好ましい。第1のエッチングに異方性の高いエッチング法を用いることで、パターンの加工精度を向上させることができる。なお、第1のエッチングをドライエッチングにより行う場合には、一の工程にて行うことが可能であるが、第1のエッチングをウエットエッチングにより行う場合には、複数の工程により第1のエッチングを行えばよい。従って、第1のエッチングには、ドライエッチングを用いることが好ましい。

30

【0014】

第2のエッチングは、ドライエッチング又はウエットエッチングのいずれかを用いればよいが、等方性のエッチングが支配的なエッチング法（化学的エッチング）により行うことが好ましい。第2のエッチングに等方性のエッチングが支配的なエッチング法（化学的エッチング）を用いることで、第1の導電膜をサイドエッチングすることができる。従って、第2のエッチングには、ウエットエッチングを用いることが好ましい。

40

【0015】

ここで、第2のエッチングは第1の導電膜のサイドエッチングを伴う条件により行うため、第1の導電膜は前記パターン形成された薄膜積層体よりも内側に後退する。従って、第2のエッチング後の第1の導電膜の側面は、パターン形成された薄膜積層体の側面よりも内側に存在する。更には、パターン形成された第1の導電膜の側面とパターン形成された薄膜積層体の側面との間隔は概ね等しいものとなる。

【0016】

なお、第1の導電膜のパターンとは、例えば、ゲート電極及びゲート配線並びに容量電

50

極及び容量配線を形成する金属配線の上面レイアウトをいう。

【 0 0 1 7 】

上記説明したように形成された薄膜トランジスタは、表示装置に適用することができるが、薄膜トランジスタが有するソース電極及びドレイン電極の一方と、画素電極とが接続される開口部の下方に空洞が設けられてしまうため、力学的なバランスをとることが難しく、歩留まりの低下及び信頼性の低下の一因となる。そこで、本発明の一態様を適用した表示装置では、この接続箇所の下方に支持部を設ける。

【 0 0 1 8 】

本発明の一態様は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行って前記第1の導電膜の少なくとも表面を露出させ、前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、前記第2の導電膜上に第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第2の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第2の絶縁膜に開口部を形成し、前記開口部及び前記第2の絶縁膜上に画素電極を選択的に形成し、前記開口部と重畳する領域には前記ゲート電極層からなる支持部が形成されていることを特徴とする表示装置の作製方法である。

【 0 0 1 9 】

本発明の一態様は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行って前記第1の導電膜の少なくとも表面を露出させ、前記第2の導電膜上に第2のレジストマスクを形成し、第2のレジストマスクの形成後に前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域、並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第2の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第2の絶縁膜に開口部を形成し、前記開口部及び前記第2の絶縁膜上に画素電極を選択的に形成し、前記開口部と重畳する領域には前記ゲート電極層からなる支持部が形成されていることを特徴とする表示装置の作製方法である。

【 0 0 2 0 】

本発明の一態様は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行って前記第1の導電膜の少なくとも表面を露出させ、前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域、並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第2の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第2の絶

縁膜に開口部を形成し、前記開口部及び前記第2の絶縁膜上に画素電極を選択的に形成し、前記開口部と重畳する領域には前記ゲート電極層からなる支持部が形成されていることを特徴とする表示装置の作製方法である。

【0021】

本発明の一態様は、第1の導電膜、第1の絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、前記第1のレジストマスクを用いて、前記第1の絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行って前記第1の導電膜の少なくとも表面を露出させ、前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、第2のレジストマスクの形成後に、前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極及びドレイン電極層、ソース領域及びドレイン領域並びに半導体層を形成することで薄膜トランジスタを形成し、前記第2のレジストマスクを除去し、前記薄膜トランジスタを覆って第2の絶縁膜を形成し、前記ソース電極及びドレイン電極層の一部を露出するように前記第2の絶縁膜に開口部を形成し、前記開口部及び前記第2の絶縁膜上に画素電極を選択的に形成し、前記開口部と重畳する領域には前記ゲート電極層からなる支持部が形成されていることを特徴とする表示装置の作製方法である。

【0022】

上記構成の表示装置の作製方法であって、第1のレジストマスクが凹部を有する場合には、前記第1のレジストマスクは多階調マスクを用いて形成することが好ましい。多階調マスクを用いることで、簡略な工程で凹部を有するレジストマスクを形成することができる。

【0023】

上記構成の表示装置の作製方法のいずれかを適用することで、前記第1のエッチングによって素子領域が形成され、前記第2のエッチングによって前記素子領域の側面から概ね等しい距離だけ内側にゲート電極層の側面を形成することができる。

【0024】

上記構成の第1のエッチング及び第2のエッチングを用いる表示装置の作製方法のいずれかにおいて、前記第1のエッチングはドライエッチングにより行い、前記第2のエッチングはウエットエッチングにより行うことが好ましい。第1のエッチングによる加工は高精度に行うことが好ましく、第2のエッチングによる加工はサイドエッチングを伴う必要がある。高精度な加工を行うためにはドライエッチングが好ましく、また、ウエットエッチングは化学反応を利用するためドライエッチングよりもサイドエッチングが生じやすいためである。

【0025】

上記構成の表示装置の作製方法のいずれかにおいて、前記第2の絶縁膜は、CVD法又はスパッタリング法により形成した絶縁膜と、スピンコート法により形成した絶縁膜と、を積層して形成することが好ましい。特に好ましくは窒化珪素膜をCVD法又はスパッタリング法により形成し、有機樹脂膜をスピンコート法により形成する。前記第2の絶縁膜をこのように形成することで、薄膜トランジスタの電気的特性に影響を及ぼしうる不純物元素等から薄膜トランジスタを保護し、且つ画素電極の被形成面の平坦性を向上させて歩留まりの低下を防止することができる。

【0026】

上記構成の表示装置の作製方法により作製した表示装置は、前記開口部と重畳する位置に前記ゲート電極層の一部を有する。このような位置にゲート電極層の一部を有することで、積層膜を支えることができ、自重により破壊されることを防止することができる。また、上記の薄膜トランジスタは、ゲート電極層の側面に接して空洞が設けられているものであるため、ゲート電極端部近傍を低誘電率化(low-k)できる。

【 0 0 2 7 】

なお、「膜」とは、全面に形成されたパターン形成されていないものをいい、「層」とは、レジストマスク等により所望の形状にパターン形成されたものをいう。しかし、積層膜の各層については、膜と層を特に区別することなく用いることがある。

【 0 0 2 8 】

なお、エッチングは「意図しないエッチング」が極力生じない条件により行うことが好ましい。

【 0 0 2 9 】

なお、「ゲート配線」とは、薄膜トランジスタのゲート電極に接続される配線をいう。ゲート配線は、ゲート電極層により形成される。また、ゲート配線は走査線と呼ばれることがある。

10

【 0 0 3 0 】

また、「ソース配線」とは、薄膜トランジスタのソース電極及びドレイン電極に接続される配線をいう。ソース配線は、ソース電極及びドレイン電極層により形成される。また、ソース配線は信号線と呼ばれることがある。

【 発明の効果 】

【 0 0 3 1 】

ゲート電極のパターン形成に新たなフォトマスクを必要とせず、薄膜トランジスタの作製工程数を大幅に削減することができる。更には、開示する発明により作製した薄膜トランジスタは表示装置に適用できるため、表示装置の作製工程を大幅に削減することもできる。

20

【 0 0 3 2 】

より具体的には、本発明の一態様により、フォトマスクの枚数を減らすことができる。一のフォトマスク（多階調マスク）を用いて薄膜トランジスタを作製することも可能である。従って、薄膜トランジスタ又は表示装置の作製工程数を大幅に削減することができる。

【 0 0 3 3 】

また、フォトマスクの枚数の低減を目的とした従来の技術とは異なり、裏面露光、レジストリフロー及びリフトオフ法等の複雑な工程を経る必要がない。そのため、薄膜トランジスタの歩留まりを低下させることなく作製工程数を大幅に削減することができ、表示装置の作製工程数を大幅に削減することができる。

30

【 0 0 3 4 】

また、フォトマスクの枚数の低減を目的とした従来の技術では、電気的特性を犠牲にせざるを得ないことも少なくなかったが、本発明の一態様では、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程数を大幅に削減することができる。

【 0 0 3 5 】

更には、上記効果により、作製コストを大幅に削減することができる。

【 0 0 3 6 】

上記効果に加えて、表示装置が有する薄膜トランジスタが力学的に安定なものとなるため、歩留まり及び信頼性を低下させることなく、表示装置の作製工程が簡略化する。

40

【 0 0 3 7 】

なお、本発明の一態様により作製した薄膜トランジスタは、ゲート電極層端部に接して空洞を有するため、ゲート電極とドレイン電極との間に生じるリーク電流が小さいものとなる。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【 図 2 】 薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【 図 3 】 薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

【 図 4 】 薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。

50

- 【図5】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図6】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図7】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図8】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図9】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図10】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図11】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図12】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図13】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図14】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図15】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図16】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図17】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図18】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図19】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図20】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図21】薄クティブマトリクス基板の接続部を説明する図。
【図22】薄クティブマトリクス基板の接続部を説明する図。
【図23】薄クティブマトリクス基板の接続部を説明する図。
【図24】薄階調マスクを説明する図。
【図25】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図26】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図27】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図28】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図29】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図30】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図31】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図32】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図33】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図34】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図35】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図36】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図37】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図38】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図39】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図40】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図41】薄膜トランジスタ及び表示装置の作製方法の一例を説明する図。
【図42】電子機器を説明する斜視図。
【図43】電子機器を説明する図。
【図44】電子機器を説明する図。
【発明を実施するための形態】
【0039】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。また、便宜上、絶縁膜は上面図には表さない場合がある。

【0040】

10

20

30

40

50

(実施の形態 1)

本実施の形態では、薄膜トランジスタの作製方法及び該薄膜トランジスタがマトリクス状に配置された表示装置の作製方法の一例について、図 1 乃至図 27 を参照して説明する。

【0041】

なお、図 16 乃至図 20 には本実施の形態に係る薄膜トランジスタの上面図を示し、図 20 は画素電極まで形成した完成図である。図 1 乃至図 3 は、図 16 乃至図 20 に示す A - A' における断面図である。図 4 乃至図 6 は、図 16 乃至図 20 に示す B - B' における断面図である。図 7 乃至図 9 は、図 16 乃至図 20 に示す C - C' における断面図である。図 10 乃至図 12 は、図 16 乃至図 20 に示す D - D' における断面図である。図 13 乃至図 15 は、図 16 乃至図 20 に示す E - E' における断面図である。

10

【0042】

まず、基板 100 上に第 1 の導電膜 102、第 1 の絶縁膜 104、半導体膜 106、不純物半導体膜 108 及び第 2 の導電膜 110 を形成する。これらの膜は、単層で形成してもよいし、複数の膜を積層した積層膜であってもよい。

【0043】

基板 100 は、絶縁性基板である。基板 100 としては、ガラス基板又は石英基板を用いることができる。本実施の形態においては、ガラス基板を用いる。

【0044】

第 1 の導電膜 102 は、導電性材料により形成する。第 1 の導電膜 102 は、例えばチタン、モリブデン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、ニオブ若しくはスカンジウム等の金属又はこれらを主成分とする合金等の導電性材料を用いて形成することができる。ただし、後の工程（第 1 の絶縁膜 104 の形成等）に耐えうる程度の耐熱性は必要であり、後の工程（第 2 の導電膜 110 のエッチング等）で食刻又は腐食されない材料を選択することを要する。この限りにおいて、第 1 の導電膜 102 は特定の材料に限定されるものではない。

20

【0045】

なお、第 1 の導電膜 102 は、例えばスパッタリング法又は CVD 法（熱 CVD 法又はプラズマ CVD 法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

30

【0046】

また、第 1 の絶縁膜 104 は、ゲート絶縁膜として機能するものである。

【0047】

第 1 の絶縁膜 104 は、絶縁性材料により形成する。第 1 の絶縁膜 104 は、例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜又は窒化酸化シリコン膜等を用いて形成することができる。ただし、第 1 の導電膜 102 と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。この限りにおいて、第 1 の絶縁膜 104 は特定の材料に限定されるものではない。

【0048】

なお、第 1 の絶縁膜 104 は、例えば CVD 法（熱 CVD 法又はプラズマ CVD 法等を含む）又はスパッタリング法等により形成することができるが、特定の方法に限定されるものではない。

40

【0049】

半導体膜 106 は、半導体材料により形成する。半導体膜 106 は、例えば、シランガスにより形成される非晶質シリコン等を用いて形成することができる。ただし、第 1 の導電膜 102 等と同様に、耐熱性が必要であり、後の工程にて食刻又は腐食されない材料を選択することを要する。この限りにおいて、半導体膜 106 は特定の材料に限定されるものではない。従って、ゲルマニウムを用いても良い。なお、半導体膜 106 の結晶性についても特に限定されない。

【0050】

50

なお、半導体膜 106 は、例えば CVD 法（熱 CVD 法又はプラズマ CVD 法等を含む）又はスパッタリング法等により形成することができる。ただし、特定の方法に限定されるものではない。

【0051】

不純物半導体膜 108 は、一導電性を付与する不純物元素を含む半導体膜であり、一導電性を付与する不純物元素が添加された半導体形成のための材料ガス等により形成される。例えば、フォスフィン（化学式： PH_3 ）又はジボラン（化学式： B_2H_6 ）を含むシランガスにより形成される、リン又はボロンを含むシリコン膜である。ただし、第 1 の導電膜 102 等と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。この限りにおいて、不純物半導体膜 108 は、特定の材料に限定されるものではない。なお、不純物半導体膜 108 の結晶性についても特に限定されるものではない。

10

【0052】

なお、n 型の薄膜トランジスタを作製する場合には、添加する一導電性を付与する不純物元素として、リン又はヒ素等を用いればよい。すなわち、形成に用いるシランガスにはフォスフィン又はアルシン（化学式： AsH_3 ）等を所望の濃度で含ませればよい。または、p 型の薄膜トランジスタを作製する場合には、一導電性を付与する不純物元素として、ボロン等を添加すればよい。すなわち、形成に用いるシランガスにはジボラン等を所望の濃度で含ませればよい。

【0053】

なお、不純物半導体膜 108 は、例えば CVD 法（熱 CVD 法又はプラズマ CVD 法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

20

【0054】

第 2 の導電膜 110 は、導電性材料（第 1 の導電膜 102 として列挙した材料等）であって、第 1 の導電膜 102 とは異なる材料により形成する。ここで、「異なる材料」とは、主成分が異なる材料をいう。具体的には、後に説明する第 2 のエッチングによりエッチングされにくい材料を選択すればよい。また、第 1 の導電膜 102 等と同様に、耐熱性が必要であり、後の工程で食刻又は腐食されない材料を選択することを要する。従って、この限りにおいて、第 2 の導電膜 110 は特定の材料に限定されるものではない。

30

【0055】

なお、第 2 の導電膜 110 は、例えばスパッタリング法又は CVD 法（熱 CVD 法又はプラズマ CVD 法等を含む）等により形成することができる。ただし、特定の方法に限定されるものではない。

【0056】

次に、第 2 の導電膜 110 上に第 1 のレジストマスク 112 を形成する（図 1（A）、図 4（A）、図 7（A）、図 10（A）、図 13（A）を参照）。第 1 のレジストマスク 112 は凹部又は凸部を有するレジストマスクである。換言すると、厚さの異なる複数の領域（ここでは、二の領域）からなるレジストマスクともいうことができる。第 1 のレジストマスク 112 において、厚い領域を第 1 のレジストマスク 112 の凸部と呼び、薄い領域を第 1 のレジストマスク 112 の凹部と呼ぶこととする。

40

【0057】

第 1 のレジストマスク 112 において、ソース電極及びドレイン電極層 120 が形成される領域には凸部が形成され、ソース電極及びドレイン電極層 120 を有さず半導体層が露出して形成される領域には凹部が形成される。

【0058】

第 1 のレジストマスク 112 は、一般的な多階調マスクを用いることで形成することができる。ここで、多階調マスクについて図 24 を参照して以下に説明する。

【0059】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクをいい、代表的には

50

、露光領域、半露光領域及び未露光領域の３段階の光量で露光を行うものがある。多階調マスクを用いることで、一度の露光及び現像工程によって、複数（代表的には二種類）の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

【００６０】

図２４（Ａ－１）及び図２４（Ｂ－１）は、代表的な多階調マスクの断面図を示す。図２４（Ａ－１）にはグレートーンマスク１４０を示し、図２４（Ｂ－１）にはハーフトーンマスク１４５を示す。

【００６１】

図２４（Ａ－１）に示すグレートーンマスク１４０は、透光性を有する基板１４１上に遮光膜により形成された遮光部１４２、及び遮光膜のパターンにより設けられた回折格子部１４３で構成されている。

【００６２】

回折格子部１４３は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドット又はメッシュ等を有することで、光の透過率を制御する。なお、回折格子部１４３に設けられるスリット、ドット又はメッシュは周期的なものであってもよいし、非周期的なものであってもよい。

【００６３】

透光性を有する基板１４１としては、石英等を用いることができる。遮光部１４２及び回折格子部１４３を構成する遮光膜は、金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

【００６４】

グレートーンマスク１４０に露光するための光を照射した場合、図２４（Ａ－２）に示すように、遮光部１４２に重畳する領域における透光率は０％となり、遮光部１４２又は回折格子部１４３が設けられていない領域における透光率は１００％となる。また、回折格子部１４３における透光率は、概ね１０～７０％の範囲であり、回折格子のスリット、ドット又はメッシュの間隔等により調整可能である。

【００６５】

図２４（Ｂ－１）に示すハーフトーンマスク１４５は、透光性を有する基板１４６上に半透光膜により形成された半透光部１４７、及び遮光膜により形成された遮光部１４８で構成されている。

【００６６】

半透光部１４７は、 MoSiN 、 MoSi 、 MoSiO 、 MoSiON 、 CrSi 等の膜を用いて形成することができる。遮光部１４８は、グレートーンマスクの遮光膜と同様の金属膜を用いて形成すればよく、好ましくはクロム又は酸化クロム等により設けられる。

【００６７】

ハーフトーンマスク１４５に露光するための光を照射した場合、図２４（Ｂ－２）に示すように、遮光部１４８に重畳する領域における透光率は０％となり、遮光部１４８又は半透光部１４７が設けられていない領域における透光率は１００％となる。また、半透光部１４７における透光率は、概ね１０～７０％の範囲であり、形成する材料の種類又は形成する膜厚等により、調整可能である。

【００６８】

多階調マスクを用いて露光して現像を行うことで、膜厚の異なる領域を有する第１のレジストマスク１１２を形成することができる。

【００６９】

次に、第１のレジストマスク１１２を用いて第１のエッチングを行う。すなわち、第１の絶縁膜１０４、半導体膜１０６、不純物半導体膜１０８及び第２の導電膜１１０をエッチングによりパターニングし、薄膜積層体１１４を形成する（図１（Ｂ）、図４（Ｂ）、図７（Ｂ）、図１０（Ｂ）、図１３（Ｂ）、図１６を参照）。このとき、少なくとも第１

10

20

30

40

50

の導電膜 102 の表面を露出させることが好ましい。本明細書において、このエッチング工程を第 1 のエッチングとよぶ。第 1 のエッチングは、ドライエッチング又はウエットエッチングのいずれかを用いればよい。なお、第 1 のエッチングをドライエッチングにより行う場合には一の工程にて行うことが可能であるが、第 1 のエッチングをウエットエッチングにより行う場合には複数の工程により第 1 のエッチングを行うと良い。ウエットエッチングでは、被エッチング膜の種類によってエッチングレートが異なり、一の工程にて行うことが困難だからである。

【0070】

ここで、第 1 のエッチングは、次のような条件により行えばよい。例えば、第 1 の導電膜 102 が厚さ 150 nm のモリブデン膜であり、第 1 の絶縁膜 104 が厚さ 300 nm の窒化シリコン膜であり、半導体膜 106 が厚さ 150 nm の非晶質シリコン膜であり、不純物半導体膜 108 が厚さ 50 nm のリンを含む非晶質シリコン膜であり、第 2 の導電膜 110 が厚さ 300 nm のタングステン膜である場合には、次のように 3 段階のドライエッチングにより第 1 のエッチングを行う。まず、 Cl_2 ガスと CF_4 ガスと O_2 ガスの混合ガスの流量を 40 sccm : 40 sccm : 20 sccm とし、チャンバー内の圧力を 13.3 Pa とし、500 W の RF 電力を 260 秒間供給してエッチングを行う。次に、 Cl_2 ガスのみを用いて流量を 100 sccm とし、チャンバー内の圧力を 13.3 Pa とし、500 W の RF 電力を 240 秒間供給してエッチングを行う。最後に、 CHF_3 ガスのみを用いて流量を 100 sccm とし、チャンバー内の圧力を 13.3 Pa とし、1000 W の RF 電力を 400 秒間供給し、その後 200 秒間供給し、その後更に 400 秒間供給する。このようにして第 1 のエッチングを行うことができる。

【0071】

次に、第 1 のレジストマスク 112 を用いて第 2 のエッチングを行う。すなわち、第 1 の導電膜 102 をエッチングによりパターンニングし、ゲート電極層 116 を形成する（図 1 (C)、図 4 (C)、図 7 (C)、図 10 (C)、図 13 (C)、図 17 を参照）。本明細書において、このエッチング工程を第 2 のエッチングとよぶ。

【0072】

なお、ゲート電極層 116 は、薄膜トランジスタのゲート電極、ゲート配線、容量素子の一方の電極、容量配線及び支持部を構成しているが、ゲート電極層 116 A と表記する場合には薄膜トランジスタのゲート電極とゲート配線を構成するゲート電極層を指し、ゲート電極層 116 B、ゲート電極層 116 D 又はゲート電極層 116 E と表記する場合には支持部を構成するゲート電極層を指し、ゲート電極層 116 C と表記する場合には容量素子の一方の電極と容量配線を構成するゲート電極層を指す。そして、これらを総括してゲート電極層 116 と呼ぶ。

【0073】

第 2 のエッチングは、第 1 の導電膜 102 により形成されるゲート電極層 116 の側面が、薄膜積層体 114 の側面より内側に形成されるエッチング条件により行う。換言すると、ゲート電極層 116 の側面が、薄膜積層体 114 の底面に接して形成されるようにエッチングを行う（図 16 乃至図 20 における A - A' 断面においてゲート電極層 116 の幅が薄膜積層体 114 の幅より小さくなるようにエッチングを行う）。更には、第 2 の導電膜 110 に対するエッチングレートが小さく、且つ第 1 の導電膜 102 に対するエッチングレートが大きい条件により行う。換言すると、第 2 の導電膜 110 に対する第 1 の導電膜 102 のエッチング選択比が大きい条件により行う。このような条件により第 2 のエッチングを行うことで、ゲート電極層 116 を形成することができる。

【0074】

なお、ゲート電極層 116 の側面の形状は特に限定されない。例えば、テーパ形状であっても良い。ゲート電極層 116 の側面の形状は、第 2 のエッチングにおいて用いる薬液等の条件によって決められるものである。

【0075】

ここで、「第 2 の導電膜 110 に対するエッチングレートが小さく、且つ第 1 の導電膜

10

20

30

40

50

102に対するエッチングレートが大きい条件」、又は「第2の導電膜110に対する第1の導電膜102のエッチング選択比が大きい条件」とは、以下の第1の要件及び第2の要件を満たすものをいう。

【0076】

第1の要件は、ゲート電極層116が必要な箇所に残存することである。ゲート電極層116の必要な箇所とは、図17乃至図20に点線で示される領域をいう。すなわち、第2のエッチング後に、ゲート電極層116がゲート配線、容量配線及び支持部を構成するように残存することが必要である。ゲート電極層がゲート配線及び容量配線を構成するためには、これらの配線が断線しないように第2のエッチングを行う必要がある。図1及び図20に示されるように、薄膜積層体114の側面から間隔 d_1 だけ内側にゲート電極層116の側面が形成されることが好ましく、間隔 d_1 は実施者がレイアウトに従って適宜設定すればよい。

10

【0077】

第2の要件は、ゲート電極層116により構成されるゲート配線及び容量配線の幅 d_3 、並びにソース電極及びドレイン電極層120Aにより構成されるソース配線の最小幅 d_2 が適切なものとなることである（図20を参照）。第2のエッチングによりソース電極及びドレイン電極層120Aがエッチングされるとソース配線の最小幅 d_2 が小さくなり、ソース配線の電流密度が過大となり、電気的特性が低下するためである。そのため、第2のエッチングは、第1の導電膜102のエッチングレートが過大にならず、且つ第2の導電膜110のエッチングレートが可能な限り小さい条件で行う。

20

【0078】

また、ソース配線の最小幅 d_2 は大きくすることが困難である。ソース配線の最小幅 d_2 はソース配線と重畳する半導体層の最小幅 d_4 により決まり、ソース配線の最小幅 d_2 を大きくするためには半導体層の最小幅 d_4 を大きくせねばならず、隣接するゲート配線と容量配線とを絶縁させることが困難になるためである。そこで、半導体層の最小幅 d_4 は、前記した間隔 d_1 の概ね2倍よりも小さくする。換言すると、間隔 d_1 は半導体層の最小幅 d_4 の約半分よりも大きくする。

【0079】

なお、ソース配線と重畳する半導体層の幅を最小幅 d_4 とする部分は、ゲート配線と、該ゲート配線と互いに隣接する容量配線との間に少なくとも一箇所あればよい。好ましくは、図20に示すように、ゲート配線に隣接する領域及び容量配線に隣接する領域の半導体層の幅を最小幅 d_4 とすればよい。

30

【0080】

なお、ソース電極及びドレイン電極層により形成される、画素電極層と接続される部分の電極の幅はソース配線の最小幅 d_2 とすることが好ましい。

【0081】

上記説明したように、サイドエッチングを伴う条件により第2のエッチングを行うことは非常に重要である。第2のエッチングが第1の導電膜102のサイドエッチングを伴うことによって、ゲート電極層116により構成される、隣接するゲート配線と容量配線とを絶縁させることができるためである（図17を参照）。

40

【0082】

ここで、サイドエッチングとは、被エッチング膜の厚さ方向（基板面に垂直な方向又は被エッチング膜の下地膜の面に垂直な方向）のみならず、厚さ方向に対して垂直な方向（基板面に平行な方向又は被エッチング膜の下地膜の面に平行な方向）にも被エッチング膜が削られるエッチングをいう。サイドエッチングされた被エッチング膜の端部は、被エッチング膜に対するエッチングガス又はエッチングに用いる薬液のエッチングレートによって様々な形状となるように形成されるが、端部が曲面を有するように形成されることが多い。

【0083】

なお、図17に示すように、第1のエッチングにより形成される薄膜積層体114は、

50

ゲート電極層 116B 及びゲート電極層 116D により構成される支持部に接する部分では細くなるように設計される（図 17 において両矢印で示す部分（ d_4 ）を参照）。このような構造とすることで、第 2 のエッチングによりゲート電極層 116A と、ゲート電極層 116B 又はゲート電極層 116D とを分断して絶縁させることができる。

【0084】

なお、図 17 に示すゲート電極層 116B 及びゲート電極層 116D は、薄膜積層体 114 を支える支持部として機能する。支持部を有することで、ゲート電極層より上に形成されるゲート絶縁膜等の膜剥がれを防止することができる。更には支持部を設けることで、第 2 のエッチングによりゲート電極層 116 に接して形成される、空洞の領域が必要以上に広くなることを防止できる。なお、支持部を設けることで、薄膜積層体 114 が自重によって破壊され、又は破損することをも防止でき、歩留まりが向上するため好ましい。特に、ゲート電極層 116E により構成される支持部を設けることで、薄膜トランジスタの力学的なバランスをとることができ、歩留まり及び信頼性を低下させることなく薄膜トランジスタの工程を簡略化することができる。

【0085】

以上説明したように、第 2 のエッチングは、ウエットエッチングにより行うことが好ましい。

【0086】

第 2 のエッチングをウエットエッチングによって行う場合、第 1 の導電膜 102 としてアルミニウム又はモリブデンを形成し、第 2 の導電膜 110 としてチタン又はタングステン

【0087】

第 2 のエッチングをウエットエッチングによって行う場合、最も好ましくは、第 1 の導電膜 102 としてネオジムを添加したアルミニウム上にモリブデンを形成した積層膜を形成し、第 2 の導電膜 110 としてタングステンを形成し、エッチングには硝酸を 2 %、酢酸を 10 %、リン酸を 72 % 含む薬液を用いる。このような組成の薬液を用いることで、第 2 の導電膜 110 がエッチングされることなく、第 1 の導電膜 102 がエッチングされる。なお、第 1 の導電膜 102 に添加したネオジムは、アルミニウムの低抵抗化とヒロック防止を目的として添加されたものである。

【0088】

なお、図 17 に示すように、上面から見たゲート電極層 116 は角（例えば、角 151）を有する。これは、ゲート電極層 116 を形成する第 2 のエッチングが概略等方的に進行するために、ゲート電極層 116 の側面と薄膜積層体 114 の側面との間隔 d_1 が概略等しくなるようにエッチングされるためである。

【0089】

次に、第 1 のレジストマスク 112 を後退させて、第 2 の導電膜 110 を露出させつつ、第 2 のレジストマスク 118 を形成する。第 1 のレジストマスク 112 を後退させて、第 2 のレジストマスク 118 を形成する手段としては、例えば酸素プラズマを用いたアッシングが挙げられる。しかし、第 1 のレジストマスク 112 を後退させて第 2 のレジストマスク 118 を形成する手段はこれに限定されるものではない。なお、ここでは第 2 のエッチングの後に第 2 のレジストマスク 118 を形成する場合について説明したが、これに限定されず、第 2 のレジストマスク 118 を形成した後に第 2 のエッチングを行ってもよい。

【0090】

次に、第 2 のレジストマスク 118 を用いて、薄膜積層体 114 における第 2 の導電膜 110 をエッチングし、ソース電極及びドレイン電極層 120 を形成する（図 2（D）、図 5（D）、図 8（D）、図 11（D）、図 14（D）、図 18 を参照）。ここでエッチ

ング条件は、第2の導電膜110以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層116の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

【0091】

なお、ソース電極及びドレイン電極層120は、ソース配線、薄膜トランジスタのソース電極若しくはドレイン電極（薄膜トランジスタと画素電極とを接続する電極を含む）及び保持容量として機能する容量素子の他方の電極を構成しているが、「ソース電極及びドレイン電極層120A」又は「ソース電極及びドレイン電極層120C」と表記する場合には、薄膜トランジスタのソース電極及びドレイン電極の一方と、ソース配線を構成する電極層を指し、「ソース電極及びドレイン電極層120B」と表記する場合には、薄膜トランジスタの薄膜トランジスタのソース電極及びドレイン電極の他方（薄膜トランジスタと画素電極とを接続する電極を含む）を構成する電極層を指し、「ソース電極及びドレイン電極層120D」と表記する場合には、容量素子の他方の電極を構成する電極層を指す。そして、これらを総括して「ソース電極及びドレイン電極層120」と呼ぶ。

10

【0092】

なお、薄膜積層体114における第2の導電膜110のエッチングは、ウエットエッチング又はドライエッチングのどちらを用いても良い。

【0093】

続いて、薄膜積層体114における不純物半導体膜108及び半導体膜106の上部（バックチャネル部）をエッチングして、ソース領域及びドレイン領域122を形成する（図2（E）、図5（E）、図8（E）、図11（E）、図14（E）、図19を参照）。ここでエッチング条件は、不純物半導体膜108及び半導体膜106以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層116の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

20

【0094】

なお、薄膜積層体114における不純物半導体膜108及び半導体膜106の上部（バックチャネル部）のエッチングはドライエッチング又はウエットエッチングにより行うことができる。

【0095】

その後、第2のレジストマスク118を除去し（図2（F）、図5（F）、図8（F）、図11（F）、図14（F）を参照）、薄膜トランジスタが完成する（図2（C）を参照）。上記説明したように、薄膜トランジスタを一枚のフォトマスク（多階調マスク）により作製することができる。

30

【0096】

なお、本明細書中において、上記の図2（D）及び図2（E）を参照して説明した工程を一括して第3のエッチングとよぶ。第3のエッチングは、上記説明したように、複数の段階に分けて行っても良いし、一括して行っても良い。

【0097】

以上のようにして形成した薄膜トランジスタを覆って第2の絶縁膜を形成する。ここで、第2の絶縁膜は、第1の保護膜126のみで形成しても良いが、第1の保護膜126と第2の保護膜128により形成する（図3（G）、図6（G）、図9（G）、図12（G）、図15（G）を参照）。第1の保護膜126は、第1の絶縁膜104と同様に形成すればよい。

40

【0098】

第2の保護膜128は、表面が概略平坦になる方法により形成する。第2の保護膜128の表面を概略平坦にすることで、第2の保護膜128上に形成される画素電極層132の断切れ等を防止することができるためである。従って、ここで「概略平坦」とは、上記目的を達成しうる程度のものではよく、高い平坦性が要求されるわけではない。

【0099】

なお、第2の保護膜128は、例えば、感光性ポリイミド、アクリル又はエポキシ樹脂

50

等により、スパインコーティング法等により形成することができる。ただし、これらの材料又は形成方法に限定されるものではない。

【0100】

次に、第2の絶縁膜に第1の開口部130及び第2の開口部131を形成する(図3(H)、図6(H)、図9(H)、図12(H)、図15(H)を参照)。第1の開口部130及び第2の開口部131は、ソース電極及びドレイン電極層の少なくとも表面に達するように形成する。第1の開口部130及び第2の開口部131の形成方法は、特定の方法に限定されず、第1の開口部130の径などに応じて実施者が適宜選択すればよい。例えば、フォトリソグラフィ法によりドライエッチングを行うことで第1の開口部130及び第2の開口部131を形成することができる。

10

【0101】

第1の開口部130の下には、ゲート電極層116Eが設けられている。ゲート電極層116Eを有することで、ソース電極及びドレイン電極層120B並びにソース電極及びドレイン電極層120Bと重畳する半導体層124等がたわみ、作製工程中又は使用時に破損し、又は破壊されることを防止することができる。従って、歩留まり及び信頼性を低下させることなく、表示装置の作製工程を簡略化することができる。

【0102】

なお、フォトリソグラフィ法によって開口部を形成することで、フォトマスクを一枚使用することになる。

【0103】

20

次に、第2の絶縁膜上に画素電極層132を形成する(図3(I)、図6(I)、図9(I)、図12(I)、図15(I)、図20を参照)。画素電極層132は、開口部を介してソース電極及びドレイン電極層120に接続されるように形成する。具体的には、画素電極層132は、第1の開口部130を介してソース電極及びドレイン電極層120Bに接続され、第2の開口部131を介してソース電極及びドレイン電極層120Dに接続されるように形成される。画素電極層132は、透光性を有する導電性材料により形成することが好ましい。ここで、透光性を有する導電性材料としては、インジウム錫酸化物(以下、ITOという)、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、又は酸化珪素を添加したインジウム錫酸化物等が挙げられる。透光性を有する導電性材料の膜の形成はスパッタリング法又はCVD法等により行えばよいが、特定の方法に限定されるものではない。また、画素電極層132についても単層で形成しても良いし、複数の膜を積層した積層膜としてもよい。

30

【0104】

なお、本実施の形態においては、画素電極層132のみに透光性を有する導電性材料を用いたが、これに限定されない。第1の導電膜102及び第2の導電膜110の材料として、透光性を有する導電性材料を用いることもできる。

【0105】

なお、フォトリソグラフィ法によって画素電極層132を形成することで、フォトマスクを一枚使用することになる。

40

【0106】

以上説明したように、本実施の形態に係るアクティブマトリクス基板の作製(所謂アレイ工程)が完了する。本実施の形態にて説明したように、サイドエッチングを利用してゲート電極層を形成し、更には多階調マスクを用いてソース電極及びドレイン電極層を形成することで、一枚のマスクによる薄膜トランジスタの作製が可能となる。

【0107】

上記の作製方法を適用して作製した薄膜トランジスタは、ゲート電極層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に半導体層を有し、前記半導体層上にソース領域及びドレイン領域を有し、前記ソース領域及びドレイン領域上にソース電極及びドレイン電極を有し、前記ゲート電極層の側面に接して空洞を有する構造となる(図3(I)を参照)。ゲ

50

ート電極層の側面に接して空洞を有するように形成することで、ゲート電極層端部におけるリーク電流の小さい薄膜トランジスタを作製することができる。

【 0 1 0 8 】

なお、上記の説明では第 1 のレジストマスクとして、凹部を有するレジストマスクを形成したが、これに限定されず、第 1 のレジストマスクを通常のフォトマスクにより形成しても良い。第 1 のレジストマスクの形成に多階調マスクを用いない場合について、図 2 5 乃至図 2 7 を参照して簡単に説明する。

【 0 1 0 9 】

なお、図 2 5、図 2 6 及び図 2 7 は、それぞれ図 1 6、図 1 7 及び図 1 8 に対応するものである。

10

【 0 1 1 0 】

まず、基板 1 0 0 上に第 1 の導電膜 1 0 2、第 1 の絶縁膜 1 0 4、半導体膜 1 0 6、不純物半導体膜 1 0 8 及び第 2 の導電膜 1 1 0 を形成し、第 2 の導電膜 1 1 0 上に第 1 のレジストマスク 1 7 0 を形成する。第 1 のレジストマスク 1 7 0 は、第 1 のレジストマスク 1 1 2 とは異なるものであり、凹部が設けられておらず、全面が概略同一の厚さとなるように形成されている。すなわち、第 1 のレジストマスク 1 7 0 は多階調マスクを用いることなく、通常のフォトマスクを用いて形成することができる。

【 0 1 1 1 】

次に、第 1 のレジストマスク 1 7 0 を用いて第 1 のエッチングを行う。すなわち、少なくとも第 1 の導電膜 1 0 2 の表面を露出させるように、第 1 の絶縁膜 1 0 4、半導体膜 1 0 6、不純物半導体膜 1 0 8 及び第 2 の導電膜 1 1 0 をエッチングによりパターニングし、第 1 の導電膜 1 0 2 上に薄膜積層体 1 1 4 を形成する（図 2 5 を参照）。

20

【 0 1 1 2 】

次に、第 2 のエッチングを行うことで、ゲート電極層 1 1 6 を形成する（図 2 6 を参照）。その後、第 1 のレジストマスク 1 7 0 を剥離等により除去する。

【 0 1 1 3 】

次に、薄膜積層体 1 1 4 上に第 2 のレジストマスク 1 7 1 を形成し、第 2 のレジストマスク 1 7 1 を用いてソース電極及びドレイン電極層 1 2 0 を形成する（図 2 7 を参照）。その他の工程は、多階調マスクを用いた場合の説明と同様である。

【 0 1 1 4 】

30

以上説明したように、多階調マスクを用いることなく薄膜トランジスタを作製することができる。ただし、使用するマスク数は、多階調マスクを用いる場合と比べて一枚多くなる。すなわち、二枚のフォトマスクを用いて薄膜トランジスタを作製することができる。この場合には、四枚のフォトマスクを用いて画素トランジスタを有するアクティブマトリクス基板を作製することができる。従って、用いるフォトマスクの枚数が低減されることから、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。更には、高い歩留まりで製造することができ、コストを低く抑えることも可能である。また、ゲート電極層 1 1 6 E により構成される支持部を有することで、薄膜トランジスタの力学的なバランスをとることができ、歩留まり及び信頼性を低下させることなく、薄膜トランジスタの作製工程を簡略化することができる。

40

【 0 1 1 5 】

ここで、上記の工程により作製したアクティブマトリクス基板の端子接続部について図 2 1 乃至図 2 3 を参照して説明する。

【 0 1 1 6 】

図 2 1 乃至図 2 3 は、上記の工程により作製した、アクティブマトリクス基板におけるゲート配線側の端子接続部及びソース配線側の端子接続部の上面図及び断面図を示す。

【 0 1 1 7 】

図 2 1 は、ゲート配線側の端子接続部及びソース配線側の端子接続部における、画素部から延伸したゲート配線及びソース配線の上面図を示す。

【 0 1 1 8 】

50

図 2 2 は、図 2 1 の X - X ' における断面図を示す。すなわち、図 2 2 は、ゲート配線側の端子接続部における断面図を示す。図 2 2 では、ゲート電極層 1 1 6 のみが露出されている。このゲート電極層 1 1 6 が露出された領域に、端子部が接続される。

【 0 1 1 9 】

図 2 3 は、図 2 1 の Y - Y ' における断面図を示す。すなわち、図 2 3 は、ソース配線側の端子接続部における断面図を示す。図 2 3 の Y - Y ' において、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 は画素電極層 1 3 2 を介して接続されている。図 2 3 にはゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 の様々な接続形態を示している。本実施の形態における表示装置の端子接続部には、これらのいずれを用いても良いし、図 2 3 に示すもの以外の接続形態を用いても良い。ソース電極及びドレイン電極層 1 2 0 をゲート電極層 1 1 6 に接続させることで、端子の接続部の高さを概ね等しくすることができる。

10

【 0 1 2 0 】

なお、開口部の数は図 2 3 に示す開口部の数に特に限定されない。一の端子に対して一の開口部を設けるのみならず、一の端子に対して複数の開口部を設けても良い。一の端子に対して複数の開口部を設けることで、開口部を形成するエッチング工程が不十分である等の理由で開口部が良好に形成されなかったとしても、他の開口部により電氣的接続を実現することができる。更には、全ての開口部が問題なく開口された場合であっても、接触面積を広くすることができるため、コンタクト抵抗を低減することができ、好ましい。

【 0 1 2 1 】

20

図 2 3 (A) では、第 1 の保護膜 1 2 6 及び第 2 の保護膜 1 2 8 の端部がエッチング等により除去され、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 とが露出され、この露出された領域に画素電極層 1 3 2 を形成することで電氣的な接続を実現している。図 2 1 に示す上面図は、図 2 3 (A) の上面図に相当する。

【 0 1 2 2 】

なお、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 とが露出された領域の形成は、第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 の形成と同時に行うことができる。

【 0 1 2 3 】

図 2 3 (B) では、第 1 の保護膜 1 2 6 及び第 2 の保護膜 1 2 8 に第 3 の開口部 1 6 0 A が設けられ、第 1 の保護膜 1 2 6 及び第 2 の保護膜 1 2 8 の端部がエッチング等により除去されることで、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 とが露出され、この露出された領域に画素電極層 1 3 2 を形成することで電氣的な接続を実現している。

30

【 0 1 2 4 】

なお、第 3 の開口部 1 6 0 A の形成、及びゲート電極層 1 1 6 が露出された領域の形成は、第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 の形成と同時に行うことができる。

【 0 1 2 5 】

図 2 3 (C) では、第 1 の保護膜 1 2 6 及び第 2 の保護膜 1 2 8 に第 3 の開口部 1 6 0 B 及び第 4 の開口部 1 6 1 が設けられることで、ゲート電極層 1 1 6 と、ソース電極及びドレイン電極層 1 2 0 とが露出され、この露出された領域に画素電極層 1 3 2 を形成することで電氣的な接続を実現している。ここで、図 2 3 (A) 及び (B) と同様に、第 1 の保護膜 1 2 6 及び第 2 の保護膜 1 2 8 の端部はエッチング等により除去されているが、この領域は端子の接続部として用いられる。

40

【 0 1 2 6 】

なお、第 3 の開口部 1 6 0 B 及び第 4 の開口部 1 6 1 の形成、並びにゲート電極層 1 1 6 が露出された領域の形成は、第 1 の開口部 1 3 0 及び第 2 の開口部 1 3 1 の形成と同時に行うことができる。

【 0 1 2 7 】

次に、上記で説明した工程により作製した、表示装置のアクティブマトリクス基板を用

50

いて液晶表示装置を作製する方法について説明する。すなわち、セル工程及びモジュール工程について説明する。ただし、本実施の形態に係る表示装置の作製方法において、セル工程及びモジュール工程は特に限定されない。

【0128】

セル工程では、上記した工程により作製したアクティブマトリクス基板と、これに対向する基板（以下、対向基板という）とを貼り合わせて液晶を注入する。まず、対向基板の作製方法について、以下に簡単に説明する。なお、特に説明しない場合であっても、対向基板上に形成する膜は単層でも良いし、積層して形成しても良い。

【0129】

まず、基板上に遮光層を形成し、遮光層上に赤、緑、青のいずれかのカラーフィルター層を形成し、カラーフィルター層上に画素電極層を選択的に形成し、画素電極層上にリブを形成する。なお、ここで基板としては基板100と同様のものを用いればよい。すなわち、ガラス基板を用いればよい。

【0130】

遮光層としては、遮光性を有する材料の膜を選択的に形成する。遮光性を有する材料としては、例えば、黒色樹脂（カーボンブラック）を含む有機樹脂を用いることができる。または、クロムを主成分とする材料膜の積層膜を用いても良い。クロムを主成分とする材料膜とは、クロム、酸化クロム又は窒化クロムをいう。遮光層に用いる材料は遮光性を有するものであれば特に限定されない。遮光性を有する材料の膜を選択的に形成するにはフォトリソグラフィ法等を用いる。

【0131】

カラーフィルター層は、バックライトから白色光が照射されると、赤、緑、青のいずれかの光のみを透過させることができる有機樹脂膜により選択的に形成すればよい。カラーフィルター層の形成は、形成時に塗り分けを行うことで、選択的に行うことができる。カラーフィルターの配列は、ストライプ配列、デルタ配列又は正方配列を用いればよい。

【0132】

対向基板の画素電極層は、アクティブマトリクス基板が有する画素電極層132と同様に形成することができる。ただし、選択的に形成する必要がないため、対向基板の全面に形成すればよい。

【0133】

画素電極上に形成するリブとは、視野角を拡げることを目的として形成される、パターン形成された有機樹脂膜である。なお、特に必要のない場合には形成しなくてもよい。

【0134】

なお、対向基板の作製方法としては、他にも様々な態様が考えられる。例えば、カラーフィルター層を形成後、画素電極層の形成前にオーバーコート層を形成しても良い。オーバーコート層を形成することで画素電極の被形成面の平坦性を向上させることができるため、歩留まりが向上する。また、カラーフィルター層に含まれる材料の一部が液晶材料中に侵入することを防ぐことができる。オーバーコート層には、アクリル樹脂又はエポキシ樹脂をベースとした熱硬化性材料が用いられる。

【0135】

また、リブの形成前又は形成後にスペーサとしてポストスペーサ（柱状スペーサ）を形成しても良い。ポストスペーサとは、アクティブマトリクス基板と対向基板との間のギャップを一定に保つことを目的として、対向基板上に一定の間隔で形成する構造物をいう。ビーズスペーサ（球状スペーサ）を用いる場合には、ポストスペーサを形成しなくても良い。

【0136】

次に、配向膜をアクティブマトリクス基板及び対向基板に形成する。配向膜の形成は、例えば、ポリイミド樹脂等を有機溶剤に溶かし、これを印刷法又はスピンコーティング法等により塗布し、有機溶媒を溜去した後基板を焼成することにより行う。形成される配向膜の膜厚は、一般に、約50nm以上100nm以下程度とする。配向膜には、液晶分子

10

20

30

40

50

がある一定のプレチルト角を持って配向するようにラビング処理を施す。ラビング処理は、例えば、ベルベット等の毛足の長い布により配向膜を擦ることで行う。

【 0 1 3 7 】

次に、アクティブマトリクス基板と、対向基板をシール材により貼り合わせる。対向基板にポストスペーサが設けられていない場合には、ビーズスペーサを所望の領域に分散させて貼り合わせるとよい。

【 0 1 3 8 】

次に、貼り合わせられたアクティブマトリクス基板と、対向基板との間に、滴下等により液晶材料を注入する。液晶材料を注入した後、注入口は紫外線硬化樹脂等で封止する。または、液晶材料をアクティブマトリクス基板と対向基板のいずれかの上に滴下した後に、これらの基板を貼り合わせても良い。

10

【 0 1 3 9 】

次に、アクティブマトリクス基板と対向基板とを貼り合わせた液晶セルの両面に偏光板を貼り付けてセル工程が完了する。

【 0 1 4 0 】

次に、モジュール工程として、端子部の入力端子（図 2 3 において、ゲート電極層 1 1 6 の露出された領域）に F P C (F l e x i b l e P r i n t e d C i r c u i t) を接続する。F P C はポリイミド等の有機樹脂フィルム上に導電膜により配線が形成されており、異方性導電性ペースト (A n i s o t r o p i c C o n d u c t i v e P a s t e 。以下、A C P という) を介して入力端子と接続される。A C P は接着剤として機能するペーストと、金等がメッキされた数十～数百 μ m 径の導電性表面を有する粒子と、により構成される。ペースト中に混入された粒子が入力端子上の導電層と、F P C に形成された配線に接続された端子上の導電層と、に接触することで、電気的な接続を実現する。なお、F P C の接続後にアクティブマトリクス基板と対向基板に偏光板を貼り付けてもよい。以上のように、表示装置に用いる液晶パネルを作製することができる。

20

【 0 1 4 1 】

以上のように、表示装置に用いる画素トランジスタを有するアクティブマトリクス基板を三枚又は四枚のフォトマスクにより作製することができる。

【 0 1 4 2 】

従って、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。より具体的には、上記の説明のように、一枚又は二枚のフォトマスクを用いて薄膜トランジスタを作製することができる。また、三枚又は四枚のフォトマスクを用いて画素トランジスタを有するアクティブマトリクス基板を作製することができる。従って、用いるフォトマスクの枚数が低減されることから、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。

30

【 0 1 4 3 】

また、裏面露光、レジストリフロー及びリフトオフ法等の複雑な工程を経ることなく、薄膜トランジスタの作製工程数を大幅に削減することができる。そのため、複雑な工程を経ることなく、表示装置の作製工程数を大幅に削減することができる。

【 0 1 4 4 】

また、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程を大幅に削減することができる。

40

【 0 1 4 5 】

更には、上記効果により、作製コストを大幅に削減することができる。

【 0 1 4 6 】

上記効果に加えて、表示装置が有する薄膜トランジスタが力学的に安定なものとなるため、歩留まり及び信頼性を低下させることなく、表示装置の作製工程が簡略化する。

【 0 1 4 7 】

なお、液晶表示装置に限定されず、他の表示装置に適用しても良い。

【 0 1 4 8 】

50

(実施の形態 2)

本実施の形態では、実施の形態 1 とは異なる形態について図 2 8 乃至図 4 1 を参照して説明する。

【0149】

なお、図 3 4 乃至図 3 8 には本実施の形態に係る薄膜トランジスタの上面図を示し、図 3 8 は画素電極まで形成した完成図である。図 2 8 乃至図 3 0 は、図 3 4 乃至図 3 8 に示す A - A' における断面図である。図 3 1 乃至図 3 3 は、図 3 4 乃至図 3 8 に示す B - B' における断面図である。

【0150】

まず、基板 2 0 0 上に第 1 の導電膜 2 0 2、第 1 の絶縁膜 2 0 4、半導体膜 2 0 6、不純物半導体膜 2 0 8 及び第 2 の導電膜 2 1 0 を形成する。基板 2 0 0 は、実施の形態 1 における基板 1 0 0 と同様のものを用いることができる。第 1 の導電膜 2 0 2 は、実施の形態 1 における第 1 の導電膜 1 0 2 と同様に形成することができる。第 1 の絶縁膜 2 0 4 は、実施の形態 1 における第 1 の絶縁膜 1 0 4 と同様に形成することができる。半導体膜 2 0 6 は、実施の形態 1 における半導体膜 1 0 6 と同様に形成することができる。不純物半導体膜 2 0 8 は、実施の形態 1 における不純物半導体膜 1 0 8 と同様に形成することができる。第 2 の導電膜 2 1 0 は、実施の形態 1 における第 2 の導電膜 1 1 0 と同様に形成することができる。

【0151】

次に、第 2 の導電膜 2 1 0 上に第 1 のレジストマスク 2 1 2 を形成する(図 2 8 (A)、図 3 1 (A) を参照)。第 1 のレジストマスク 2 1 2 は実施の形態 1 における第 1 のレジストマスク 1 1 2 と同様に、凹部及び凸部を有するレジストマスクである。換言すると、厚さの異なる複数の領域(ここでは、二の領域)からなるレジストマスクともいうことができる。第 1 のレジストマスク 2 1 2 において、厚い領域を第 1 のレジストマスク 2 1 2 の凸部と呼び、薄い領域を第 1 のレジストマスク 2 1 2 の凹部と呼ぶこととする。

【0152】

第 1 のレジストマスク 2 1 2 において、ソース電極及びドレイン電極層 2 2 0 が形成される領域には凸部が形成され、ソース電極及びドレイン電極層 2 2 0 を有さず半導体層が露出して形成される領域には凹部が形成される。

【0153】

第 1 のレジストマスク 2 1 2 は、実施の形態 1 における第 1 のレジストマスク 1 1 2 と同様に、一般的な多階調マスクを用いることで形成することができる。

【0154】

次に、第 1 のレジストマスク 2 1 2 を用いて第 1 のエッチングを行う。すなわち、第 1 の絶縁膜 2 0 4、半導体膜 2 0 6、不純物半導体膜 2 0 8 及び第 2 の導電膜 2 1 0 をエッチングによりパターニングし、薄膜積層体 2 1 4 を形成する(図 2 8 (B)、図 3 1 (B)、図 3 4 を参照)。第 1 のエッチングは、実施の形態 1 において説明した第 1 のエッチングと同様に行うことができ、少なくとも第 1 の導電膜 2 0 2 を露出させるように行う。

【0155】

次に、第 1 のレジストマスク 2 1 2 を用いて第 2 のエッチングを行う。すなわち、第 1 の導電膜 2 0 2 をエッチングによりパターニングし、ゲート電極層 2 1 6 を形成する(図 2 8 (C)、図 3 1 (C)、図 3 5 を参照)。本明細書において、このエッチング工程を第 2 のエッチングとよぶ。

【0156】

なお、ゲート電極層 2 1 6 は、ゲート配線、容量配線及び支持部を構成しているが、ゲート電極層 2 1 6 A と表記する場合にはゲート配線を構成するゲート電極層を指し、ゲート電極層 2 1 6 B 又はゲート電極層 2 1 6 D と表記する場合には支持部を構成するゲート電極層を指し、ゲート電極層 2 1 6 C と表記する場合には容量配線を構成するゲート電極層を指す。そして、これらを総括してゲート電極層 2 1 6 と呼ぶ。

【0157】

第2のエッチングは、第1の導電膜202により形成されるゲート電極層216の側面が、薄膜積層体214の側面より内側に形成されるエッチング条件により行う。換言すると、ゲート電極層216の側面が、薄膜積層体214の底面に接して形成されるようにエッチングを行う。更には、第2の導電膜210に対するエッチングレートが小さく、且つ第1の導電膜202に対するエッチングレートが大きい条件により行う。換言すると、第2の導電膜210に対する第1の導電膜202のエッチング選択比が大きい条件により行う。このような条件により第2のエッチングを行うことで、ゲート電極層216を形成することができる。

【0158】

なお、ゲート電極層216の側面の形状は特に限定されない。例えば、テーパ形状であっても良い。ゲート電極層216の側面の形状は、第2のエッチングにおいて用いる薬液等の条件によって決められるものである。

【0159】

ここで、「第2の導電膜210に対するエッチングレートが小さく、且つ第1の導電膜202に対するエッチングレートが大きい条件」、又は「第2の導電膜210に対する第1の導電膜202のエッチング選択比が大きい条件」とは、以下の第1の要件及び第2の要件を満たすものをいう。

【0160】

第1の要件は、ゲート電極層216が必要な箇所に残存することである。ゲート電極層216の必要な箇所とは、図35乃至図38に点線で示される領域をいう。すなわち、第2のエッチング後に、ゲート電極層216がゲート配線、容量配線及び支持部を構成するように残存することが必要である。ゲート電極層がゲート配線及び容量配線を構成するためには、これらの配線が断線しないように第2のエッチングを行う必要がある。図28及び図35に示されるように、薄膜積層体214の側面から間隔 d_1 だけ内側にゲート電極層216の側面が形成されることが好ましく、間隔 d_1 は実施者がレイアウトに従って適宜設定すればよい。

【0161】

第2の要件は、ゲート電極層216により構成されるゲート配線及び容量配線の幅 d_3 、並びにソース電極及びドレイン電極層220Aにより構成されるソース配線の最小幅 d_2 が適切なものとなることである（図38を参照）。第2のエッチングによりソース電極及びドレイン電極層220Aがエッチングされるとソース配線の最小幅 d_2 が小さくなり、ソース配線の電流密度が過大となり、電気的特性が低下するためである。そのため、第2のエッチングは、第1の導電膜202のエッチングレートが過大にならず、且つ第2の導電膜210のエッチングレートが可能な限り小さい条件で行う。加えて、後に説明する第3のエッチングにおける第1の導電膜202のエッチングレートが可能な限り小さい条件で行う。

【0162】

また、ソース配線の最小幅 d_2 は大きくすることが困難である。ソース配線の最小幅 d_2 はソース配線と重畳する半導体層の最小幅 d_4 により決まり、ソース配線の最小幅 d_2 を大きくするためには半導体層の最小幅 d_4 を大きくせねばならず、隣接するゲート配線と容量配線とを絶縁させることが困難になるためである。そこで、半導体層の最小幅 d_4 は、前記した間隔 d_1 の概ね2倍よりも小さくする。換言すると、間隔 d_1 は半導体層の最小幅 d_4 の約半分よりも大きくする。

【0163】

なお、ソース配線と重畳する半導体層の幅を最小幅 d_4 とする部分は、ゲート配線と、該ゲート配線と互いに隣接する容量配線との間に少なくとも一箇所あればよい。好ましくは、図38に示すように、ゲート配線に隣接する領域及び容量配線に隣接する領域の半導体層の幅を最小幅 d_4 とすればよい。

【0164】

なお、ソース電極及びドレイン電極層により形成される、画素電極層と接続される部分

10

20

30

40

50

の電極の幅はソース配線の最小幅 d_2 とすることが好ましい。

【0165】

上記説明したように、本実施の形態においても実施の形態1と同様に、サイドエッチングを伴う条件により第2のエッチングを行うことは非常に重要である。第2のエッチングが第1の導電膜202のサイドエッチングを伴うことによって、ゲート電極層216により構成される、隣接するゲート配線と容量配線とを絶縁させることができるためである。

【0166】

なお、図35に示すように、第1のエッチングにより形成される薄膜積層体214は、ゲート電極層216B及びゲート電極層216Dにより構成される支持部に接する部分では細くなるように設計される（図35において両矢印で示す部分を参照）。このような構造とすることで、第2のエッチングによりゲート電極層216Aと、ゲート電極層216B又はゲート電極層216Dとを分断して絶縁させることができる。

【0167】

なお、図35に示すゲート電極層216B及びゲート電極層216Dは、薄膜積層体214を支える支持部として機能する。支持部を有することで、ゲート電極層より上に形成されるゲート絶縁膜等の膜剥がれを防止することができる。更には、支持部を設けることで、第2のエッチングによりゲート電極層216に接して形成される空洞の領域が必要以上に広くなることを防止できる。なお、支持部を設けることで、薄膜積層体214が自重によって破壊され、又は破損することをも防止でき、歩留まりが向上するため好ましい。

【0168】

更には、容量配線としてのみならず支持部としても機能するゲート電極層216Cにより、薄膜トランジスタの力学的なバランスをとることができ、歩留まり及び信頼性を低下させることなく薄膜トランジスタの工程を簡略化することができる。

【0169】

以上説明したように、第2のエッチングは、ウェットエッチングにより行うことが好ましい。

【0170】

第2のエッチングをウェットエッチングによって行う場合、第1の導電膜202としてアルミニウム又はモリブデンを形成し、第2の導電膜210としてチタン又はタングステン形成し、エッチングには硝酸、酢酸及びリン酸を含む薬液を用いればよい。または、第1の導電膜202としてモリブデンを形成し、第2の導電膜210としてチタン、アルミニウム又はタングステンを形成し、エッチングには過酸化水素水を含む薬液を用いればよい。

【0171】

第2のエッチングをウェットエッチングによって行う場合、最も好ましくは、第1の導電膜202としてネオジムを添加したアルミニウム上にモリブデンを形成した積層膜を形成し、第2の導電膜210としてタングステンを形成し、エッチングには硝酸を2%、酢酸を10%、リン酸を72%含む薬液を用いる。このような組成比の薬液を用いることで、第2の導電膜210がエッチングされることなく、第1の導電膜202がエッチングされる。なお、第1の導電膜202に添加したネオジムは、アルミニウムの低抵抗化とヒロック防止を目的として添加されたものである。

【0172】

なお、図35に示すように、上面から見たゲート電極層216は角（例えば、角251）を有する。これは、ゲート電極層216を形成する第2のエッチングが概略等方的に進行するために、ゲート電極層216の側面と薄膜積層体214の側面との間隔 d_1 が概略等しくなるようにエッチングされるためである。

【0173】

次に、第1のレジストマスク212を後退させて、第2の導電膜210を露出させつつ、第2のレジストマスク218を形成する。

【0174】

次に、第2のレジストマスク218を用いて、薄膜積層体214における第2の導電膜210をエッチングし、ソース電極及びドレイン電極層220を形成する(図29(D)、図32(D)、図36を参照)。ここでエッチング条件は、第2の導電膜210以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層216の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

【0175】

なお、ソース電極及びドレイン電極層220のそれぞれは、ソース配線、薄膜トランジスタと画素電極とを接続する電極、または保持容量として機能する容量素子の一方の電極を構成しているが、ソース電極及びドレイン電極層220A又はソース電極及びドレイン電極層220Cと表記する場合にはソース配線を構成する電極層を指し、ソース電極及びドレイン電極層220Bと表記する場合には薄膜トランジスタのドレイン電極と画素電極とを接続し、且つ容量配線との間で容量素子を形成する一方の電極層を指す。そして、これらを総括してソース電極及びドレイン電極層220と呼ぶ。

10

【0176】

なお、薄膜積層体214における第2の導電膜210のエッチングは、ウエットエッチング又はドライエッチングのどちらを用いても良い。

【0177】

続いて、薄膜積層体214における不純物半導体膜208及び半導体膜206の上部(バックチャネル部)をエッチングして、ソース領域及びドレイン領域222を形成する(図29(E)、図32(E)、図37を参照)。ここでエッチング条件は、不純物半導体膜208及び半導体膜206以外の膜に対する食刻及び腐食が生じず、又は生じ難い条件を選択する。特に、ゲート電極層216の食刻及び腐食が生じず、又は生じ難い条件により行うことが重要である。

20

【0178】

なお、薄膜積層体214における不純物半導体膜208及び半導体膜206の上部(バックチャネル部)のエッチングはドライエッチング又はウエットエッチングにより行うことができる。

【0179】

その後、第2のレジストマスク218を除去し(図29(F)、図32(F)を参照)、薄膜トランジスタが完成する(図29(F)を参照)。上記説明したように、薄膜トランジスタを一枚のフォトマスク(多階調マスク)により作製することができる。

30

【0180】

なお、本明細書中において、上記の図29(A)及び図29(E)を参照して説明した工程を一括して第3のエッチングとよぶ。第3のエッチングは、上記説明したように、複数の段階に分けて行っても良いし、一括して行っても良い。

【0181】

以上のようにして形成した薄膜トランジスタを覆って第2の絶縁膜を形成する。ここで、第2の絶縁膜は、第1の保護膜226のみで形成しても良いが、好ましくは第1の保護膜226と第2の保護膜228により形成する(図30(G)、図33(G)を参照)。第1の保護膜226は、実施の形態1における第1の保護膜126と第2の保護膜128と同様に形成することができ、第2の保護膜228は、実施の形態1における第2の保護膜128と同様に概略平坦になる方法により形成することができる。

40

【0182】

次に、第2の絶縁膜に第1の開口部230を形成する(図30(H)、図33(H)を参照)。第1の開口部230は、ソース電極及びドレイン電極層の少なくとも表面に達するように形成する。第1の開口部230の形成方法は、特定の方法に限定されず、第1の開口部230の径などに応じて実施者が適宜選択すればよい。例えば、フォトリソグラフィ法によりドライエッチングを行うことで第1の開口部230を形成することができる。実施の形態1ではソース電極及びドレイン電極層と画素電極層を接続するための開口部を一画素につき二つ設ける必要があるが、本実施の形態では、一画素につき一つ設ければよ

50

い。そのため、歩留まりを向上させることができる。また、開口部のマージンを広くとることができる、歩留まりを更に向上させることができる。

【0183】

第1の開口部230の下には、ゲート電極層216Cが設けられている。ゲート電極層216Cを有することで、ソース電極及びドレイン電極層220B並びにソース電極及びドレイン電極層220Bと重畳する半導体層224等がたわみ、作製工程中又は使用時に破損し、又は破壊されることを防止することができる。従って、歩留まり及び信頼性を低下させることなく、表示装置の作製工程を簡略化することができる。

【0184】

なお、フォトリソグラフィ法によって開口部を形成することで、フォトマスクを一枚使用するようになる。

10

【0185】

次に、第2の絶縁膜上に画素電極層232を形成する(図30(I)、図33(I)、図38を参照)。画素電極層232は、開口部を介してソース電極及びドレイン電極層220に接続されるように形成する。具体的には、画素電極層232は、第1の開口部230を介してソース電極及びドレイン電極層220Cに接続されるように形成される。画素電極層232は、透光性を有する導電性材料により形成することが好ましい。ここで、透光性を有する導電性材料としては、インジウム錫酸化物(以下、ITOという)、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、又は酸化珪素を添加したインジウム錫酸化物等が挙げられる。透光性を有する導電性材料の膜の形成はスパッタリング法又はCVD法等により行えばよいが、特定の方法に限定されるものではない。また、画素電極層232についても単層で形成しても良いし、複数の膜を積層した積層膜としてもよい。

20

【0186】

なお、本実施の形態においては、画素電極層232のみに透光性を有する導電性材料を用いたが、これに限定されない。第1の導電膜202及び第2の導電膜210の材料として、透光性を有する導電性材料を用いることもできる。

【0187】

なお、フォトリソグラフィ法によって画素電極層232を形成することで、フォトマスクを一枚使用するようになる。

30

【0188】

以上説明したように、本実施の形態に係るアクティブマトリクス基板の作製(所謂アレイ工程)が完了する。本実施の形態にて説明したように、サイドエッチングを利用してゲート電極層を形成し、更には多階調マスクを用いてソース電極及びドレイン電極層を形成することで、一枚のマスクによる薄膜トランジスタの作製が可能となる。

【0189】

上記のように作製した薄膜トランジスタは、ゲート電極層上にゲート絶縁膜を有し、前記ゲート絶縁膜上に半導体層を有し、前記半導体層上にソース領域及びドレイン領域を有し、前記ソース領域及びドレイン領域上にソース電極及びドレイン電極を有し、前記ゲート電極層の側面に接して空洞を有する構造となる(図30(I)を参照)。ゲート電極層の側面に接して空洞を有するように形成することで、ゲート電極層端部におけるリーク電流の小さい薄膜トランジスタを作製することができる。

40

【0190】

なお、上記の説明では第1のレジストマスクとして、凹部を有するレジストマスクを形成したが、これに限定されず、第1のレジストマスクを通常のフォトマスクにより形成しても良い。第1のレジストマスクの形成に多階調マスクを用いない場合について、図39乃至図41を参照して簡単に説明する。

【0191】

なお、図39、図40及び図41は図34、図35及び図36に対応するものである。

50

【 0 1 9 2 】

まず、基板 2 0 0 上に第 1 の導電膜 2 0 2、第 1 の絶縁膜 2 0 4、半導体膜 2 0 6、不純物半導体膜 2 0 8 及び第 2 の導電膜 2 1 0 を形成し、第 2 の導電膜 2 1 0 上に第 1 のレジストマスク 2 7 0 を形成する。第 1 のレジストマスク 2 7 0 は、第 1 のレジストマスク 2 1 2 とは異なるものであり、凹部が設けられておらず、全面が概略同一の厚さとなるように形成されている。すなわち、第 1 のレジストマスク 2 7 0 は多階調マスクを用いることなく、通常のフォトマスクを用いて形成することができる。

【 0 1 9 3 】

次に、第 1 のレジストマスク 2 7 0 を用いて第 1 のエッチングを行う。すなわち、少なくとも第 1 の導電膜 2 0 2 の表面を露出させるように、第 1 の絶縁膜 2 0 4、半導体膜 2 0 6、不純物半導体膜 2 0 8 及び第 2 の導電膜 2 1 0 をエッチングによりパターニングし、第 1 の導電膜 2 0 2 上に薄膜積層体 2 1 4 を形成する（図 3 9 を参照）。

10

【 0 1 9 4 】

次に、第 2 のエッチングを行うことで、ゲート電極層 2 1 6 を形成する（図 4 0 を参照）。その後、第 1 のレジストマスク 2 7 0 を剥離等により除去する。

【 0 1 9 5 】

次に、薄膜積層体 2 1 4 上に第 2 のレジストマスク 2 7 1（第 2 のレジストマスク 2 7 1 A ~ 2 7 1 C）を形成し、これを用いてソース電極及びドレイン電極層 2 2 0 を形成する。その他の工程は、多階調マスクを用いた場合の説明と同様である。

【 0 1 9 6 】

20

以上説明したように、多階調マスクを用いることなく薄膜トランジスタを作製することができる。ただし、使用するマスク数は、多階調マスクを用いる場合と比べて一枚多くなる。すなわち、二枚のフォトマスクを用いて薄膜トランジスタを作製することができる。また、四枚のフォトマスクを用いて画素トランジスタを有するアクティブマトリクス基板を作製することができる。従って、用いるフォトマスクの枚数が低減されることから、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。更には、高い歩留まりで製造することができ、コストを低く抑えることも可能である。また、ゲート電極層 2 1 6 C により構成される支持部を有することで、薄膜トランジスタの力学的なバランスをとることができ、歩留まり及び信頼性を低下させることなく、薄膜トランジスタの作製工程を簡略化することができる。

30

【 0 1 9 7 】

以上のように、表示装置に用いる画素トランジスタを有するアクティブマトリクス基板を三枚又は四枚のフォトマスクにより作製することができる。

【 0 1 9 8 】

従って、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。より具体的には、上記の説明のように、一枚又は二枚のフォトマスクを用いて薄膜トランジスタを作製することができる。また、三枚又は四枚のフォトマスクを用いて画素トランジスタを有するアクティブマトリクス基板を作製することができる。従って、用いるフォトマスクの枚数が低減されることから、薄膜トランジスタ及び表示装置の作製工程数を大幅に削減することができる。

40

【 0 1 9 9 】

また、裏面露光、レジストリフロー及びリフトオフ法等の複雑な工程を経ることなく、薄膜トランジスタの作製工程数を大幅に削減することができる。そのため、複雑な工程を経ることなく、表示装置の作製工程数を大幅に削減することができる。

【 0 2 0 0 】

また、薄膜トランジスタの電気的特性を維持しつつ、薄膜トランジスタの作製工程を大幅に削減することができる。

【 0 2 0 1 】

更には、上記効果により、作製コストを大幅に削減することができる。

【 0 2 0 2 】

50

上記効果に加えて、表示装置が有する薄膜トランジスタが力学的に安定なものとなるため、歩留まり及び信頼性を低下させることなく、表示装置の作製工程が簡略化する。更に、本実施の形態に係る作製方法を適用することで、一画素につき一の開口部を設ければよく、開口部のマージンを広くとることができるため、歩留まりを向上させることができる。

【0203】

なお、本実施の形態におけるゲート電極層216Cは、実施の形態1におけるゲート電極層116Eよりもエッチングされる部分の体積が大きく、エッチング液又はエッチングガス等に接触する面積が大きいため、制御性よくエッチングすることが可能であり、プロセス上のマージンも大きくとることができる。

10

【0204】

なお、液晶表示装置に限定されず、他の表示装置に適用しても良い。

【0205】

(実施の形態3)

本実施の形態は、実施の形態1及び実施の形態2にて説明した方法により作製した表示パネル又は表示装置を表示部として組み込んだ電子機器について図42乃至図44を参照して説明する。このような電子機器としては、例えば、ビデオカメラ若しくはデジタルカメラ等のカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)が挙げられる。それらの一例を図42に示す。

20

【0206】

図42(A)はテレビジョン装置を示す。実施の形態1及び実施の形態2を適用して作製した表示パネルを筐体に組み込むことで、図42(A)に示すテレビジョン装置を完成させることができる。実施の形態1及び実施の形態2にて説明した作製方法を適用した表示パネルにより主画面323が形成され、その他付属設備としてスピーカ部329、操作スイッチ等が備えられている。

【0207】

図42(A)に示すように、筐体321に実施の形態1及び実施の形態2にて説明した作製方法を適用した表示用パネル322が組み込まれ、受信機325により一般のテレビ放送の受信をはじめ、モデム324を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組み込まれたスイッチ又は別体のリモコン操作機326により行うことが可能であり、このリモコン操作機326にも、出力する情報を表示する表示部327が設けられていても良い。

30

【0208】

また、テレビジョン装置にも、主画面323の他にサブ画面328を第2の表示パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。

【0209】

図43は、テレビ装置の主要な構成を示すブロック図を示している。表示領域には、画素部351が形成されている。信号線駆動回路352と走査線駆動回路353は、表示パネルにCOG方式により実装されていても良い。

40

【0210】

その他の外部回路の構成として、映像信号の入力側では、チューナ354で受信した信号のうち、映像信号を増幅する映像信号増幅回路355と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路356と、その映像信号をドライバICの入力仕様に換するためのコントロール回路357等を有している。コントロール回路357は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路358を設け、入力デジタル信号を整数個に分割して供給する構成としても良い。

50

【 0 2 1 1 】

チューナ 3 5 4 で受信した信号のうち、音声信号は、音声信号増幅回路 3 5 9 に送られ、その出力は音声信号処理回路 3 6 0 を経てスピーカ 3 6 3 に供給される。制御回路 3 6 1 は受信局（受信周波数）、音量の制御情報を入力部 3 6 2 から受け、チューナ 3 5 4 及び音声信号処理回路 3 6 0 に信号を送出する。

【 0 2 1 2 】

勿論、テレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港等における情報表示盤、又は街頭における広告表示盤等の大面積の表示媒体にも適用することができる。そのため、これらの表示媒体の生産性を向上させることができる。

10

【 0 2 1 3 】

主画面 3 2 3、サブ画面 3 2 8 に、実施の形態 1 及び実施の形態 2 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を用いることで、テレビ装置の生産性を高めることができる。

【 0 2 1 4 】

また、図 4 2 (B) に示す携帯型のコンピュータは、本体 3 3 1 及び表示部 3 3 2 等を有する。表示部 3 3 2 に、実施の形態 1 及び実施の形態 2 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を用いることで、コンピュータの生産性を高めることができる。

20

【 0 2 1 5 】

図 4 4 は、携帯電話の一例であり、図 4 4 (A) が正面図、図 4 4 (B) が背面図、図 4 4 (C) が 2 つの筐体をスライドさせたときの正面図である。携帯電話は、筐体 3 0 1 及び筐体 3 0 2 の二つの筐体で構成されている。携帯電話は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

【 0 2 1 6 】

携帯電話は、筐体 3 0 1 及び筐体 3 0 2 で構成されている。筐体 3 0 1 においては、表示部 3 0 3、スピーカ 3 0 4、マイクロフォン 3 0 5、操作キー 3 0 6、ポインティングデバイス 3 0 7、表面カメラ用レンズ 3 0 8、外部接続端子ジャック 3 0 9 及びイヤホン端子 3 1 0 等を備え、筐体 3 0 2 においては、キーボード 3 1 1、外部メモリスロット 3 1 2、裏面カメラ 3 1 3、ライト 3 1 4 等により構成されている。また、アンテナは筐体 3 0 1 に内蔵されている。

30

【 0 2 1 7 】

また、携帯電話には、上記の構成に加えて、非接触型 IC チップ、小型記録装置等を内蔵していてもよい。

【 0 2 1 8 】

重なり合った筐体 3 0 1 と筐体 3 0 2 (図 4 4 (A) に示す。) は、スライドさせることが可能であり、スライドさせることで図 4 4 (C) のように展開する。表示部 3 0 3 には、実施の形態 1 及び実施の形態 2 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を組み込むことが可能である。表示部 3 0 3 と表面カメラ用レンズ 3 0 8 を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部 3 0 3 をファインダーとして用いることで、裏面カメラ 3 1 3 及びライト 3 1 4 で静止画及び動画の撮影が可能である。

40

【 0 2 1 9 】

スピーカ 3 0 4 及びマイクロフォン 3 0 5 を用いることで、携帯電話は、音声記録装置（録音装置）又は音声再生装置として使用することができる。また、操作キー 3 0 6 により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

【 0 2 2 0 】

50

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード 311 を用いると便利である。更に、重なり合った筐体 301 と筐体 302 (図 44 (A)) をスライドさせることで、図 44 (C) のように展開させることができる。携帯情報端末として使用する場合には、キーボード 311 及びポインティングデバイス 307 を用いて、円滑な操作が可能である。外部接続端子ジャック 309 は AC アダプタ及び USB ケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット 312 に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

【0221】

筐体 302 の裏面 (図 44 (B)) には、裏面カメラ 313 及びライト 314 を備え、表示部 303 をファインダーとして静止画及び動画の撮影が可能である。

10

【0222】

また、上記の機能構成に加えて、赤外線通信機能、USB ポート、テレビワンセグ受信機能、非接触 IC チップ又はイヤホンジャック等を備えたものであってもよい。

【0223】

本実施の形態にて説明した各種電子機器は、実施の形態 1 及び実施の形態 2 にて説明した薄膜トランジスタ及び表示装置の作製方法を適用して作製することができるため、これらの電子機器の生産性を向上させることができる。

【0224】

従って、これらの電子機器の作製コストを大幅に削減することができる。

20

【符号の説明】

【0225】

- 100 基板
- 102 第 1 の導電膜
- 104 第 1 の絶縁膜
- 106 半導体膜
- 108 不純物半導体膜
- 110 第 2 の導電膜
- 112 第 1 のレジストマスク
- 114 薄膜積層体
- 115 エッチングされた第 1 の導電膜
- 116 ゲート電極層
- 116 A ゲート電極層
- 116 B ゲート電極層
- 116 C ゲート電極層
- 116 D ゲート電極層
- 116 E ゲート電極層
- 118 第 2 のレジストマスク
- 120 ソース電極及びドレイン電極層
- 120 A ソース電極及びドレイン電極層
- 120 B ソース電極及びドレイン電極層
- 120 C ソース電極及びドレイン電極層
- 120 D ソース電極及びドレイン電極層
- 122 ソース領域及びドレイン領域
- 122 A ソース領域及びドレイン領域
- 122 B ソース領域及びドレイン領域
- 122 C ソース領域及びドレイン領域
- 122 D ソース領域及びドレイン領域
- 124 半導体層
- 126 第 1 の保護膜

30

40

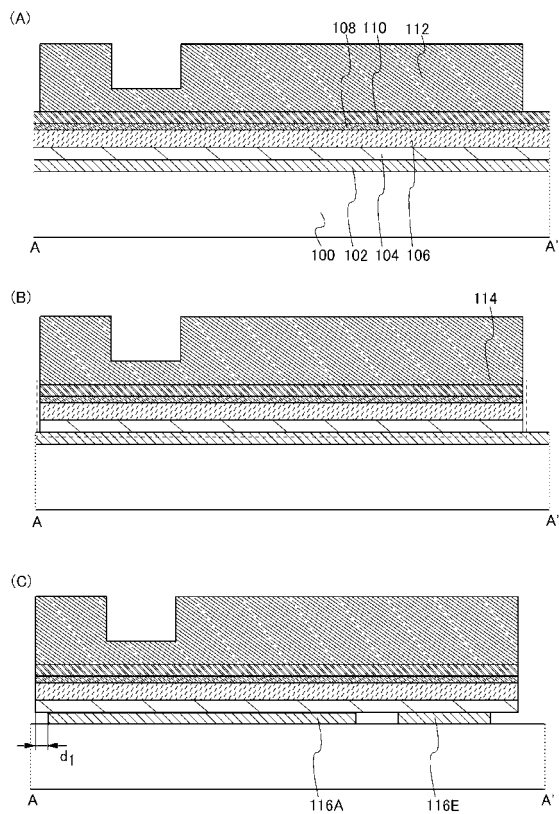
50

1 2 8	第 2 の保護膜	
1 3 0	第 1 の開口部	
1 3 1	第 2 の開口部	
1 3 2	画素電極層	
1 4 0	グレートーンマスク	
1 4 1	基板	
1 4 2	遮光部	
1 4 3	回折格子部	
1 4 5	ハーフトーンマスク	
1 4 6	基板	10
1 4 7	半透光部	
1 4 8	遮光部	
1 5 1	角	
1 6 0 A	第 3 の開口部	
1 6 0 B	第 3 の開口部	
1 6 1	第 4 の開口部	
1 7 0	第 1 のレジストマスク	
1 7 1	第 2 のレジストマスク	
2 0 0	基板	
2 0 2	第 1 の導電膜	20
2 0 4	第 1 の絶縁膜	
2 0 6	半導体膜	
2 0 8	不純物半導体膜	
2 1 0	第 2 の導電膜	
2 1 2	第 1 のレジストマスク	
2 1 4	薄膜積層体	
2 1 5	エッチングされた第 1 の導電膜	
2 1 6	ゲート電極層	
2 1 6 A	ゲート電極層	
2 1 6 B	ゲート電極層	30
2 1 6 C	ゲート電極層	
2 1 6 D	ゲート電極層	
2 1 8	第 2 のレジストマスク	
2 2 0	ソース電極及びドレイン電極層	
2 2 0 A	ソース電極及びドレイン電極層	
2 2 0 B	ソース電極及びドレイン電極層	
2 2 0 C	ソース電極及びドレイン電極層	
2 2 2	ソース領域及びドレイン領域	
2 2 2 A	ソース領域及びドレイン領域	
2 2 2 B	ソース領域及びドレイン領域	40
2 2 2 C	ソース領域及びドレイン領域	
2 2 4	半導体層	
2 2 6	第 1 の保護膜	
2 2 8	第 2 の保護膜	
2 3 0	第 1 の開口部	
2 3 1	第 2 の開口部	
2 3 2	画素電極層	
2 4 0	グレートーンマスク	
2 4 1	基板	
2 4 2	遮光部	50

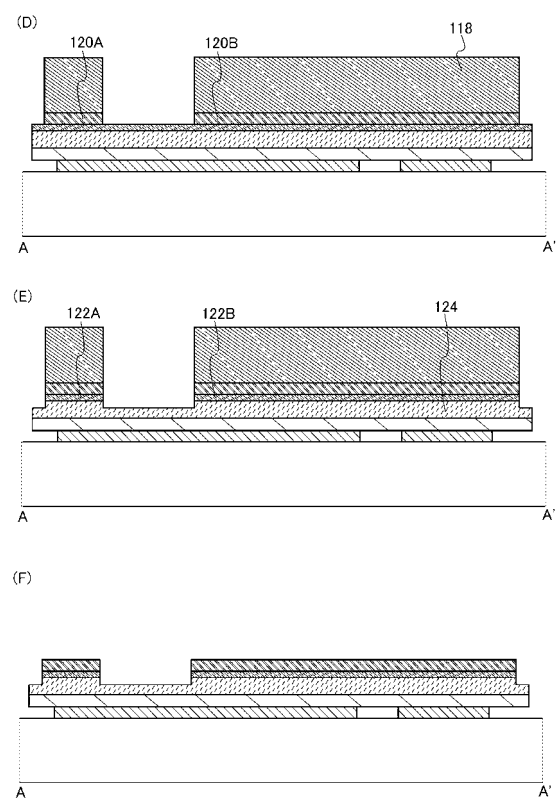
2 4 3	回折格子部	
2 4 5	ハーフトーンマスク	
2 4 6	基板	
2 4 7	半透光部	
2 4 8	遮光部	
2 5 1	角	
2 7 0	第 1 のレジストマスク	
2 7 1	第 2 のレジストマスク	
2 7 1 A ~ 2 7 1 C	第 2 のレジストマスク	
3 0 0	携帯電話	10
3 0 1	筐体	
3 0 2	筐体	
3 0 3	表示部	
3 0 4	スピーカ	
3 0 5	マイクロフォン	
3 0 6	操作キー	
3 0 7	ポインティングデバイス	
3 0 8	表面カメラ用レンズ	
3 0 9	外部接続端子ジャック	
3 1 0	イヤホン端子	20
3 1 1	キーボード	
3 1 2	外部メモリスロット	
3 1 3	裏面カメラ	
3 1 4	ライト	
3 2 1	筐体	
3 2 2	表示用パネル	
3 2 3	主画面	
3 2 4	モデム	
3 2 5	受信機	
3 2 6	リモコン操作機	30
3 2 7	表示部	
3 2 8	サブ画面	
3 2 9	スピーカ部	
3 3 1	本体	
3 3 2	表示部	
3 4 1	照明部	
3 4 2	傘	
3 4 3	可変アーム	
3 4 4	支柱	
3 4 5	台	40
3 4 6	電源	
3 5 0	表示パネル	
3 5 1	画素部	
3 5 2	信号線駆動回路	
3 5 3	走査線駆動回路	
3 5 4	チューナ	
3 5 5	映像信号増幅回路	
3 5 6	映像信号処理回路	
3 5 7	コントロール回路	
3 5 8	信号分割回路	50

- 3 5 9 音声信号増幅回路
- 3 6 0 音声信号処理回路
- 3 6 1 制御回路
- 3 6 2 入力部
- 3 6 3 スピーカ

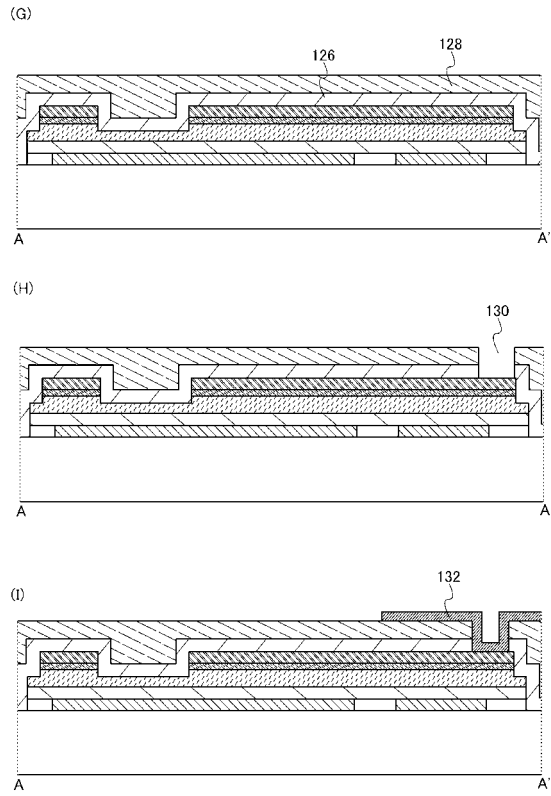
【図 1】



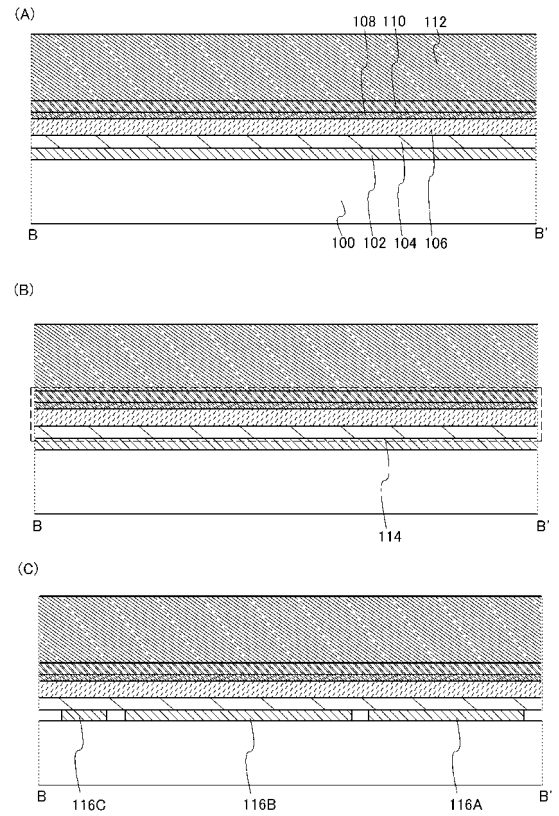
【図 2】



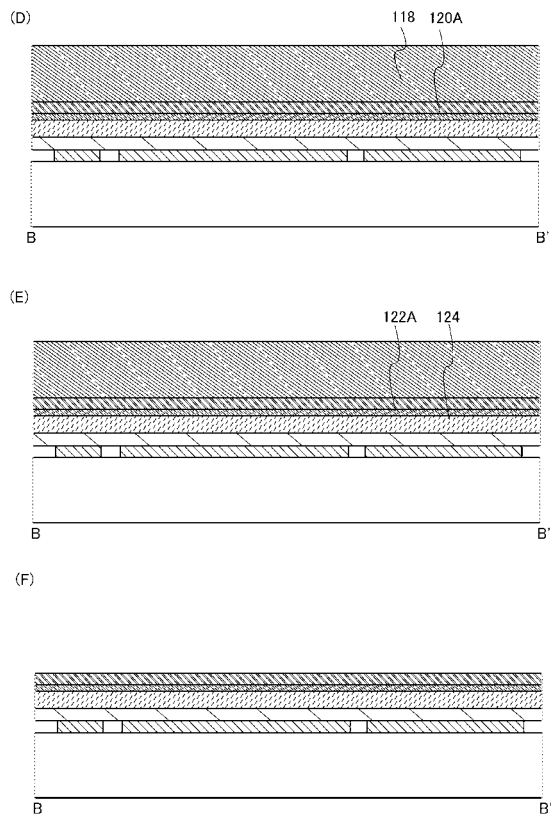
【図 3】



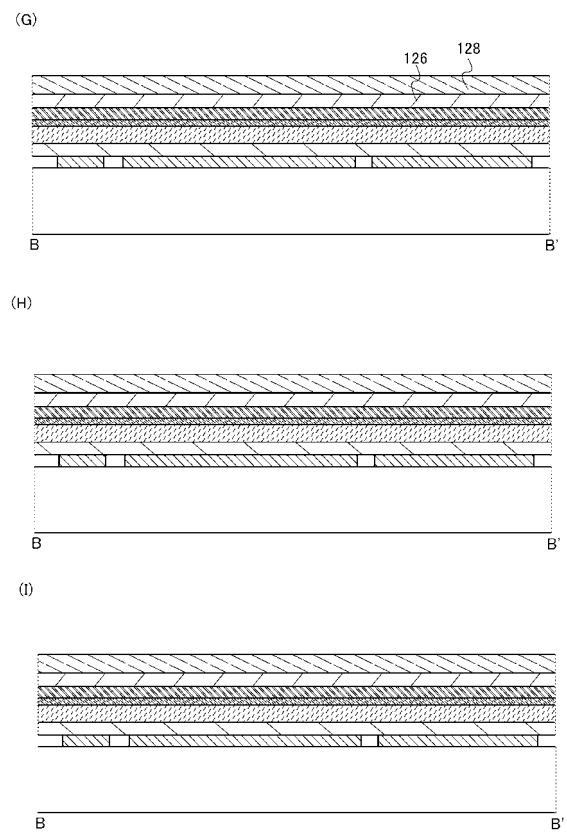
【図 4】



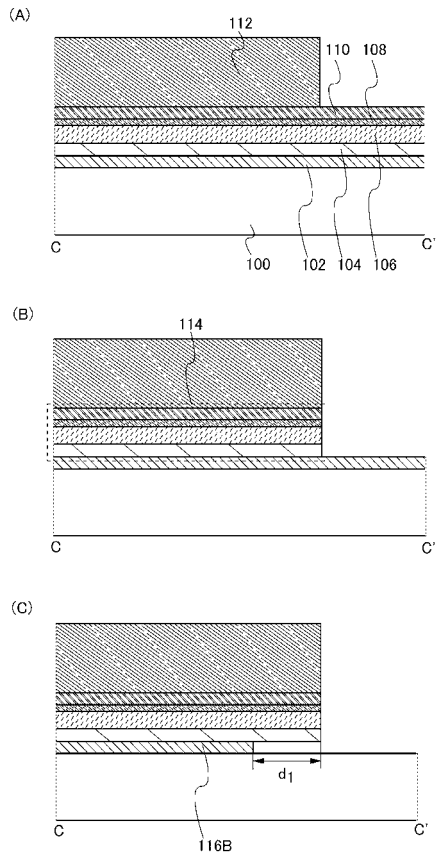
【図 5】



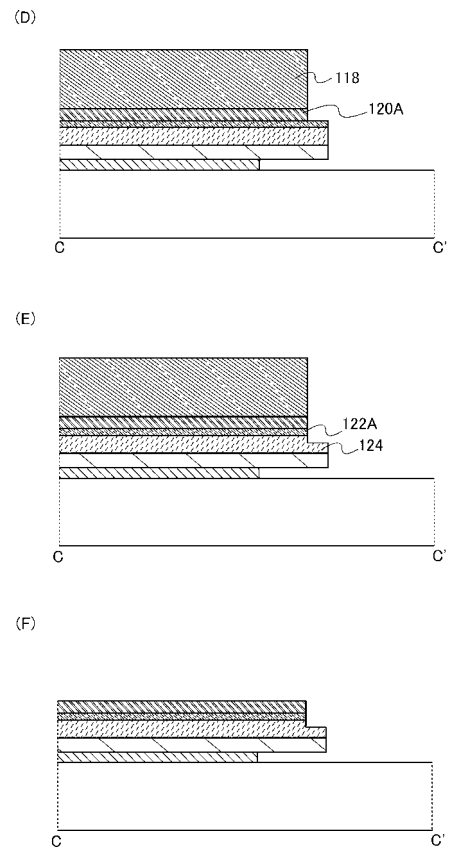
【図 6】



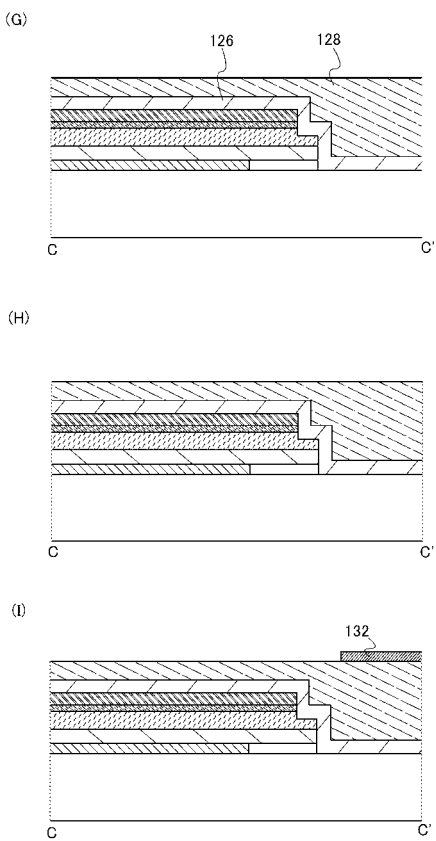
【図 7】



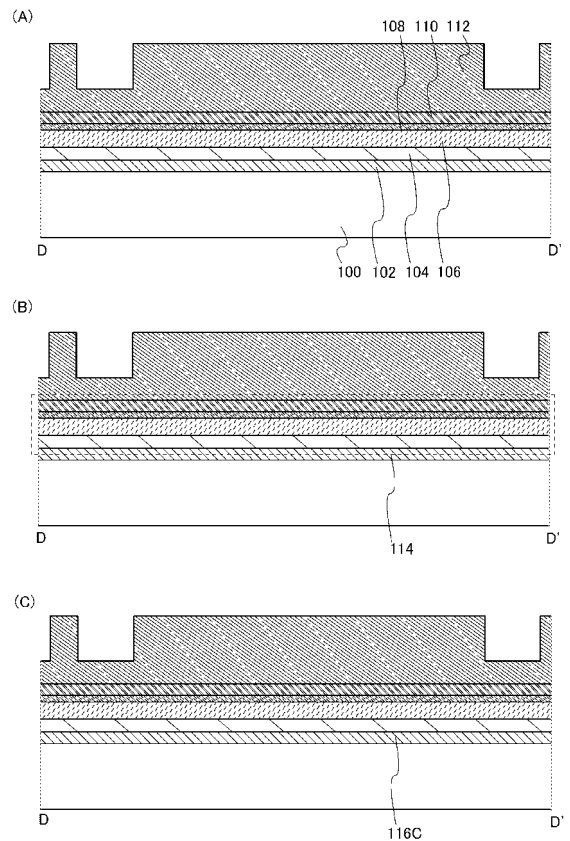
【図 8】



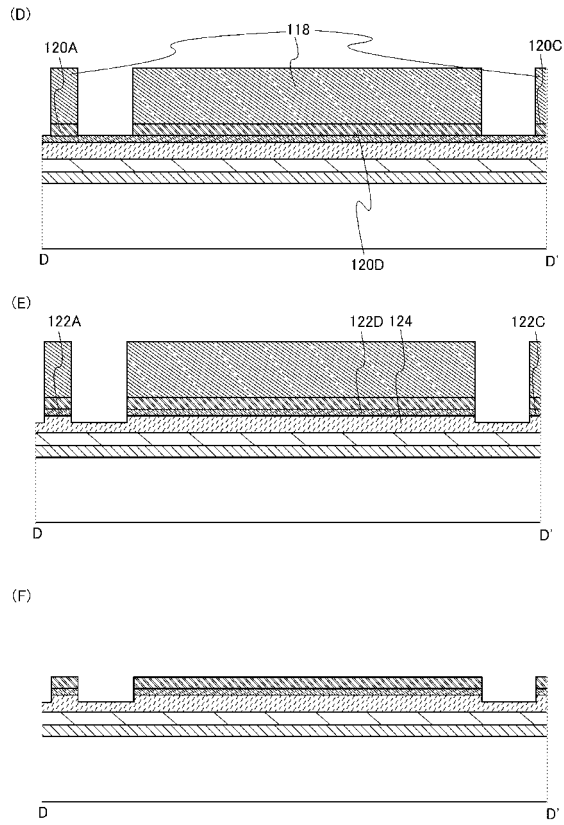
【図 9】



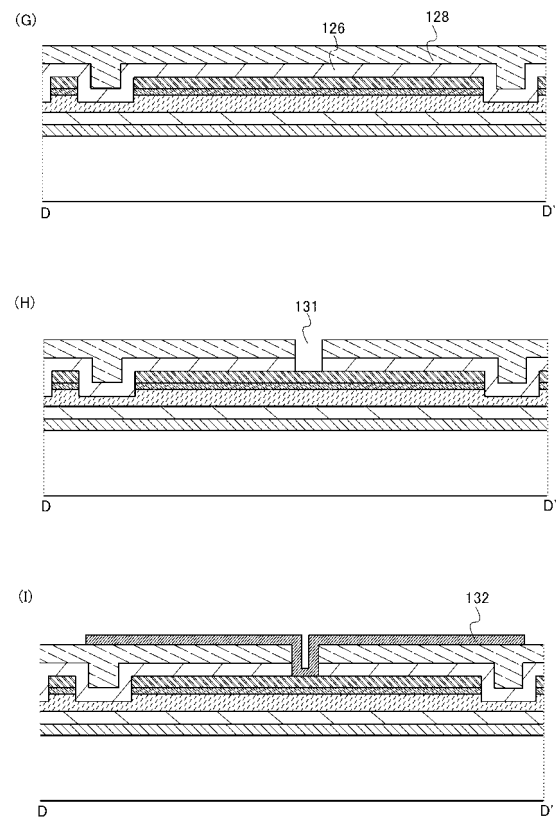
【図 10】



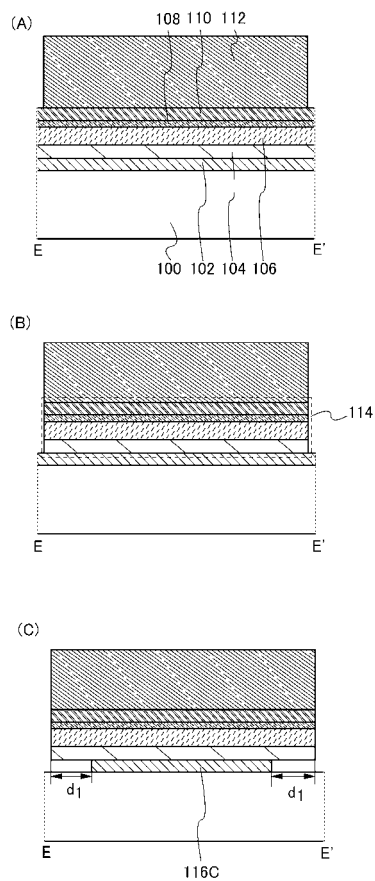
【図 1 1】



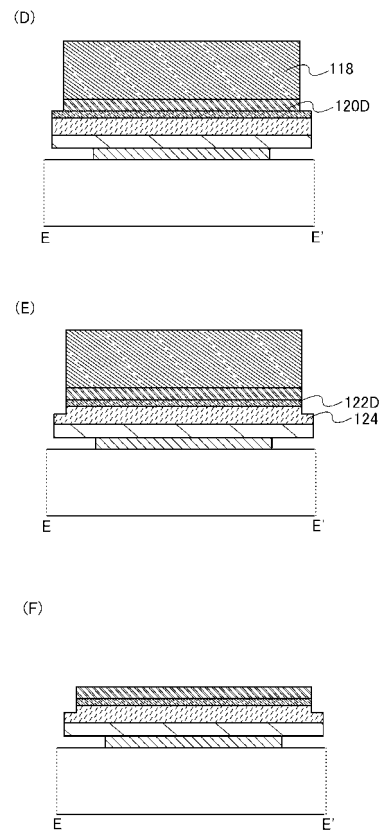
【図 1 2】



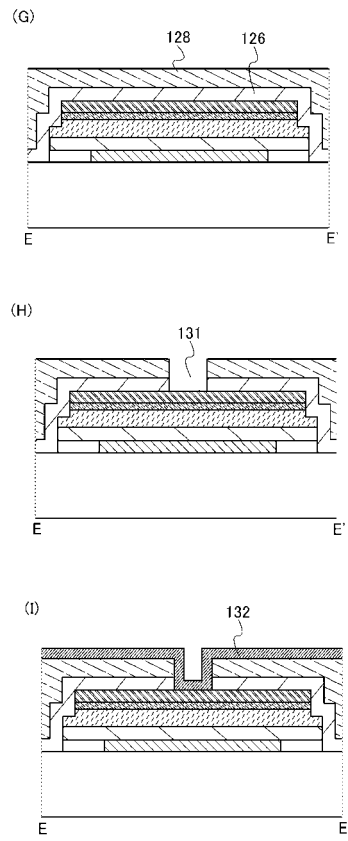
【図 1 3】



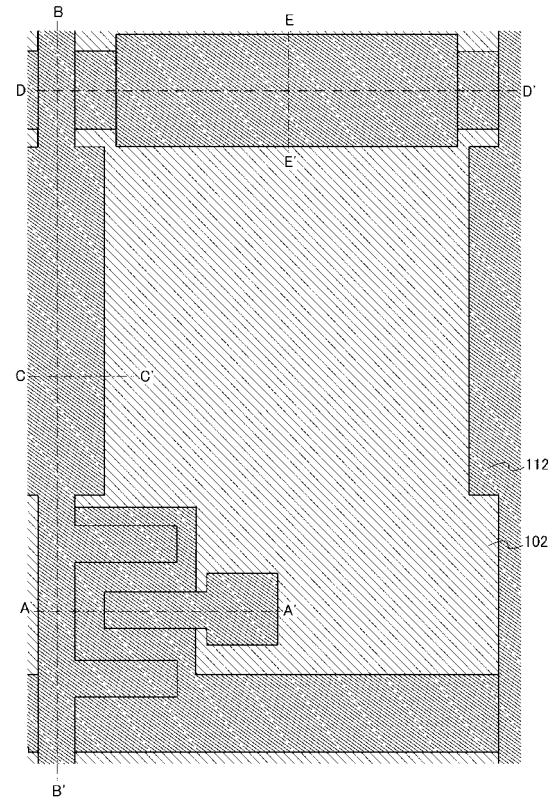
【図 1 4】



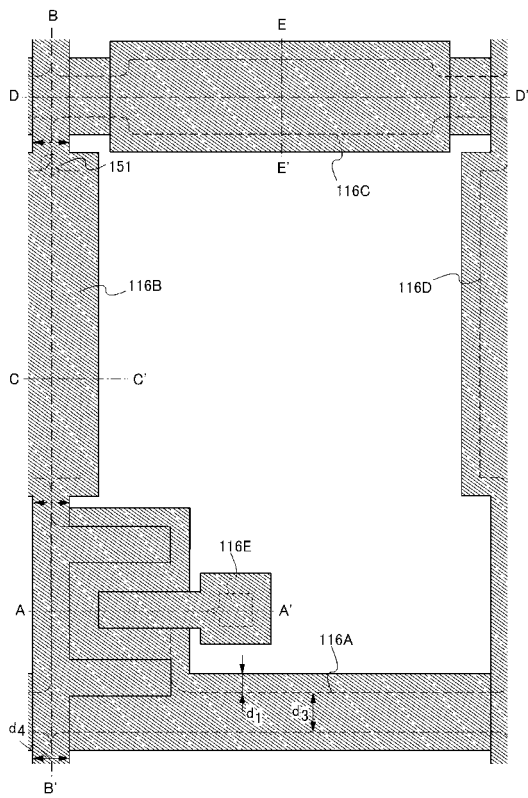
【図 15】



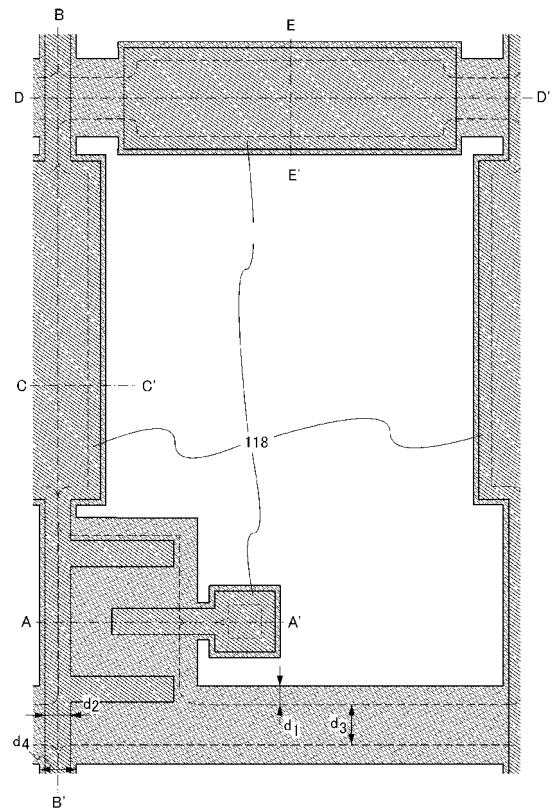
【図 16】



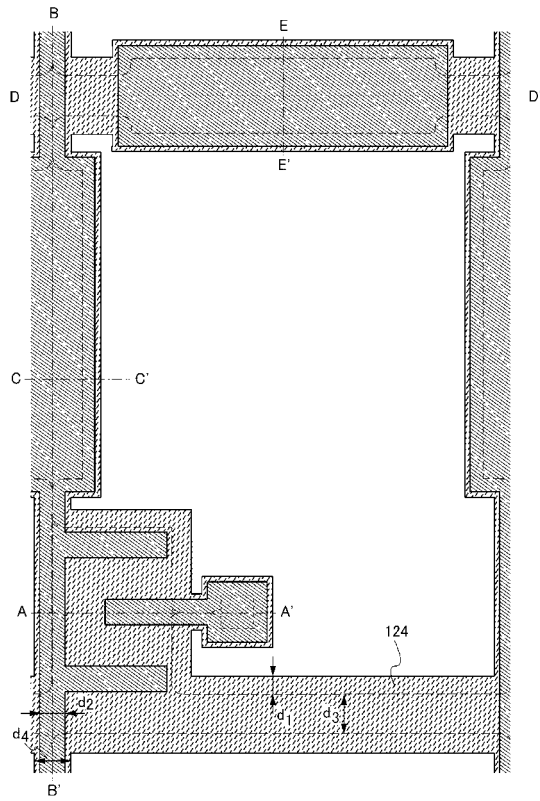
【図 17】



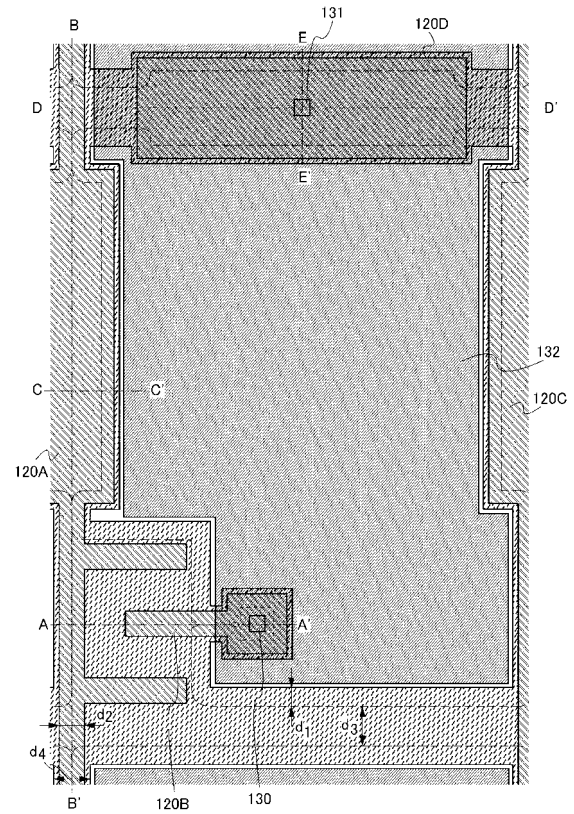
【図 18】



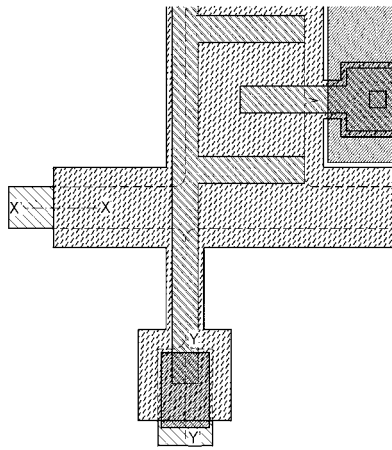
【図 19】



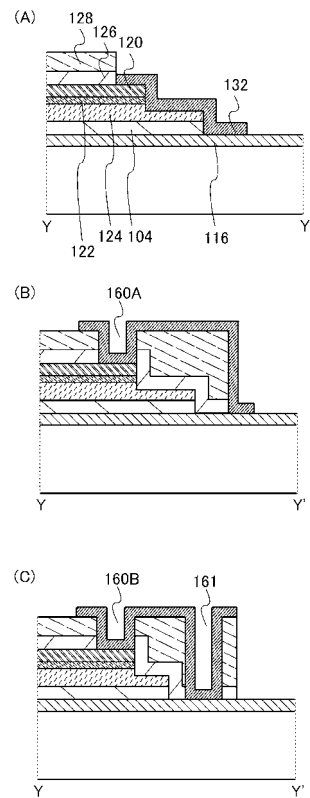
【図 20】



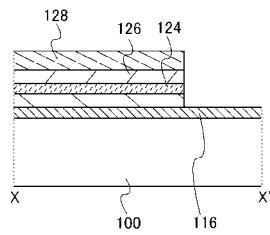
【図 21】



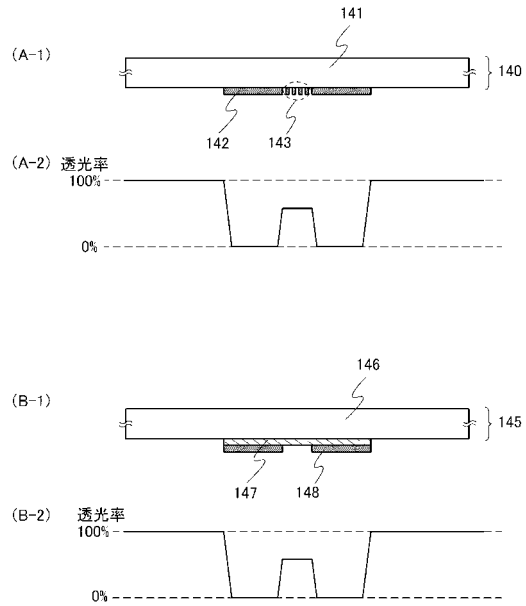
【図 23】



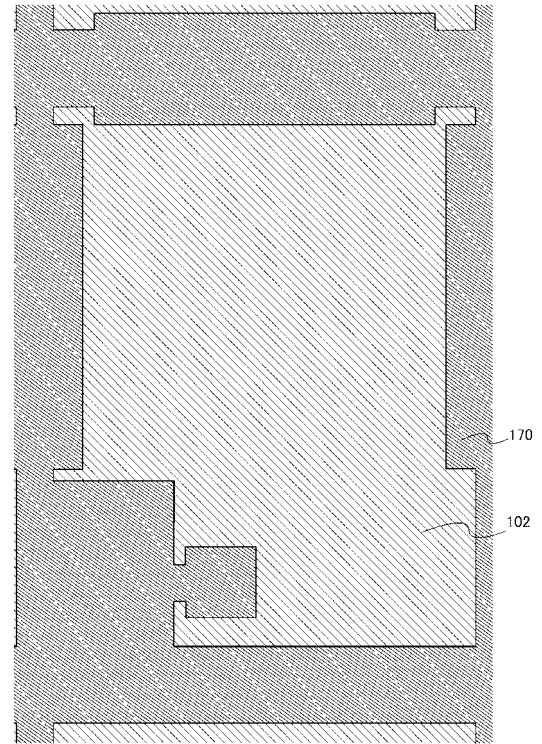
【図 22】



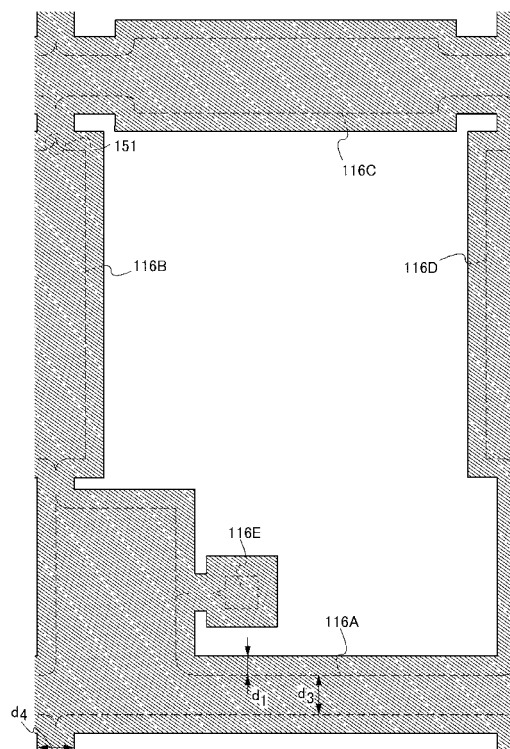
【図 2 4】



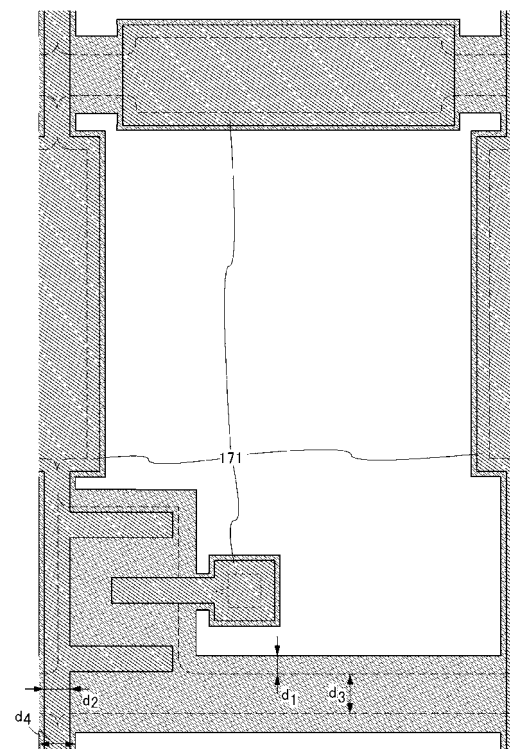
【図 2 5】



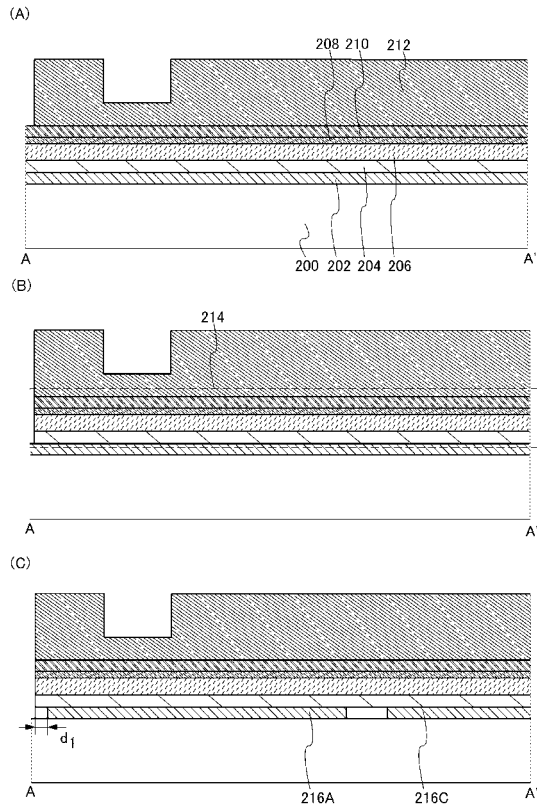
【図 2 6】



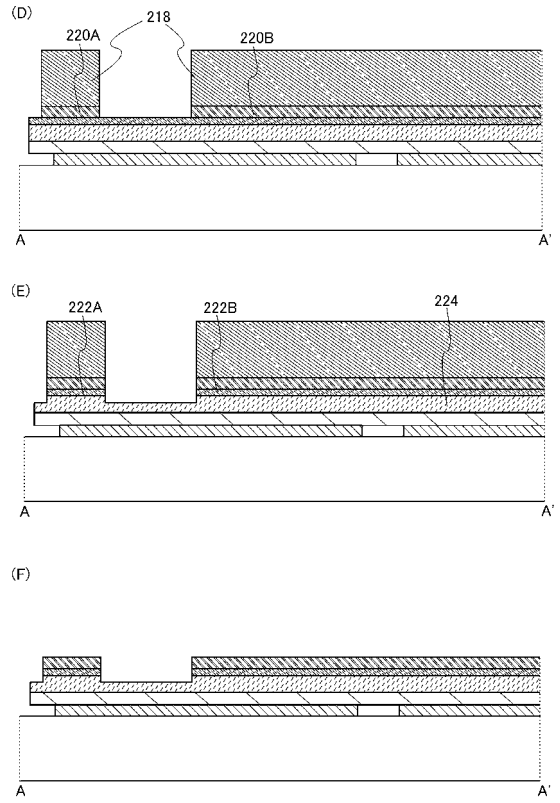
【図 2 7】



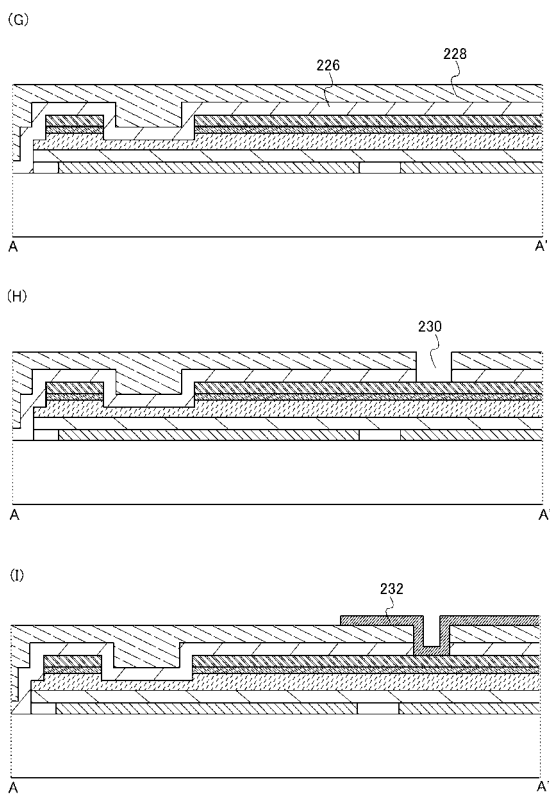
【図 28】



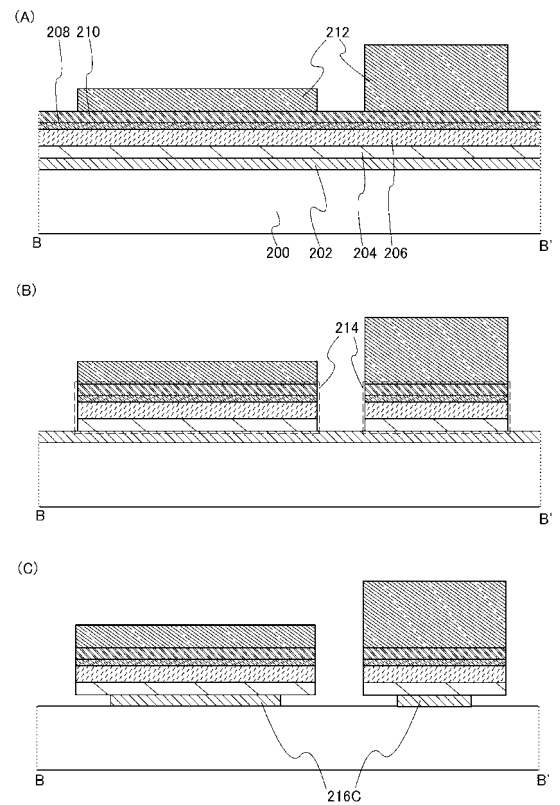
【図 29】



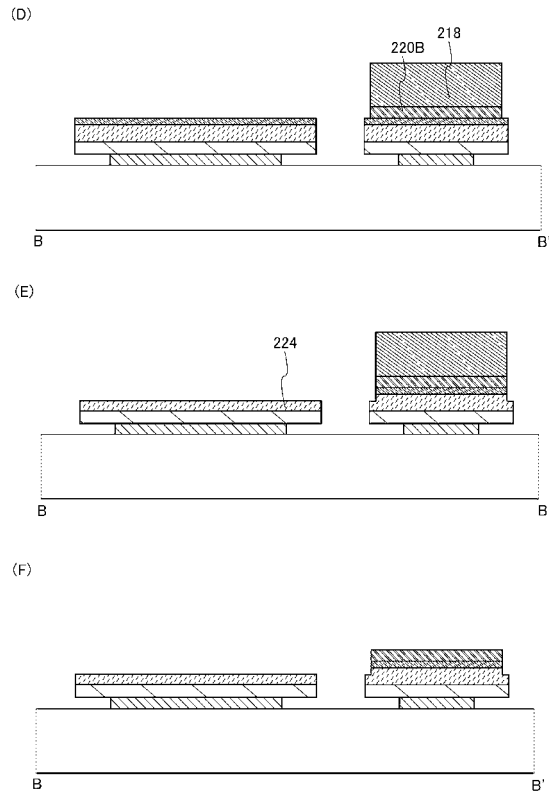
【図 30】



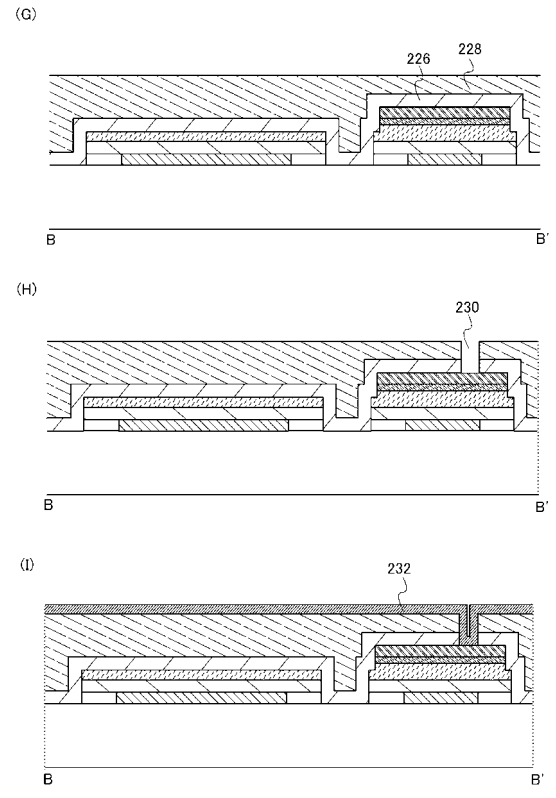
【図 31】



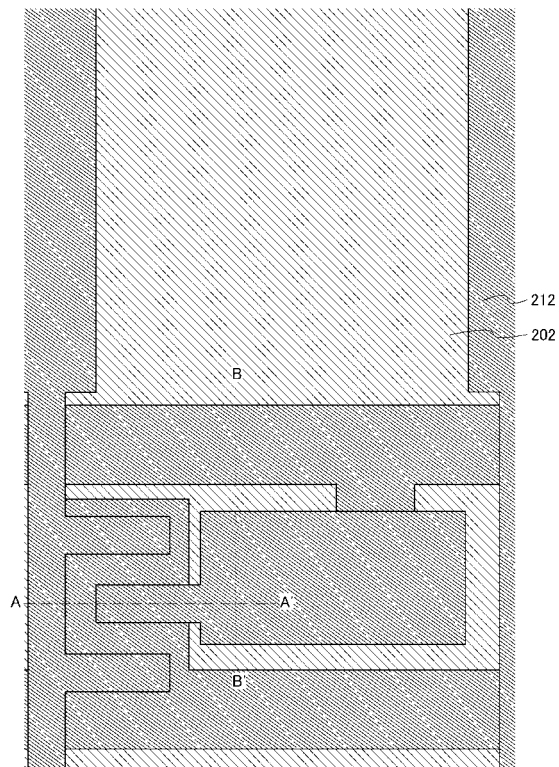
【図 3 2】



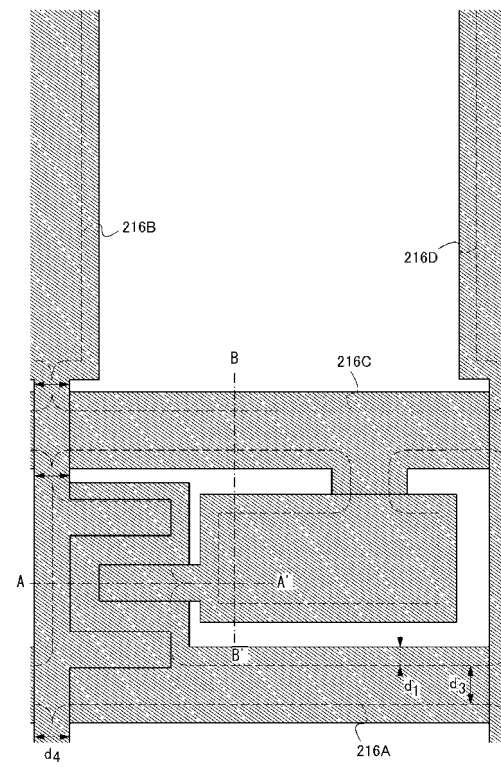
【図 3 3】



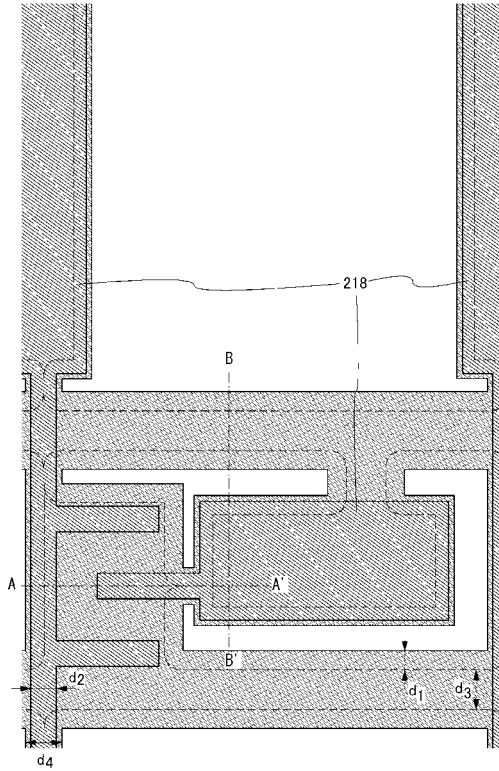
【図 3 4】



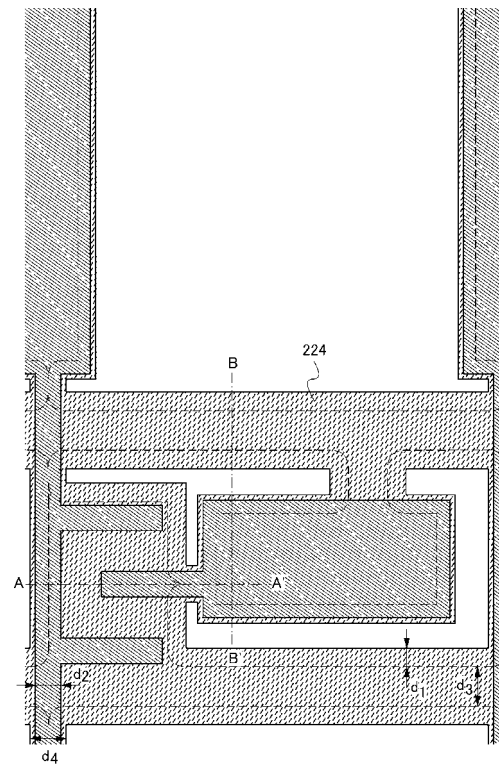
【図 3 5】



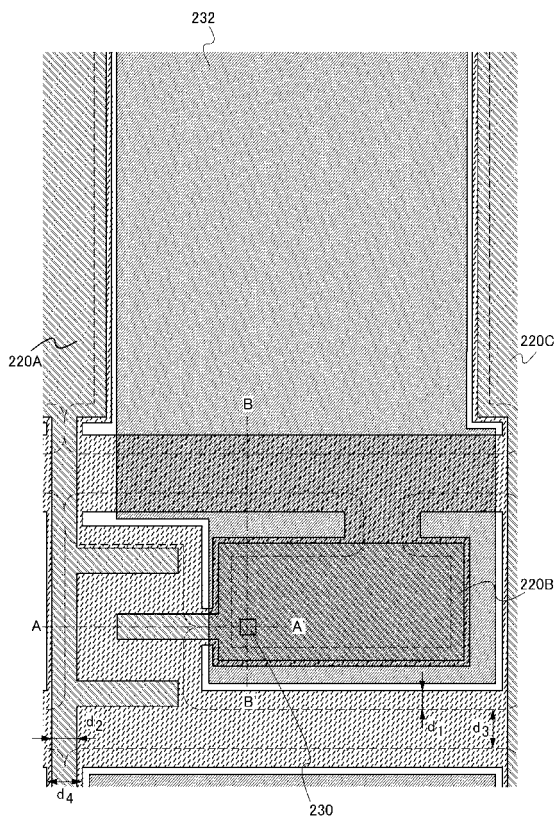
【図 36】



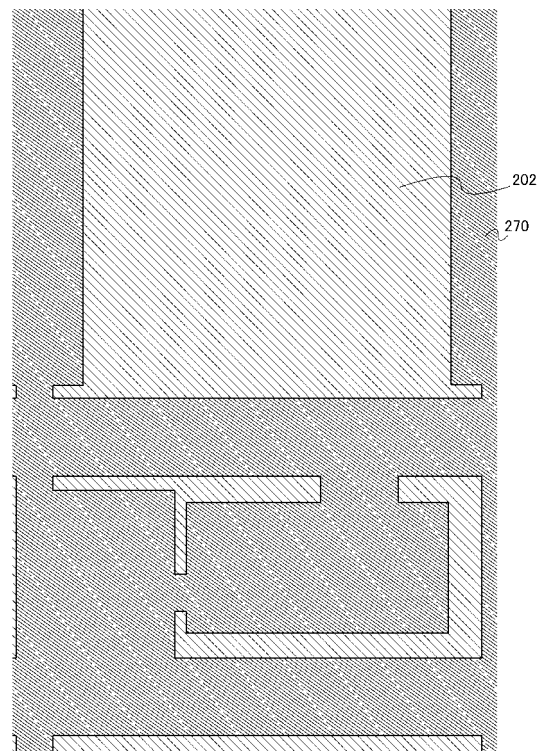
【図 37】



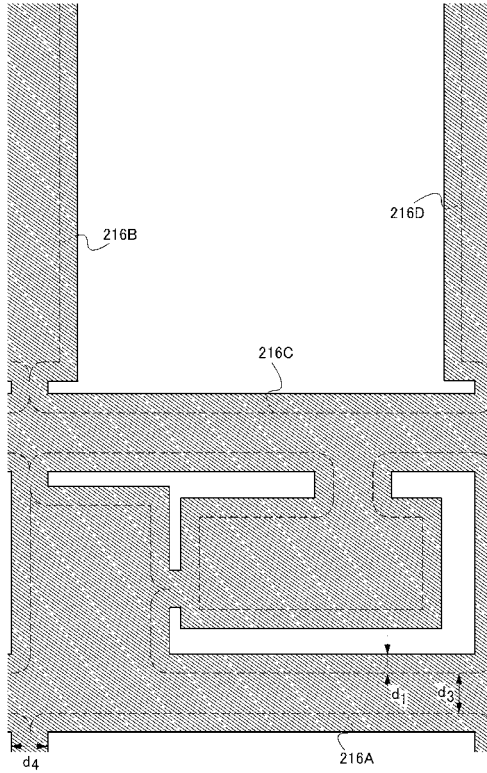
【図 38】



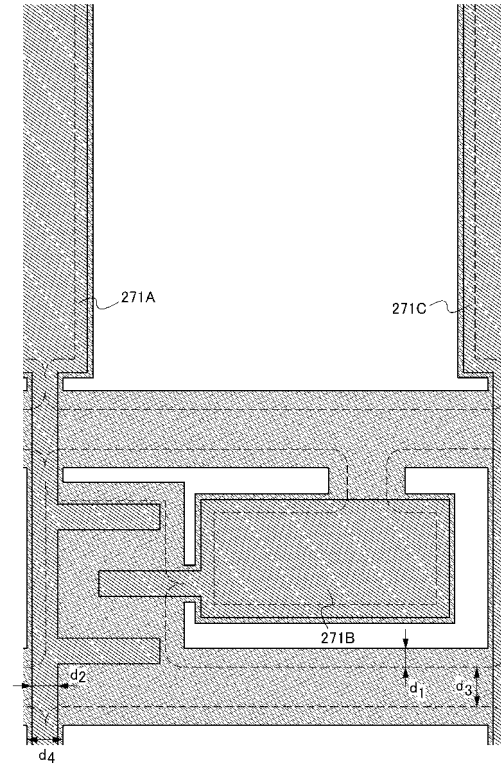
【図 39】



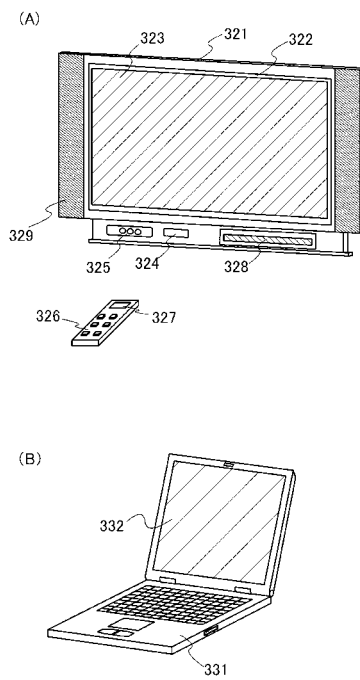
【図 40】



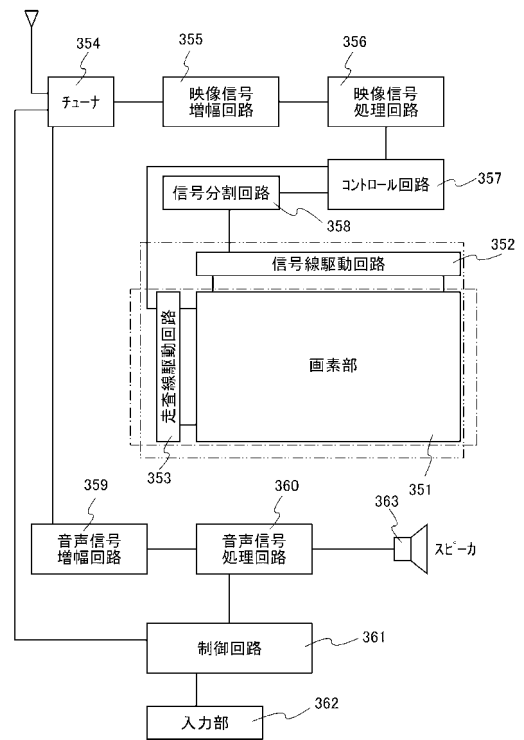
【図 41】



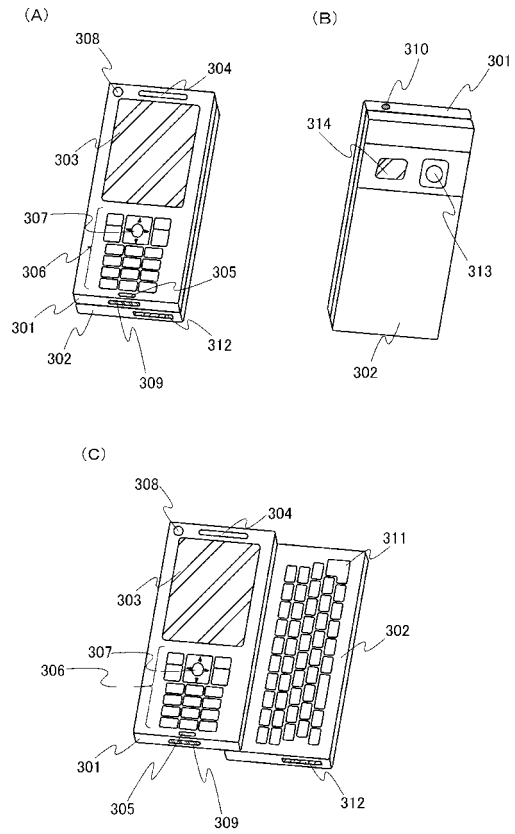
【図 42】



【図 43】



【図 4 4】



フロントページの続き

(56)参考文献 特開2003-179069(JP,A)
特開昭64-084669(JP,A)
特開昭62-069680(JP,A)
特開昭61-225869(JP,A)
特開2006-351844(JP,A)
特開昭63-182862(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/336
G02F	1/1368
H01L	29/786