

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年6月26日(26.06.2014)



(10) 国際公開番号
WO 2014/097739 A1

- (51) 国際特許分類:
H03K 17/08 (2006.01)
- (21) 国際出願番号: PCT/JP2013/078941
- (22) 国際出願日: 2013年10月25日(25.10.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-274367 2012年12月17日(17.12.2012) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者: 関川 貴善(SEKIGAWA, Kiyoshi); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 奥山 尚一, 外(OKUYAMA, Shoichi et al.); 〒1000014 東京都千代田区永田町2丁目13番5号赤坂エイトワンビル7階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

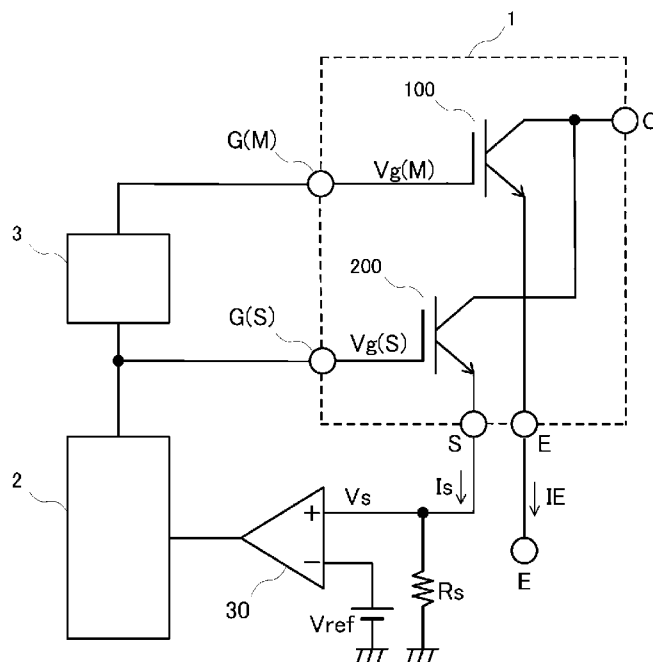
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND CURRENT DETECTION CIRCUIT USING SAID SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置およびその半導体装置を用いた電流検出回路



(57) Abstract: The present invention prevents the erroneous detection of an overcurrent, and determines whether a current in a main element is an overcurrent or not without dead time. When establishing electrical continuity in a main element (100), a gate signal for establishing electrical continuity is applied to a gate of a sense element (200) earlier than to the main element (100), so that an overshoot caused by a differential circuit in a gate input unit of the sense element (200) occurs before a current flows into the main element (100), whereby erroneous detection of overcurrents is prevented and the determination of whether the current in the main element (100) is an overcurrent or not can be made without dead time.

(57) 要約: 過電流に関する誤検出を防ぐとともに、メイン素子の電流が過電流か否かを不感時間なく判断する。メイン素子100を導通させるとき、センス素子200のゲートにメイン素子100より早く導通を指示するゲート信号を与え、メイン素子200に電流が流れる前にセンス素子100のゲート入力部の微分回路に起因するオーバーシュートが発生させてしまうことにより、過電流に関する誤検出を防ぐとともに、メイン素子100の電流が過電流か否かを不感時間なく判断できる。

明 細 書

発明の名称：

半導体装置およびその半導体装置を用いた電流検出回路

技術分野

[0001] 本発明は、メイン素子およびメイン素子に流れる電流を検出するためのセンス素子を有する半導体装置およびその半導体装置を用いた電流検出回路に関する。

背景技術

[0002] 負荷に電流を供給する I G B T (Insulated Gate Bipolar Transistor) や M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) などのパワー半導体素子については、負荷に適切な電流を供給するための制御や過電流に対する保護動作を行うために、当該パワー半導体素子に流れる電流を検出することが必須となる。

このために、負荷に電流を供給するエミッタ端子 E とエミッタ端子に流れる電流に比例する電流を流すセンス端子 S を有する複合素子（図 4 にその回路シンボルを示す）がしばしば用いられる（たとえば、特許文献 1，2，3）。なお、この複合素子については I G B T を例として説明し、以下同様に I G B T をパワー半導体素子として例示するが、本発明は I G B T に限定するものではなく、M O S F E T などの他のパワー半導体素子にも適用できるものである。

[0003] 図 4 に示す複合素子 10 は、実際には図 5 に示す構成を有している。すなわち、コレクタ端子 C およびゲート端子 G が共通接続されたメイン素子 100 およびセンス素子 200 からなる。センス端子 S はセンス素子のエミッタ端子に相当し、（メイン素子の）エミッタ端子 E に流れる電流の $1/N$ ($N > 1$) の電流が流れる。

[0004] 図 4、5 に示す複合素子 10 の半導体基板 300 上の構成例を図 6 に示す。図 6 においては、単位素子 20（最小サイズもしくはこれに近いサイズの

I G B TやM O S F E Tなど)が規則的に配置されていて、そのうちの1つがセンス素子200を構成し、その他のN1個の単位素子20がメイン素子100を構成する。メイン素子100を構成する各基本素子20のコレクタ端子、ゲート端子、ソース端子は図示されない配線で相互接続されている。また、上述のように、メイン素子100とセンス素子200のゲート端子同士およびコレクタ端子同士も接続されている。ここで、基本的には $N = N1$ であるが、素子の端の効果により両者が完全に同じ値にはならないことがある。

また、図6に示す構成以外にも、一つの大きなパワー半導体素子を大きさの異なる2つの領域に分割し、大きい方の領域をメイン素子100とし、小さい方の領域をセンス素子200として、それぞれにゲート端子、ソース端子およびコレクタ端子を設けるようにしてもよい(ゲート端子およびコレクタ端子は相互接続される。)。

[0005] 複合素子10に対する制御および保護動作を行う回路の基本構成の例を図7に示す。図7に示す回路は、複合素子10、抵抗 R_s (その抵抗値も R_s とする)、基準電圧 V_{ref} 、コンパレータ30、および制御回路40を有している。50は複合素子10が駆動する負荷である。センス端子Sに流れる電流は抵抗 R_s によりセンス電圧 $V_s = R_s \times I_s$ に変換され、センス電圧 V_s はコンパレータ30の非反転入力端子に入力される。また、コンパレータ30の反転入力端子には基準電圧 V_{ref} が入力される。コンパレータ30はセンス電圧 V_s と基準電圧 V_{ref} との比較を行い、その結果を制御回路40に伝達する。制御回路40は、通常は外部からの指令に基づき複合素子10のオンオフを制御するが、コンパレータ30からセンス電圧 V_s が基準電圧 V_{ref} より大きいという情報を得ると(コンパレータ30の出力がH(High)レベルになると)、電流 I_s に比例するメイン素子100の電流 I_E が過電流であると判断し、複合素子10をオフさせるよう複合素子10のゲート電圧 V_g を制御する。

[0006] またFWDは複合素子10に流れる電流(順方向電流)と逆方向の電流を

流すためのダイオードである。複合素子 10 は順方向電流しか流すことができないため、ほとんどのアプリケーションでは複合素子 10 とダイオード FWD がセットで使われる。また、電源 V_i (その電圧も V_i で表す。) が複合素子 10 のコレクタ端子 C およびダイオード FWD のカソードに接続されている。

[0007] 図 7 に示す複合素子 10 がオフからオンに変化するときのタイミングチャートを図 8 に示す。また、図 8 に示す動作を説明するための、複合素子 10 の等価回路を抵抗 R_s とともに図 9 に示す。図 9 において、 C_{ies1} はゲート容量などからなるメイン素子 100 の入力容量、 C_{ies2} はゲート容量などからなるセンス素子 200 の入力容量である。

[0008] 図 8 は、上から順に複合素子 10 のゲート電圧 V_g 、コレクタ電流 I_c とコレクタ電圧 V_c 、およびセンス電圧 V_s を示す。図中の V_{th} は複合素子 10 の閾値電圧である。

図 8 において、時刻 t_{10} で複合素子 10 のゲート電圧 V_g が立ち上がり始め、時刻 t_{20} でゲート電圧 V_g が複合素子 10 の閾値電圧 V_{th} に達すると、コレクタ電流 I_c が流れ始め、それに伴いコレクタ電圧 V_c が減少し始める。

センス電圧 V_s は一度オーバーシュートした後、定常値となる。

先行技術文献

特許文献

[0009] 特許文献 1：特開平 10-32476 号公報

特許文献 2：特開 2010-246179 号公報

特許文献 3：特開 2012-85407 号公報

特許文献 4：特開平 7-240516 号公報

発明の概要

発明が解決しようとする課題

[0010] 基本的にコレクタ電流 I_c とセンス電圧 V_s は相関関係（比例関係）にあ

るが、ゲート電圧 V_g 立ち上がり時は例外であり、ゲート電圧 V_g 立ち上がり時のセンス電圧 V_s のオーバーシュートはコレクタ電流 I_c には関係のないセンス素子200固有の現象であることが判明している。

センス電圧 V_s のオーバーシュートはコレクタ電流 I_c とは無関係なので、コレクタ電流 I_c の検出に関しては阻害要因となる。発明者は、センス電圧 V_s のオーバーシュートが、図9に示す入力容量 C_{ies2} と抵抗 R_s からなる微分回路に、ゲート端子Gの電圧の変化に対応する電流が流れることにより発生すると、判断している。すなわち、センス電圧 V_s の波形はコレクタ電流 I_c に比例する本来のセンス電圧に、微分回路に起因するオーバーシュートが重畳されたものになるので、図8に示すように本来のセンス電圧 V_s （図8の最後の定常値）が過電流の判断基準となる基準電圧 V_{ref} より下回っていても、オーバーシュート分が重畳されるために基準電圧 V_{ref} を超えてしまい、誤って過電流と判断してしまう。なお、実際の製品ではコストの観点から素子に大きな余力を持たせにくいので、本来のセンス電圧 V_s が基準電圧 V_{ref} 近くなるのは珍しいことではない。

[0011] センス電圧 V_s のオーバーシュートにより過電流ではないのに過電流と誤判断してしまうのは問題であるので、従来はゲート電圧を立ち上げ始めてから一定時間、過電流の検出を禁止する手段がとられていた。また、特許文献4においては、本発明とは異なるセンス電圧 V_s のオーバーシュート発生メカニズムを想定して、複合素子10中のセンス素子200の導通をメイン素子100の導通より遅らせることによりセンス電圧 V_s のオーバーシュートを防ごうとしている。これらはいずれも、メイン素子100に電流が流れ始めてもある時間（不感時間）待たないと過電流を検出できないという問題がある。すなわち、負荷が短絡しているという一刻を争う局面でもすぐには対処できず、発火といった重大事故につながる危険性を含むものになる。また、特許文献4の方式では、本来のセンス電圧にゲート入力部の微分回路に起因するオーバーシュートが重畳される現象は防ぐことはできないので、誤検出の可能性は残されることになる。

[0012] 本発明は、上記の課題を解決し、過電流に関する誤検出を防ぐとともに、メイン素子の電流が過電流か否かを不感時間なく判断できる半導体装置およびその半導体装置を用いた電流検出回路を提供することを目的とする。

課題を解決するための手段

[0013] そこで、上記課題を解決するために、請求項 1 に係る発明は、同一の半導体基板にメイン素子と前記メイン素子に流れる電流を検出するためのセンス素子を有し、前記メイン素子のコレクタ端子と前記センス素子のコレクタ端子は相互接続され、前記メイン素子を導通させるとき、前記センス素子のゲートに前記メイン素子より早く導通を指示するゲート信号を与えることを特徴とする。

[0014] 請求項 2 に係る発明は、請求項 1 に係る発明において、前記メイン素子を導通させるときの前記メイン素子に対するゲート信号は、前記センス素子を導通させるときに前記センス素子に与えるゲート信号を遅延回路によって遅延させたものであることを特徴とする。

請求項 3 に係る発明は、請求項 1 または 2 に係る発明において、前記メイン素子と前記センス素子は前記半導体基板において隣接して設けられていることを特徴とする。

請求項 4 に係る発明は、請求項 3 に係る発明において、前記メイン素子と前記センス素子は一つのパワー半導体素子を 2 つの領域に分けたものであることを特徴とする。

請求 5 に係る発明は、請求項 1 ないし 3 のいずれか 1 項に係る発明において、前記メイン素子と前記センス素子は I G B T (Insulated Gate Bipolar Transistor) であることを特徴とする。

請求項 6 に係る発明は、請求項 1 ないし 3 のいずれか 1 項に係る発明において、前記メイン素子は複数の基本素子が並列接続されたものであり、前記センス素子は 1 つの前記単位素子からなるもしくは前記単位素子が複数並列接続されたものであることを特徴とする。

[0015] 請求項 7 に係る発明は、請求項 1 ないし 6 のいずれか 1 項に係る発明の半

導体装置を用い、前記センス素子に流れる電流値を検出した信号を前記メイン素子に流れる電流を表す電流信号とする電流検出回路であることを特徴とする。

請求項 8 に係る発明は、請求項 7 に係る発明において、前記センス素子に前記センス素子を導通させるゲート信号が与えてから所定期間は前記電流信号を無効とすることを特徴とする。

請求項 9 に係る発明は、請求項 8 に係る発明において、前記所定期間は、前記センス素子に前記センス素子を導通させるゲート信号が与えてから前記メイン素子に前記メイン素子を導通させるゲート信号が与えるまでの時間と、前記メイン素子のゲート信号が立ち上がり始めてから前記メイン素子の閾値電圧に達するまでの時間との和以下であることを特徴とする。

発明の効果

[0016] この発明の半導体装置および電流検出回路は、メイン素子を導通させるとき、センス素子のゲートに前記メイン素子より早く導通を指示するゲート信号を与え、メイン素子に電流が流れる前にセンス素子のゲート入力部の微分回路に起因するオーバーシュートを発生させてしまうことにより、過電流に関する誤検出を防ぐとともに、メイン素子の電流が過電流か否かを不感時間なく判断できる。

図面の簡単な説明

[0017] [図1]本発明に係る半導体装置および電流検出回路の構成例を示すための回路図である。

[図2]図 1 に示す回路の動作を説明するためのタイミングチャートである。

[図3]本発明に係る半導体装置および電流検出回路の別の構成例を示すための回路図である。

[図4]複合素子 10 のシンボル図である。

[図5]複合素子 10 の構成を示す図である。

[図6]複合素子 10 の半導体基板上の構成例を示す図である。

[図7]複合素子 10 に対する制御および保護動作を行う回路の基本構成の例を

示す図である。

[図8]図7に示す複合素子10がオフからオンに変化する際のタイミングチャートを示す図である。

[図9]複合素子10の等価回路を示す図である。

発明を実施するための形態

[0018] 以下、本発明を実施するための形態について、図面を参照して詳細に説明する。

実施例 1

[0019] 図1に、本発明に係る半導体装置および電流検出回路の構成例を示す。また、図2にそのタイミングチャートを示す。図7と同じ部位には同じ符号を付して、詳細な説明は省略する。なお、図7の負荷50、ダイオードFWD、電源V_iの図示は省略しているが、同様に接続されているものとする。

[0020] 図1に示す回路は、複合素子1、制御回路2、遅延回路3、抵抗R_s（その抵抗値もR_sとする）、基準電圧V_{ref}、およびコンパレータ30を有している。複合素子1は図5に示す複合素子10と同様にメイン素子100とセンス素子200から構成されるが、複合素子10とは異なり、メイン素子100とセンス素子200がそれぞれ独立したゲート端子G（M）およびG（S）を有する構成となっている。ここで、メイン素子100とセンス素子200自体は、背景技術に示す従来のもと同様に作られる。

[0021] 発明者はメイン素子100とセンス素子200がそれぞれ独立したゲート端子を有する複合素子1を評価した結果、メイン素子100とセンス素子200が同一基板の近傍にある場合、センス素子200の動作がメイン素子100の動作に大きく影響され、センス素子200のゲート電圧がセンス素子200の閾値電圧を超えていても、メイン素子100が導通していないとセンス素子200にコレクタ電流が流れないという重要な知見を得ることができた。この場合、メイン素子100のゲートにセンス素子200のゲート電圧と同じ電圧を与えてメイン素子100にコレクタ電流が流れるとセンス素子にもコレクタ電流が流れて、複合素子として従来と同様の動作をすることも

確認されている。本発明は、この知見に基づいてなされたものである。

遅延回路 3 は制御回路 2 からセンス素子 200 のゲート端子 G (S) に入力されるゲート信号 $V_g(S)$ を遅延させたゲート信号 $V_g(M)$ 生成して、これをメイン素子 100 のゲート端子 G (M) に入力する。

[0022] 図 2 に、図 1 の複合素子 1 をオンさせるときのタイミングチャートを示す。図 2 において、時刻 t_1 でセンス素子 200 のゲート信号 $V_g(S)$ が立ち上がり始めると、センス素子 200 の入力容量 C_{ies2} と抵抗 R_s となる微分回路にゲート端子 G の電圧の立ち上がりに対応する電流が流れることにより発生するスイッチングノイズが、センス電圧 V_s に現れる。このとき、メイン素子 100 にはまだ電流が流れていないため、上述のようにセンス素子 200 にコレクタ電流は流れていない。したがい、コレクタ電流 I_c に比例する本来のセンス電圧 V_s はゼロであり、スイッチングノイズによる電圧にコレクタ電流 I_c をセンスしたゼロでない電圧が重畳（加算）されることがないため、このときのセンス電圧 V_s が基準電圧 V_{ref} に届くことがない。すなわち、スイッチングノイズによる過電流の誤検出を防ぐことができる。

[0023] メイン素子 100 に対するゲート信号 $V_g(M)$ は、センス素子 200 のゲート信号 $V_g(S)$ より遅延時間 t_{delay} だけ遅れて時刻 t_3 に立ち上がり始める。そして、時刻 t_4 でゲート信号 $V_g(S)$ メイン素子 100 の閾値電圧 V_{th} に達するとメイン素子 100 がオフからオンに移行してメイン素子 100 とセンス素子 200 のコレクタ電流が流れ始め、センス電圧 V_s はコレクタ電流 I_c に比例した電圧を示す。

[0024] センス素子 200 のゲート電圧立ち上がりによるスイッチングノイズが収まってからメイン素子 100 がオフからオンに移行するよう遅延時間 t_{delay} を設定しておけば、コレクタ電流 I_c に比例する本来のセンス電圧 V_s にセンス素子 200 のゲート電圧立ち上がりによるスイッチングノイズが重畳することがないので、過電流の誤検出を防ぐことができる。さらに、アプリケーションによってスイッチングノイズが過大となると想定される場合は、

時刻 t_1 から所定時間はセンス電圧 V_s による過電流判定を無効にすればよい。ここで、上記所定時間は、最長でも（遅延時間 t_{dly} + メイン素子のゲート信号 $V_g(S)$ が立ち上がり始めてから閾値電圧 V_{th} に達するまでの時間）でよい。この時間を確保できれば、スイッチングノイズの影響を防ぐとともに、不感時間をゼロとすることができる。これ以上長いと、不感時間が発生する可能性がある。

また、メイン素子 100 がオフからオンに移行するときには、センス素子 200 のゲート電圧が先行して立ち上がっているので、電流検出に関する不感時間が発生しない。

実施例 2

[0025] 図 3 に、本発明に係る半導体装置および電流検出回路の別の構成例を示す。本構成例は、図 1 の遅延回路 3 を抵抗 R_{dly} で構成したものである。このような簡単な構成でも、メイン素子 100 がオフからオンに移行するときには、センス素子 200 が先行して既にオンしている動作を実現することができる。このときのタイミングチャートは図 2 に示すものと略同一となる。また、時刻 t_1 から所定時間はセンス電圧 V_s による過電流判定を無効にすることも、実施例 1 と同様に適用することができる。

符号の説明

- [0026]
- 1, 10 複合素子
 - 2, 40 制御回路
 - 3 遅延回路
 - 20 単位素子
 - 30 コンパレータ
 - 50 負荷
 - 100 メイン素子
 - 200 センス素子
 - 300 半導体基板
 - C コレクタ端子

C_{ies1} , C_{ies2} 入力容量
 E エミッタ端子
 FWD ダイオード
 G , $G(M)$, $G(S)$ ゲート端子
 I_c コレクタ電流
 I_E メイン素子に流れる電流
 I_s センス素子に流れる電流
 S センス端子
 R_s , R_{dly} 抵抗
 V_c コレクタ電圧
 V_g ゲート電圧
 $V_g(M)$, $V_g(S)$ ゲート信号
 V_i 電源またはその電圧
 V_{ref} 基準電圧
 V_s センス電圧

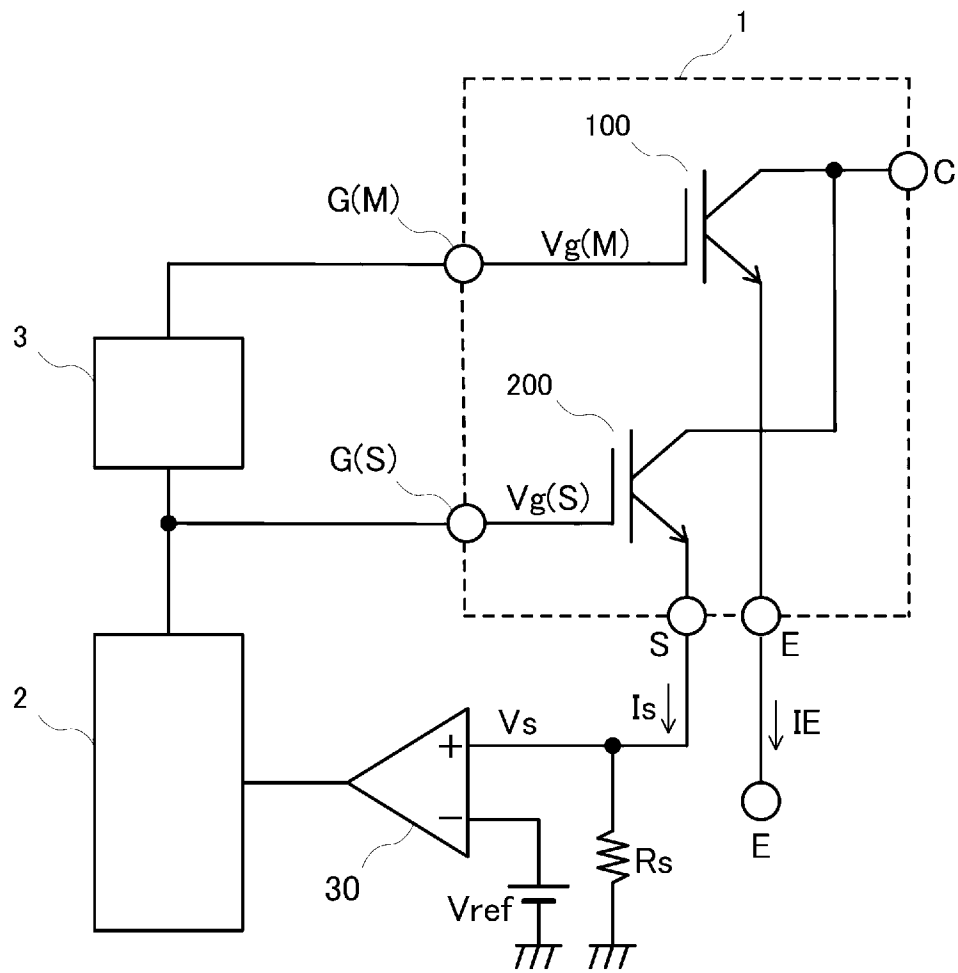
請求の範囲

- [請求項1] 同一の半導体基板にメイン素子と前記メイン素子に流れる電流を検出するためのセンス素子を有し、前記メイン素子のコレクタ端子と前記センス素子のコレクタ端子は相互接続され、前記メイン素子を導通させるとき、前記センス素子のゲートに前記メイン素子より早く導通を指示するゲート信号を与えることを特徴とする半導体装置。
- [請求項2] 前記メイン素子を導通させるときの前記メイン素子に対するゲート信号は、前記センス素子を導通させるときに前記センス素子に与えるゲート信号を遅延回路によって遅延させたものであることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記メイン素子と前記センス素子は前記半導体基板において隣接して設けられていることを特徴とする請求項1または2に記載の半導体装置。
- [請求項4] 前記メイン素子と前記センス素子は一つのパワー半導体素子を2つの領域に分けたものであることを特徴とする請求項3に記載の半導体素子。
- [請求項5] 前記メイン素子と前記センス素子は I G B T (Insulated Gate Bipolar Transistor) であることを特徴とする請求項1ないし4のいずれか1項に記載の半導体装置。
- [請求項6] 前記メイン素子は複数の基本素子が並列接続されたものであり、前記センス素子は1つの単位素子からなるもしくは前記単位素子が複数並列接続されたものであることを特徴とする請求項1ないし3のいずれか1項に記載の半導体装置。
- [請求項7] 請求項1ないし6のいずれか1項に記載の半導体装置を用い、前記センス素子に流れる電流値を検出した信号を前記メイン素子に流れる電流を表す電流信号とすることを特徴とする電流検出回路。
- [請求項8] 前記センス素子に前記センス素子を導通させるゲート信号が与えてから所定期間は前記電流信号を無効とすることを特徴とする請求項7

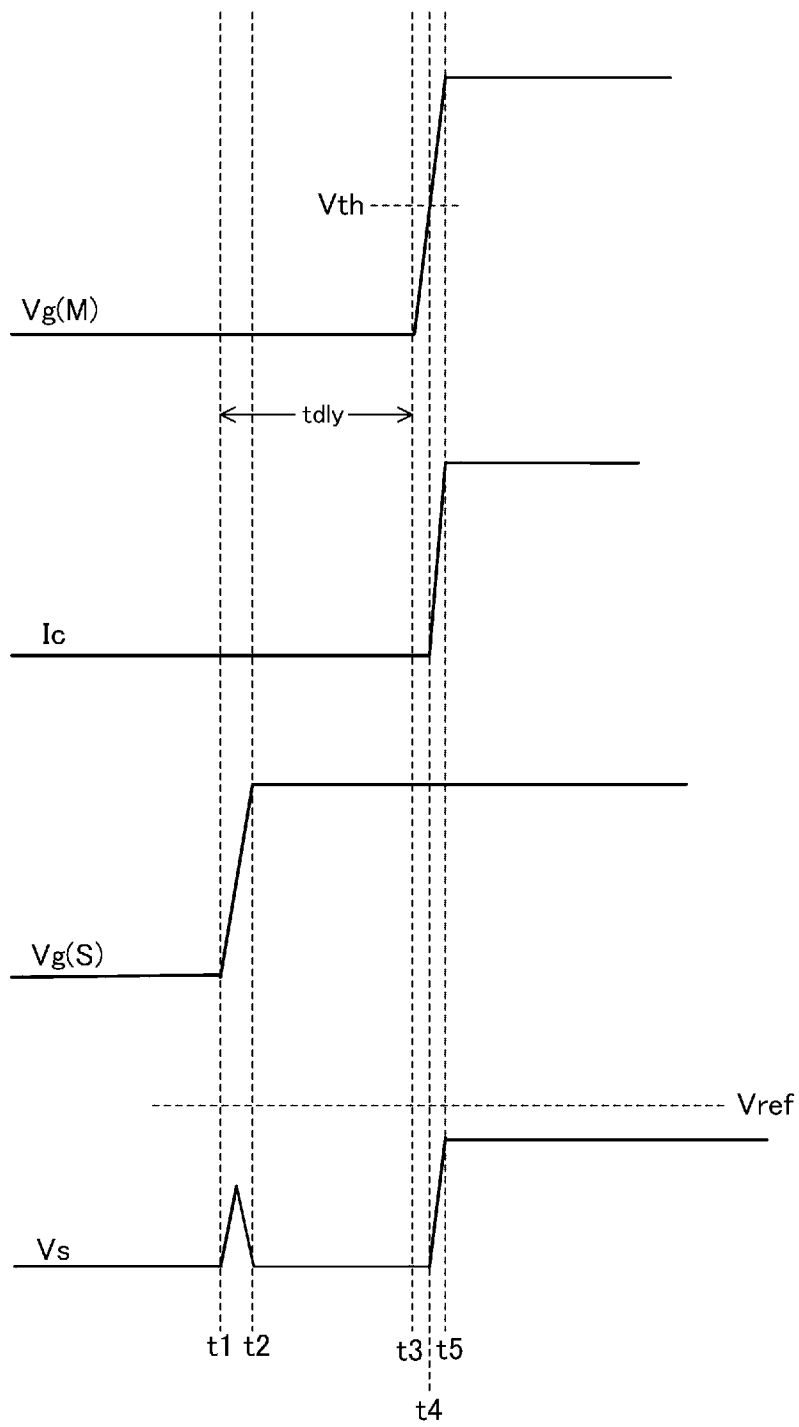
に記載の電流検出回路。

- [請求項9] 前記所定期間は、前記センス素子に前記センス素子を導通させるゲート信号が与えてから前記メイン素子に前記メイン素子を導通させるゲート信号が与えるまでの時間と、前記メイン素子のゲート信号が立ち上がり始めてから前記メイン素子の閾値電圧に達するまでの時間との和以下であることを特徴とする請求項8に記載の電流検出回路。

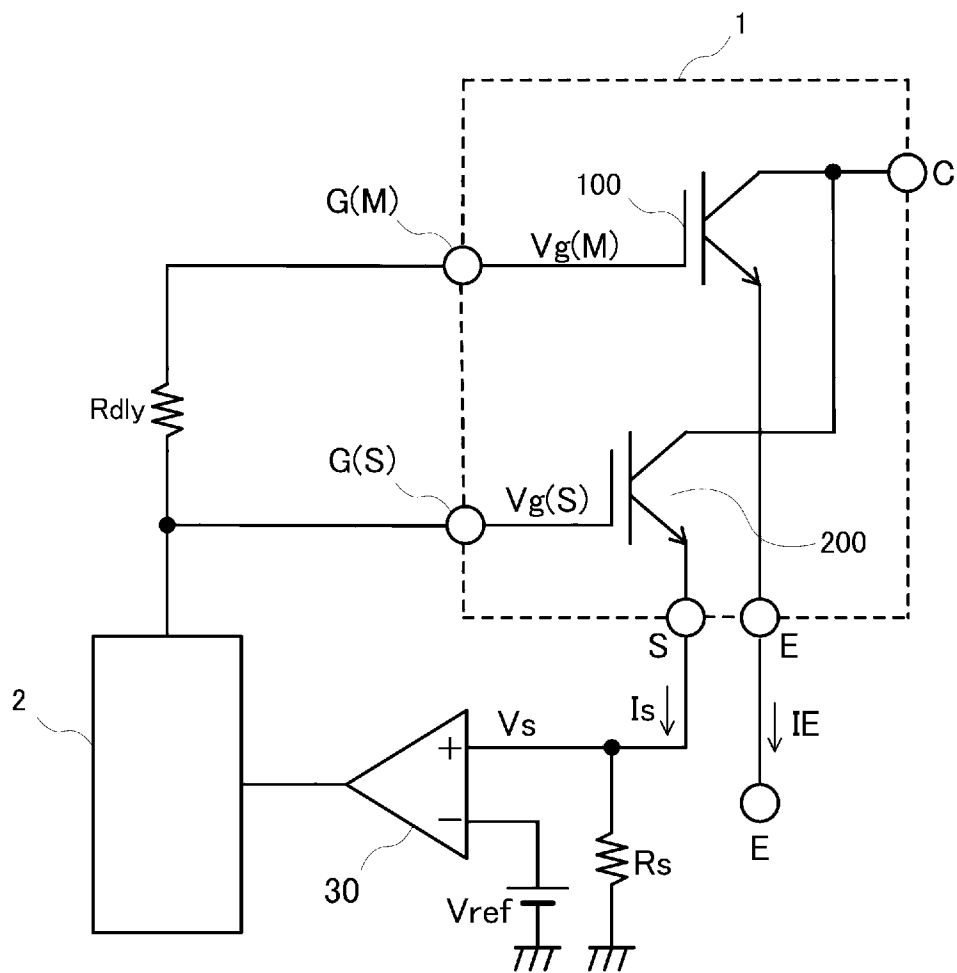
[図1]



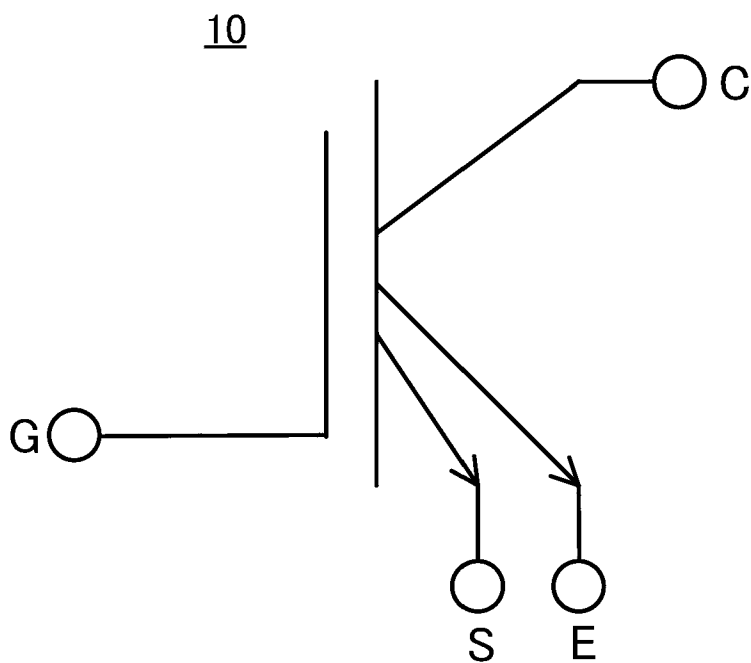
[図2]



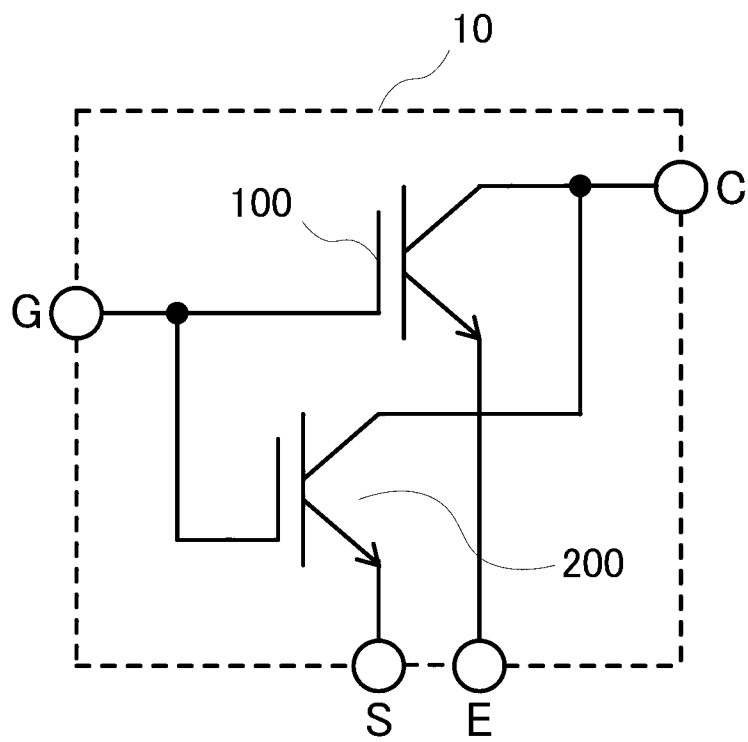
[図3]



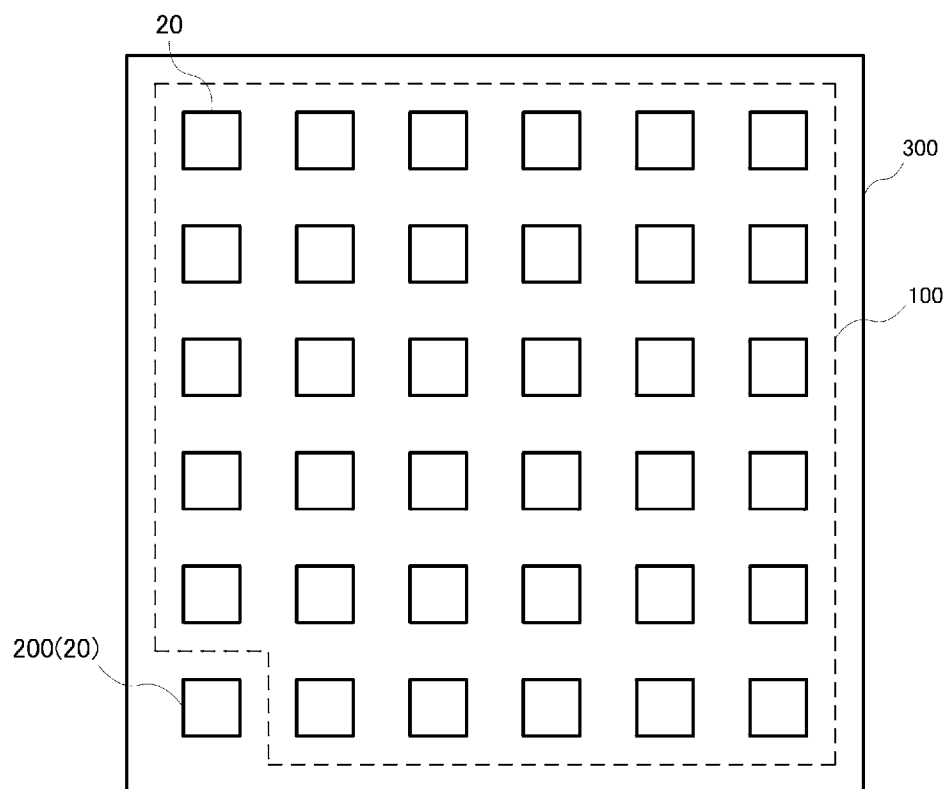
[図4]



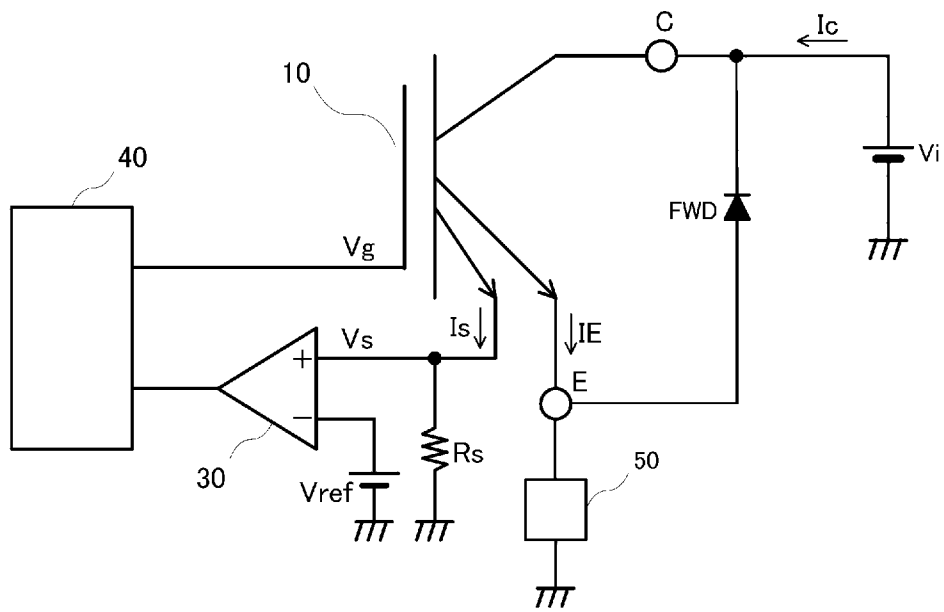
[図5]



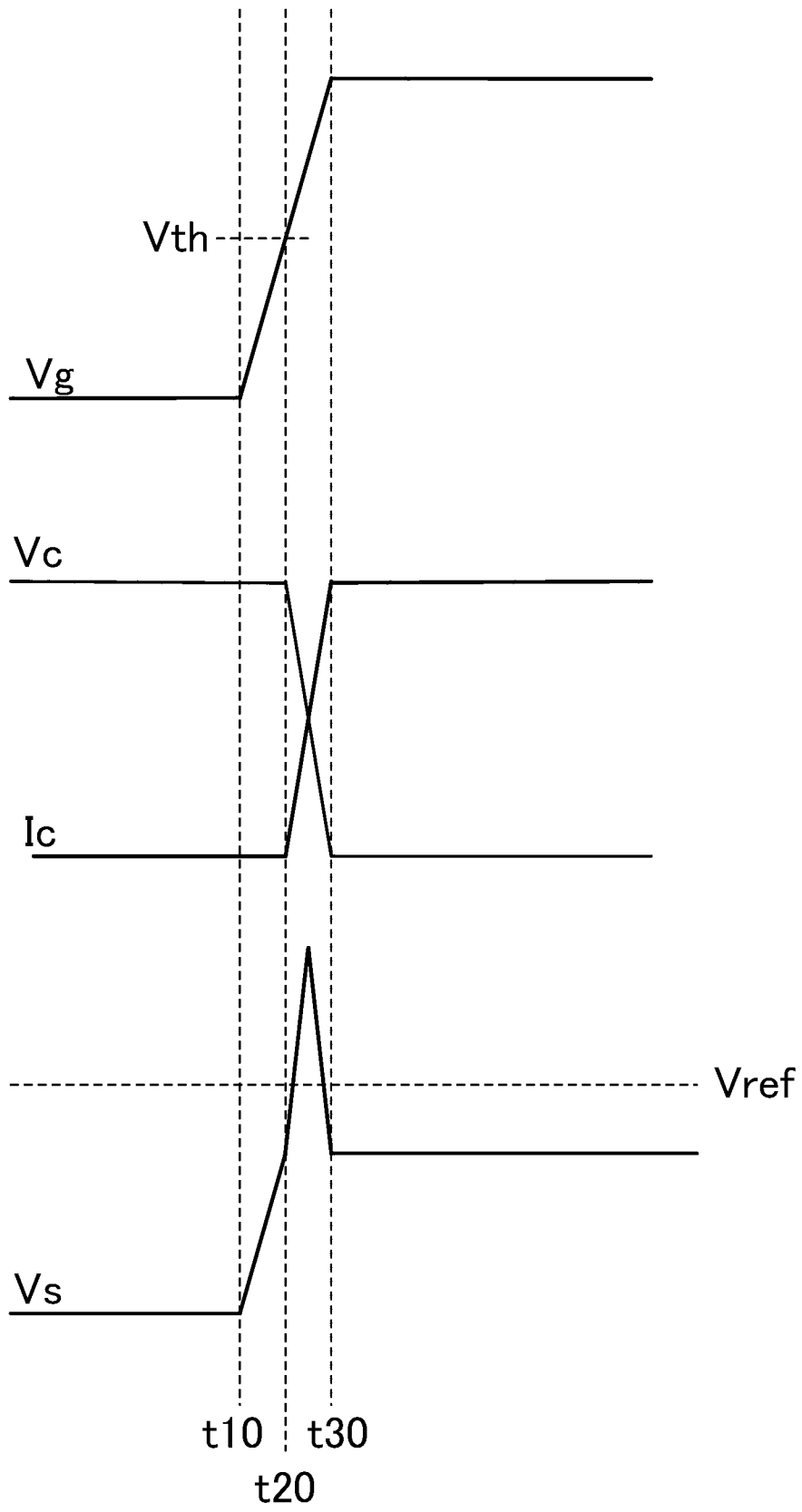
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/078941

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 7-86587 A (Hitachi, Ltd.), 31 March 1995 (31.03.1995), paragraphs [0020] to [0027]; fig. 1 to 2 & US 5631494 A	1-7 8-9
X A	JP 7-146722 A (Fuji Electric Co., Ltd.), 06 June 1995 (06.06.1995), paragraphs [0021], [0023]; fig. 2 & US 5621601 A & EP 0647026 A2	1-7 8-9
A	JP 64-66970 A (Nissan Motor Co., Ltd.), 13 March 1989 (13.03.1989), page 2, lower right, line 15 to page 3, upper right, line 9; fig. 1 to 2 & US 4893158 A1 & DE 3821065 A1	1-9

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 November, 2013 (06.11.13)

Date of mailing of the international search report
19 November, 2013 (19.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K17/08 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K17/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 7-86587 A（株式会社日立製作所）1995.03.31, 【0020】－【0027】，図1－2 & US 5631494 A	1－7 8－9
X A	JP 7-146722 A（富士電機株式会社）1995.06.06, 【0021】，【0023】，図2 & US 5621601 A & EP 0647026 A2	1－7 8－9
A	JP 64-66970 A（日産自動車株式会社）1989.03.13, 第2頁右下第15行－第3頁右上第9行，第1－2図 & US 4893158 A1 & DE 3821065 A1	1－9

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 1 . 2 0 1 3

国際調査報告の発送日

1 9 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 03-3581-1101 内線 3596