

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月24日(24.08.2023)



(10) 国際公開番号

WO 2023/157495 A1

(51) 国際特許分類:

H10B 63/10 (2023.01) H01L 29/792 (2006.01)
H01L 21/336 (2006.01) H10B 63/00 (2023.01)
H01L 29/788 (2006.01) H10N 70/20 (2023.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2022/048322

(22) 国際出願日: 2022年12月27日(27.12.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-023218 2022年2月17日(17.02.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

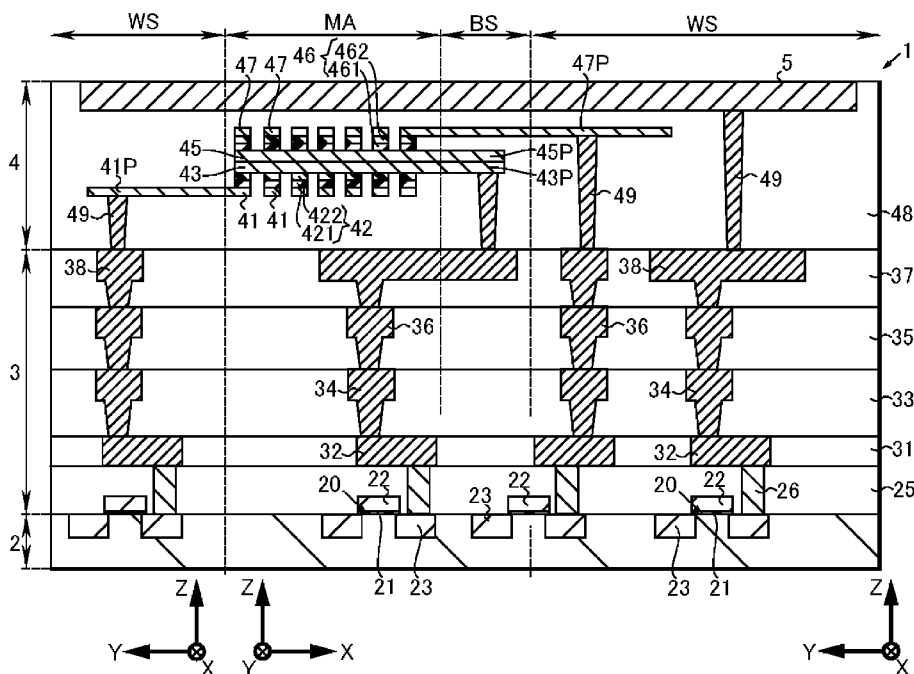
(72) 発明者: 角野 潤(SUMINO, Jun); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所(TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: NONVOLATILE STORAGE DEVICE AND METHOD FOR MANUFACTURING NONVOLATILE STORAGE DEVICE

(54) 発明の名称: 不揮発性記憶装置及び不揮発性記憶装置の製造方法



(57) Abstract: This nonvolatile storage device comprises: a first memory cell; first wiring laminated on the first memory cell, the first wiring extending in a first direction and being electrically connected to the first memory cell; second wiring laminated on the other side of the first wiring from the first memory cell, the second wiring extending in the same direction as the first wiring and having an end surface at the same position as the end surface of the first wiring with respect to the lamination direction; and a second memory cell laminated on the other side of the second wiring from the first wiring and

CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE,
KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

electrically connected to the second wiring.

(57) 要約: 不揮発性記憶装置は、第1メモリセルと、第1メモリセルに積層され、かつ、第1方向に延設され、第1メモリセルに電氣的に接続されている第1配線と、第1配線の第1メモリセルとは反対側に積層され、かつ、第1配線と同一方向に延設され、積層方向において、第1配線の端面に対して同一位置に端面を有する第2配線と、第2配線の第1配線とは反対側に積層され、第2配線に電氣的に接続されている第2メモリセルと、を備えている。

明 細 書

発明の名称：不揮発性記憶装置及び不揮発性記憶装置の製造方法 技術分野

[0001] 本開示は、不揮発性記憶装置及び不揮発性記憶装置の製造方法に関する。

背景技術

[0002] 特許文献 1 には、半導体装置の製造方法が開示されている。この半導体装置の製造方法では、自己整合型ダブルパターンニング（SADP：Self-Aligned Double Patterning）が使用されている。SADP によれば、光リソグラフィ技術の 1 回の露光では形成困難な密ピッチパターンの製造を実現することができる。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2015-84389 号公報

発明の概要

[0004] ところで、不揮発性記憶装置では、情報を記憶する微細なメモリセルが三次元方向に積層され、大容量化が実現されている。このため、不揮発性記憶装置及びその製造方法では、簡易に、上下パターンの合わせずれを効果的に抑制又は防止することが要望されている。

[0005] 本開示の第 1 実施態様に係る不揮発性記憶装置は、第 1 メモリセルと、第 1 メモリセルに積層され、かつ、第 1 方向に延設され、第 1 メモリセルに電氣的に接続されている第 1 配線と、第 1 配線の第 1 メモリセルとは反対側に積層され、かつ、第 1 配線と同一方向に延設され、積層方向において、第 1 配線の端面に対して同一位置に端面を有する第 2 配線と、第 2 配線の第 1 配線とは反対側に積層され、第 2 配線に電氣的に接続されている第 2 メモリセルとを備えている。

[0006] 本開示の第 2 実施態様に係る不揮発性記憶装置の製造方法は、第 1 メモリセルを形成し、第 1 メモリセル上に第 1 配線形成層を形成し、第 1 配線形成

層上に第2配線形成層を形成し、第2配線形成層上に第2メモリセル形成層を形成し、第2メモリセル形成層上に第1マスクを形成し、第1マスクを用いて、第2メモリセル形成層、第2配線形成層、第1配線形成層のそれぞれを順次パターンニングし、第2メモリセル形成層から第2メモリセルを形成し、第2配線形成層から第2配線を形成し、第1配線形成層から第1配線を形成する。

図面の簡単な説明

[0007] [図1]本開示の第1実施の形態に係る不揮発性記憶装置の概略構成を示す断面図である。

[図2]図1に示される不揮発性記憶装置の要部を拡大した断面図である。

[図3]図1に示される不揮発性記憶装置の要部の平面図である。

[図4]図1に示される不揮発性記憶装置の要部を拡大した平面図である。

[図5]第1実施の形態に係る不揮発性記憶装置の製造方法を説明する第1工程断面図である。

[図6]第2工程断面図である。

[図7]第3工程断面図である。

[図8]第4工程断面図である。

[図9]第5工程断面図である。

[図10]第6工程断面図である。

[図11]第7工程断面図である。

[図12]第8工程断面図である。

[図13]第9工程断面図である。

[図14]第10工程断面図である。

[図15]第11工程断面図である。

[図16]第12工程断面図である。

[図17]第13工程断面図である。

[図18]第14工程断面図である。

[図19]第15工程断面図である。

[図20]第16工程断面図である。

[図21]第17工程断面図である。

[図22]第18工程断面図である。

[図23]第19工程断面図である。

[図24]第20工程断面図である。

[図25]第21工程断面図である。

[図26]第22工程断面図である。

[図27]第23工程断面図である。

[図28]第24工程断面図である。

[図29]第25工程断面図である。

[図30]第26工程断面図である。

[図31]第27工程断面図である。

[図32]第28工程断面図である。

[図33]第29工程断面図である。

[図34]第30工程断面図である。

[図35]第31工程断面図である。

[図36]第14工程後の要部の平面図である。

[図37]第15工程及び第17工程の要部の平面図である。

[図38]第17工程の要部の平面図である。

[図39]第19工程の要部の平面図である。

[図40]本開示の第2実施の形態に係る不揮発性記憶装置の図2に対応する断面図である。

[図41]本開示の第3実施の形態に係る不揮発性記憶装置の図3に対応する断面図である。

発明を実施するための形態

[0008] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1実施の形態

第 1 実施の形態は、不揮発性記憶装置及び不揮発性記憶装置の製造方法に本技術を適用した例を説明する。第 1 実施の形態は、不揮発性記憶装置の構成、不揮発性記憶装置の製造方法について、詳細に説明する。

2. 第 2 実施の形態

第 2 実施の形態は、第 1 実施の形態に係る不揮発性記憶装置において、メモリセルの積層構造を代えた第 1 例を説明する。

3. 第 3 実施の形態

第 3 実施の形態は、第 2 実施の形態に係る不揮発性記憶装置において、メモリセルの積層構造を変えた第 2 例を説明する。

4. その他の実施の形態

[0009] <第 1 実施の形態>

図 1 ～図 39 を用いて、本開示の第 1 実施の形態に係る不揮発性記憶装置 1 及び不揮発性記憶装置 1 の製造方法を説明する。

ここで、図中、適宜示されている矢印 X 方向は、不揮発性記憶装置 1 を水平面に載置したときの水平面方向の 1 つの方向である。矢印 Y 方向は、矢印 X 方向に対して直交する水平面方向の他の 1 つの方向である。そして、矢印 Z 方向は、矢印 X 方向及び矢印 Y 方向に対して直交する上方向である。また、矢印 Z 方向は、各種薄膜、メモリセルのそれぞれの積層方向でもある。すなわち、矢印 X 方向、矢印 Y 方向、矢印 Z 方向のそれぞれは、三次元座標系の X 軸方向、Y 軸方向、Z 軸方向の各々に一致する方向である。

なお、これらの方向は、説明の理解を助けるために、便宜的に示されており、本技術の方向を限定するものではない。

[0010] [不揮発性記憶装置 1 の構成]

(1) 不揮発性記憶装置 1 の全体構成

図 1 は、本開示の第 1 実施の形態に係る不揮発性記憶装置 1 の全体構成の一例の断面構成を表している。

[0011] 第 1 実施の形態に係る不揮発性記憶装置 1 は、相変化型メモリ（PCM：Phase Change Memory）として構成されている。不揮発性記憶装置 1 は、基板

2と、配線層3と、記憶層4と、配線5とを備えている。記憶層4は、ここでは、メモリセルアレイMAと、第1配線接続領域WSと、第2配線接続領域BSとを備えている。

第1実施の形態に係る不揮発性記憶装置1では、メモリセルアレイMAは、クロスポイントアレイ構造を採用している。

[0012] (2) 基板2の構成

基板2は、不揮発性記憶装置1のベース基板として使用されている。基板2には、例えば単結晶珪素(Si)基板が使用されている。

[0013] 基板2の主面部には、トランジスタ20等の半導体素子が配設されている。トランジスタ20は、例えば絶縁ゲート電界効果トランジスタ(IGFET: Insulated Gate Field Effect Transistor)により形成されている。IGFETは、MISFET(Metal Insulator Semiconductor Field Effect Transistor)及びMOSFET(Metal Oxide Semiconductor Field Effect Transistor)を含む意味において使用されている。

トランジスタ20は、基板2の主面部の図示省略のチャネル形成領域と、ゲート絶縁膜21と、ゲート電極22と、ソース領域及びドレイン領域として使用される一対の主電極23とを備えている。

[0014] トランジスタ20の主電極23には、プラグ配線26が電氣的に接続されている。プラグ配線26は、基板2の主面上に積層された層間絶縁膜25に形成された符号省略の接続孔内に埋設されている。プラグ配線26は、トランジスタ20と配線層3との間を電氣的に接続している。プラグ配線26には、例えばタングステン(W)が使用されている。

[0015] 半導体素子は各種回路を構築している。各種回路としては、例えば、選択回路、書込み回路、読出し回路、電源回路、制御回路等である。

[0016] (3) 配線層3の構成

配線層3は、この層数に限定されるものではないが、例えば4層の多層配線層として形成されている。

配線層3の第1配線層は、層間絶縁膜31と、この層間絶縁膜31に埋設

された配線 3 2 とを備えている。配線 3 2 は、プラグ配線 2 6 に、直接、電氣的に接続されている。

第 2 配線層は、層間絶縁膜 3 3 と、この層間絶縁膜 3 3 に埋設された配線 3 4 とを備えている。

第 3 配線層は、層間絶縁膜 3 5 と、この層間絶縁膜 3 5 に埋設された配線 3 6 とを備えている。

第 4 配線層は、層間絶縁膜 3 7 と、この層間絶縁膜 3 7 に埋設された配線 3 8 とを備えている。

[0017] 各配線層の配線 3 2、配線 3 4、配線 3 6 及び配線 3 8 は、基板 2 に構築された各種回路と記憶層 4 との間を電氣的に接続し、各種信号や電源の供給を行う。配線 3 2、配線 3 4、配線 3 6、配線 3 8 のそれぞれは、抵抗値が小さい、例えば銅 (C u) 配線により形成されている。

[0018] (4) 記憶層 4 の構成

図 2 は、図 1 に示される不揮発性記憶装置 1 の記憶層 4 を拡大した一例の断面構成を表している。図 3 は、記憶層 4 のメモリセルアレイ M A、第 1 配線接続領域 W S 及び第 2 配線接続領域 B S の一部の概略的な平面構成を表している。図 4 は、記憶層 4 の第 2 配線接続領域 B S の一部を拡大した平面構成を表している。

[0019] (4 A) メモリセルアレイ M A の構成

メモリセルアレイ M A は、図 2 及び図 3 に示されるように、矢印 Z 方向から見て（以下、単に「平面視において」という。）、基板 2（図 1 参照）の中央部分に配設されている。メモリセルアレイ M A は、前述の通り、クロスポイントアレイ構造が採用され、更に複数のメモリセルが積層された積層構造が採用されている。

第 1 実施の形態では、第 1 メモリセル 4 2 と、第 1 メモリセル 4 2 の上方に積層された第 2 メモリセル 4 6 とを有する 2 段（複数段）の積層構造が採用されている。

[0020] メモリセルアレイ M A において、第 1 メモリセル 4 2 は、第 3 配線 4 1 と

第1配線43との交差部（クロスポイント）に配置されている。そして、第1メモリセル42は、第3配線41、第1配線43のそれぞれに電氣的に接続されている。

[0021] 第3配線41は、第1実施の形態において、第1ワード線（第1層目ワード線）として構成されている。第3配線41は、第2方向としての矢印Y方向に延設され、第2方向に対して交差する第1方向としての矢印X方向に所定の間隔を持って複数本配列されている。第3配線41は、例えばWにより形成されている。

[0022] 第1配線43は、第1ビット線（第1層目ビット線）として構成されている。第1配線43は、第3配線41の上方において、第1メモリセル42を介在し、矢印X方向に延設され、矢印Y方向に所定間隔を持って複数本配列されている。第1配線43は、第3配線41と同様の金属材料により形成されている。

[0023] 第1メモリセル42は、選択素子421と記憶素子422との直列回路により構成されている。

選択素子421は、第3配線41上に配設され、第3配線41に電氣的に接続されている。選択素子421は、情報の書込み動作や読出し動作において、第1メモリセル42の選択に使用される。

記憶素子422は、選択素子421上に配設され、選択素子421、第1配線43のそれぞれに電氣的に接続されている。記憶素子422は、第1メモリセル42に書込まれた情報を記憶する。

[0024] 第1メモリセル42では、第1方向の寸法が第3配線41の配線幅寸法と同一に形成され、第2方向の寸法が第1配線43の配線幅寸法と同一に形成されている。このため、第1メモリセル42は、平面視において矩形状に形成され、矢印Z方向を高さとする矩形柱形状に形成されている。

なお、第1メモリセル42は、第3配線41との間、第1配線43との間の少なくとも一方に、電極を配設してもよい。

[0025] 第2メモリセル46は、第2配線45と第4配線47との交差部に配置さ

れている。そして、第2メモリセル46は、第2配線45、第4配線47のそれぞれに電氣的に接続されている。

[0026] 第2配線45は、第2ビット線（第2層目ビット線）として構成されている。第2配線45は、第1配線43上において、第1配線43に、直接、電氣的に接続されている。第2配線45は、更に、第1配線43と同様に、矢印X方向に延設され、矢印Y方向に所定間隔を持って複数本配列されている。第1配線43は、第3配線41と同様の金属材料により形成されている。

[0027] ここで、第2配線45は、矢印Z方向、すなわち第2配線45を積層する積層方向において、第1配線43の配線幅を規定する端面に対して同一位置に配線幅を規定する端面を有している。表現を代えと、矢印X方向と矢印Z方向とにより生成される垂直平面において、第2配線45の端面は、第1配線43の端面に対して、同一面に形成されている。

また、不揮発性記憶装置1の製造方法として表現すれば、第1配線43は、第2配線45に対して、自己整合により形成されている。或いは、第1配線43及び第2配線45は、双方に共通の1つのマスクを用いて、重ね切りされている。ここで、重ね切りとは、同一のマスクを用いて、第2配線45及び第1配線43が、例えばエッチング加工により一度に加工されるという意味において使用されている。

[0028] 第4配線47は、第2ワード線（第2層目ワード線）として構成されている。第4配線47は、第2配線45の上方において、第2メモリセル46を介在し、矢印Y方向に延設され、矢印X方向に所定間隔を持って複数本配列されている。第4配線47は、第3配線41と同様の金属材料により形成されている。

[0029] 第2メモリセル46は、第1メモリセル42と同様に、選択素子461と記憶素子462との直列回路により構成されている。

選択素子461は、第2配線45上に配設され、第2配線45に電氣的に接続されている。選択素子461は、選択素子421と同様に、第2メモリセル46の選択に使用される。

記憶素子 4 6 2 は、選択素子 4 6 1 上に配設され、選択素子 4 6 1、第 4 配線 4 7 のそれぞれに電氣的に接続されている。記憶素子 4 6 2 は、記憶素子 4 2 2 と同様に、第 2 メモリセル 4 6 に書込まれた情報を記憶する。

[0030] 第 2 メモリセル 4 6 では、第 1 方向の寸法が第 2 配線 4 5 の配線幅寸法と同一に形成され、第 2 方向の寸法が第 4 配線 4 7 の配線幅寸法と同一に形成されている。このため、第 2 メモリセル 4 6 は、第 1 メモリセル 4 2 と同様に、矩形柱形状に形成されている。

なお、第 2 メモリセル 4 6 は、第 2 配線 4 5 との間、第 4 配線 4 7 との間の少なくとも一方に、電極を配設してもよい。

[0031] ここで、第 1 実施の形態に係る不揮発性記憶装置 1 の製造方法では、第 2 メモリセル 4 6、第 2 配線 4 5、第 1 配線 4 3 のそれぞれが、1 つのマスクを用いて、重ね切りされている。つまり、第 1 配線 4 3 と第 2 配線 4 5 との関係と同様に、第 2 メモリセル 4 6 の矢印 Y 方向の端面は、垂直方向において、第 2 配線 4 5 の配線幅を規定する端面に対して、同一位置に形成されている。

[0032] (4 B) 第 1 配線接続領域 WS 及び第 2 配線接続領域 BS の構成

図 2 及び図 3 に示されるように、第 1 配線接続領域 WS は、矢印 Y 方向において、メモリセルアレイ MA の外周囲にこのメモリセルアレイ MA に隣接して配設されている。図 2 に示されるように、第 1 配線接続領域 WS には、メモリセルアレイ MA から第 1 配線接続領域 WS まで延設された第 3 配線 4 1 の延設方向端部に電氣的に接続される端子 4 1 P が配設されている。この端子 4 1 P は、記憶層 4 の配線 4 9 を通して、配線層 3 の配線 3 8 に電氣的に接続されている。

端子 4 1 P は、第 3 配線 4 1 と同一の金属材料により形成されている。また、配線 4 9 は、例えば Cu 配線により形成されている。

[0033] また、第 1 配線接続領域 WS は、図 1 に示されるように、メモリセルアレイ MA から第 1 配線接続領域 WS まで延設された第 4 配線 4 7 の延設方向端部に電氣的に接続される端子 4 7 P が配設されている。この端子 4 7 P は、

記憶層４の配線４９を通して、配線層３の配線３８に電氣的に接続されている。

[0034] 図２及び図３に示されるように、第２配線接続領域ＢＳは、矢印Ｘ方向において、メモリセルアレイＭＡの外周囲にこのメモリセルアレイＭＡに隣接して配設されている。図１、図２及び図４に示されるように、第２配線接続領域ＢＳには、メモリセルアレイＭＡから第２配線接続領域ＢＳまで延設された第１配線４３及び第２配線４５の延設方向端部に電氣的に接続される端子４３Ｐ及び端子４５Ｐが配設されている。この端子４３Ｐ及び端子４５Ｐは、記憶層４の配線４９を通して、配線層３の配線３８に電氣的に接続されている。

端子４３Ｐは、第１配線４３と同一の金属材料により形成されている。端子４５Ｐは、第１配線４３と同一の金属材料により形成されている。

[0035] ここで、端子４３Ｐ及び端子４５Ｐは、第１配線４３及び第２配線４５との関係と同様である。つまり、端子４５Ｐは、積層方向において、端子４３Ｐの端面に対して同一位置に端面を有している。表現を代えと、矢印Ｘ方向と矢印Ｚ方向とにより生成される垂直平面において、端子４５Ｐの端面は、端子４３Ｐの端面に対して、同一面に形成されている。

また、不揮発性記憶装置１の製造方法として表現すれば、端子４３Ｐは、端子４５Ｐに対して、自己整合により形成されている。或いは、端子４３Ｐ及び端子４５Ｐは、双方に共通の１つのマスクを用いて、重ね切りされている。端子４３Ｐ及び端子４５Ｐは、平面視において、同一の矩形状を有する外形形状に形成されている。

[0036] (４Ｃ) 記憶層４の他の構成

記憶層４において、メモリセルアレイＭＡ、第１配線接続領域ＷＳ、第２配線接続領域ＢＳのそれぞれは、簡略化して一体的に図示しているが、複数層の層間絶縁膜から形成された層間絶縁膜４８内に形成されている。

また、第４配線４７の上層には、最終配線層となる配線５が配設されている。配線５は、例えばアルミニウム（Ａｌ）合金配線により形成されている。

。

[0037] [不揮発性記憶装置 1 の製造方法]

第 1 実施の形態に係る不揮発性記憶装置 1 の製造方法は、以下の通りである。ここで、図 5 ～図 35 は、製造方法を工程毎に説明する工程断面の一例を表している。工程断面では、図中、左側から右側に向かって、矢印 Y 方向から見たメモリセルアレイ MA の断面、矢印 X 方向から見たメモリセルアレイ MA の断面、矢印 Y 方向から見た第 1 配線接続領域 WS の断面、矢印 X 方向から見た第 2 配線接続領域 BS の断面のそれぞれが示されている。

また、図 36 ～図 39 は、特定の工程での第 2 配線接続領域 BS の平面の一例を表している。

[0038] (1) 第 3 配線 41、第 1 メモリセル 42 及び第 1 配線 43 の製造方法

まず最初に、基板 2 上に配線層 3 が形成される (図 1 参照)。引き続き、配線層 3 上において、記憶層 4 の第 3 配線形成層 41A、メモリセル形成層 42A のそれぞれが順次形成される。メモリセル形成層 42A では、選択素子形成層 421A、記憶素子形成層 422A が順次形成される (図 5 参照)

。

[0039] メモリセル形成層 42A 上にマスク 601 が形成される (図 5 参照)。マスク 601 は、基板 2 の全面に形成される。マスク 601 は、ハードマスクとして使用され、例えば酸化珪素 (SiO_2) 又は窒化珪素 (SiN) により形成される。

図 5 に示されるように、第 3 配線 41 間となる領域において、マスク 601 上にマスク 602 が形成される。マスク 602 は、マスク 601 に対してエッチング選択比を得られる、例えばフォトレジスト、多結晶 Si 等により形成される。ここで、マスク 602 は、マンドレルパターンニング (Mandrel patterning) により形成され、マスク 602 の形成には、フォトリソグラフィ技術が使用される。

[0040] 図 6 に示されるように、マスク 602 の側壁にマスク 603 が形成される。マスク 603 は、マスク 601 及びマスク 602 に対してエッチング選択

比を得られる、例えば窒化珪素（SiN）又は酸化珪素（SiO₂）により形成される。マスク603は、例えば、均一な膜厚が得られる化学的気相析出（CVD：Chemical Vapor Deposition）法を用いて成膜され、反応性イオンエッチング（RIE：Reactive Ion Etching）等の異方性エッチングを用いたエッチバックにより形成される。このため、マスク603は、マスク602に対して自己整合により形成される。さらに、マスク603は、成膜時の膜厚とエッチング量とにより、リソグラフィ技術の解像度の限界以下の線幅に形成可能である。つまり、マスク603の形成には、SADPが使用される。

[0041] 図7に示されるように、マスク602が選択的に除去される。このため、マスク601上には、マスク603が残存される。

[0042] 図8に示されるように、第1配線接続領域WSにおいて、端子41Pの形成領域に開口604Hを有するマスク604が、マスク603上に形成される。マスク604は、例えばフォトレジストにより形成される。

[0043] 引き続き、図9に示されるように、マスク604を用いて、開口604Hから露出されるマスク603が除去される。マスク604は、ここでは図示されていないが、第3配線41の延設方向端部に相当する領域にも開口604Hを有する。このため、第3配線41の延設方向端部に相当する領域においても、マスク603が除去される。この後、マスク604が除去される。

ここでの処理は、ループカット（Loop cut）処理である。

[0044] 図10に示されるように、第1配線接続領域WSにおいて、端子41Pの形成領域にマスク605が形成される。マスク605は、例えばフォトレジストにより形成される。

ここでの処理は、パッチパターンニング（Patch patterning）処理である。

[0045] 図11に示されるように、マスク603及びマスク605を用いてマスク601にパターンニングを行い、マスク601からマスク606が形成される。マスク606の形成には、例えばドライエッチング処理が使用される。

[0046] 図12に示されるように、マスク606を用いて、メモリセル形成層42A、第3配線形成層41Aのそれぞれがパターンニングされる。このため、メモリセルアレイMAにおいて、メモリセル形成層42Aの矢印X方向のパターンニングが行われるとともに、第3配線41が形成される。また、第1配線接続領域WSにおいて、端子41Pが形成される。

この後、マスク606は除去される。

[0047] 図13に示されるように、第3配線41間及びメモリセル形成層42A間に絶縁体481が埋設され、メモリセル形成層42Aの表面及び絶縁体481の表面が平坦化される。平坦化には、例えば化学機械研磨（CMP：Chemical Mechanical Polishing）法が使用される。

[0048] 図14に示されるように、メモリセル形成層42A上に第1配線形成層43Aが形成される。

[0049] （2）第2配線45、第2メモリセル46及び第4配線47の製造方法

前述の図5及び図6に示される工程と同様に、図15に示されるように、第1配線形成層43A上にマスク701が形成され、マスク701上にマスク702及びマスク703が形成される。マスク701は、ハードマスクとして使用される。マスク702は、マンドレルパターンニングにより形成される。マスク703の形成には、SADPが使用される。

図16に示されるように、マスク702が選択的に除去される。このため、マスク701上には、マスク703が残存される。

[0050] ここで、第1実施の形態に係る不揮発性記憶装置1の製造方法では、第1配線43の形成工程において、前述の図8～図11に示されるループカット処理及びパッチパターンニング処理に相当する工程が省略される。

[0051] マスク703を用いてマスク701にパターンニングを行い、マスク701からマスク706が形成される（図17参照）。

図17に示されるように、マスク706を用いて、第1配線形成層43Aがパターンニングされる。このため、メモリセルアレイMAにおいて、第1配線43が形成される。また、第2配線接続領域BSにおいて、第1配線4

3の延設領域が形成される。

この後、マスク706は除去される。

[0052] 図18に示されるように、第1配線43間に絶縁体482が埋設され、第1配線43の表面及び絶縁体482の表面が平坦化される。

[0053] 前述の図5及び図6に示される工程と同様に、図19に示されるように、第1配線43上に、メモリセル形成層46A、マスク801、マスク802及びマスク803のそれぞれが順次形成される。

ここで、マスク801は、本技術に係る「第2マスク」である。また、マスク802は、本技術に係る「第3マスク」であり、マスク803は、本技術に係る「第4マスク」である。

メモリセル形成層46Aでは、選択素子形成層461A、記憶素子形成層462Aが順次形成される。

マスク801は、ハードマスクとして使用される。マスク802は、マンデルパターンニングにより形成される。マスク802の平面形状は、図36に示されるように、線状パターンである。マスク803の形成には、SADPが使用されている。マスク803の平面形状は、図37に示されるように、マスク802の側面に沿って形成されている。マスク802の延設方向端部では、マスク803は折り返す曲面形状（ループ形状）に形成される。

図20に示されるように、マスク802が選択的に除去される。このため、マスク801上には、マスク803が残存される。

[0054] 前述の図8及び図9に示される工程と同様に、第2配線接続領域BSにおいて、端子45Pの形成領域に開口804Hを有するマスク804が、マスク803上に形成される（図21参照）。

図21に示されるように、マスク804を用いて、開口804Hから露出されるマスク803が除去される。図37及び図38に示されるように、マスク804は、第2配線45の延設方向端部に相当する領域にも開口804Hを有する。このため、第2配線45の延設方向端部に相当する領域においても、マスク803が除去される。この後、マスク804が除去される。

ここでの処理は、ループカット処理である。

[0055] 前述の図 10 に示される工程と同様に、図 22 及び図 39 に示されるように、第 2 配線接続領域 BS において、端子 45P の形成領域にマスク 805 が形成される。マスク 805 は、例えばフォトリソットにより形成される。

ここでの処理は、パッチパターンニング処理である。

[0056] 前述の図 11 に示される工程と同様に、図 23 に示されるように、マスク 803 及びマスク 805 を用いてマスク 801 にパターンニングを行い、マスク 801 からマスク 806 が形成される。マスク 806 の形成には、例えばドライエッチング処理が使用される。ここで、マスク 806 は、本技術に係る「第 1 マスク」である。

[0057] 前述の図 12 に示される工程と同様に、図 24 に示されるように、マスク 806 を用いて、メモリセル形成層 46A、第 2 配線形成層 45A のそれぞれがパターンニングされる。さらに、第 1 実施の形態に係る不揮発性記憶装置 1 の製造方法では、同一のマスク 806 を用いて、第 1 配線形成層 43A、メモリセル形成層 42A のそれぞれが、連続的にパターンニングされる。

この後、マスク 806 は除去される。

[0058] このため、メモリセルアレイ MA において、メモリセル形成層 42A から第 1 メモリセル 42 が形成され、メモリセル形成層 46A から第 2 メモリセル 46 が形成される。加えて、第 1 配線形成層 43A から第 1 配線 43 が形成され、第 2 配線形成層 45A から第 2 配線 45 が形成される。つまり、第 2 メモリセル 46、第 2 配線 45、第 1 配線 43、第 1 メモリセル 42 のそれぞれは、1 つのマスク 806 を用いて重ね切りされ、マスク 806 に対して自己整合により形成される。

第 2 配線接続領域 BS では、端子 45P、端子 43P のそれぞれは、同様に重ね切りされ、自己整合により形成され、双方の端面は同一面に形成される。

[0059] 図 25 に示されるように、第 2 配線 45 間及び第 2 メモリセル 46 間に絶縁体 483 が埋設され、第 2 メモリセル 46 の表面及び絶縁体 483 の表面

が平坦化される。

[0060] 図26に示されるように、第2メモリセル46上に第4配線形成層47Aが形成される。

前述の図5及び図6に示される工程と同様に、図27に示されるように、第4配線形成層47A上にマスク901が形成され、マスク901上にマスク902及びマスク903が形成される。マスク901は、ハードマスクとして使用される。マスク902は、マンドレルパターンニングにより形成される。マスク903の形成には、SADPが使用されている。

図28に示されるように、マスク902が選択的に除去される。このため、マスク901上には、マスク903が残存される。

[0061] 前述の図8及び図9に示される工程と同様に、図29に示されるように、第1配線接続領域WSにおいて、端子47Pの形成領域に開口904Hを有するマスク904が、マスク903上に形成される。

図30に示されるように、マスク904を用いて、開口904Hから露出されるマスク903が除去される。図37及び図38に示されるように、マスク804は、第2配線45の延設方向端部に相当する領域にも開口804Hを有する。このため、第2配線45の延設方向端部に相当する領域においても、マスク803が除去される。この後、マスク804が除去される。

ここでの処理は、ループカット処理である。

[0062] 前述の図10に示される工程と同様に、図31に示されるように、第2配線接続領域BSにおいて、端子47Pの形成領域にマスク905が形成される。マスク905は、例えばフォトリソトにより形成される。

ここでの処理は、パッチパターンニング処理である。

[0063] 前述の図11に示される工程と同様に、図32に示されるように、マスク903及びマスク905を用いてマスク901にパターンニングを行い、マスク901からマスク906が形成される。マスク906の形成には、例えばドライエッチング処理が使用される。

[0064] 図33に示されるように、マスク906を用いて、第4配線形成層47A

がパターンニングされる。このため、メモリセルアレイMAにおいて、第4配線47が形成される。また、第1配線接続領域WSにおいて、端子47Pが形成される。

ここまでの工程が完了すると、メモリセルアレイMA、第1配線接続領域WS及び第2配線接続領域BSが完成する。

[0065] 図34に示されるように、第4配線47を覆う層間絶縁膜484が形成され、メモリセルアレイMAの層間絶縁膜48が完成する。そして、図35に示されるように、配線49が形成される。

[0066] これら一連の工程が終了すると、第1実施の形態に係る不揮発性記憶装置1の製造方法が終了する。

[0067] [作用効果]

第1実施の形態に係る不揮発性記憶装置1では、図1及び図2に示されるように、第1メモリセル42と、第1配線43と、第2配線45と、第2メモリセル46とを備える。

第1配線43は、第1メモリセル42に積層され、かつ、第1方向に延設され、第1メモリセル42に電氣的に接続される。第2配線45は、第1配線43の第1メモリセル42とは反対側に積層され、かつ、第1配線43と同一方向に延設される。第2メモリセル46は、第2配線45の第1配線43とは反対側に積層され、第2配線45に電氣的に接続される。

ここで、第2配線45は、積層方向において、第1配線43の端面に対して同一位置に端面を有する。このため、第1配線43及び第2配線45では、簡易に上下パターンの合わせずれを効果的に抑制又は防止することができる。

[0068] また、不揮発性記憶装置1では、図1及び図2に示されるように、メモリセルアレイMAの外周囲に端子43P及び端子45Pが配設される。端子43Pは第1配線43に一体に形成される。端子45Pは第2配線45に一体に形成される。端子43P及び端子45Pは、他の配線、例えば配線49に電氣的に接続される。

このため、端子４３Ｐ及び端子４５Ｐでは、上下パターンの合わせずれを効果的に抑制又は防止することができるので、双方の接触面積を最大限に増加することができる。表現を代えれば、合わせずれによる接触面積の減少を無くすることができる。これにより、双方の接触抵抗を効果的に減少させることができる。このような効果により、不揮発性記憶装置１の動作速度の高速化を実現させることができる。

[0069] また、不揮発性記憶装置１の製造方法は、下記工程を備える。

図１３に示されるように、第１メモリセル４２が形成される。図１４に示されるように、第１メモリセル４２上に第１配線形成層４３Ａが形成される。図１９に示されるように、第１配線形成層４３Ａ上に第２配線形成層４５Ａが形成され、第２配線形成層４５Ａ上にメモリセル形成層４６Ａが形成される。図２４に示されるように、メモリセル形成層４６Ａ上にマスク（第１マスク）８０６が形成される。同図２４に示されるように、マスク８０６を用いて、メモリセル形成層４６Ａ、第２配線形成層４５Ａ、第１配線形成層４３Ａのそれぞれを順次パターンニングし、メモリセル形成層４６Ａから第２メモリセル４６を形成し、第２配線形成層４５Ａから第２配線４５を形成し、第１配線形成層４３Ａから第１配線４３を形成する。

このため、図１６に示される工程と図１７に示される工程との間の、第１配線４３を形成するファインカット処理及びパッチパターンニング処理を省略することができる。これにより、不揮発性記憶装置１の製造工程数を削減することができる。さらに、製造工程数を削減することができるので、合わせずれを効果的に抑制又は防止することが簡易に実現可能である。

加えて、製造工程数を削減することができるので、製造上の歩留まりを向上させることができる。

なお、第１実施の形態に係る不揮発性記憶装置１の製造方法は、ループカット処理及びパッチパターンニング処理のいずれか一方を省略してもよい。

[0070] さらに、不揮発性記憶装置１の製造方法では、図５～図７に示されるように、マスク６０３がＳＡＤＰにより形成されるので、解像度の限界以下の配

線幅寸法を有する第3配線41を形成することができる。第1配線43、第2配線45、第4配線47のそれぞれについても、同様である。

[0071] <第2実施の形態>

図40を用いて、本開示の第2実施の形態に係る不揮発性記憶装置1について説明する。

なお、本実施の形態並びにこれ以降の実施の形態において、第1実施の形態に係る不揮発性記憶装置1の構成要素と同一の構成要素又は実質的に同一の構成要素には同一の符号を付し、重複する説明は省略する。

[0072] [不揮発性記憶装置1の構成]

図40は、本開示の第2実施の形態に係る不揮発性記憶装置1の要部の一例の断面構成を表している。

第2実施の形態に係る不揮発性記憶装置1では、第1実施の形態に係る不揮発性記憶装置1の2段に積層された第1メモリセル42及び第2メモリセル46が、更に積層されている。つまり、合計4段の積層構造により構成されている。

[0073] 第2実施の形態に係る不揮発性記憶装置1において、上層に積層された第1配線43及び第2配線45の構造は、下層の第1配線43及び第2配線45の構造と同一である。

[0074] 上記以外の構成要素は、第1実施の形態に係る不揮発性記憶装置1の構成要素と同一である。また、第2実施の形態に係る不揮発性記憶装置1の製造方法は、第1実施の形態に係る不揮発性記憶装置1の製造方法を繰り返し実施することにより、合計4段の積層構造を有する不揮発性記憶装置1を製造することができる。

また、不揮発性記憶装置1は、合計6段以上の積層構造としてもよい。

[0075] [作用効果]

第2実施の形態に係る不揮発性記憶装置1及びその製造方法によれば、第1実施の形態に係る不揮発性記憶装置1及びその製造方法により得られる作用効果と同様の作用効果を得ることができる。

[0076] <第3実施の形態>

図4 1を用いて、本開示の第3実施の形態に係る不揮発性記憶装置1について説明する。

[0077] [不揮発性記憶装置1の構成]

図4 1は、本開示の第3実施の形態に係る不揮発性記憶装置1の全体構成の一例の断面構成を表している。

第3実施の形態に係る不揮発性記憶装置1では、第2実施の形態に係る不揮発性記憶装置1の下層に2段積層された最上層の第4配線4 7の端面に対して、上層に2段積層された最下層の第3配線4 1の端面が同一位置に形成されている。第3配線4 1は、第1ワード線であり、第4配線4 7は、第2ワード線である。

つまり、第1ビット線及び第2ビット線において上下パターンの合わせずれが効果的に抑制又は防止されている構造が、第1ワード線及び第2ワード線においても同様に適用されている。

[0078] 上記以外の構成要素は、第2実施の形態に係る不揮発性記憶装置1の構成要素と同一である。また、第3実施の形態に係る不揮発性記憶装置1の製造方法は、第1実施の形態に係る不揮発性記憶装置1の製造方法を利用して実現可能である。

[0079] [作用効果]

第3実施の形態に係る不揮発性記憶装置1及びその製造方法によれば、第2実施の形態に係る不揮発性記憶装置1及びその製造方法により得られる作用効果と同様の作用効果を得ることができる。

[0080] さらに、不揮発性記憶装置1では、第3配線4 1及び第4配線4 7の上下パターンの合わせずれを効果的に抑制又は防止することができる。

加えて、不揮発性記憶装置1の製造方法では、第3配線4 1を形成するファインカット処理及びパッチパターンニング処理を省略することができる。これにより、不揮発性記憶装置1の製造工程数を更に削減することができる。

[0081] <その他の実施の形態>

本技術は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲内において、種々変更可能である。

例えば、第1実施の形態に係る不揮発性記憶装置において、上下ワード線間に合わせずれを効果的に抑制又は防止する構造を適用してもよい。この場合、本技術に係る「第1配線」は第1ワード線と、本技術に係る「第2配線」は第2ワード線と、それぞれ読み替える。

[0082] 本開示の第1実施態様に係る不揮発性記憶装置は、第1メモリセルと、第1配線と、第2配線と、第2メモリセルとを備える。

第1配線は、第1メモリセルに積層され、かつ、第1方向に延設され、第1メモリセルに電氣的に接続される。第2配線は、第1配線の第1メモリセルとは反対側に積層され、かつ、第1配線43と同一方向に延設される。第2メモリセルは、第2配線の第1配線とは反対側に積層され、第2配線に電氣的に接続される。

ここで、第2配線は、積層方向において、第1配線の端面に対して同一位置に端面を有する。このため、第1配線及び第2配線では、簡易に上下パターンの合わせずれを効果的に抑制又は防止することができる。

[0083] 本開示の第2実施態様に係る不揮発性記憶装置の製造方法は、第1メモリセルを形成し、第1メモリセル上に第1配線形成層を形成し、第1配線形成層上に第2配線形成層を形成し、第2配線形成層上に第2メモリセル形成層を形成し、第2メモリセル形成層上に第1マスクを形成し、第1マスクを用いて、第2メモリセル形成層、第2配線形成層、第1配線形成層のそれぞれを順次パターンニングし、第2メモリセル形成層から第2メモリセルを形成し、第2配線形成層から第2配線を形成し、第1配線形成層から第1配線を形成する。

これにより、第1配線を形成する処理を省略することができる。これにより、不揮発性記憶装置の製造工程数を削減することができる。

[0084] <本技術の構成>

本技術は、以下の構成を備えている。以下の構成を備えることにより、簡易に上下パターンの合わせずれを効果的に抑制又は防止することができる不揮発性記憶装置及び不揮発性記憶装置の製造方法を提供することができる。

(1)

第1メモリセルと、

前記第1メモリセルに積層され、かつ、第1方向に延設され、前記第1メモリセルに電氣的に接続されている第1配線と、

前記第1配線の前記第1メモリセルとは反対側に積層され、かつ、前記第1配線と同一方向に延設され、積層方向において、前記第1配線の端面に対して同一位置に端面を有する第2配線と、

前記第2配線の前記第1配線とは反対側に積層され、前記第2配線に電氣的に接続されている第2メモリセルと、

を備えている不揮発性記憶装置。

(2)

前記第1メモリセル及び前記第2メモリセルが各々複数配列されているメモリセルアレイの外周囲に、前記第1配線及び前記第2配線に一体に形成され、他の配線に電氣的に接続される端子が配設されている

前記(1)に記載の不揮発性記憶装置。

(3)

前記第1配線は、前記第2配線に対して、自己整合により形成されている
前記(1)又は前記(2)に記載の不揮発性記憶装置。

(4)

前記第1配線及び前記第2配線は、重ね切りされている

前記(1)から前記(3)のいずれか1つに記載の不揮発性記憶装置。

(5)

積層方向とは反対側において前記第1メモリセルに配設され、かつ、第1方向及び積層方向と交差する第2方向に延設され、前記第1メモリセルに電氣的に接続されている第3配線と、

前記第2メモリセルの前記第2配線とは反対側に積層され、かつ、第2方向に延設され、前記第2メモリセルに電氣的に接続されている第4配線とを更に備えている

前記(1)から前記(4)のいずれか1つに記載の不揮発性記憶装置。

(6)

前記第1配線及び前記第2配線は、ビット線又はワード線である

前記(1)から前記(5)のいずれか1つに記載の不揮発性記憶装置。

(7)

前記第1配線及び前記第2配線は、ビット線又はワード線であり、

前記第3配線及び前記第4配線は、ワード線又はビット線である

前記(5)に記載の不揮発性記憶装置。

(8)

前記第1メモリセル、前記第2メモリセルのそれぞれは、選択素子と記憶素子との直列回路により構成されている

前記(1)から前記(7)のいずれか1つに記載の不揮発性記憶装置。

(9)

第1メモリセルを形成し、

前記第1メモリセル上に第1配線形成層を形成し、

前記第1配線形成層上に第2配線形成層を形成し、

前記第2配線形成層上に第2メモリセル形成層を形成し、

前記第2メモリセル形成層上に第1マスクを形成し、

前記第1マスクを用いて、前記第2メモリセル形成層、前記第2配線形成層、前記第1配線形成層のそれぞれを順次パターンニングし、前記第2メモリセル形成層から第2メモリセルを形成し、前記第2配線形成層から第2配線を形成し、前記第1配線形成層から第1配線を形成する

不揮発性記憶装置の製造方法。

(10)

前記第1マスクは、

前記第2メモリセル形成層上に第2マスクを形成し、

前記第2配線間に対応する領域において、前記第2マスク上に第3マスクを形成し、

前記第2配線に対応する領域において、前記第3マスクの側壁に前記第3マスクに対して自己整合により解像度の限界以下の配線幅寸法を有する第4マスクを形成し、

前記第4マスクを用いて前記第2マスクをパターンニングし、パターンニングされた前記第2マスクから形成される

前記(9)に記載の不揮発性記憶装置の製造方法。

(11)

前記第1マスクは、自己整合型ダブルパターンニングにより形成される

前記(10)に記載の不揮発性記憶装置の製造方法。

(12)

前記第1メモリセル及び前記第2メモリセルが各々複数配列されるメモリセルアレイの外周囲において、前記第4マスクを形成した後に、前記第2配線の第1方向端部の前記第4マスクと、前記第1配線及び前記第2配線に一体に形成される端子の形成領域の前記第4マスクとを除去し、

前記第2マスク上において、前記端子の形成領域上に第5マスクを形成し、

前記第4マスク及び前記第5マスクを用いて前記第2マスクをパターンニングし、パターンニングされた前記第2マスクから前記第1マスクが形成される

前記(10)又は前記(11)に記載の不揮発性記憶装置の製造方法。

[0085] 本出願は、日本国特許庁において2022年2月17日に出願された日本特許出願番号2022-023218号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0086] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは

添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 第1メモリセルと、
 前記第1メモリセルに積層され、かつ、第1方向に延設され、前記第1メモリセルに電氣的に接続されている第1配線と、
 前記第1配線の前記第1メモリセルとは反対側に積層され、かつ、前記第1配線と同一方向に延設され、積層方向において、前記第1配線の端面に対して同一位置に端面を有する第2配線と、
 前記第2配線の前記第1配線とは反対側に積層され、前記第2配線に電氣的に接続されている第2メモリセルと、
 を備えている不揮発性記憶装置。
- [請求項2] 前記第1メモリセル及び前記第2メモリセルが各々複数配列されているメモリセルアレイの外周囲に、前記第1配線及び前記第2配線に一体に形成され、他の配線に電氣的に接続される端子が配設されている
 請求項1に記載の不揮発性記憶装置。
- [請求項3] 前記第1配線は、前記第2配線に対して、自己整合により形成されている
 請求項1に記載の不揮発性記憶装置。
- [請求項4] 前記第1配線及び前記第2配線は、重ね切りされている
 請求項1に記載の不揮発性記憶装置。
- [請求項5] 積層方向とは反対側において前記第1メモリセルに配設され、かつ、第1方向及び積層方向と交差する第2方向に延設され、前記第1メモリセルに電氣的に接続されている第3配線と、
 前記第2メモリセルの前記第2配線とは反対側に積層され、かつ、第2方向に延設され、前記第2メモリセルに電氣的に接続されている第4配線とを更に備えている
 請求項1に記載の不揮発性記憶装置。
- [請求項6] 前記第1配線及び前記第2配線は、ビット線又はワード線である

請求項 1 に記載の不揮発性記憶装置。

[請求項7] 前記第 1 配線及び前記第 2 配線は、ビット線又はワード線であり、
前記第 3 配線及び前記第 4 配線は、ワード線又はビット線である
請求項 5 に記載の不揮発性記憶装置。

[請求項8] 前記第 1 メモリセル、前記第 2 メモリセルのそれぞれは、選択素子
と記憶素子との直列回路により構成されている
請求項 1 に記載の不揮発性記憶装置。

[請求項9] 第 1 メモリセルを形成し、
前記第 1 メモリセル上に第 1 配線形成層を形成し、
前記第 1 配線形成層上に第 2 配線形成層を形成し、
前記第 2 配線形成層上に第 2 メモリセル形成層を形成し、
前記第 2 メモリセル形成層上に第 1 マスクを形成し、
前記第 1 マスクを用いて、前記第 2 メモリセル形成層、前記第 2 配
線形成層、前記第 1 配線形成層のそれぞれを順次パターンニングし、
前記第 2 メモリセル形成層から第 2 メモリセルを形成し、前記第 2 配
線形成層から第 2 配線を形成し、前記第 1 配線形成層から第 1 配線を
形成する
不揮発性記憶装置の製造方法。

[請求項10] 前記第 1 マスクは、
前記第 2 メモリセル形成層上に第 2 マスクを形成し、
前記第 2 配線間に対応する領域において、前記第 2 マスク上に第 3
マスクを形成し、
前記第 2 配線に対応する領域において、前記第 3 マスクの側壁に前
記第 3 マスクに対して自己整合により解像度の限界以下の配線幅寸法
を有する第 4 マスクを形成し、
前記第 4 マスクを用いて前記第 2 マスクをパターンニングし、パタ
ーンニングされた前記第 2 マスクから形成される
請求項 9 に記載の不揮発性記憶装置の製造方法。

[請求項11] 前記第1マスクは、自己整合型ダブルパターンニングにより形成される

請求項10に記載の不揮発性記憶装置の製造方法。

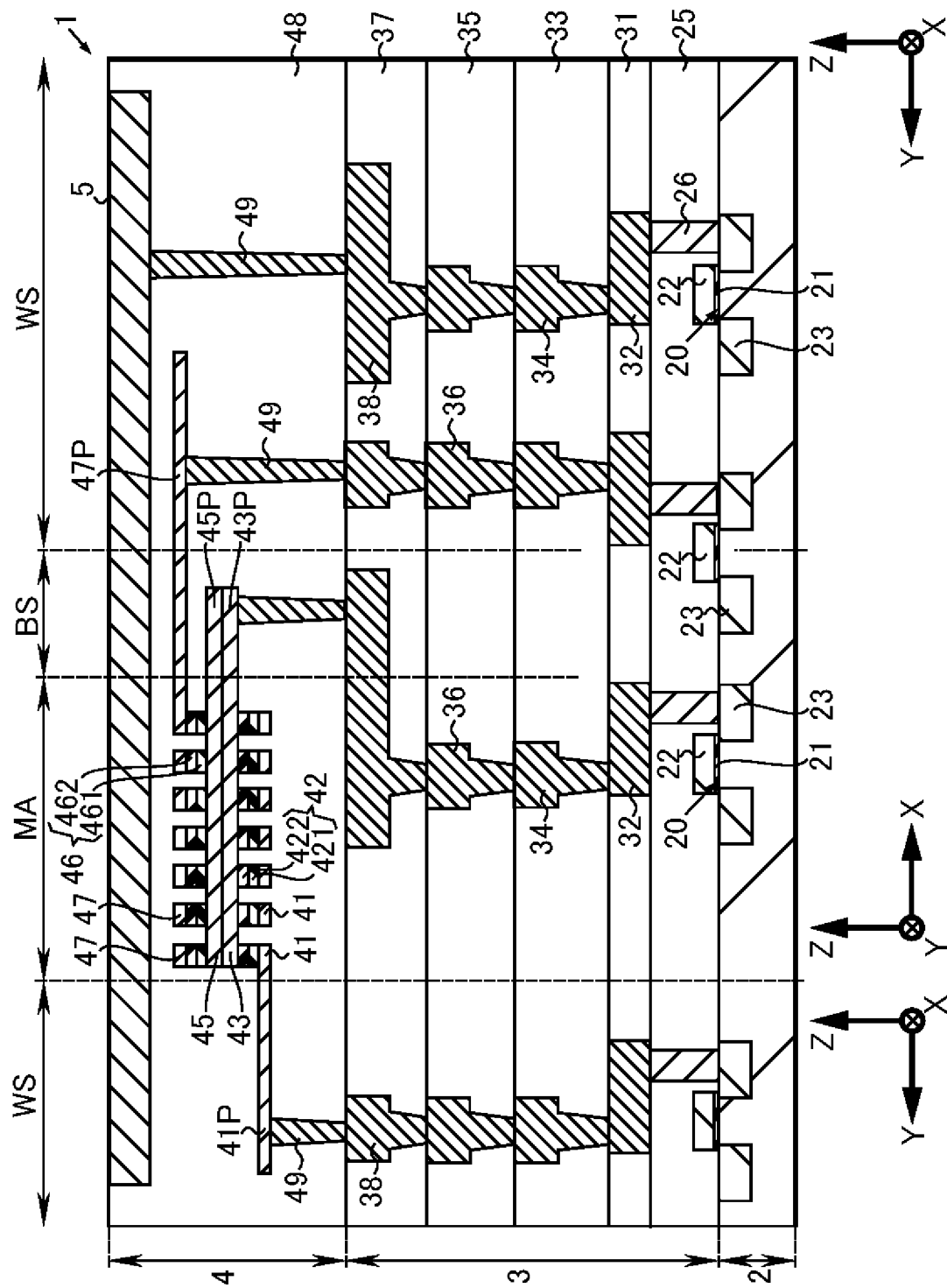
[請求項12] 前記第1メモリセル及び前記第2メモリセルが各々複数配列されるメモリセルアレイの外周囲において、前記第4マスクを形成した後に、前記第2配線の第1方向端部の前記第4マスクと、前記第1配線及び前記第2配線に一体に形成される端子の形成領域の前記第4マスクとを除去し、

前記第2マスク上において、前記端子の形成領域上に第5マスクを形成し、

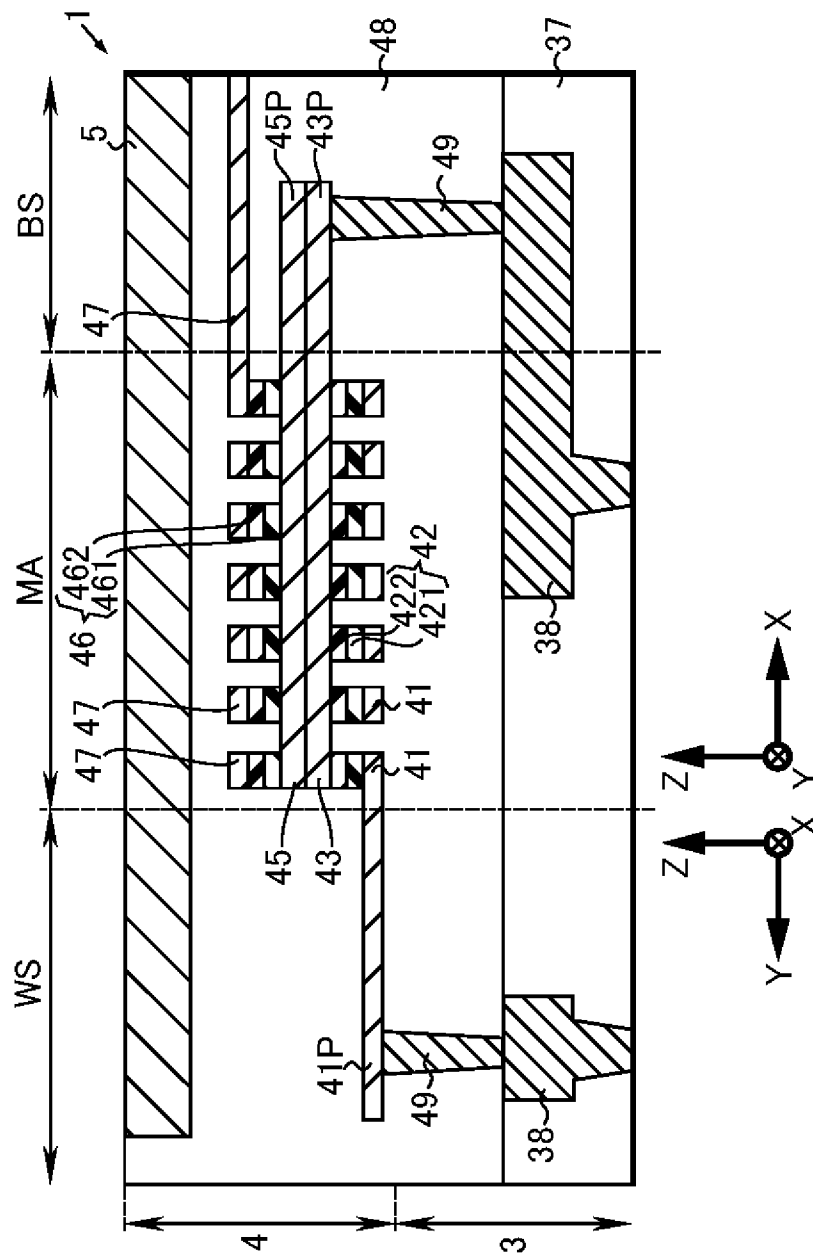
前記第4マスク及び前記第5マスクを用いて前記第2マスクをパターンニングし、パターンニングされた前記第2マスクから前記第1マスクが形成される

請求項10に記載の不揮発性記憶装置の製造方法。

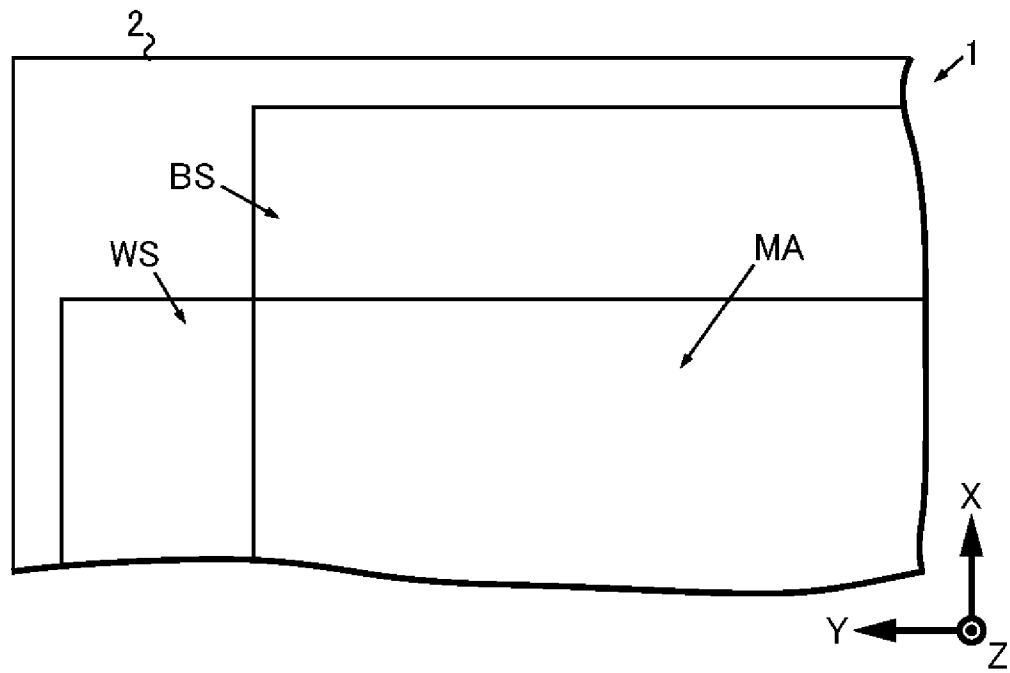
[図1]



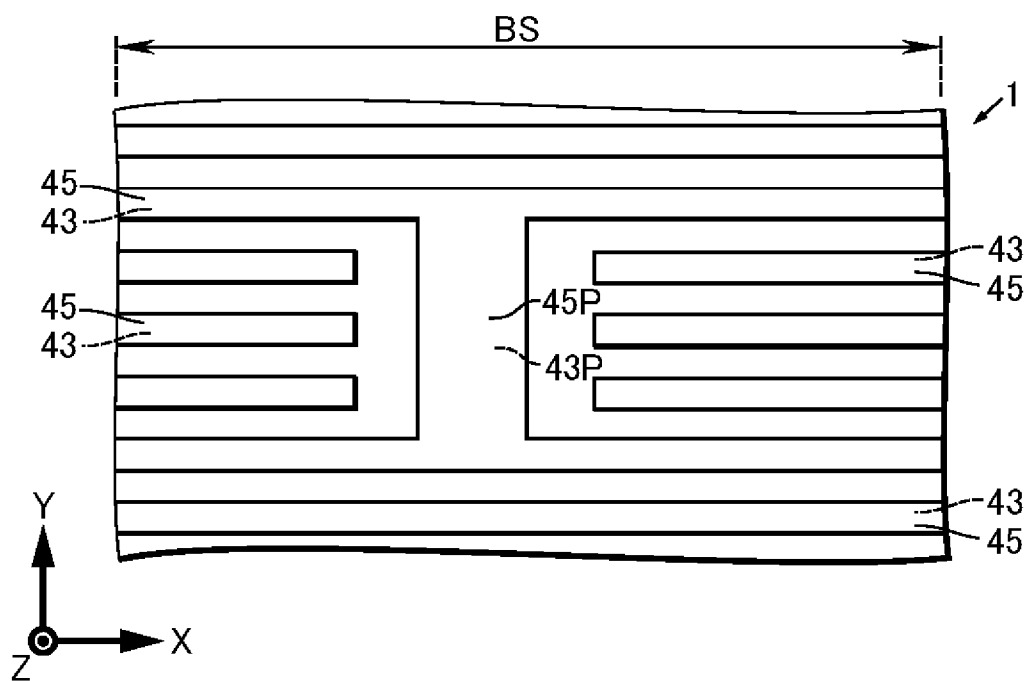
[図2]



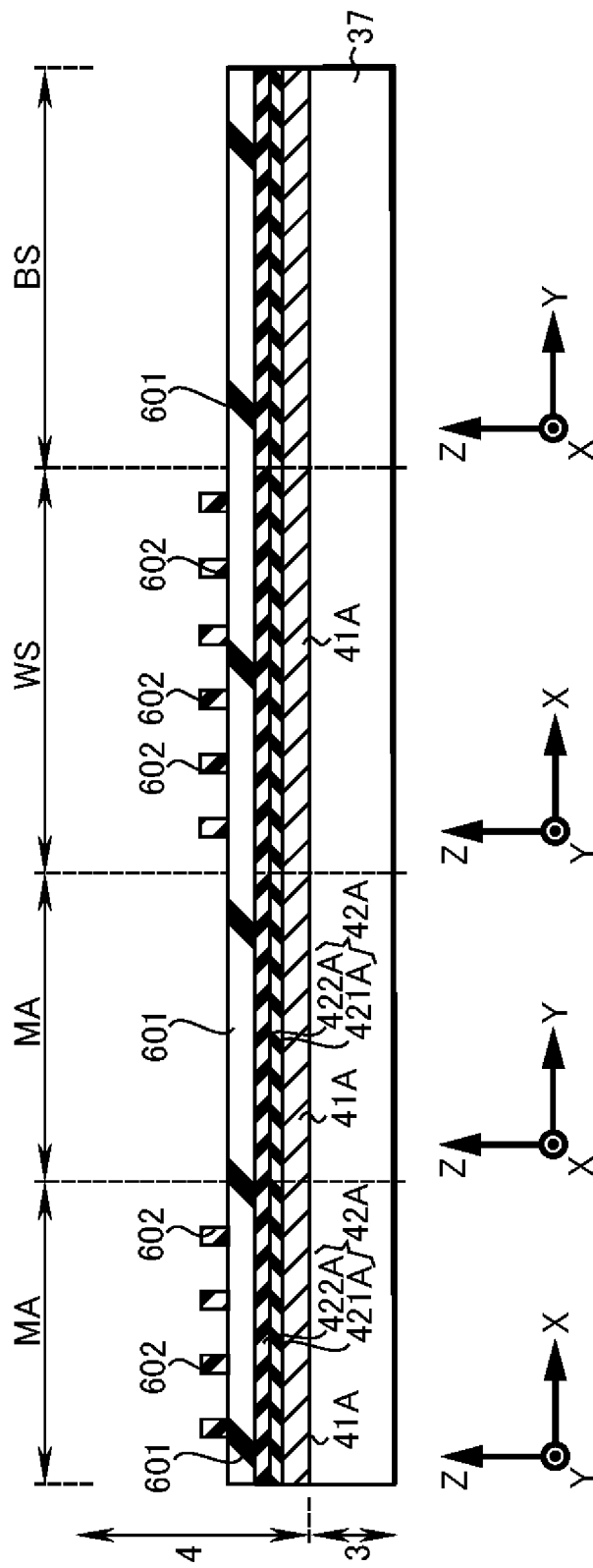
[図3]



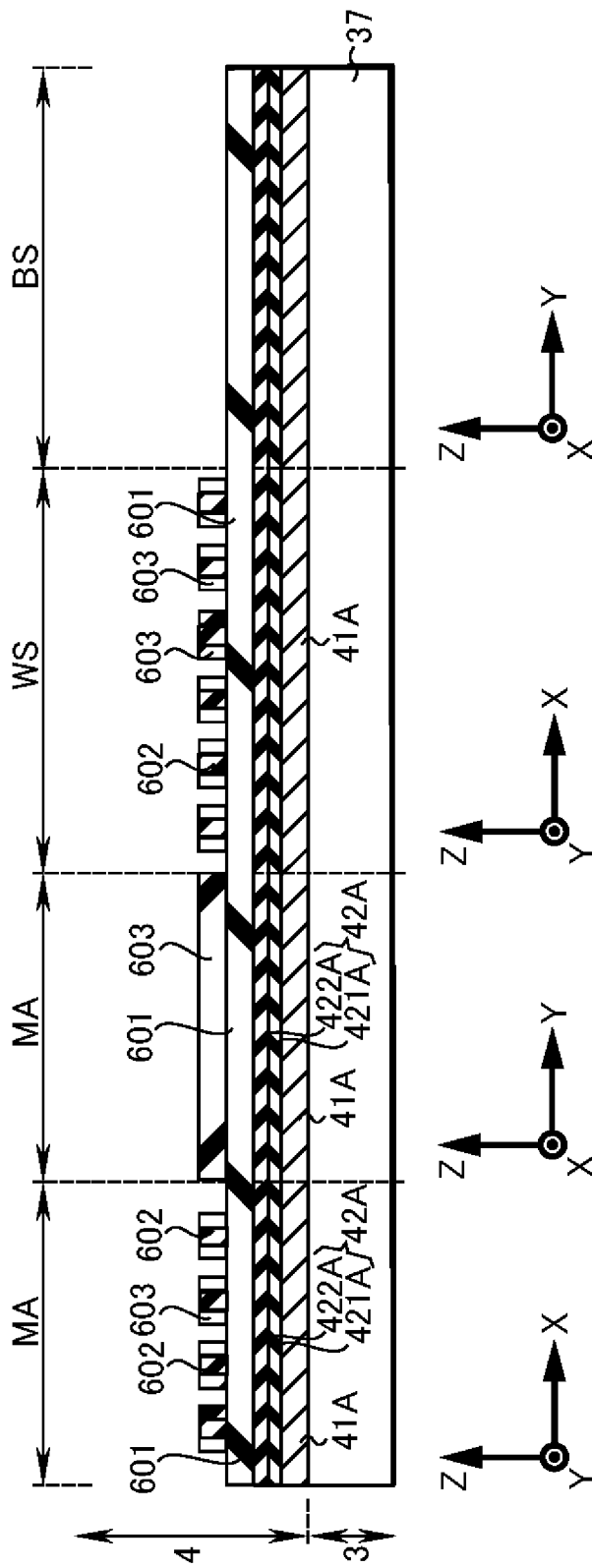
[図4]



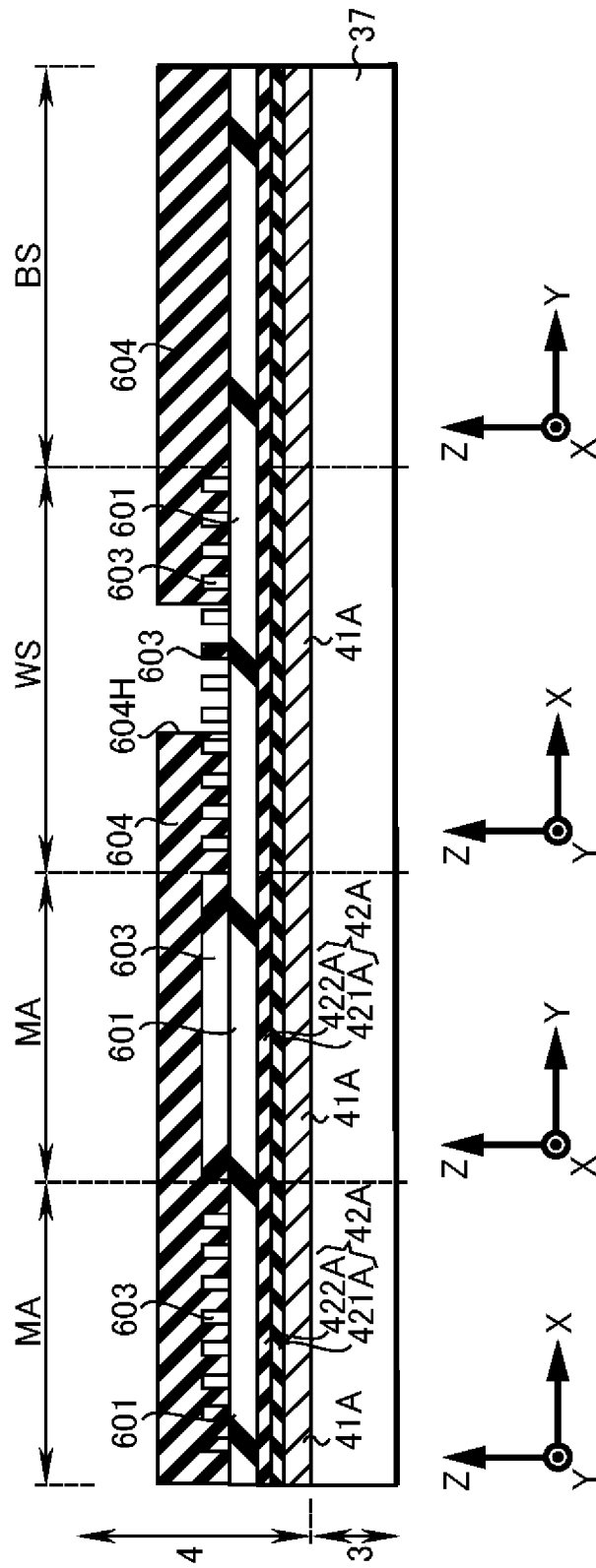
[図5]



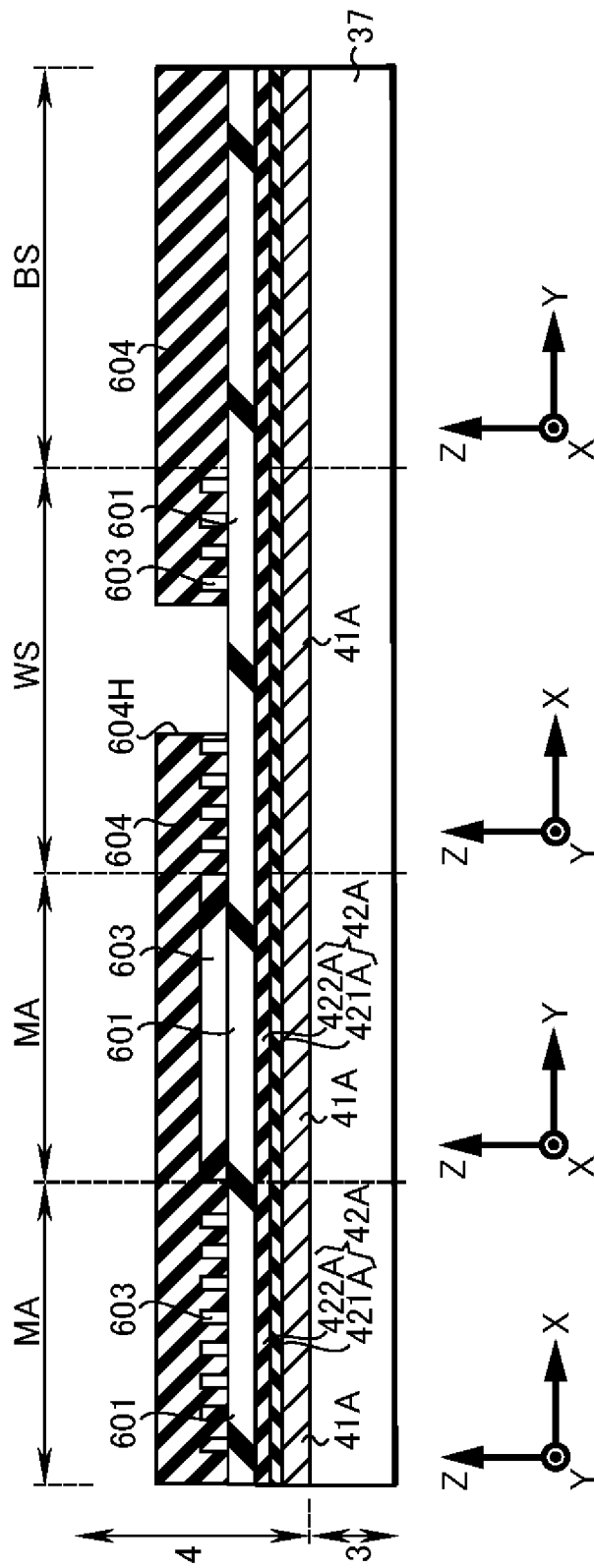
[図6]



[図8]



[図9]



[図11]

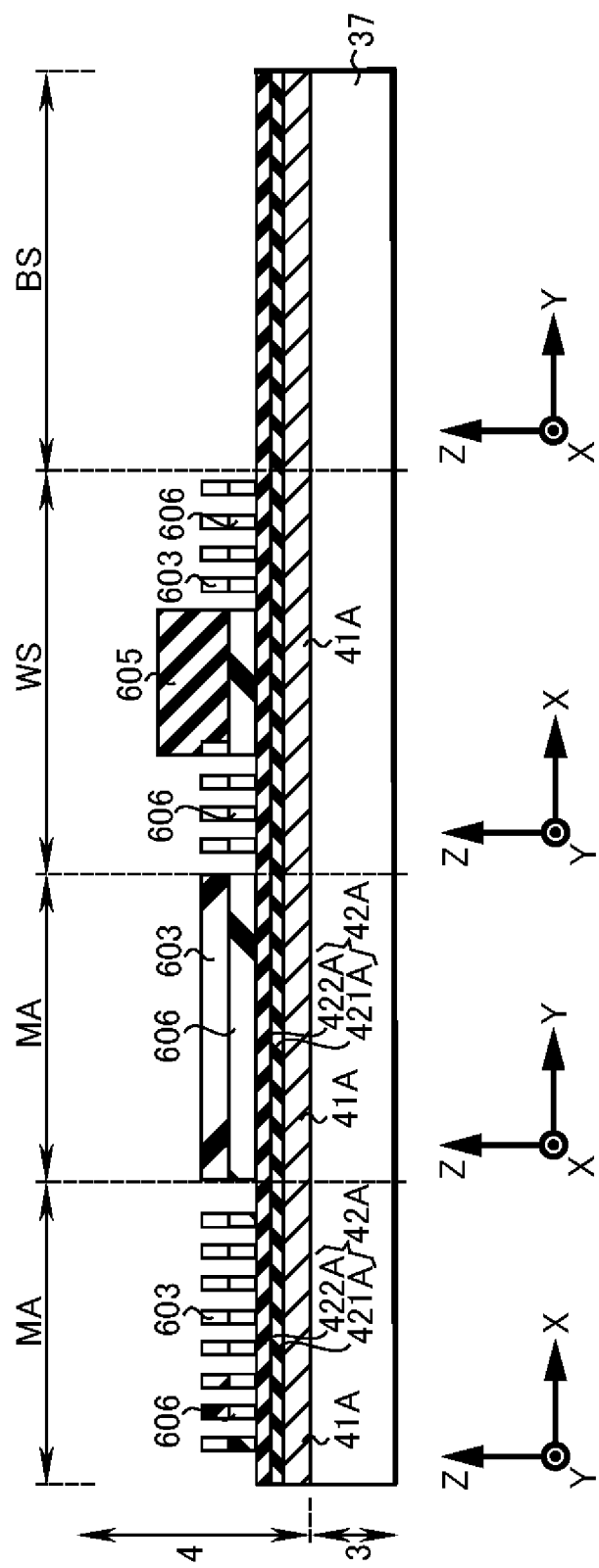
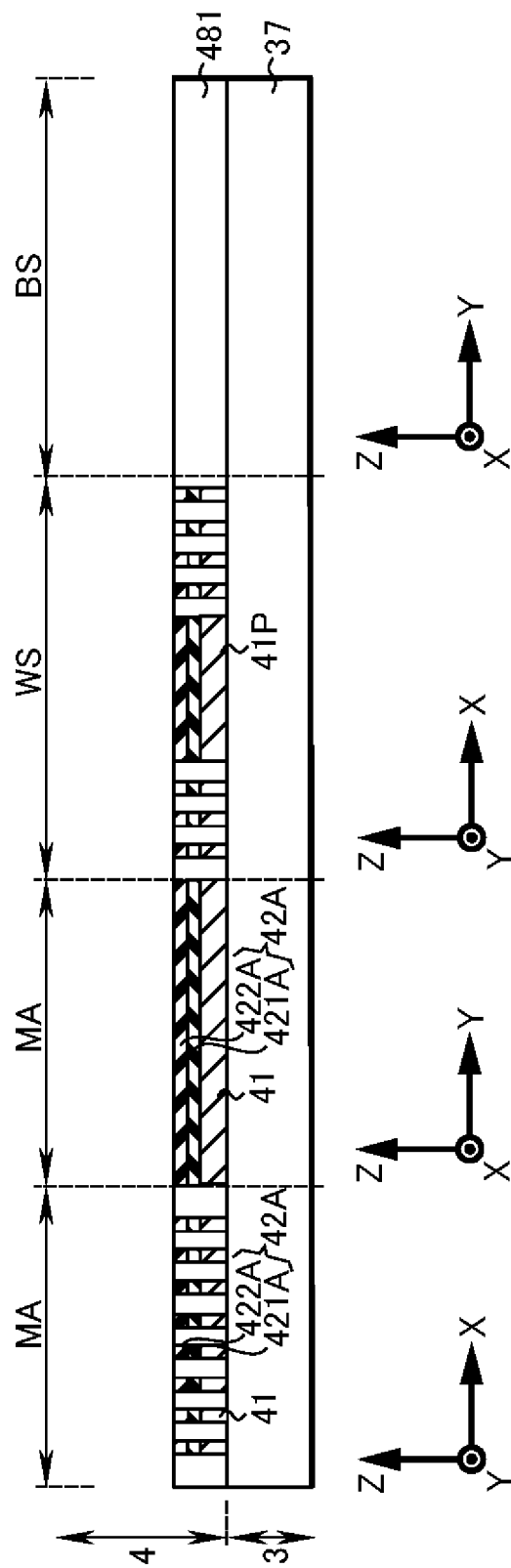
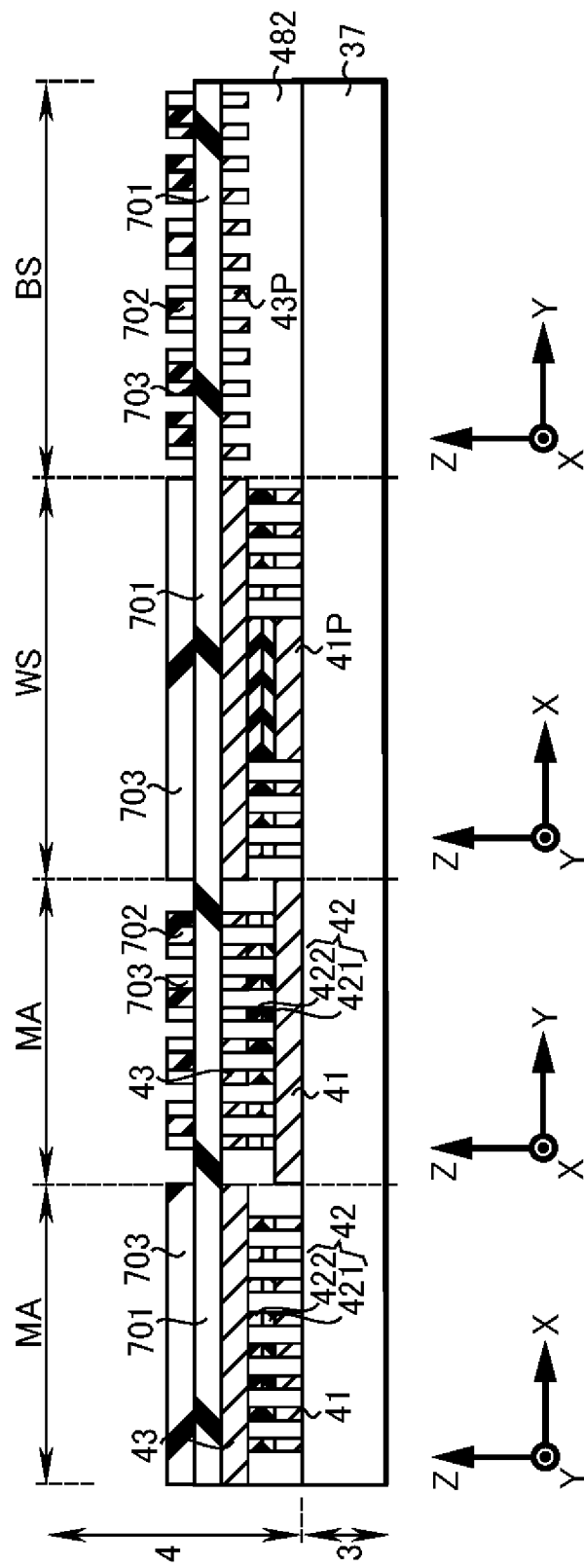


Figure 1 is a schematic diagram of a multi-layered structure 37. The structure is divided into four regions: MA, MA, WS, and BS. The MA regions contain layers 41, 421A, and 422A. The WS region contains layers 41P and 606. The BS region is a single layer. Dimensions 4 and 3 are indicated at the bottom. Coordinate systems (X, Y, Z) are shown for each region.

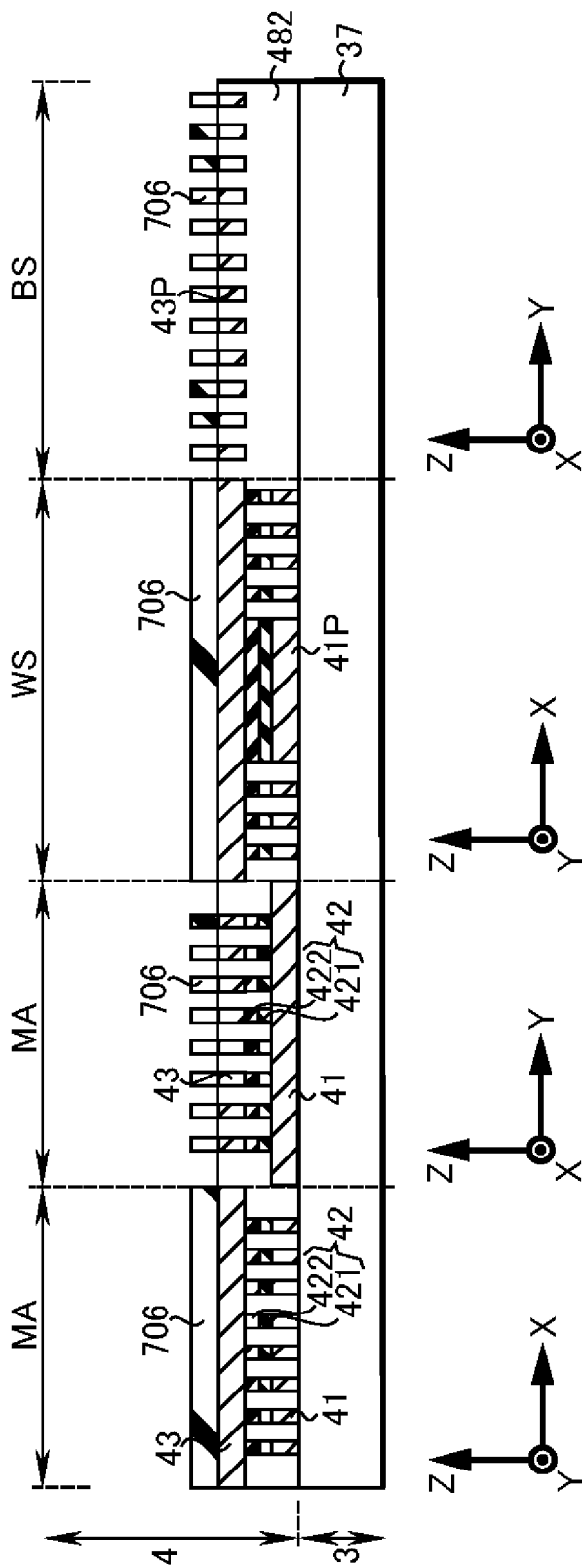
[図13]



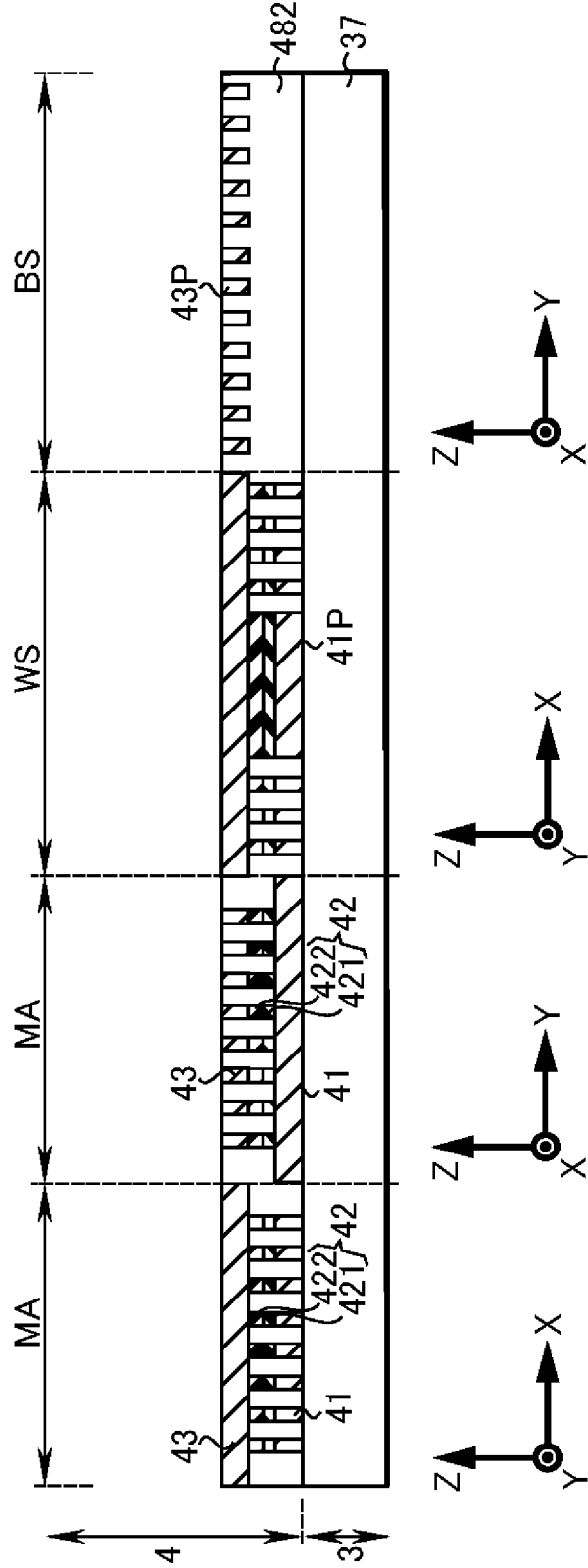
[図15]



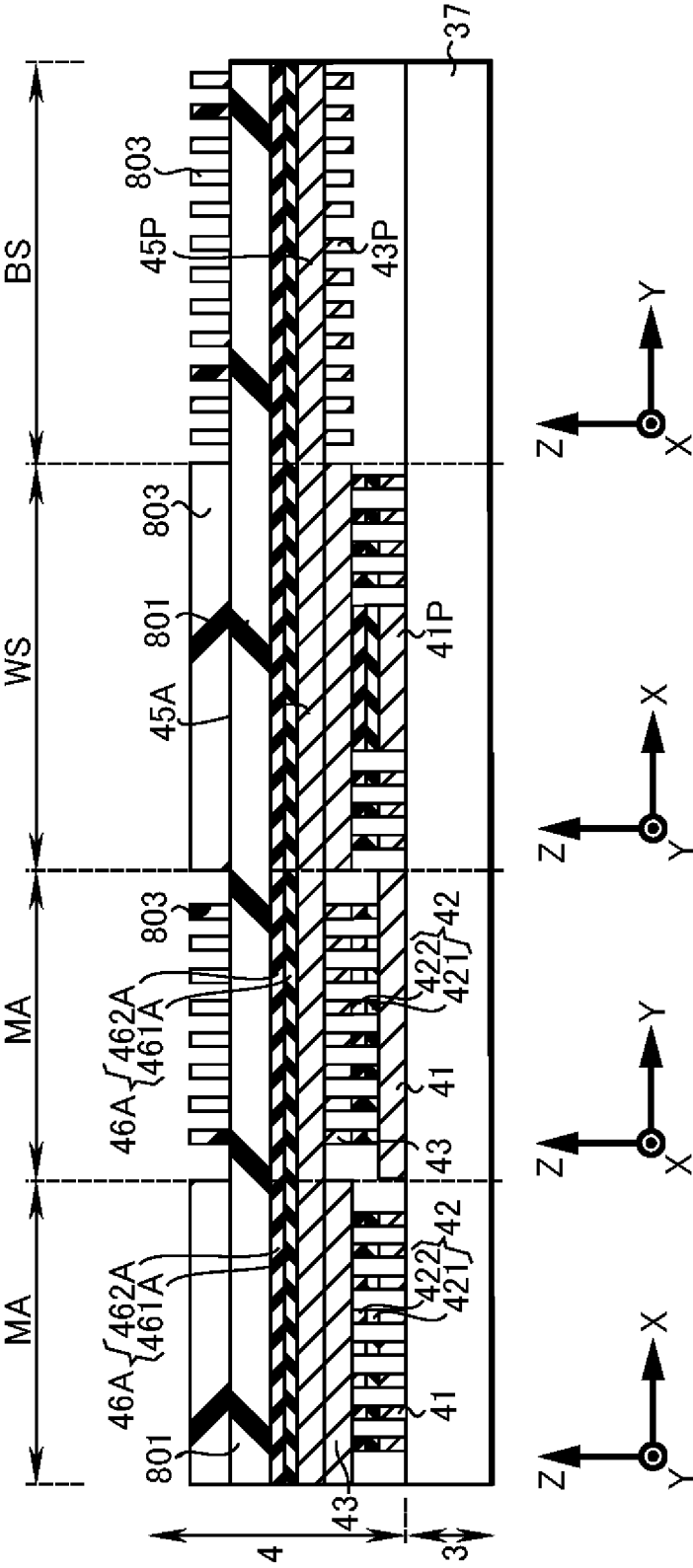
[図17]



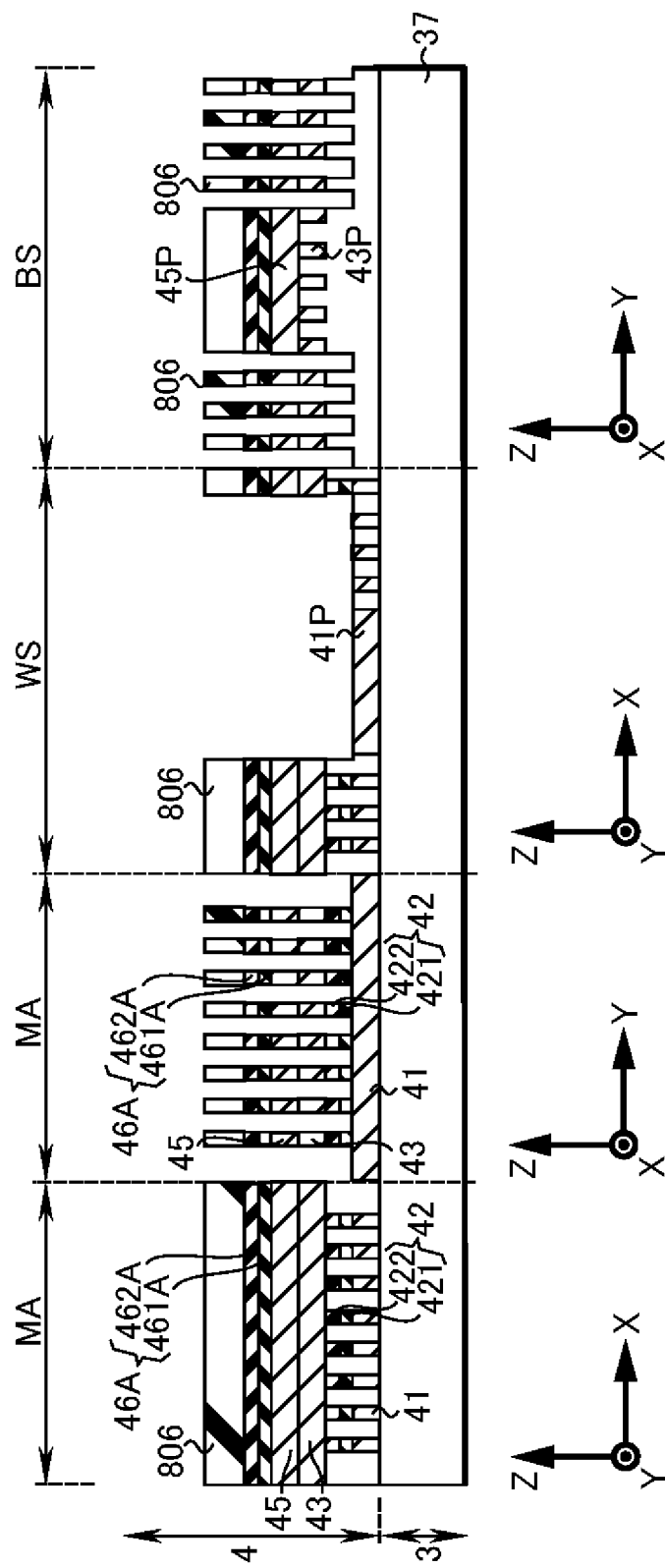
[図18]



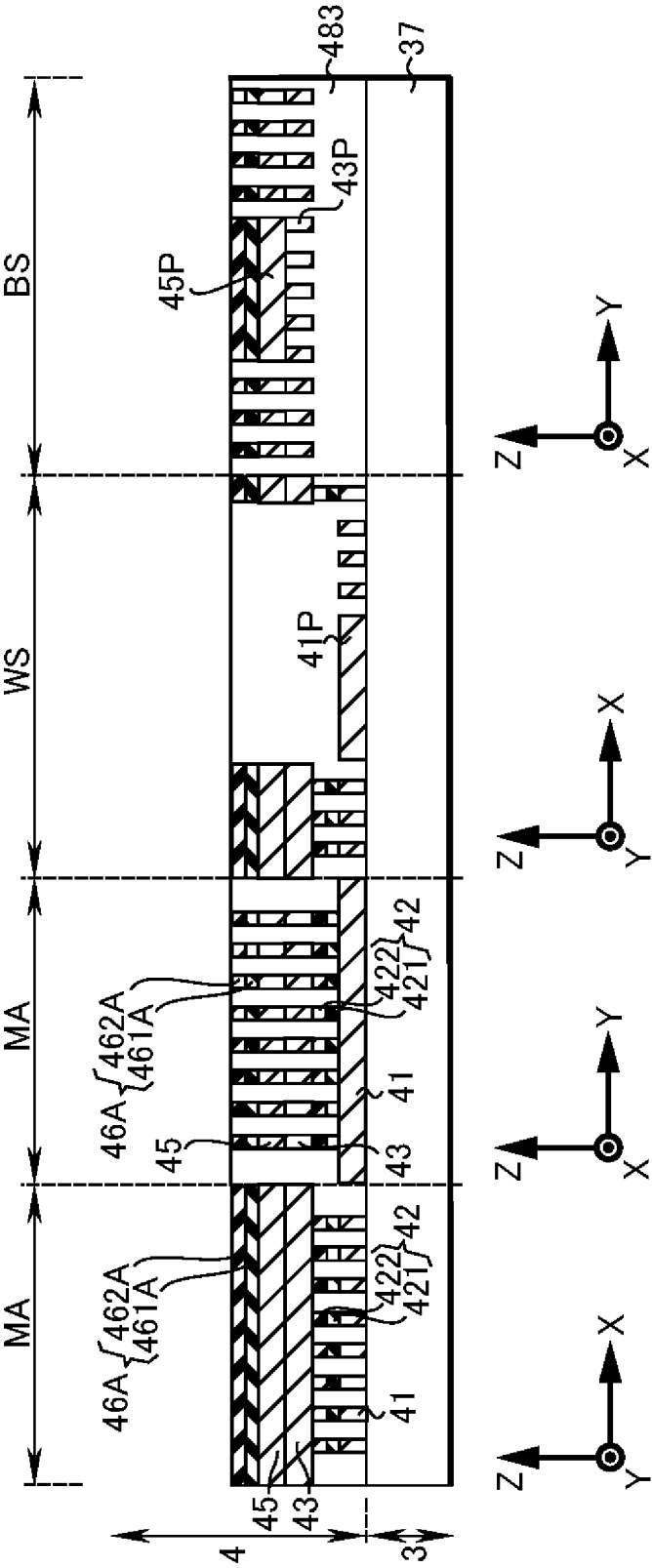
[図20]



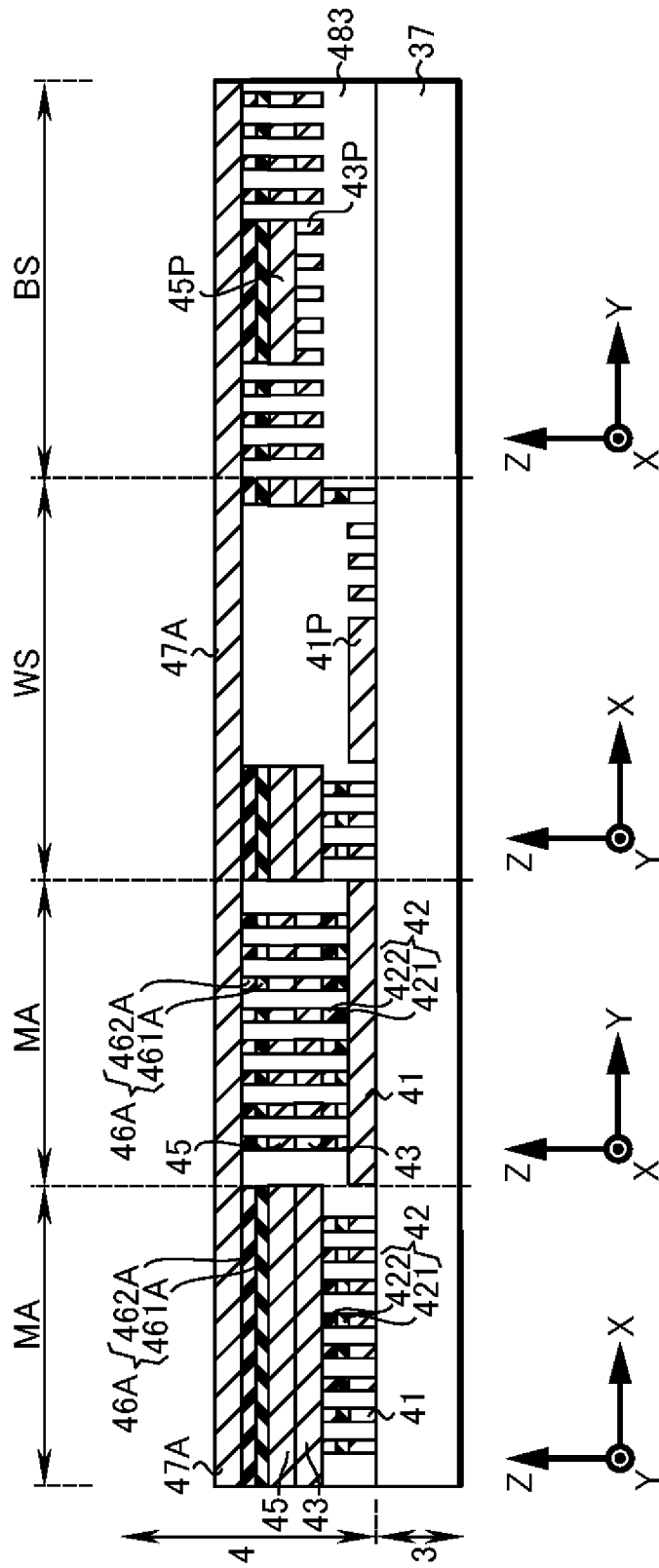
[図24]



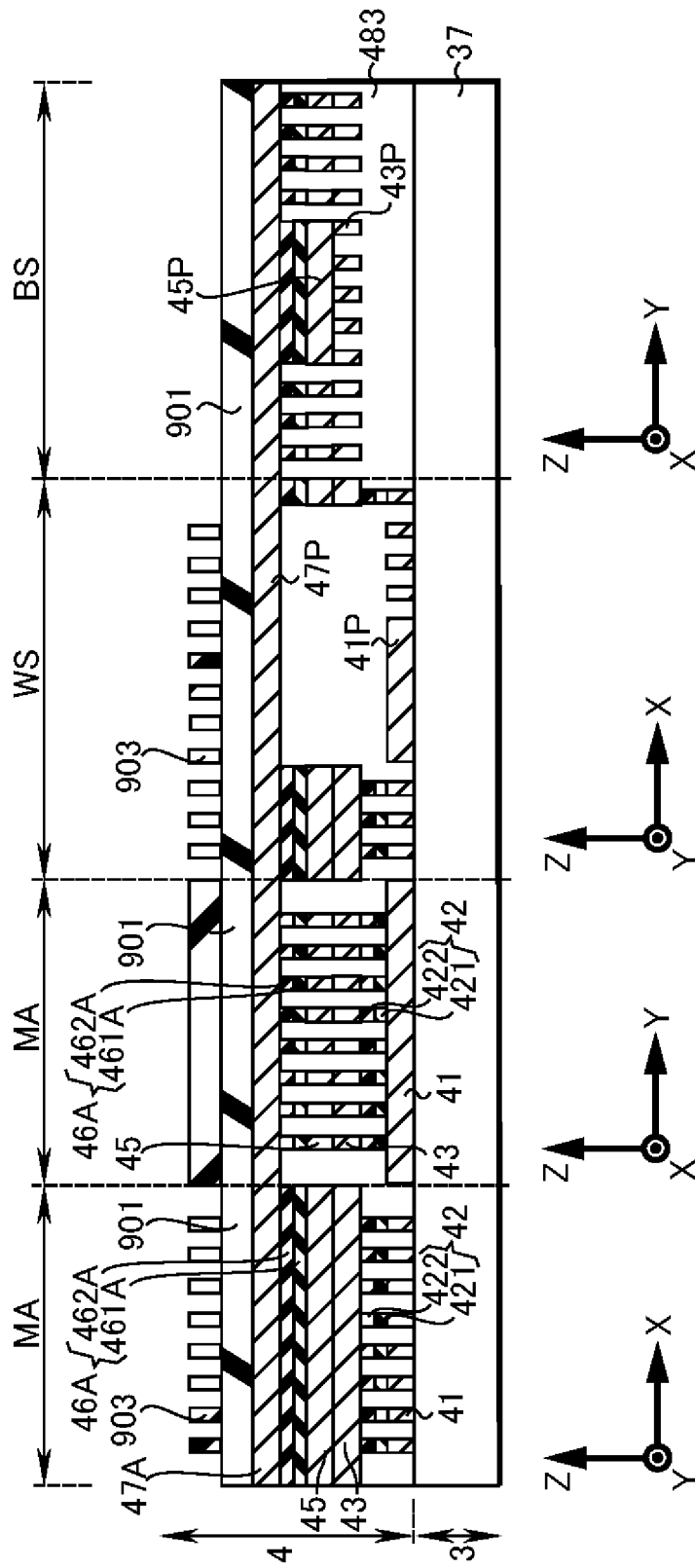
[図25]



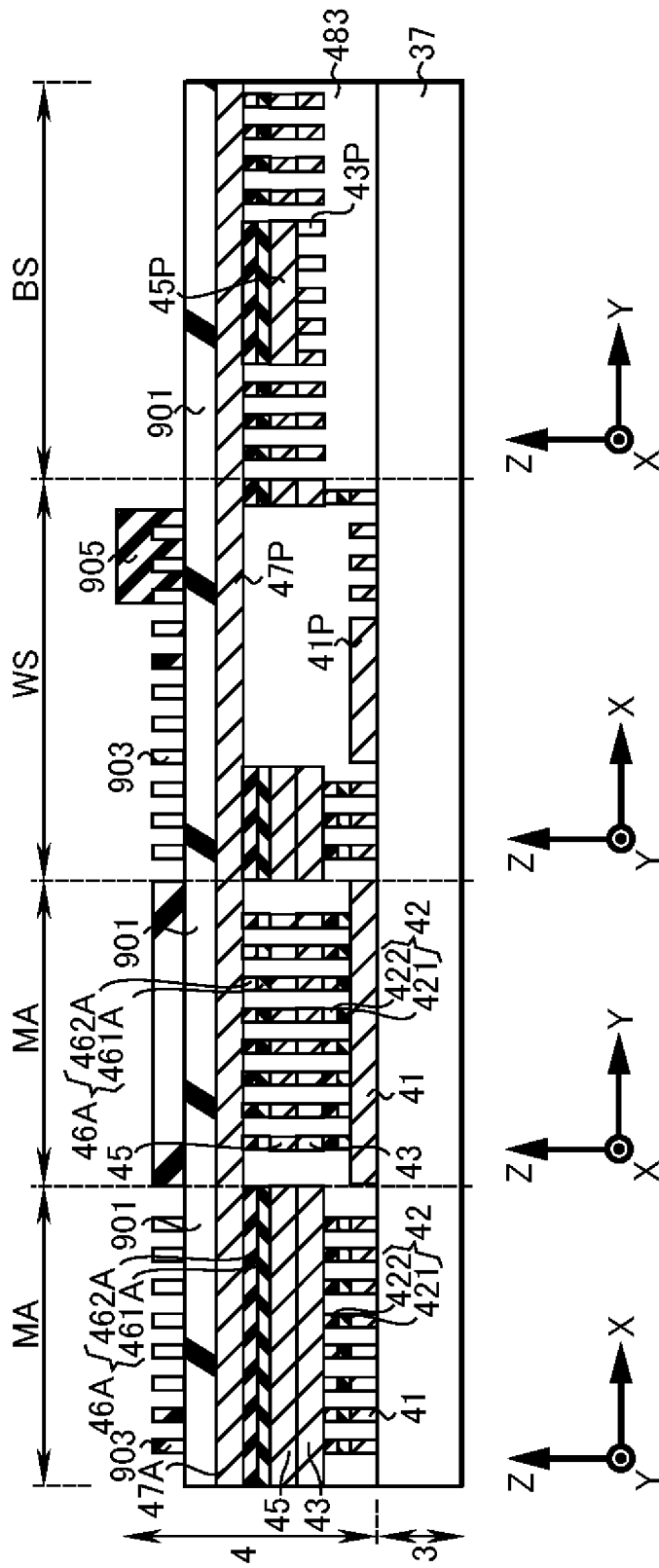
[図26]



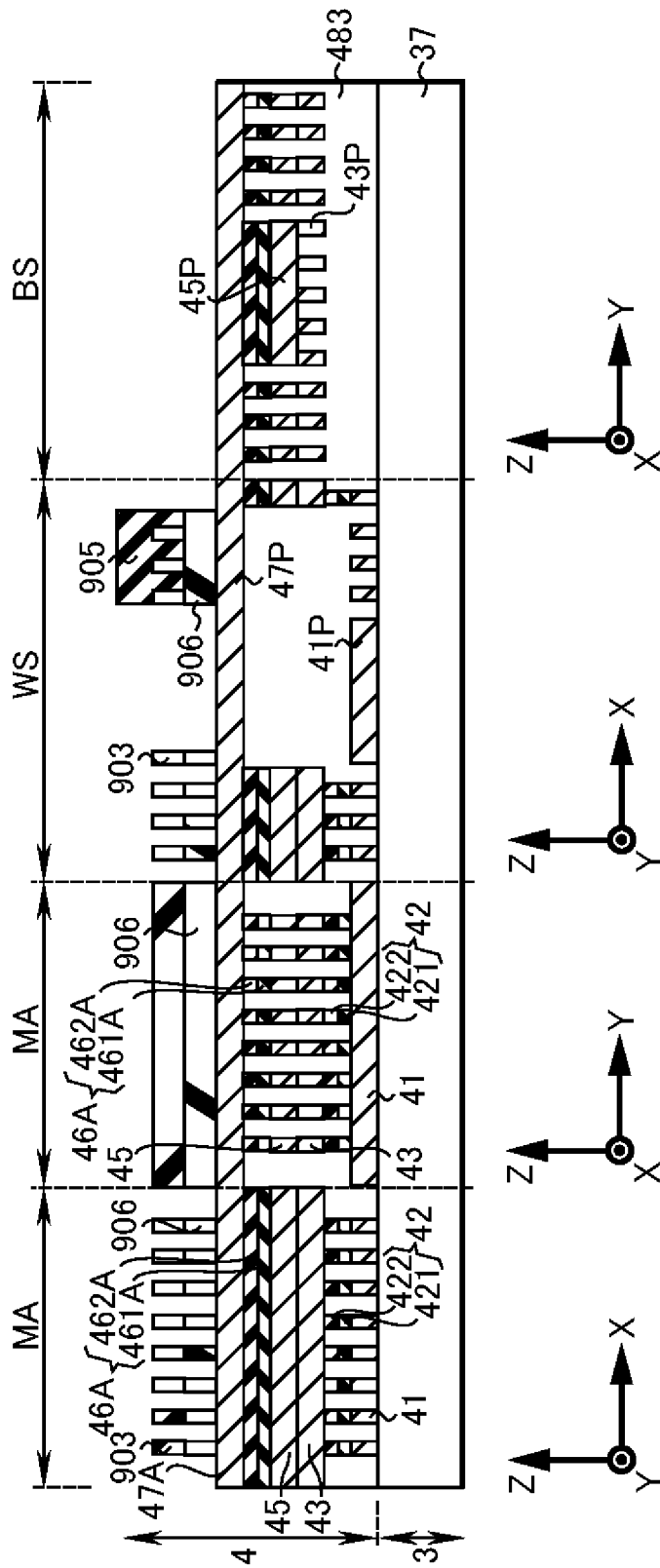
[図28]



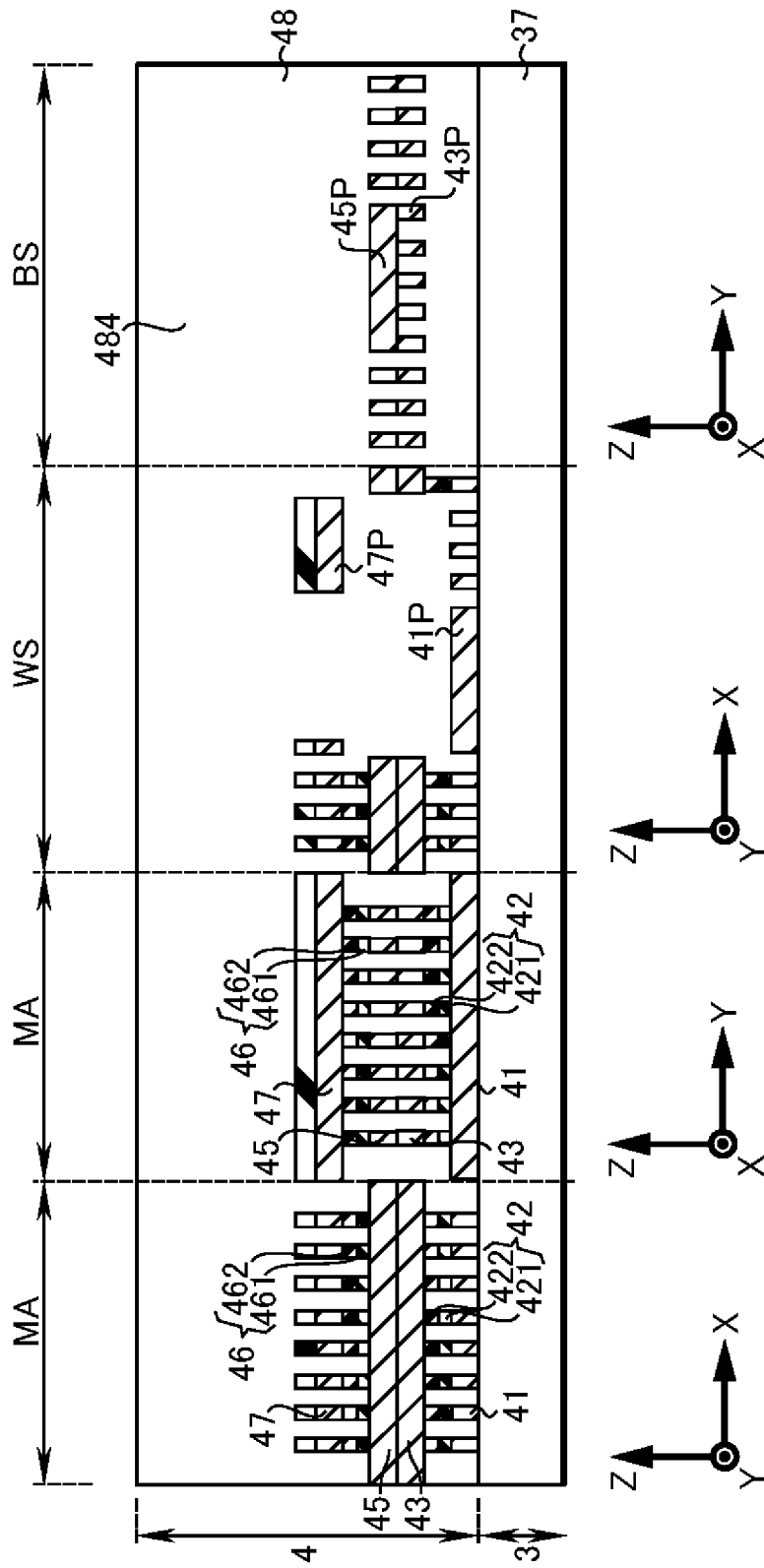
[図31]



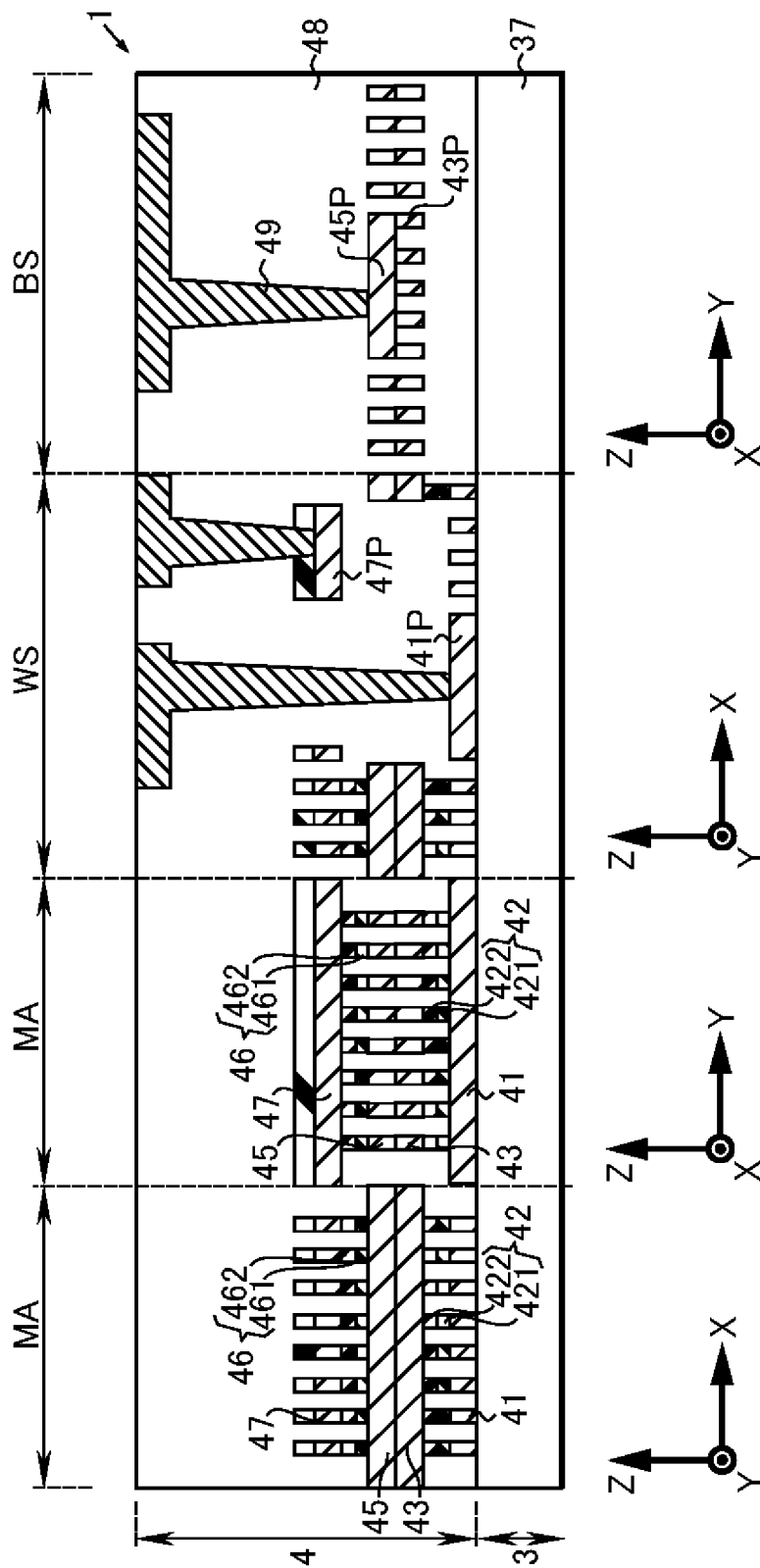
[図32]



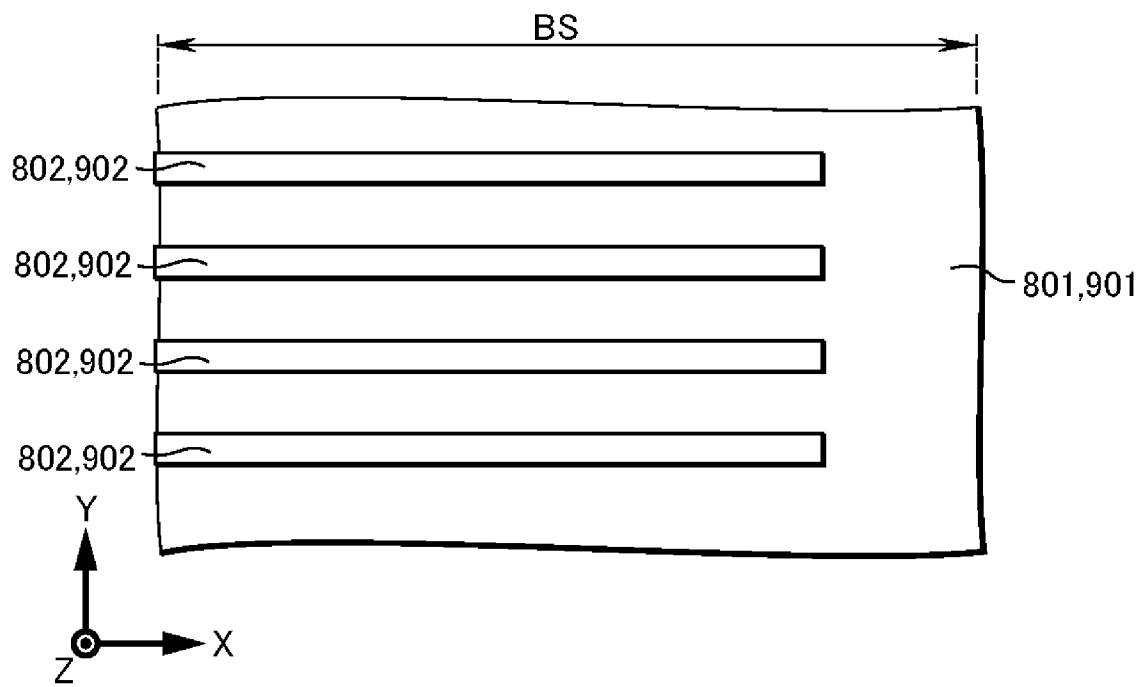
[図34]



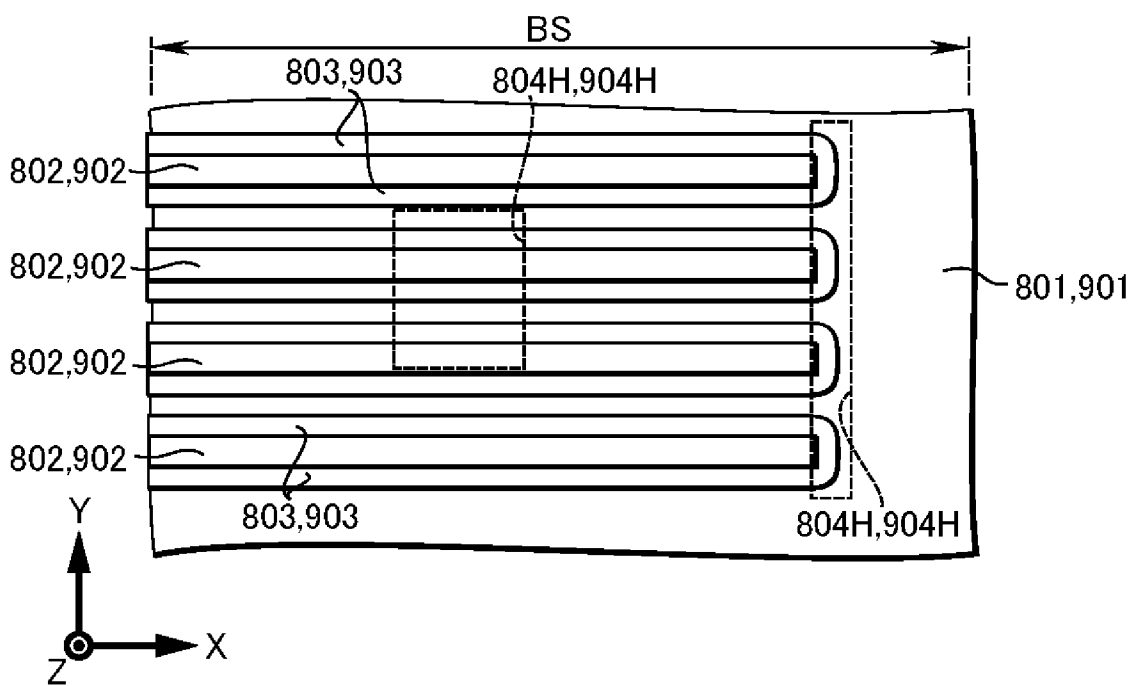
[図35]



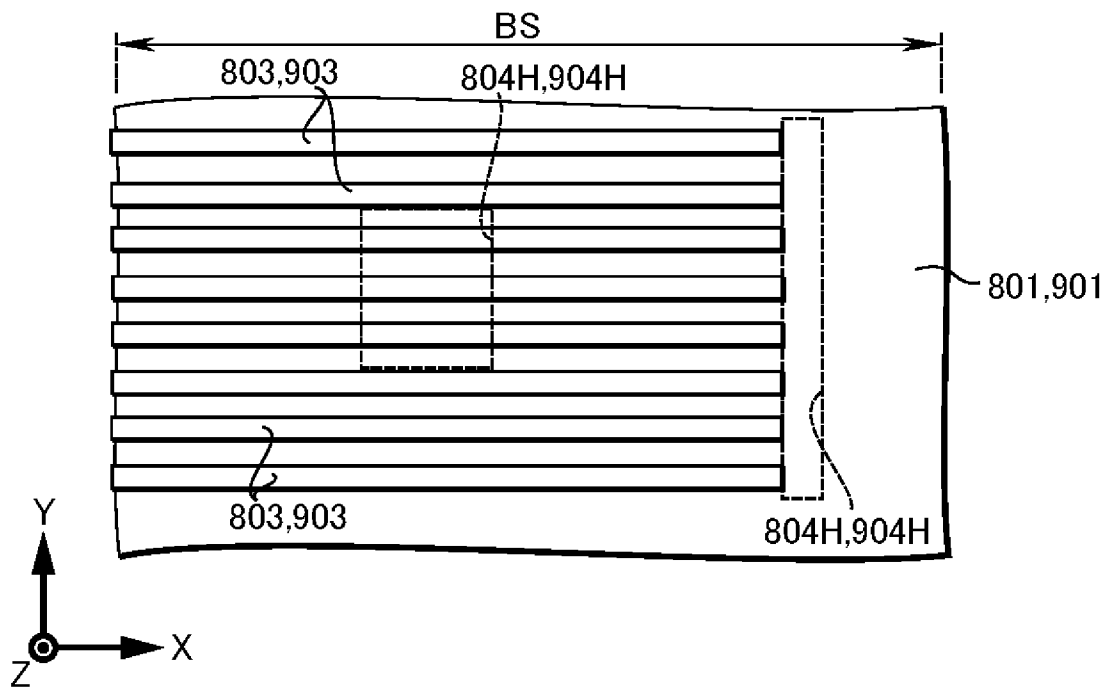
[図36]



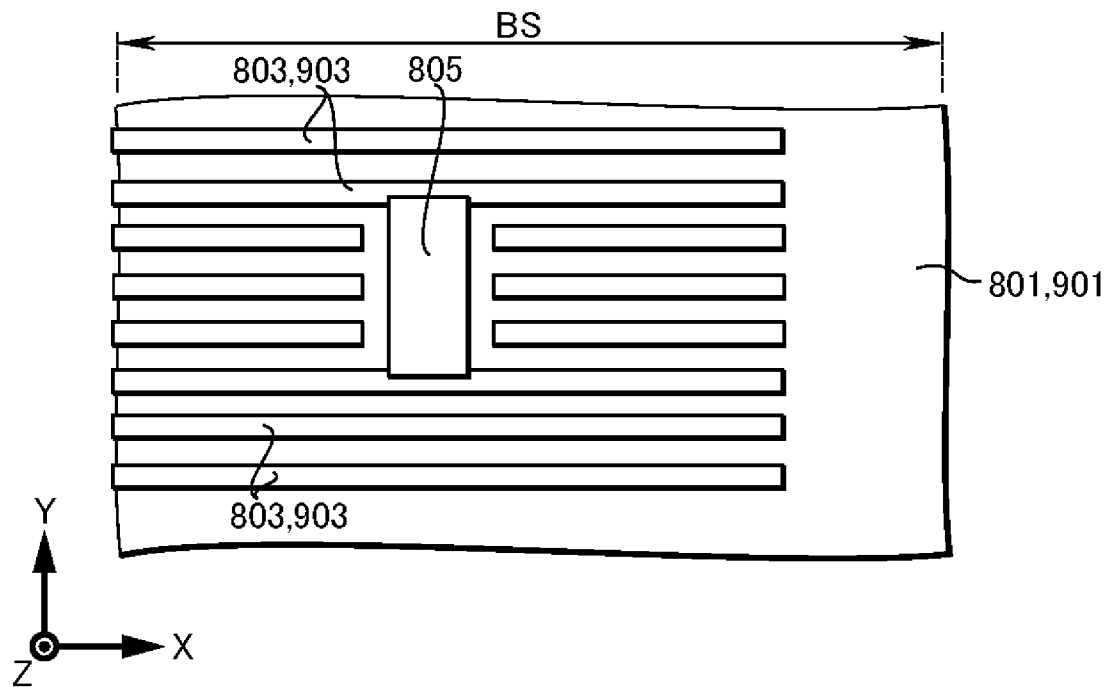
[図37]



[図38]



[図39]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/048322

A. CLASSIFICATION OF SUBJECT MATTER

H10B 63/10(2023.01)i; **H01L 21/336**(2006.01)i; **H01L 29/788**(2006.01)i; **H01L 29/792**(2006.01)i; **H10B 63/00**(2023.01)i;
H10N 70/20(2023.01)i
 FI: H10B63/10; H10B63/00; H10N70/20; H01L29/78 371

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B63/10; H01L21/336; H01L29/788; H01L29/792; H10B63/00; H10N70/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2021-132128 A (KIOXIA CORP.) 09 September 2021 (2021-09-09) paragraphs [0004], [0012]-[0015], [0035], [0099], [0110]-[0111], fig. 1-2, 9C, 11	1, 3-8
Y		2
A		9-12
Y	JP 2011-176226 A (TOSHIBA CORP.) 08 September 2011 (2011-09-08) paragraphs [0007], [0018], [0024]-[0026], fig. 4	2
A		1, 3-12
A	US 2021/0111341 A1 (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 15 April 2021 (2021-04-15) entire text, all drawings	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

02 March 2023

Date of mailing of the international search report

14 March 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/048322

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2021-132128	A	09 September 2021	US 2021/0265426 A1 paragraphs [0043], [0050]- [0054], [0074], [0144], [0155]- [0156], fig. 1-2, 9C, 11 CN 113284919 A	
JP	2011-176226	A	08 September 2011	US 2011/0204309 A1 paragraphs [0028], [0037]- [0039], fig. 4	
US	2021/0111341	A1	15 April 2021	JP 2022-534274 A WO 2021/072575 A1 CN 110914907 A KR 10-2022-0003008 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H10B 63/10(2023.01)i; H01L 21/336(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H10B 63/00(2023.01)i; H10N 70/20(2023.01)i FI: H10B63/10; H10B63/00; H10N70/20; H01L29/78 371										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H10B63/10; H01L21/336; H01L29/788; H01L29/792; H10B63/00; H10N70/20										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2021-132128 A (キオクシア株式会社) 09.09.2021 (2021 - 09 - 09) [0004], [0012] - [0015], [0035], [0099], [0110] - [0111], 図1 - 2, 9C, 11	1,3-8								
Y		2								
A		9-12								
Y	JP 2011-176226 A (株式会社東芝) 08.09.2011 (2011 - 09 - 08) [0007], [0018], [0024] - [0026], 図4	2								
A		1,3-12								
A	US 2021/0111341 A1 (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 15.04.2021 (2021 - 04 - 15) 全文, 全図	1-12								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 02.03.2023		国際調査報告の発送日 14.03.2023								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 宮本 博司 5F 6313 電話番号 03-3581-1101 内線 3516								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/048322

引用文献			公表日	パテントファミリー文献	公表日
JP	2021-132128	A	09.09.2021	US 2021/0265426 A1 [0043], [0050] - [0054], [0074], [0144], [0155] - [0156], 図1 - 2, 9C, 11 CN 113284919 A	
JP	2011-176226	A	08.09.2011	US 2011/0204309 A1 [0028], [0037] - [0039], 図4	
US	2021/0111341	A1	15.04.2021	JP 2022-534274 A WO 2021/072575 A1 CN 110914907 A KR 10-2022-0003008 A	