

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141163

(P2010-141163A)

(43) 公開日 平成22年6月24日 (2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/60 (2006.01)	H O 1 L 21/60 3 2 1 E	5 F 1 3 6
H O 1 L 23/40 (2006.01)	H O 1 L 23/40 Z	

審査請求 未請求 請求項の数 18 O L (全 13 頁)

(21) 出願番号	特願2008-316598 (P2008-316598)	(71) 出願人	591083244 富士電機システムズ株式会社 東京都品川区大崎一丁目11番2号
(22) 出願日	平成20年12月12日 (2008.12.12)	(74) 代理人	100092152 弁理士 服部 毅巖
		(72) 発明者	鶴岡 純司 愛知県安城市藤井町高根10番地 アイシン・エィ・ダブリュ株式会社内
		(72) 発明者	青木 一雄 愛知県安城市藤井町高根10番地 アイシン・エィ・ダブリュ株式会社内
		(72) 発明者	吉原 克彦 東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内

最終頁に続く

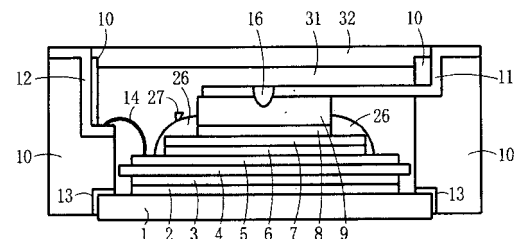
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 溶接スパッタの半導体チップ表面への付着を防止する。

【解決手段】 セラミックス4上に形成されたコレクタ銅箔5と、コレクタ銅箔5上に固着された半導体チップ7と、半導体チップ7上に固着された金属ブロック9と、金属ブロック9の溶接部16を露出させて、半導体チップ7を被覆したカバー樹脂26と、金属ブロック9の溶接部16にレーザ溶接で接続されたエミッタ端子11と、を有する半導体装置では、レーザ溶接により発生した溶接スパッタ27の半導体チップ7の表面への付着がカバー樹脂26により防止される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁基板上に形成された導電膜パターンと、
前記導電膜パターン上に固着された半導体チップと、
前記半導体チップ上に固着された導電ブロックと、
前記導電ブロックの溶接部を露出させて、前記半導体チップを被覆した保護樹脂と、
前記導電ブロックの前記溶接部にレーザ溶接で接続された外部端子と、
を有することを特徴とする半導体装置。

【請求項 2】

前記導電膜パターンにレーザ溶接で接続された別の外部端子をさらに有することを特徴とする請求項 1 記載の半導体装置。 10

【請求項 3】

別の外部端子と、
前記別の外部端子と前記導電膜パターンとにそれぞれレーザ溶接で接続された接続導体と、
をさらに有することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記保護樹脂は、前記半導体チップが固着した箇所以外の前記導電膜パターンの主面に選択的に被覆されることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。 20

【請求項 5】

絶縁基板上に形成された第 1 導電膜パターンと、
前記絶縁基板上に形成された第 2 導電膜パターンと、
前記第 1 導電膜パターン上に固着された半導体チップと、
前記半導体チップ上に固着された導電ブロックと、
前記導電ブロックの溶接部を露出させて、前記半導体チップを被覆した保護樹脂と、
前記導電ブロックの前記溶接部と前記第 2 導電膜パターンとにそれぞれレーザ溶接で接続されたリードフレームと、
外部端子と、
前記第 2 導電膜パターンと前記外部端子とにそれぞれレーザ溶接で接続された接続導体と、
を有することを特徴とする半導体装置。 30

【請求項 6】

前記第 1 導電膜パターンにレーザ溶接で接続された別の外部端子をさらに有することを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

別の外部端子と、
前記別の外部端子と前記第 1 導電膜パターンとにそれぞれレーザ溶接で接続された別の接続導体と、
をさらに有することを特徴とする請求項 5 記載の半導体装置。 40

【請求項 8】

前記保護樹脂は、前記半導体チップが固着された箇所以外の前記第 1 導電膜パターンの主面、前記外部端子と前記リードフレームとが接続される箇所以外の前記第 2 導電膜パターンの主面、及び前記第 1 導電膜パターンと前記第 2 導電膜パターンとの隙間にそれぞれ選択的に被覆されることを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記保護樹脂は、シリコン系、エポキシ系、ウレタン系又はアクリル系であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

絶縁基板上に形成された導電膜パターン上に半導体チップを固着する工程と、
前記半導体チップ上に導電ブロックを固着する工程と、
前記導電ブロックの溶接部を露出させて、前記半導体チップを保護樹脂にて被覆する被覆工程と、

前記導電ブロックの前記溶接部にレーザ溶接で外部端子を接続する工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項 1 1】

前記被覆工程後、前記導電膜パターンにレーザ溶接で別の外部端子を接続する工程をさらに有することを特徴とする請求項 1 0 記載の半導体装置の製造方法。

【請求項 1 2】

前記被覆工程後、前記導電膜パターンと別の外部端子とにレーザ溶接で接続導体をそれぞれ接続する工程をさらに有することを特徴とする請求項 1 0 記載の半導体装置の製造方法。

【請求項 1 3】

絶縁基板上に形成された第 1 導電膜パターン上に半導体チップを固着する工程と、
前記半導体チップ上に導電ブロックを固着する工程と、
前記導電ブロックの溶接部を露出させて、前記半導体チップを保護樹脂にて被覆する被覆工程と、

前記導電ブロックの前記溶接部と前記絶縁基板上に形成された第 2 導電膜パターンとにレーザ溶接でリードフレームをそれぞれ接続する工程と、

前記第 2 導電膜パターンと外部端子とにレーザ溶接で接続導体をそれぞれ接続する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 1 4】

前記被覆工程後、前記第 1 導電膜パターンにレーザ溶接で別の外部端子を接続する工程をさらに有することを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】

前記被覆工程後、前記第 1 導電膜パターンと別の外部端子とにレーザ溶接で別の接続導体をそれぞれ接続する工程をさらに有することを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 6】

前記保護樹脂がシリコン系又はエポキシ系である場合には、前記被覆工程後、前記保護樹脂を室温硬化、加熱硬化又は紫外線硬化によって硬化する工程をさらに有することを特徴とする請求項 1 0 又は 1 3 に記載の半導体装置の製造方法。

【請求項 1 7】

前記保護樹脂がウレタン系である場合には、前記被覆工程後、前記保護樹脂を室温硬化又は加熱硬化によって硬化する工程をさらに有することを特徴とする請求項 1 0 又は 1 3 に記載の半導体装置の製造方法。

【請求項 1 8】

前記保護樹脂がアクリル系である場合には、前記被覆工程後、前記保護樹脂を室温硬化、加熱硬化、紫外線硬化又は可視光線硬化によって硬化する工程をさらに有することを特徴とする請求項 1 0 又は 1 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及び半導体装置の製造方法に関し、特に、内部配線の接続がレーザ溶接で行われる半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

図 6 は、半導体装置（構成例 1）の要部断面図である。

10

20

30

40

50

まず、構成例 1 の図 6 に示す半導体装置は、放熱ベース 1 と、コレクタ銅箔 5 及び裏面銅箔 3 が表裏にそれぞれ形成されたセラミックス 4 と、半導体チップ 7 と、金属ブロック 9 とがそれぞれはんだ 2, 6, 8 を介して積層されている。これらが樹脂ケース 10 内に配置されて、樹脂ケース 10 内に封止樹脂 31 が充填されて、蓋 32 が配置されている。

【0003】

次に、上記半導体装置の製造方法について図 7 及び上記図 6 を参照しながら説明する。

図 7 は、半導体装置（構成例 1）の製造工程を説明するための要部断面図である。

まず、放熱ベース 1 の上面にはんだ 2 を配置し、この上に、コレクタ銅箔 5 及び裏面銅箔 3 が表裏にそれぞれ形成されたセラミックス 4 を搭載する。当該セラミックス 4 のコレクタ銅箔 5 の上面にはんだ 6 を配置し、この上に、半導体チップ 7 を搭載する。さらに、10

【0004】

このような状態において、加熱し、各はんだ材を溶融させた後に、冷却・再凝固させる。このため、放熱ベース 1 と、セラミックス 4 と、半導体チップ 7 と、金属ブロック 9 とが一体になった状態となる（図 7（A））。

【0005】

なお、ここで用いられる半導体チップ 7 は、I G B T（Insulate Gate Bipolar Transistor）、又は F W D（Free Wheeling Diode）等である。半導体チップ 7 の上面に搭載された金属ブロック 9 は、半導体チップ 7 から発生する熱を分散させて放熱させる目的で用いられ、材質としては熱伝導率の高い銅が主として使用される。20

【0006】

次いで、半導体チップ 7 の外側に、電流取り出しのための端子を備えた樹脂ケース 10 を配置する。樹脂ケース 10 にはリードフレーム一体型のエミッタ端子 11 及びコレクタ端子 12 がそれぞれインサート成型されており、この樹脂ケース 10 の放熱ベース 1 と対峙する面に予めシリコン接着剤 13 を塗布しておき、樹脂ケース 10 と放熱ベース 1 の外周部分を嵌合する（図 7（B））。

【0007】

次いで、シリコン接着剤 13 を加熱硬化して、樹脂ケース 10 と放熱ベース 1 とを固着する。コレクタ端子 12 とコレクタ銅箔 5 とをボンディングワイヤ 14（アルミワイヤ等）によって電氣的に接続する。また、エミッタ端子 11 と金属ブロック 9 とをレーザ溶接する。レーザ光 15 はエミッタ端子 11 の上面より照射され、エミッタ端子 11 の最表面でレーザ光 15 の吸収が起こり、熱エネルギーに変換されることで溶接が進行して、エミッタ端子 11 のレーザ溶接された箇所が溶接部 16 となる。この溶接部 16 によってエミッタ端子 11 と金属ブロック 9 とが固着する（図 7（C））。30

【0008】

なお、リードフレーム一体型のエミッタ端子 11 の材質としては、低抵抗・高熱伝導性より主に銅又は銅合金が用いられる。また、このエミッタ端子 11 の表面には、レーザ光 15 の吸収を高めるためにニッケルめっきが施される。また、樹脂ケース 10 外に露出したエミッタ端子 11 には図示しない電動機等が接続するため、このニッケルめっきは露出部の酸化防止の働きもする。レーザ光 15 としては、レーザパワー密度が高く短時間で溶接が可能な Y A G レーザ（波長 1064 nm）が用いられる。また、Y A G レーザ（波長 1064 nm）及び Y A G レーザの第 2 高調波（波長 532 nm）の両方が用いられる場合もある。40

【0009】

さらに、樹脂ケース 10 内に封止樹脂 31 を充填して、蓋 32 をすることで図 6 に示される半導体装置が完成する。

一方、半導体装置のコレクタ端子 12 とコレクタ銅箔 5 との電氣的接続に、ボンディングワイヤ 14（図 6）に代わって、他の構成を用いても構わない。

【0010】

以下にコレクタ端子 12 とコレクタ銅箔 5 との電氣的接続を実現する他の構成例につい50

て説明する。なお、以下では、金属ブロック 9 とエミッタ端子 11 とのレーザ溶接による接続は上記と同様であるために説明を省略する。また、以下で説明する製造工程は、図 7 (A) で説明した製造工程の後に続くものである。

【0011】

図 8 は、半導体装置（構成例 2）の製造工程を説明するための要部断面図である。

構成例 2 の当該半導体装置の図 6 の半導体装置との差異は、コレクタ端子 12 とコレクタ銅箔 5 との電氣的接続に、ボンディングワイヤ 14 に代わって、接続導体 19 を利用している。

【0012】

この接続導体 19 は、コレクタ銅箔 5 及びコレクタ端子 12 にレーザ光 15 によって溶接されて、溶接部 16 がそれぞれ形成される。このため、接続導体 19 は、コレクタ銅箔 5 及びコレクタ端子 12 と接続する。

【0013】

接続導体 19 の材質としては、リードフレーム一体型のエミッタ端子 11 と同様に、低抵抗・高熱伝導性のメリットから銅又は銅合金が用いられ、表面にはレーザ光 15 の吸収率を高めるためにニッケルめっきが施される。

【0014】

図 9 は、半導体装置（構成例 3）の製造工程を説明するための要部断面図である。

構成例 3 として当該半導体装置の図 6 の半導体装置との差異は、ボンディングワイヤ 14 を用いずに、樹脂ケース 10 にインサート成型するリードフレーム一体型のコレクタ端子 20 を樹脂ケース 10 から延長することで、コレクタ銅箔 5 に直接接続できるようにしたものである。

【0015】

このコレクタ端子 20 は、コレクタ銅箔 5 にレーザ光 15 によって溶接されて、溶接部 16 が形成される。

図 10 は、半導体装置（構成例 4）の製造工程を説明するための要部断面図である。

【0016】

構成例 4 として当該半導体装置は、構成例 2 の半導体装置（図 8）において、金属ブロック 9 と一端がレーザ溶接で固着されたリードフレーム 28 の他端もエミッタ銅箔 21 とレーザ溶接で固着されている。さらに、エミッタ銅箔 21 とエミッタ端子 25 は接続導体 24 を介してレーザ溶接で固着されている。

【0017】

このように、半導体装置の内部の様々な配線の接続においてレーザ溶接が用いられている。

なお、特許文献 1 には、両面を露出する一对の主電極板の間を絶縁性の外筒により外部絶縁した平型パッケージの中に、第一主面に少なくとも第一の主電極、第二主面に第二の主電極を有する少なくとも一つ以上の半導体素子を組み込んだ平型半導体装置において、半導体素子表面のうち中間電極板と対向しない外周部分と、中間電極板の側面の少なくとも一部を電気絶縁性材料によりコンパクトに封止することで、低コストで高い信頼性を実現できることが開示されている。

【0018】

また、特許文献 2 には、ヒートスプレッダと外部導出導体である金属板をレーザ溶接することで、強固で高い信頼性を持った接続が得られることが開示されている。

【特許文献 1】特開 2000-58717 号公報

【特許文献 2】特開 2007-165690 号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

しかし、上記のように半導体装置の内部配線の接続にレーザ溶接を用いると次のような問題点があった。

10

20

30

40

50

構成例１の半導体装置の製造工程において、金属ブロック９とエミッタ端子１１とをレーザー光１５によって溶接すると溶接スパッタ１７が発生する。溶接スパッタ１７は半導体チップ７の表面に飛散し、飛散した溶接スパッタ１８（図６）は半導体チップ７を損傷してしまう。

【００２０】

同様に、構成例２～４の半導体装置のそれぞれの製造工程（図８、図９及び図１０）においても、レーザー光１５を用いた溶接により溶接スパッタ１８が半導体チップ７に飛散すると、半導体チップ７を損傷してしまう。

【００２１】

損傷を受けた半導体チップ７は電気的特性の不良を起こし、半導体装置全体の信頼性が低下してしまう。

また、溶接スパッタ１７が飛散しないようにレーザーパワーを下げると、十分な溶接面積が確保できない。このため、各部における接触不良が生じる恐れがある。

【００２２】

また、特許文献１及び特許文献２では、レーザー溶接で生ずる溶接スパッタが半導体チップ上に飛散することを防止する方策については記載されていない。

本発明はこのような点に鑑みてなされたものであり、溶接スパッタの半導体チップ表面への付着が防止された半導体装置及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【００２３】

上記目的を達成するために、内部配線の接続がレーザー溶接で行われる半導体装置が提供される。

この半導体装置は、絶縁基板上に形成された導電膜パターンと、前記導電膜パターン上に固着された半導体チップと、前記半導体チップ上に固着された導電ブロックと、前記導電ブロックの溶接部を露出させて、前記半導体チップを被覆した保護樹脂と、前記導電ブロックの前記溶接部にレーザー溶接で接続された外部端子と、を有する。

【００２４】

このような半導体装置では、絶縁基板上に導電膜パターンが形成され、導電膜パターン上に半導体チップが固着され、半導体チップ上に導電ブロックが固着され、導電ブロックの溶接部を露出させて、半導体チップが保護樹脂で被覆され、導電ブロックの溶接部に外部端子がレーザー溶接で接続される。

【００２５】

また、上記目的を達成するために、内部配線の接続がレーザー溶接で行われる半導体装置の製造方法が提供される。

この半導体装置の製造方法は、絶縁基板上に形成された導電膜パターン上に半導体チップを固着する工程と、前記半導体チップ上に導電ブロックを固着する工程と、前記導電ブロックの溶接部を露出させて、前記半導体チップを保護樹脂にて被覆する被覆工程と、前記導電ブロックの前記溶接部にレーザー溶接で外部端子を接続する工程と、を有する。

【００２６】

このような半導体装置の製造方法によれば、絶縁基板上に形成された導電膜パターン上に半導体チップが固着され、半導体チップ上に導電ブロックが固着され、導電ブロックの溶接部を露出させて、半導体チップが保護樹脂で被覆され、導電ブロックの溶接部にレーザー溶接で外部端子が接続される。

【発明の効果】

【００２７】

上記半導体装置及び半導体装置の製造方法では、溶接スパッタの半導体チップ表面への付着が防止される。

【発明を実施するための最良の形態】

【００２８】

以下、本発明の実施の形態について、図面を参照しながら説明する。

図 1 は、実施の形態における半導体装置の要部断面模式図である。

図 1 に示す半導体装置の基本的な構造は、図 6 に示した構成例 1 の半導体装置と同じである。一方、構成例 1 の半導体装置と異なる構成は、半導体チップ 7 がカバー樹脂 26（保護樹脂）で被覆されている点である。

【0029】

放熱ベース 1 上に、コレクタ銅箔 5（導電膜パターン）及び裏面銅箔 3 が表裏にそれぞれ形成されたセラミックス 4（絶縁基板）と、半導体チップ 7 と、金属ブロック 9（導電ブロック）とがはんだ 2, 6, 8 を介して順に積層されている。

【0030】

また、カバー樹脂 26 は、金属ブロック 9 の接続面が露出されるように、半導体チップ 7 を被覆している。

このような積層構造に、エミッタ端子 11 及びコレクタ端子 12 がインサート成型された樹脂ケース 10 が嵌合されて、エミッタ端子 11 と金属ブロック 9 とがレーザ溶接により接続され、コレクタ銅箔 5 とコレクタ端子 12 とがボンディングワイヤ 14（アルミワイヤ等）にて接続されている。また、樹脂ケース 10 と放熱ベース 1 とがシリコン接着剤 13 で固着されている。

【0031】

さらに、樹脂ケース 10 内に封止樹脂 31 が充填され、上部が蓋 32 で覆われて、図 1 に示す半導体装置が構成されている。

次に、このような半導体装置の製造方法について図 2 及び上記図 1 を参照して説明する。

【0032】

図 2 は、実施の形態における半導体装置の製造工程を説明するための要部断面図である。

まず、放熱ベース 1 の上面にはんだ 2 を配置し、この上に、コレクタ銅箔 5 及び裏面銅箔 3 がそれぞれ形成されたセラミックス 4 を搭載する。当該セラミックス 4 のコレクタ銅箔 5 の上面にはんだ 6 を配置し、この上に、半導体チップ 7 を搭載する。さらに、当該半導体チップ 7 の上面にはんだ 8 を配置し、この上に、金属ブロック 9 を搭載する。

【0033】

このような状態において、加熱し、各はんだ材を溶融させた後に、冷却・再凝固させる。このため、放熱ベース 1 と絶縁基板と半導体チップ 7 と金属ブロック 9 とが一体になった状態となる（図 2（A））。

【0034】

なお、ここで用いられる半導体チップ 7 は、IGBT 又は FWD 等である。半導体チップ 7 の上面に搭載された金属ブロック 9 は、半導体チップ 7 から発生する熱を分散させて放熱させる目的で用いられ、材質としては熱伝導率の高い銅が主として使用される。また、このはんだ 2, 6, 8 による接続は超音波接続であっても構わない。

【0035】

次いで、コレクタ銅箔 5 上に搭載され、金属ブロック 9 からはみ出した半導体チップ 7 の露出部分をカバー樹脂 26 で被覆する。なお、半導体チップ 7 をカバー樹脂 26 で被覆する際には、金属ブロック 9 の上面（エミッタ端子 11 との接続部（後述））は露出したままである。つまり、金属ブロック 9 が固着せず露出している半導体チップ 7 の表面を上面から側面にかけて被覆するように塗布する。

【0036】

なお、カバー樹脂 26 は半導体チップ 7 の表面の他に、後にレーザ溶接される箇所以外のコレクタ銅箔 5 を部分・選択的に被覆しても構わない。コレクタ銅箔 5 にもカバー樹脂 26 を被覆することにより、溶接スパッタ 17 のコレクタ銅箔 5 に対する飛散を防止できる。このため、溶接スパッタ 17 が起因したコレクタ銅箔 5 におけるショート等が抑制される。また、このカバー樹脂 26 の材質としては、シリコン系、エポキシ系、ウレタン

10

20

30

40

50

系及びアクリル系等の樹脂を用いることができる。

【0037】

カバー樹脂26の塗布後、常温硬化、加熱硬化、可視光線硬化及び紫外線硬化等の手法により、カバー樹脂26を硬化させる。このようにして半導体チップ7が露出しないようにカバー樹脂26によって覆う(図2(B))。

【0038】

なお、硬化形態例としては、シリコン系とエポキシ系の場合は室温、加熱及び紫外線があり、ウレタン系では室温と加熱があり、アクリル系では室温、加熱、紫外線及び可視光線がある。

【0039】

次いで、半導体チップ7の外側に、電流取り出しのための端子を備えた樹脂ケース10を配置する。樹脂ケース10にはリードフレーム一体型のエミッタ端子11及びコレクタ端子12がインサート成型されており、この樹脂ケース10の放熱ベース1と対峙する面に予めシリコン接着剤13を塗布しておき、樹脂ケース10と放熱ベース1の外周部分を嵌合する。その後、シリコン接着剤13を加熱硬化して、樹脂ケース10と放熱ベース1とを固着する。

【0040】

さらに、コレクタ端子12とコレクタ銅箔5とをボンディングワイヤ14によって電氣的に接続し、エミッタ端子11と金属ブロック9とをレーザ溶接する。レーザ溶接の際のレーザ光15はエミッタ端子11の上面より照射され、エミッタ端子11の最表面でレーザ光15の吸収が起こり、熱エネルギーに変換されることで溶接が進行する。この結果、エミッタ端子11のレーザ光15が照射された箇所が溶接部16となる。この溶接部16によってエミッタ端子11と金属ブロック9とが固着する(図2(C))。

【0041】

なお、エミッタ端子11の材質としては、低抵抗・高熱伝導性より主に銅又は銅合金が用いられる。また、エミッタ端子11の表面には、レーザ光15の吸収を高めるためにニッケルめっきが施される。また、樹脂ケース10の外に露出したエミッタ端子11には図示しない電動機等が接続するため、このニッケルめっきは露出部の酸化防止の働きもする。

【0042】

また、レーザ光15としては、レーザパワー密度が高く短時間で溶接が可能なYAGレーザ(波長1064nm)が用いられる。また、YAGレーザ(波長1064nm)とYAGレーザの第2高調波(波長532nm)の両方が用いられる場合もある。

【0043】

次いで、樹脂ケース10内に封止樹脂31(シリコンゲル又はエポキシ樹脂等)を充填してその上に蓋32を被せることにより、図1に示した半導体装置が完成する。なお、蓋32は被せない場合もある。

【0044】

上記のエミッタ端子11と金属ブロック9との接続にレーザ溶接を行うと、溶接スパッタ17が発生する。レーザ溶接の際に発生した溶接スパッタ17は樹脂ケース10内部に飛散するが、半導体チップ7はカバー樹脂26で覆われているため、溶接スパッタ17はカバー樹脂26の表面に付着し(溶接スパッタ27)、半導体チップ7表面には付着しない。このため、半導体チップ7は損傷することが無い。また、溶接スパッタ17の飛散から半導体チップ7を保護するための特別な治具が不要となるため、製造工程数を削減することができる。さらに、溶接スパッタ17の半導体チップ7表面への飛散が防げるために、溶接スパッタ17が発生する条件を採用して十分な溶接面積を確保することが可能となる。したがって、半導体装置の信頼性が向上する。

【0045】

次に、上記実施の形態を利用した様々な内部配線のレーザ溶接による配線接続について説明する。なお、以下の各例では、金属ブロック9とエミッタ端子11とのレーザ溶接に

10

20

30

40

50

よる接続の説明については実施の形態と同様であるために省略する。また、以下の各製造工程は図2（A）で説明した製造工程の後に続くものである。

【0046】

<実施例1>

図3は、実施例1における半導体装置の製造工程を説明するための要部断面図である。

実施例1の半導体装置と実施の形態の半導体装置との構成上の差異は、コレクタ端子12とコレクタ銅箔5との電氣的接続に、ボンディングワイヤ14に代わって、接続導体19を利用している（すなわち、図8の構成例2に対応）。

【0047】

この接続導体19は、コレクタ銅箔5及びコレクタ端子12にレーザ光15によって溶接されて、溶接部16が形成される。このため、接続導体19は、コレクタ銅箔5及びコレクタ端子12と接続する。

【0048】

この時、上記実施の形態と同様に、溶接スパッタ17が発生して樹脂ケース10の内部に飛散するが、半導体チップ7はカバー樹脂26で覆われているため、溶接スパッタ17はカバー樹脂26の表面に付着し（溶接スパッタ27）、半導体チップ7表面には付着しない。

【0049】

そして、樹脂ケース10内に封止樹脂31を充填してその上に蓋32を被せることにより、図示しない半導体装置が完成する。なお、蓋32は被せない場合もある。

なお、接続導体19の材質としては、エミッタ端子11と同様に、低抵抗・高熱伝導性のメリットから銅または銅合金が用いられ、表面にはレーザ光15の吸収率を高めるためにニッケルめっきが施される。

【0050】

<実施例2>

図4は、実施例2における半導体装置の製造工程を説明するための要部断面図である。

実施例2の半導体装置と実施の形態の半導体装置との構成上の差異は、コレクタ端子12とコレクタ銅箔5との電氣的接続に、ボンディングワイヤ14を用いずに、樹脂ケース10にインサート成型するリードフレーム一体型のコレクタ端子20を樹脂ケース10から延長することで、コレクタ銅箔5に直接接続できるようにしたものである（すなわち、図9の構成例3に対応）。

【0051】

このコレクタ端子20は、コレクタ銅箔5にレーザ光15によって溶接されて、溶接部16が形成される。このため、コレクタ端子20は、コレクタ銅箔5と接続する。

この時、上記と同様に、溶接スパッタ17が発生して樹脂ケース10の内部に飛散するが、半導体チップ7はカバー樹脂26で覆われているため、溶接スパッタ17はカバー樹脂26の表面に付着し（溶接スパッタ27）、半導体チップ7表面には付着しない。

【0052】

そして、樹脂ケース10内に封止樹脂31を充填してその上に蓋32を被せることにより、図示しない半導体装置が完成する。なお、蓋32は被せない場合もある。

<実施例3>

図5は、実施例3における半導体装置の製造工程を説明するための要部断面図である。

【0053】

実施例3の半導体装置は、実施例1の半導体装置（図3）と同様に、コレクタ端子12とコレクタ銅箔5との電氣的接続に、ボンディングワイヤ14に代わって、接続導体19を利用している。さらに、実施例3の半導体装置は、金属ブロック9と一端が固着されたリードフレーム28の他端もエミッタ銅箔21とレーザ溶接で固着されている。また、エミッタ銅箔21とエミッタ端子25は接続導体24に固着されている（すなわち、図10の構成例4に対応）。

【0054】

この接続導体 19 は、実施例 1 と同様に、コレクタ銅箔 5 及びコレクタ端子 12 にレーザ光 15 によって溶接されて、溶接部 16 が形成される。このため、接続導体 19 は、コレクタ銅箔 5 及びコレクタ端子 12 と接続する。

【0055】

さらに、金属ブロック 9 と一端がレーザ溶接で固着されたリードフレーム 28 の他端が、エミッタ銅箔 21 とレーザ溶接による溶接部 16 で固着される。また、エミッタ銅箔 21 とエミッタ端子 25 がレーザ溶接による溶接部 16 で接続導体 24 に固着される。

【0056】

この時、上記と同様に、溶接スパッタ 17 が発生して樹脂ケース 10 の内部に飛散するが、半導体チップ 7 はカバー樹脂 26 で覆われているため、溶接スパッタ 17 はカバー樹脂 26 の表面に付着し（溶接スパッタ 27）、半導体チップ 7 表面には付着しない。

10

【0057】

なお、実施例 3 においてもカバー樹脂 26 は半導体チップ 7 の表面の他に、レーザ溶接される箇所以外のコレクタ銅箔 5 及びエミッタ銅箔 21 を部分・選択的に被覆しても構わない。さらに、カバー樹脂 26 はコレクタ銅箔 5 及びエミッタ銅箔 21 の隙間にも被覆しても構わない。コレクタ銅箔 5 及びエミッタ銅箔 21 の隙間にもカバー樹脂 26 を被覆することにより、溶接スパッタ 17 のコレクタ銅箔 5 及びエミッタ銅箔 21 に対する飛散を防止できる。このため、溶接スパッタ 17 が起因したコレクタ銅箔 5 及びエミッタ銅箔 21 の隙間におけるショート等が抑制される。

【0058】

20

そして、樹脂ケース 10 内に封止樹脂 31 を充填してその上に蓋 32 を被せることにより、図示しない半導体装置が完成する。なお、蓋 32 は被せない場合もある。

したがって、実施例 1～3 においても、レーザ溶接の際に発生した溶接スパッタ 17 は樹脂ケース 10 内部に飛散するが、半導体チップ 7 はカバー樹脂 26 で覆われているため、溶接スパッタ 17 はカバー樹脂 26 の表面に付着し（溶接スパッタ 27）、半導体チップ 7 表面には付着しない。このため、半導体チップ 7 は損傷することが無い。また、溶接スパッタ 17 の飛散から半導体チップ 7 を保護するための特別な治具が不要となるため、製造工程数を削減することができる。さらに、溶接スパッタ 17 の半導体チップ 7 表面への飛散が防げるために、溶接スパッタ 17 が発生する条件を採用して十分な溶接面積を確保することが可能となる。したがって、半導体装置の信頼性が向上する。

30

【図面の簡単な説明】

【0059】

【図 1】実施の形態における半導体装置の要部断面模式図である。

【図 2】実施の形態における半導体装置の製造工程を説明するための要部断面図である。

【図 3】実施例 1 における半導体装置の製造工程を説明するための要部断面図である。

【図 4】実施例 2 における半導体装置の製造工程を説明するための要部断面図である。

【図 5】実施例 3 における半導体装置の製造工程を説明するための要部断面図である。

【図 6】半導体装置（構成例 1）の要部断面図である。

【図 7】半導体装置（構成例 1）の製造工程を説明するための要部断面図である。

【図 8】半導体装置（構成例 2）の製造工程を説明するための要部断面図である。

40

【図 9】半導体装置（構成例 3）の製造工程を説明するための要部断面図である。

【図 10】半導体装置（構成例 4）の製造工程を説明するための要部断面図である。

【符号の説明】

【0060】

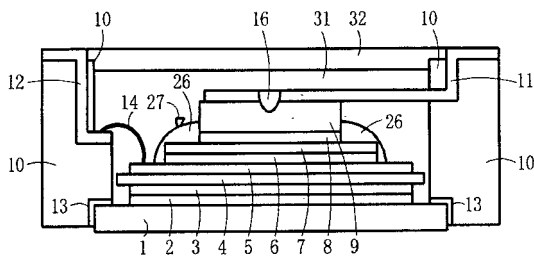
- 1 放熱ベース
- 2, 6, 8 はんだ
- 3 裏面銅箔
- 4 セラミックス
- 5 コレクタ銅箔
- 7 半導体チップ

50

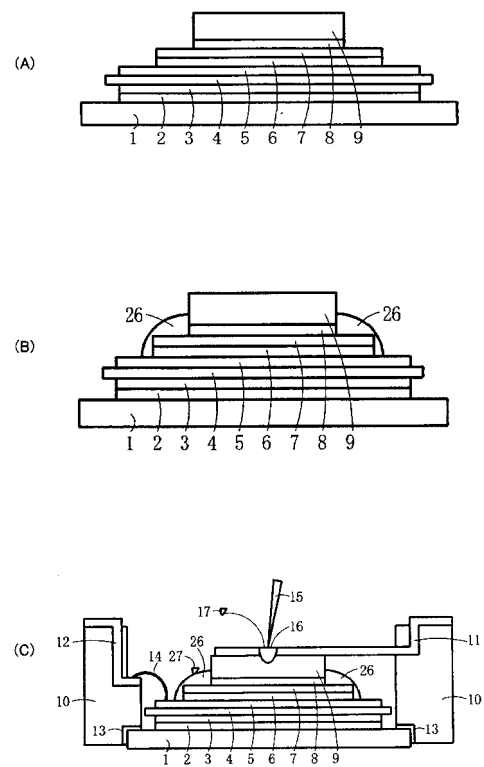
- 9 金属ブロック
- 10 樹脂ケース
- 11, 25 エミッタ端子
- 12, 20 コレクタ端子
- 13 シリコン接着剤
- 14 ボンディングワイヤ
- 15 レーザ光
- 16 溶接部
- 17, 18, 27 溶接スパッタ
- 19, 24 接続導体
- 21 エミッタ銅箔
- 26 カバー樹脂
- 28 リードフレーム
- 31 封止樹脂
- 32 蓋

10

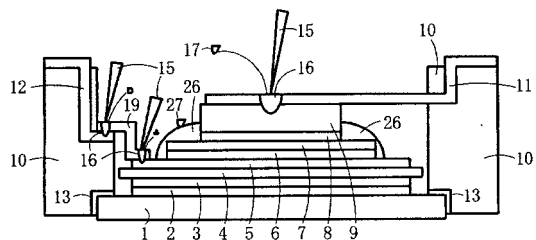
【図 1】



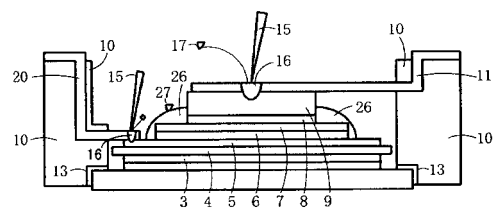
【図 2】



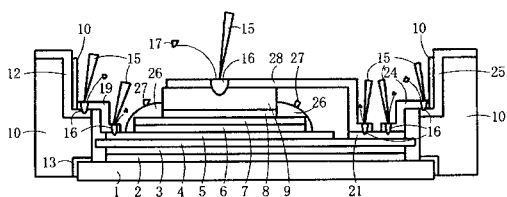
【 図 3 】



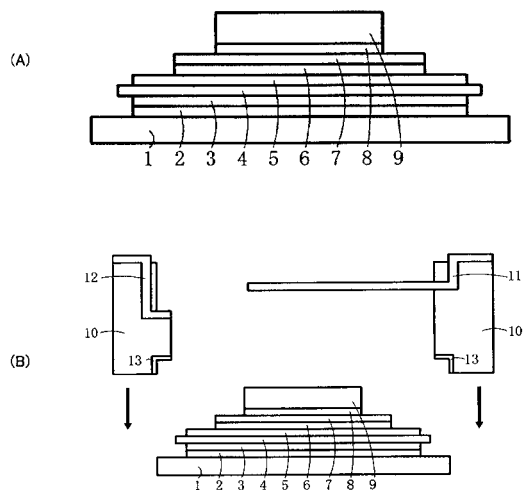
【図 4】



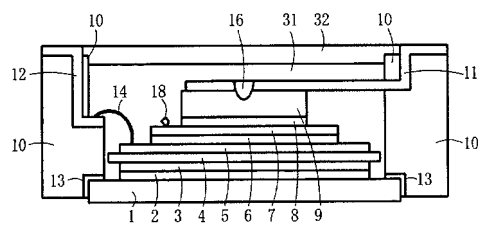
【 図 5 】



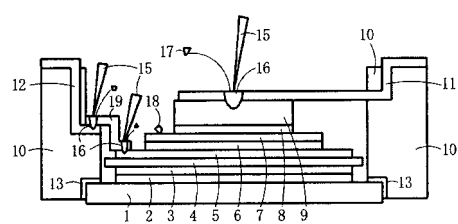
【图 7】



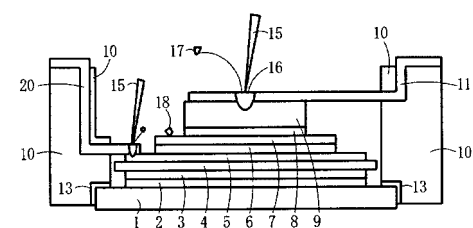
【 図 6 】



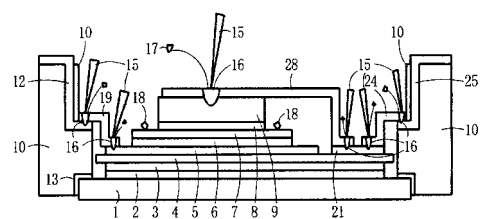
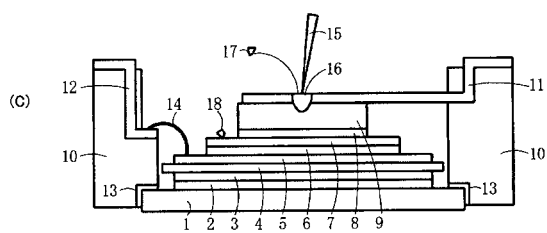
【图 8】



【图 9】



【図 10】



フロントページの続き

Fターム(参考) 5F136 BA30 BB04 BC02 BC03 EA24 FA03 FA53 FA82 GA01 GA02
GA37