

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410057788.6

[51] Int. Cl.

H01L 23/48 (2006.01)

H01L 23/28 (2006.01)

H01L 21/60 (2006.01)

H01L 21/56 (2006.01)

[45] 授权公告日 2008年11月26日

[11] 授权公告号 CN 100438001C

[22] 申请日 2004.8.19

[21] 申请号 200410057788.6

[30] 优先权

[32] 2003.8.19 [33] JP [31] 295067/2003

[73] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 栗田洋一郎 大内利枝佳 宫崎崇志
山田俊之

[56] 参考文献

CN 1242602 A 2000.1.26

US 6207473 B1 2001.3.27

US 6350664 B1 2002.2.26

US 5930599 A 1999.7.27

US 6425516 B1 2002.7.30

审查员 曾宇昕

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 穆德骏 陆 弋

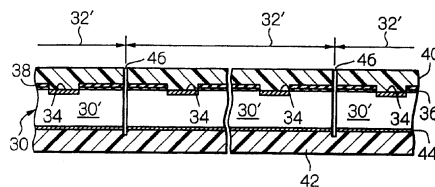
权利要求书5页 说明书27页 附图15页

[54] 发明名称

倒装芯片型半导体器件及其制造工艺和电子产品制造工艺

[57] 摘要

一种倒装芯片型半导体器件(32', 72A、72B、72C)包括半导体衬底(30'、70')。多个电极终端(34、73; 74)位于并排列在半导体衬底的上表面上,密封树脂层(40、48、75、75'、92)形成于半导体衬底的上表面上,使电极终端被密封树脂层完全覆盖。



1. 一种半导体封装，其包括：

半导体器件，具有位于并排列在所述半导体器件上表面的多个电极终端，以及形成在所述半导体器件上表面的密封树脂层，使所述电极终端完全被所述密封树脂层覆盖；以及

衬底，具有位于并排列在所述衬底上表面的多个电极终端，所述衬底的电极终端的排列与所述半导体器件的电极终端的排列有镜像关系，

其中，所述半导体器件被安装在所述衬底上，使所述衬底的电极终端穿入所述密封树脂层，并且直接结合到所述半导体器件的各电极终端，

其中所述半导体器件还包括保护层，该保护层形成于所述半导体器件的上表面除所述半导体器件的电极终端之外的地方，使所述保护层被所述密封树脂层完全覆盖，以及

所述半导体器件的电极终端的上表面低于所述保护层的上表面。

2. 根据权利要求1的半导体封装，其中所述衬底包括另外的半导体器件。

3. 根据权利要求1的半导体封装，其中所述衬底包括电子内插板。

4. 根据权利要求1的半导体封装，其中所述衬底包括布线板。

5. 根据权利要求1的半导体封装，其中所述半导体器件的每个电极终端都包括形成于所述半导体器件上表面上的导电焊盘。

6. 根据权利要求1的半导体封装，其中所述半导体器件的每个电极终端都包括形成于所述半导体器件上表面的导电焊盘和结合在所述导电焊盘上的金属凸点。

7. 根据权利要求6的半导体封装，其中所述金属凸点形成为柱状金属凸点。

8. 根据权利要求1的半导体封装，其中所述密封树脂层包括含有多个固体颗粒的填充物。

9. 根据权利要求8的半导体封装，其中所述固体颗粒是导电的。

10. 一种制作工艺，包括：

准备半导体晶片，其具有制作于所述半导体晶片上表面的多个半导体器件，每个所述半导体器件具有位于并排列在所述半导体器件上表面的多个电极终端；

在所述半导体晶片上表面上形成密封树脂层，使所述电极终端被所述密封树脂层完全覆盖；

对所述半导体晶片划片，使所述半导体器件分为多个单独分开的半导体器件；

准备衬底，该衬底具有位于并排列在所述衬底上表面的多个电极终端，所述衬底的电极终端的排列与每个所述的单独分开的半导体器件的电极终端的排列有镜像关系；以及

安装所述单独分开的半导体器件中的一个到所述衬底上，使所述衬底的电极终端穿入所述单独分开的半导体器件的密封树脂层，并且直接结合到所述衬底的所述各个电极终端，

其中所述半导体晶片包括形成于所述半导体晶片上表面上的保护层，使所述半导体晶片上的电极终端暴露在外面，且所述保护层被所述密封树脂层完全覆盖，

所述半导体器件的电极终端的上表面低于所述保护层的上表面。

11. 根据权利要求10的制作工艺，其中所述半导体晶片上的每个电极终端都包含在所述半导体晶片上表面上形成的导电焊盘。

12. 根据权利要求 10 的制作工艺，其中所述半导体晶片上每个电极终端都包含形成于所述半导体晶片上表面上的导电焊盘和结合于所述导电焊盘上的金属凸点。

13. 根据权利要求 10 的制作工艺，其中所述密封树脂层的形成包括：

将液态树脂材料放置到所述半导体晶片的上表面；以及

旋转所述半导体晶片，使所述液态树脂材料向外展开遍及所述半导体晶片上表面，从而形成所述密封树脂层。

14. 根据权利要求 10 的制作工艺，其中所述密封树脂层的形成包括：

准备粘性树脂片；以及

将所述粘性树脂片层压到所述半导体晶片上表面，从而形成所述密封树脂层。

15. 根据权利要求 14 的制作工艺，其中所述粘性树脂片具有层压在所述粘性树脂片表面上的划片树脂片，并且所述半导体晶片上表面上的所述粘性树脂片的层压是通过将所述半导体晶片面向下施加到与所述划片树脂片相对的所述粘性树脂片另一个表面上而执行的。

16. 根据权利要求 10 的制作工艺，其中所述衬底的每个电极终端包括形成于所述衬底上表面上的导电焊盘和结合于所述导电焊盘上的芽状金属凸点，并且所述单独分开的半导体器件的每个电极终端包括形成于所述单独分开的半导体器件上表面上的导电焊盘。

17. 根据权利要求 16 的制作工艺，其中将所述单独分开的半导体器件安装到所述衬底上包括：

将所述单独分开的半导体器件倒置并放在所述衬底上，使所述单

独分开的半导体器件的各个导电焊盘与所述衬底的芽状凸点对齐；以及

将所述单独分开的半导体器件压到所述衬底上，从而所述衬底的芽状凸点穿入所述密封树脂层中并且所述衬底的芽状凸点结合到所述单独分开的半导体器件的导电焊盘上。

18. 根据权利要求 10 的制作工艺，其中所述衬底的每个电极终端包括形成于所述衬底上表面上的导电焊盘和结合于所述导电焊盘上的柱状金属凸点，并且所述单独分开的半导体器件的每个电极终端包括形成于所述单独分开的半导体器件上表面上的导电焊盘和结合于所述导电焊盘上的柱状金属凸点。

19. 根据权利要求 18 的制作工艺，其中将所述单独分开的半导体器件安装到所述衬底上包括：

将所述单独分开的半导体器件倒置并放在所述衬底上，使所述单独分开的半导体器件的各个柱状金属凸点与所述衬底的柱状金属凸点对齐；以及

将所述单独分开的半导体器件压到所述衬底上，从而所述衬底的柱状凸点穿入所述密封树脂层中并且所述衬底的柱状凸点结合到所述单独分开的半导体器件的柱状凸点上。

20. 根据权利要求 19 的制作工艺，其中所述密封树脂层包括包含多个固体颗粒的填充物，并且所述固体颗粒的一部分被挤压并留在所述单独分开的半导体器件的柱状金属凸点与所述衬底的柱状金属凸点的结合面间。

21. 根据权利要求 10 的制作工艺，其中所述衬底包括另一个半导体器件，从而产生芯片堆叠半导体器件。

22. 根据权利要求 10 的制作工艺，其中所述衬底包括用于制作电

子产品的电子内插板。

23. 根据权利要求 10 的制作工艺，其中所述衬底包括用于制作电子设备的布线板。

24. 一种制作工艺，包括：

准备第一半导体晶片，其具有制作于所述第一半导体晶片上表面的多个半导体器件，每个所述半导体器件具有位于并排列在所述半导体器件上表面的多个电极终端；

在所述半导体晶片上表面上形成密封树脂层，使所述电极终端被所述密封树脂层完全覆盖；

对所述半导体晶片划片，使所述半导体器件分为多个单独分开的半导体器件；

准备第二半导体晶片，其具有制作于所述第二半导体晶片上表面上的多个半导体器件，所述第二半导体晶片的每个半导体器件具有位于并排列在所述半导体器件上表面上的多个电极终端，所述第二半导体晶片的每个所述半导体器件的电极终端的排列与每个所述的单独分开的半导体器件的电极终端的排列有镜像关系；

安装所述各个单独分开的半导体器件到所述第二半导体晶片的所述半导体器件上，使所述第二半导体晶片的每个所述半导体器件的电极终端穿入到相应的单独分开的半导体器件的密封树脂层中，并且直接结合到所述相应的单独分开的半导体器件的各个电极终端，从而制得多个芯片堆叠半导体封装；以及

对所述第二半导体晶片划片，使所述多个芯片堆叠半导体封装相互分离，

其中所述半导体晶片包括形成于所述半导体晶片上表面上的保护层，使所述半导体晶片上的电极终端暴露在外面，且所述保护层被所述密封树脂层完全覆盖，

所述半导体器件的电极终端的上表面低于所述保护层的上表面。

倒装芯片型半导体器件及其制造工艺和电子产品制造工艺

技术领域

本发明涉及一种倒装芯片型半导体器件，其用于制作电子产品，如紧凑半导体封装，主板等。而且，本发明涉及制造此倒装芯片型半导体器件的制造工艺。此外，本发明涉及采用倒装芯片型半导体器件制造的，如紧凑半导体封装，主板等的电子产品的制造工艺。

背景技术

在用于制造倒装芯片型半导体器件的典型的常规制作方法中，举例来说，准备一个硅片，硅片的一个表面通过在硅片中形成网格状细槽（即划线）将硅片表面分成多个半导体芯片区。然后，通过各种已知的方法处理硅片，使每个半导体芯片区制作成为一个半导体芯片或器件。接着，在每个半导体器件上形成并排列多个导电焊盘，并且如果需要，在导电焊盘上结合各个金属凸点(bumps)。每个金属凸点可以由焊料或金构成，并且作为电极终端或引线。之后，硅片经过划片处理使硅片沿着限定半导体器件的网格状槽被分割，从而使半导体器件相互分开。

已经研制倒装芯片型半导体器件来满足对电子设备的更高性能、更小而轻的体积、和更高的速度的需求。例如，倒装芯片型半导体器件可以用来制造紧凑半导体封装，如 BGA（焊球网格阵列）类型半导体封装，芯片堆叠（chip-on-chip）类型半导体封装等。

在 BGA 类型半导体封装制作中，准备一块布线板，通常称作封装板或内插板（interposer）。布线板或内插板在其上表面排列多个导电焊盘，并且在内插板的导电焊盘的排列和倒装芯片型的半导体器件的金属凸点的排列之间有镜像关系。内插板也有多个排列在其下表面上

的导电焊盘和多个结合到焊盘上的焊球，由焊球形成焊球网格阵列（BGA）。倒装芯片型半导体器件被倒置并安装在内插板的上表面，使倒装芯片型半导体器件的金属凸点结合在内插板上表面的导电焊盘上，因此在二者之间建立了的电气连接。

在芯片堆叠半导体封装制作中，准备一个半导体器件，其特征是比倒装芯片型半导体器件的尺寸更大的尺寸。该较大的半导体器件有多个导电焊盘排列在其上表面，并且较大的半导体器件的导电焊盘的排列和倒装芯片型半导体器件的金属凸点的排列有镜像关系。倒装芯片型半导体器件被倒置并安装在较大半导体器件的上表面，使倒装芯片型半导体器件的金属凸点结合到较大半导体器件的导电焊盘上，由此在二者之间建立电气连接。

而且，倒装芯片型半导体器件可以直接安装在电子设备的主板上，这样倒装芯片型半导体器件的各个金属凸点被连接并结合到形成并排列于主板上的导电焊盘上。

在任何情况下，安装倒装芯片型半导体器件后，必须进行树脂填充（resin-underfilling）工艺，使倒装芯片型半导体器件和内插板、半导体器件或主板间的空间用合适的树脂填充，因此密封金属凸点和导电焊盘的排列（arrangements）。

常规地，已经提出了各种树脂填充工艺，但很难有效地进行常规的树脂填充工艺，如下面详细论述的，导致降低了使用倒装芯片型半导体器件的电子产品的生产率。而且，在进一步使倒装芯片型半导体器件小型化的当前趋势中，有效地进行常规树脂填充工艺基本不可能。

发明内容

因此，本发明的一个主要目的是提供一种倒装芯片型半导体器件，其构成使倒装芯片型半导体器件安装之后，可以完全省略树脂填充工艺，从而使采用倒装芯片型半导体器件的电子产品的生产率提高。

本发明的另一个目的是提供一种制造此倒装芯片型半导体器件的制作工艺。

本发明还有另一个目的是提供一种制造包括此倒装芯片型半导体器件的电子产品的制作工艺，如芯片堆叠半导体封装，焊球网格阵列半导体封装，主板等等。

根据本发明的第一方面，提供一种倒装芯片型半导体器件，其包括：半导体衬底；多个电极终端，其位于并排列在半导体衬底的上表面；以及密封树脂层，其形成在半导体衬底的上表面，使电极终端完全被密封树脂层覆盖。

倒装芯片型半导体器件还可包括保护层，其形成于半导体衬底的上表面，使电极终端暴露在外面，且保护层被密封树脂层完全覆盖。

在倒装芯片型半导体器件中，每个电极终端都形成为导电焊盘，其形成于半导体衬底上表面。备选地，每个电极终端还可包括结合在导电焊盘上的金属凸点。优选地，金属凸点形成为柱状金属凸点。

而且，优选地，密封树脂层包括包含多个导电的固体颗粒的填充物。

根据本发明的第二方面，提供一种制作工艺，其步骤包括：准备半导体晶片，其具有多个制作于其上表面的半导体器件，每个半导体器件具有多个位于并排列在其上表面的电极终端；在半导体晶片上表

面形成密封树脂层，使电极终端被密封树脂层完全覆盖；以及对半导体晶片划片，使半导体器件分为多个单独分开的半导体器件。

在本制作工艺中，半导体晶片包括形成于其上表面的保护层，使所述电极终端暴露在外面，且保护层被密封树脂层完全覆盖。

而且，每个电极终端可以形成为导电焊盘，其形成于每个半导体器件的上表面。备选地，每个电极终端还包括结合在导电焊盘上的金属凸点。优选地，金属凸点形成为柱状金属凸点。

根据本发明的制作工艺，密封树脂层的形成可以由以下步骤进行：将液态树脂材料放置到半导体晶片的上表面；以及旋转半导体晶片，使液态树脂材料向外展开遍及半导体晶片上表面，从而形成密封树脂层。

备选地，密封树脂层的形成可由以下步骤进行：准备一个粘性树脂片；以及将粘性树脂片层压到半导体晶片的上表面，从而形成密封树脂层。粘性树脂片可以具有层压在其表面的划片树脂片。这种情况下，可以通过将半导体晶片面向下并应用到与划片片相反的粘性树脂片另一个表面上，将粘性树脂片的层压到半导体晶片上表面上。

根据本发明的制作工艺还包括如下步骤：准备一个衬底，其具有位于并排列在其上表面上的多个电极终端，衬底的电极终端的排列与每个单独分开的半导体器件的电极终端的排列有镜像关系；以及安装一个单独分开的半导体器件到衬底上，使衬底的电极终端穿入单独分开的半导体器件的密封树脂层，并且结合到其各个电极终端。

在此制作工艺中，衬底的每个电极终端可包括形成于其上表面的导电焊盘和结合于其上的芽状金属凸点，并且单独分开的半导体器件的每个电极终端可包括形成于其上表面的导电焊盘。在这种情况下，

将单独分开的半导体器件安装到衬底上可包括如下步骤：将所述单独分开的半导体器件倒置并放在衬底上，使单独分开的半导体器件的各个导电焊盘与衬底的芽状凸点对齐；以及将单独分开的半导体器件压到衬底上，从而衬底的芽状凸点穿入密封树脂层中并且衬底的芽状凸点结合到单独分开的半导体器件的导电焊盘上。

备选地，衬底的每个电极终端可包括形成于其上表面的导电焊盘和结合于其上的柱状金属凸点，并且单独分开的半导体器件的每个电极终端可包括形成于其上表面的导电焊盘和结合于其上的柱状金属凸点。在这种情况下，将单独分开的半导体器件安装到衬底上可包括如下步骤：将单独分开的半导体器件倒置并放在衬底上，使单独分开的半导体器件的各个柱状金属凸点与衬底的柱状金属凸点对齐；以及将单独分开的半导体器件压到衬底上，从而衬底的柱状凸点穿入密封树脂层中并且衬底的柱状凸点结合到单独分开的半导体器件的柱状凸点上。而且，密封树脂层可包括包含多个固体颗粒的填充物。在这种情况下，固体颗粒的一部分被挤压并留在单独分开的半导体器件的柱状金属凸点与衬底的柱状金属凸点的结合面间。

在根据本发明的制作工艺中，衬底可包括另一个半导体器件，从而产生一个芯片堆叠半导体器件。而且，衬底可包括用于制作电子产品的电子内插板。此外，衬底可包括用于制作电子设备的布线板。

在根据本发明的制作工艺中，当前述半导体晶片定义为第一半导体晶片时，制作工艺还可包括如下步骤：准备第二半导体晶片，其具有多个制作于其上表面的半导体器件，每个半导体器件具有多个位于并排列在其上表面的电极终端，第二半导体晶片的每个半导体器件的电极终端的排列与每个单独分开的半导体器件的电极终端的排列有镜像关系；安装各个单独分开的半导体器件到第二半导体晶片的半导体器件上，使第二半导体晶片的每个半导体器件的电极终端穿入到密封树脂层中，并且结合到相应的单独分开的半导体器件的各个电极终端，

从而制得多个芯片堆叠半导体封装；以及对第二半导体晶片划片，使芯片堆叠半导体封装相互分离。

根据本发明的第三方面，提供半导体晶片，其具有多个在其中制作的半导体器件，其包括：多个位于并排列在每个半导体器件的上表面的电极终端；以及密封树脂层，其形成于半导体器件所有上表面上，使电极终端被密封树脂层完全覆盖。

根据本发明的第四方面，提供一种制作工艺，包括如下步骤：准备半导体晶片，其具有多个制作在其中的半导体器件，每个半导体器件具有多个位于并排列在其上表面的电极终端；在半导体晶片上形成密封树脂层，使所有电极终端被密封树脂层完全覆盖。

附图说明

参考附图，下面进行的描述将能更清楚地理解上述目的和其他目的，其中：

图 1A 是用于制造芯片堆叠半导体封装的常规制作工艺的第一个典型步骤的剖面图；

图 1B 是常规制作工艺的第二个典型步骤的剖面图；

图 1C 是常规制作工艺的第三个典型步骤的剖面图；

图 1D 是常规制作工艺的第四个典型步骤的剖面图；

图 2A 是用于制造芯片堆叠半导体封装的另一常规制作工艺的第一个典型步骤的剖面图；

图 2B 是另一常规制作工艺的第二个典型步骤的剖面图；

图 2C 是另一常规制作工艺的第三个典型步骤的剖面图；

图 2D 是另一常规制作工艺的第四个典型步骤的剖面图；

图 3A 是硅片的透视图，用以说明根据本发明制造倒装芯片型半导体器件的制作工艺的第一实施例的第一个典型步骤；

图 3B 是图 3A 所示的硅片的部分放大的剖面图；

图 3C 是其上放置了未固化的液态树脂材料的硅片的透视图，用以

说明根据本发明制造倒装芯片型半导体器件的制作工艺的第一实施例的第二个典型步骤；

图 3D 是经过旋涂工艺的硅片的透视图,用以说明根据本发明制造倒装芯片型半导体器件的制作工艺的第一实施例的第二个典型步骤；

图 3E 是图 3D 所示的硅片的部分放大的剖面图；

图 3F 是安装在划片树脂片(dicing resin sheet)上的硅片的透视图,用以说明根据本发明的制造倒装芯片型半导体器件的制作工艺的第一实施例的第三个典型步骤；

图 3G 是图 3F 所示的硅片的部分放大的剖面图；

图 3H 是与图 3G 相似的部分放大的剖面图,表示经过划片工艺的硅片；

图 4A 是粘性树脂片的透视图,说明图 3A 到图 3H 所示制作工艺修改的典型步骤；

图 4B 是其上置有粘性树脂片(adhesive resin sheet)的硅片的透视图,用以说明图 3A 到图 3H 所示制作工艺的修改的另一典型步骤；

图 4C 是图 4B 所示的硅片的部分放大剖面图；

图 5A 是安装在衬底上的第一半导体器件的剖面图,用以说明采用根据本发明倒装芯片型半导体器件,制造芯片堆叠半导体封装的制作工艺的第一个典型步骤；

图 5B 是制作为根据本发明的倒装芯片型半导体器件的第二半导体器件的剖面图,用以说明制造芯片堆叠半导体封装的制作工艺的第二个典型步骤；

图 5C 是相互对齐的第一和第二半导体器件的剖面图,用以说明制造芯片堆叠半导体封装的制作工艺的第三个典型步骤；

图 5D 是第一和第二半导体器件的组的剖面图,用以说明制造芯片堆叠半导体封装的制作工艺的第四个典型步骤；

图 6 是使用根据本发明的倒装芯片型半导体器件的 BGA(焊球网格阵列)类型半导体封装的剖面图；

图 7 是主板的剖面图,该主板上直接安装根据本发明的倒装芯片型半导体器件；

图 8A 是硅片的部分剖面图,用于说明根据本发明制造倒装芯片型半导体器件的制作工艺的第二实施例的第一典型步骤;

图 8B 是在其上形成密封树脂片的硅片的部分剖面图,用于说明根据本发明制造倒装芯片型半导体器件的制作工艺的第二实施例的第二典型步骤;

图 8C 是安装在划片树脂片上的硅片的部分剖面图,用于说明根据本发明制造倒装芯片型半导体器件的制作工艺的第二实施例的第三典型步骤;

图 8D 是与图 8C 相似的部分剖面图,表示经过划片工艺的硅片;

图 9A 是安装在衬底上的第一半导体器件的剖面图,用于说明采用根据本发明制作工艺的第二实施例制造的倒装芯片型半导体,制造芯片堆叠半导体封装的另一个制作工艺的第一典型步骤;

图 9B 是第二半导体器件的剖面图,其是作为根据本发明制作工艺的第二实施例制造的倒装芯片型半导体器件,用于说明制造芯片堆叠半导体封装的制作工艺的第二典型步骤;

图 9C 是相互对齐的第一和第二半导体器件的剖面图,用于说明用于制作芯片堆叠半导体封装的制作工艺的第三典型步骤;

图 9D 是第一和第二半导体器件组合的剖面图,用于说明用于制作芯片堆叠半导体封装的制作工艺的第四典型步骤;

图 10A 是根据本发明制作工艺的第二实施例制作的倒装芯片型半导体器件的修改的放大剖面图;

图 10B 是采用如图 10A 所示倒装芯片型半导体器件的修改的芯片堆叠半导体器件的放大剖面图;

图 11A 是硅片的部分剖面图,用于说明制造根据本发明的倒装芯片型半导体器件的制作工艺的第三实施例的第一典型步骤;

图 11B 是划片树脂片的部分剖面图,其上层压有密封树脂层,用于说明制造根据本发明的倒装芯片型半导体器件的制作工艺的第三实施例的第二典型步骤;

图 11C 是硅片的部分剖面图,其面向下施加到划片树脂片上,用于说明制造根据本发明的倒装芯片型半导体器件的制作工艺的第三实

施例的第三典型步骤；

图 11D 是与图 11C 相似的部分剖面图，表示经过划片工艺的硅片；

图 12A 硅片的示意性剖面图，用以说明采用根据本发明制作的倒装芯片型半导体器件，制造芯片堆叠半导体封装的另一个制作工艺的第一典型步骤；

图 12B 是其上安装有倒装芯片型半导体器件的硅片的示意性剖面图，用于说明制造芯片堆叠半导体封装的制作工艺的第二个典型步骤；以及

图 12C 是经过划片工艺的硅片的示意性剖面图，用于说明制造芯片堆叠半导体封装的制作工艺的第三个典型步骤。

具体实施方式

为更好的理解本发明，在对本发明实施例说明之前，将参考图 1A 到图 1D 说明制造芯片堆叠半导体封装的常规制作工艺。

在此常规制作工艺中，如图 1A 所示，准备第一半导体器件 10F，然后将其安装并用合适的粘合剂 14 粘附到衬底 12 上。尽管没有画图示出，但第一半导体器件 10F 有多个导电焊盘位于其上表面，并且排列在其上表面中心区域的导电焊盘上结合有各个金属凸点 16。每个导电焊盘可以用合适的金属材料形成，如铝，金，铜等等。而且，每个金属凸点 16 可以形成为芽状（sprout-like）金凸点，其可用众所周知的线焊（wire-bonding）机由金线制成。

注意，在本例中，尽管衬底 12 是作为布线板或内插板，但它可以包含包括在金属引线架中的安装台。

另一方面，如图 1B 所示，准备倒装芯片型半导体器件作为第二半导体器件 10S，其特征是比第一半导体器件 10F 有更小的尺寸。尽管没有画图示出，但第二半导体器件 10S 有多个位于其上表面的导电焊盘。注意，第二半导体器件 10S 的导电焊盘的排列与芽状金属凸点 16 的排

列有镜像关系。

在准备第一和第二半导体器件 10F 和 10S 后，将第二半导体器件 10S 倒转并置于第一半导体器件 10F 上，使第二半导体器件 10S 上各个导电焊盘与第一半导体器件 10F 上表面中心区域的芽状金属凸点 16 对齐。

然后，如图 1C 所示，第二半导体器件 10S 通过超声压焊（ultrasonic-pressure bonding）法或热压焊（heat-pressure bonding）法压在第一半导体器件 10F 的上表面上，使第二半导体器件 10S 各个导电焊盘紧靠并结合到第一半导体器件 10F 上表面的芽状金属凸点 16 上。

接下来，如图 1D 所示，树脂供给喷嘴 17 被移到第一与第二半导体器件 10F 和 10S 的空隙，并且由标记 URM 表示的未固化的液态树脂材料被从树脂供给喷嘴 17 利用毛细现象引入到空隙中。也就是，第二半导体器件 10S 用未固化的液态树脂材料 URM 填充，使芽状金属凸点 16 与导电焊盘用液态树脂材料 URM 密封到一起。然后，液态树脂材料 URM 被完全硬化成为在第一和第二半导体器件 10F 和 10S 之间的密封树脂层 18。

此后，位于第一半导体器件 10F 上表面周边区域的每个导电焊盘用连接导线电气连接到位于内插板 12 上的相应的导电焊盘上。因而，图 1D 所示组合是采用传递模塑（transfer molding）方法进行树脂密封的，实现了芯片堆叠半导体封装的制作。

在这种常规的制作方法中，用来输入未固化的液态树脂到第一和第二半导体器件 10F 和 10S 的空隙的入口位置，必须被预先确定在第一半导体器件 10F 上表面的周边，并且在入口位置不能有任何导电焊盘，导致了芯片堆叠半导体器件设计的自由度受到限制。

而且，当倒装芯片型半导体器件进一步小型化时，很难或不可能合适地用未固化的液态树脂材料 URM 填充第一和第二半导体器件 10F 和 10S 之间的空隙，这是因为由于倒装芯片型半导体器件进一步小型化使空隙变得更窄了。

参考附图 2A 到 2D，说明另一个用来制造芯片堆叠半导体封装的常规的典型制作工艺。

在此常规制作工艺中，如图 2A 所示，准备第一半导体器件 20F，然后将其安放并用合适的粘合剂 24 粘附到衬底 22 上。尽管没有画图示出，但第一半导体器件 20F 有多个导电焊盘位于其上表面，并且每个导电焊盘可以用合适的金属材料形成，如铝，金，铜等等。尽管衬底 22 是作为布线板或内插板，但它可以包含包括在金属引线架中的安装台。

另一方面，如图 2B 所示，准备倒装芯片型半导体器件作为第二半导体器件 20S，其特征是比第一半导体器件 20F 有更小的尺寸。第二半导体器件 20S 有多个位于其上表面的导电焊盘（未画出）和结合于导电焊盘上的相应的金属凸点 26。如图所示，与上述凸点 16 相似，每个金属凸点 26 都形成为芽状金凸点。注意，第二半导体器件 20S 的芽状金属凸点 26 的排列与位于第一半导体器件 20F 上表面中心区域的导电焊盘的排列有镜像关系。

在准备第一和第二半导体器件 20F 和 20S 后，如图 2C 所示，用标记 URM 表示的未固化的液态树脂材料，通过灌封（potting）方法放置到第一半导体器件 20F 的上表面上。然后，将第二半导体器件 20S 倒转并置于第一半导体器件 20F 上，使相应的芽状金属凸点 26 与位于第一半导体器件 20F 上表面中心区域的导电焊盘对齐。

接下来，如图 2D 所示，第二半导体器件 20S 通过超声压焊法或热压焊法压在第一半导体器件 20F 的上表面上，使各个芽状金属凸点 26 紧靠并与第一导体器件 20F 上表面中心区域上的导电焊盘相结合。同时，芽状金属凸点 26 用未固化的液态树脂材料 URM 与导电焊盘密封在一起。然后，液态树脂材料 URM 完全硬化成为第一和第二半导体器件 20F 和 20S 间的密封树脂层 28（图 2D）。

此后，与提到的第一常规制作工艺相似，位于第一半导体器件 20F 上表面周边区域的每个周边导电焊盘用连接导线电气连接到位于内插板 22 上的相应的导电焊盘上（未画出）。因而，图 2D 所示组合是采用传递模塑方法树脂密封的，实现了芯片堆叠半导体封装的制作。

在此另一常规制作方法中，很难精确控制使用灌封方法放置到第一半导体器件 20F 上表面的未固化液态树脂材料 URM 的量。

如果放置到第一半导体器件 20F 上表面的未固化液态树脂材料 URM 的量太多，将使一部分液态树脂材料 URM 从第一和第二半导体器件 20F 和 20S 间的空隙胀出，并因此使第一半导体器件 20F 上的周边导电焊盘被胀出的树脂材料污染。如果第一半导体器件 20F 上的周边导电焊盘被树脂材料污染，就不可能将结合导线适当地结合到被污染的导电焊盘上。而且，如果第二半导体器件 20S 的厚度太薄，用于移动第二半导体器件 20S 的可动工具，将会被胀出的树脂材料污染。因此，很难降低芯片堆叠半导体封装的整体厚度。

另一方面，如果放置到第一半导体器件 20F 上表面的未固化液态树脂材料 URM 的量太少，在密封树脂层 28 中将产生气孔和孔洞。

在如图 2A 到 2D 所示的常规制作工艺中，已经提出例如用半固化密封树脂片代替未固化液态树脂材料 URM。特别地，密封树脂片被放到第一半导体器件 20F 上表面，使其上表面中央区域的导电焊盘被密

封树脂片覆盖。然后，第二半导体器件 20S 被压到密封树脂片上，使芽状金属凸点穿透密封树脂片并继而结合到第一半导体器件 20F 的导电焊盘上。此后，半固化密封树脂片被完全硬化，由此在第一半导体器件 20F 与第二半导体器件 20S 间形成密封树脂层。

由于可能对密封树脂片的厚度，并进而对形成密封树脂层的树脂材料的量精确控制，可以避免一部分密封树脂片从在第一和第二半导体器件 20F 和 20S 间空隙胀出。然而，很难正确和精确地将密封树脂片定位于第一半导体器件 20F 的上表面。实际上，密封树脂层的定位伴随 500 微米量级的误差。

JP-A-(HEI)11-297750 公开了密封树脂层预先形成在硅片表面，该硅片中已经制作有多个倒装芯片型半导体器件，每个器件上有多个金属凸点。采用传递模塑方法完成了密封树脂层的形成，使金属凸点的顶端从密封树脂层中凸出。此后，硅片经过划片工艺，使倒装芯片型半导体器件相互分离。当每个分开的倒装芯片型半导体器件被倒置并安装在内插板或另一个半导体器件上时，密封树脂层作为密封金属凸点和与其相连的导电焊盘的填充树脂层。

在 JP-A-(HEI)11-297750 公开的制作工艺中，尽管能够精确控制密封树脂层的厚度，但密封树脂层的形成工艺比较麻烦，因为柔软的树脂片必须被并入到传递铸模中，以使金属凸点的顶端能从密封树脂层中凸出。特别地，每个金属凸点的顶端被穿入到柔软的片中，并且被模制的树脂材料引入到硅片的上表面和柔软树脂片之间的空隙。简而言之，不能够说 JP-A-(HEI)11-297750 公开的制作工艺是有效的。

而且，JP-A-(HEI)11-274241 公开了密封树脂层预先形成在硅片的表面，该硅片中已经制作了多个倒装芯片型半导体器件，每个器件上都有多个金属凸点。实现密封树脂层的形成使金属凸点完全埋在了密封树脂层中，然后密封树脂层经过抛光工艺，使金属凸点暴露到外面。

此后，硅片经过划片工艺使倒装芯片型半导体器件相互分离。当每个分开的倒装芯片型半导体器件被倒置并安装在内插板或另一个半导体器件上时，密封树脂层作为密封金属凸点和与之相连的导电焊盘的填充树脂层。

而且，不能够说 JP-A-(HEI)11-274241 公开的制作工艺是有效的，这是因为抛光工艺很麻烦。

第一实施例

参考图 3A 到 3H，下面说明根据本发明用于制造多个倒装芯片型半导体器件的制作工艺的第一实施例。

首先，如图 3A 所示，准备硅片 30。硅片 30 的上表面通过形成用虚线表示的网格状细槽（即划线），被划分为多个半导体芯片区 32。硅片 30 已经用各种已知的方法处理过，以使每个半导体芯片区 32 制作成为一个半导体芯片或器件。

而且，如图 3B 中所示的每个半导体器件的范围用标记 32 表示，在每个半导体器件 32 上已经排列有多个电极终端 34，并且每个电极终端 34 形成为导电焊盘。此外，在硅片 30 的上表面形成二氧化硅层 36 和钝化层 38，使每个电极终端或导电焊盘 34 暴露到外面。二氧化硅层 36 和钝化层 38 都起保护层的作用。有机的保护层，如聚酰亚胺层，可以替代二氧化硅层 36 和钝化层 38。

注意，每个导电焊盘 34 由合适的金属材料构成，如铝、金、铜等等。而且注意，在本实施例中，导电焊盘 34 必须以 40 微米或大于 40 微米的特定间距排列，其原因将在下面详细阐述。

然后，硅片 30 经过旋涂工艺，如图 3C 到 3D 所示。特别地，如图 3C 所示，特定量的合适的用标记 URM 表示的未固化液态树脂材料，

放置到硅片 30 的上表面。接下来，硅片 30 按图 3C 中箭头指示旋转，由于图 3D 中径向箭头所示的离心力作用于未固化液态树脂材料，未固化液态树脂材料 URM 向外展开遍及硅片 30 的上表面。此后，向外展开的树脂材料 URM 不完全地硬化到其不能成为流体的程度。因此，不完全硬化的树脂材料 URM 在硅片 30 的上表面形成为密封树脂层 40，使导电焊盘 34 和钝化层 38 完全被密封树脂层 40 覆盖，如图 3D 到图 3E 所示。

形成密封树脂层 40 之后，如图 3F 到图 3G 所示，具有粘性层 44 的划片树脂片 42（图 3G）被使用并将其粘到硅片 30 的下表面。然后，如图 3H 所示，硅片 30 经过划片工艺，使其沿网格状槽（未画出）被切开，图 3H 中用标记 46 代表性地表示出两个切割槽。也就是，硅片 30 被分割成多个倒装芯片型半导体器件 32'，硅片 30 本身的每个被分割部分，形成相应的倒装芯片型半导体器件 32' 的半导体衬底 30'。

处理过的硅片 30 和分割的半导体器件 32' 可以在电子市场中出货和流通，用来制造紧凑半导体器件封装，如 BGA（焊球网格阵列）类型半导体封装，芯片堆叠类型半导体封装等等。

在旋涂工艺中，能够对密封树脂层 40 的厚度，并进而对形成密封树脂层 40 的树脂材料的量精确控制。

参考图 4A，4B 和 4C，下面说明上述根据本发明的制作工艺的第一实施例的修改。注意，在图 4A，4B 和 4C 中，与图 3A 到 3H 中相同的标记代表相同的技术特征。

在此修改中，如图 4A 所示，准备硅片 30 的同时准备一块有粘性的树脂片 ARS。然后，如图 4B 所示，粘性树脂片 ARS 被置于硅片 30 的上表面，并进行层压工艺，用例如膜式真空层压机（diaphragm type vacuum laminating machine），其可从 MEIKI SEISHAKUSHO K.K 得到。

这样，粘性树脂片 ARS 成为硅片 30 上表面的密封树脂层 48，以使电极终端或导电焊盘 34 和钝化层 38 完全被密封树脂层 48 所覆盖，如图 4C 所示。此后，具有密封树脂层 48 的硅片 30，按照如图 3F 到 3H 所说明进行处理，制得倒装芯片型半导体器件（32'）。

与上面提到的根据本发明制作工艺第一实施例相似，在本实施例中，能够对粘性树脂片 ARS 的厚度，并进而对形成密封树脂层 48 的树脂材料的量精确控制。

例如，根据本发明的倒装芯片型半导体器件 32'可以用来制造芯片堆叠半导体封装。

参考图 5A 到 5D，下面说明根据本发明采用倒装芯片型半导体器件 32'，制造芯片堆叠半导体封装的制作工艺。

如图 5A 所示，准备第一半导体器件 50F，并且将其安装并用合适的粘合剂 54 粘在衬底 52 上。第一半导体器件 50F 在其上表面有多个导电焊盘 55，并且每个导电焊盘 55 可以由合适的金属材料构成，如铝、金、铜等等。尽管没有画图示出，二氧化硅层和钝化层可以在第一半导体器件 50F 上表面形成，使每个导电焊盘 55 暴露在外面。而且，有机保护层如聚酰亚胺层可以替代二氧化硅层和钝化层。

注意，在本实施例中，尽管衬底 52 是作为布线板或内插板，但它也可以包含包括在金属引线架中的安装台。

如图 5A 所示，第一半导体器件 50F 也有多个金属凸点 56，它们结合在排列其上表面中心区域的导电焊盘 55 上。优选地，每个金属凸点 56 形成为芽状金凸点，其可用众所周知线焊机由金线制成。

特别地，众所周知，线焊机有可移动细管，极细的金线穿过细管。

从细管尖端伸出的金线前端或自由端，以一个细小的珠结束，防止金线拉入到细管中。而且，细管有针状电极，叫做焊炬，针状电极位于细管尖端旁边。

为形成芽状凸点 56，移动可移动细管，以使小珠在受到紫外振动时被压到导电焊盘 55 上，并且小珠由于紫外振动和压力的共同作用被焊接并结合到相关的导电焊盘 55 上。然后，当向上移动细管以使金线拉出细管时，针状电极被加以高压，在被拉的金线和针状电极间产生火花。

因此，细金线被火花切断而形成芽状凸点 56。也就是说，被结合的小珠作为相关导电焊盘 55 上的芽状凸点 56 留下来了。另一方面，金线被切断的一端由于火花而熔化，因此产生用于下次形成芽状凸点 56 的细小的珠。

简而言之，在第一半导体器件 50F 中，每个芽状凸点 56 与相应的导电焊盘 55 相关，由此定义了一个电极终端。

另一方面，如图 5B 所示，依照根据本发明制作工艺的第一实施例制造的倒装芯片型半导体器件 (32') 被作为第二半导体器件 50S，其特征是比第一半导体器件 50F 有更小的尺寸。注意，在图 5B 中，为避免说明的复杂性，二氧化硅层 36 和钝化层 38 都被省略。而且注意，第一半导体器件 50F 的芽状金属凸点 56 的排列与第二半导体器件 50S 的导电焊盘 34 的排列有镜像关系。

如图 5C 所示，在准备好第一和第二半导体器件 50F 和 50S 后，第二半导体器件 50S 被倒置并置于第一半导体器件 50F 上，以使第二半导体器件 50S 上各个导电焊盘 34 与第一半导体器件 50F 上表面中心区域的芽状金属凸点 56 对齐。

接下来，如图 5D 所示，第二半导体器件 50S 通过超声压焊法或热压焊法被压在第一半导体器件 50F 的上表面，以使第二半导体器件 50S 上各个导电焊盘 34 邻接并结合到第一半导体器件 50F 上表面中心区域的芽状金属凸点 56 上。也就是说，每个芽状金属凸点 56 都穿入密封树脂层（40 或 48）中，并且所说芽状金属凸点 56 的尖端挤压并结合到相应的导电焊盘 34 上。然后，密封树脂层（40 或 48）完全硬化，使芽状金属凸点 56 和与其相连的导电焊盘 34 和 55 一起被树脂密封。

此后，位于第一半导体器件 50F 上表面周边区域的每个导电焊盘（未示出），通过结合线被电气连接到位于内插板 52 上相应的导电焊盘（未示出）上。那么，图 5D 所示组合是使采用传递模塑法被树脂密封，实现了芯片堆叠半导体封装的制作。

在上述芽状凸点 56 的形成工艺中，非常困难或者说不可能将芽状凸点 56 以小于 40 微米的间距排列，因此如上所述的第二半导体器件 50S 的导电焊盘 34 必须以 40 微米或大于 40 微米的间距排列。

当各个芽状金属凸点 56 结合到导电焊盘 34 时，会有这样一种情况：形成密封树脂层（40 或 48）的树脂材料中很小部分会留在二者中间。然而，如果选择形成密封树脂层（40 或 48）的树脂材料，使得其在将芽状金属凸点 56 结合到导电焊盘 34 上的结合温度下具有的粘度小于 $1,000\text{Pa}\cdot\text{s}$ ，那么将树脂层从结合面间完全去除是可能的。

在第二半导体器件 50S 能被精确放置在第一半导体器件 50F 上之前，优选地给出 35 微米的厚度作为密封树脂层（40 或 48）的最大厚度。特别地，第二半导体器件 50S 有被密封树脂层（40 或 48）覆盖的定位标记，并且将第二半导体器件 50S 放置到第一半导体器件 50F 上是通过定位相机检测定位标记完成。因此，优选地，在定位标记被定位相机精确检测之前，密封树脂层（40 或 48）应该有小于 35 微米的

厚度。

如图 6 所示, 根据本发明的倒装芯片型半导体器件 32' 可以用作制造 BGA (焊球网格阵列) 类型半导体封装。

特别地, 在制造 BGA 类型半导体封装中, 准备封装板或内插板 58。内插板 58 有多个排列在其上表面的导电焊盘 60, 和形成在导电焊盘 60 上的各个芽状金属凸点 62。每个芽状金属凸点 62 以与前述完全相同的方式制得, 并且芽状金属凸点 62 的排列与倒装芯片型半导体器件 32' 的导电焊盘 34 的排列有镜像关系。简而言之, 每个芽状金属凸点 62 与相应的导电焊盘 60 相关, 由此定义了一个电极终端。

而且, 内插板 58 具有多个排列在其下表面的导电焊盘 64 和结合在导电焊盘 64 上的各个焊球 65, 焊球 65 形成了焊球网格阵列(BGA)。用与前面参考图 5C 和 5D 所述的完全相同的方式, 将倒装芯片型半导体器件 32' 安装在内插板 58 上。

此外, 如图 7 所示, 根据本发明的倒装芯片型半导体器件 32' 可以直接安装在主板 66 上。

特别地, 主板 66 上有多个排列于其上表面的导电焊盘 67 和形成于导电焊盘 67 上的各个芽状金属凸点 68。每个芽状凸点 68 都用与前述完全相同的方式制得, 并且芽状金属凸点 68 的排列与倒装芯片型半导体器件 32' 的导电焊盘 34 的排列有镜像关系。简而言之, 每个芽状金属凸点 68 与相应的导电焊盘 67 相关, 由此定义了一个电极终端。用与前面参考图 5C 和 5D 所述的完全相同的方式, 将倒装芯片型半导体器件 32' 安装在主板 66 上。

如前所述, 很明显, 不论在什么情况下, 采用根据本发明的倒装芯片型半导体器件 32', 都可在倒装芯片型半导体器件 32' 位于另一个

半导体器件（50F）、内插板（58）、或主板（66）上的同时，进行填充工艺或树脂密封工艺。换句话说，根据本发明，倒装芯片型半导体器件 32' 安装之后可以完全省略填充工艺或树脂密封工艺。

同时，根据本发明，由于可以精确控制形成密封树脂层 40 的树脂材料的量，可以避免密封树脂层（40 或 48）的胀出或密封树脂层（40 或 48）中产生气孔或孔洞，从而增加电子产品如芯片堆叠半导体封装，BGA 类型半导体封装或主板的生产率。

第二实施例

参考图 8A 到 8D，下面说明根据本发明的制造多个倒装芯片型半导体器件的制作工艺的第二实施例。

首先，如图 8A 所示，准备硅片 70。与前述第一实施例相似，硅片 70 的上表面通过形成网格状细槽（即划线）分割成很多半导体芯片区。注意，在图 8A 中，每个半导体芯片区的范围用标记 72 表示。硅片 70 已经经过各种已知方法处理过，从而每个半导体芯片区 72 制成一个半导体芯片或器件。

而且，在每个半导体器件 72 上已经制成并排列了多个导电焊盘 73。尽管没有画图示出，在硅片 70 的上表面可以形成二氧化硅层和钝化层，以使每个导电焊盘 73 暴露到外面。有机保护层，如聚酰亚胺层，可以替代二氧化硅层和钝化层。

注意，每个导电焊盘 73 由合适的金属材料制成，如铝，金，铜等等。而且注意，在本实施例中，导电焊盘 73 可以以 50 微米或者小于 50 微米的间距排列。

此外，如图 8A 所示，在各个导电焊盘 73 上已经形成多个柱状金属凸点 74。优选地，柱状金属凸点 74 由金制成，但合适的焊料也可以

用来制作柱状金属凸点 74。在导电焊盘 73 上的柱状金属凸点 74 的形成，可以采用例如光刻工艺和电镀工艺来执行。

简而言之，在每个半导体器件 72 中，每个柱状金属凸点 74 与相应的导电焊盘 73 相关，由此定义了一个电极终端。

如图 8B 所示，当准备好硅片 70 后，采用与上述第一实施例完全相同的方法在硅片 70 上形成密封树脂层 75。也就是说，密封树脂层 75 的形成，可以通过如图 3C、3D 和 3E 的旋涂工艺或如图 4A、4B 和 4C 的层压工艺来执行。不论何种情况下，导电焊盘 73 和柱状金属凸点 74 都被密封树脂层 75 完全覆盖，如图 8B 所示。

如图 8C 所示，在形成密封树脂层 75 后，具有粘性层 77 的划片树脂层 76 被应用并粘贴在硅片 70 下表面上。然后，如图 8D 所示，硅片 70 经过划片工艺，使之沿着网格状槽（未画出）被切开，在图 8D 中有分别用标记 78 所表示的三个切割槽。也就是说，硅片 70 被分割成多个倒装芯片型半导体器件 72A，硅片 70 本身的每个分割部分形成了相应的倒装芯片型半导体器件 72A 的半导体衬底 70'。

与前述硅片 30 或被分割的半导体器件 32' 相似，处理过的硅片 70 或被分割的半导体器件 72A 可以在电子市场中出货和流通，用来制造紧凑半导体封装，如 BGA（焊球网格阵列）类型半导体封装，芯片堆叠类型半导体封装等等。

参考图 9A 到 9D，下面说明使用根据本发明的倒装芯片型半导体器件 72A 制造芯片堆叠半导体封装的制作工艺。

如图 9A 所示，准备第一半导体器件 80F，然后使用合适的粘合剂 84 将其安置并粘贴到衬底 82 上。第一半导体器件 80F 有多个位于其上表面的导电焊盘 85，且每个导电焊盘 85 可以由合适的金属材料构成，

如铝、金、铜等等。尽管没有画图示出，二氧化硅层和钝化层可以在第一半导体器件 80F 上表面形成，使每个导电焊盘 85 暴露在外面。有机保护层如聚酰亚胺层可以替代二氧化硅层和钝化层。

注意，在本实施例中，尽管衬底 82 是作为布线板或内插板，但可以包含包括在金属引线架中的安装台。

如图 9A 所示，第一半导体器件 80F 也有多个柱状金属凸点 86，它们形成在排列在其上表面中心区域的导电焊盘 85 上。与上述柱状金属凸点 74 相似，优选地，柱状金属凸点 86 可以由金制成，但合适的焊料，也可以用来形成柱状金属凸点 86。而且，在导电焊盘 85 上的柱状金属凸点 86 的形成，可以由与上述柱状金属凸点 74 完全相同的方式执行。

简而言之，在第一半导体器件 80F 中，每个柱状凸点 86 与相应的导电焊盘 85 相关，由此定义了一个电极终端。

另一方面，如图 9B 所示，依照根据本发明制作工艺的第二实施例制造的倒装芯片型半导体器件（72A）被作为第二半导体器件 80S，其特征是比第一半导体器件 80F 有更小的尺寸。注意，第一半导体器件 80F 的柱状金属凸点 86 的排列与第二半导体器件 80S 的柱状金属凸点 74 的排列有镜像关系。

如图 9C 所示，在准备好第一和第二半导体器件 80F 和 80S 后，第二半导体器件 80S 被倒置并置于第一半导体器件 80F 上，以使第二半导体器件 80S 上各个柱状金属凸点 74 与第一半导体器件 80F 上表面中心区域的柱状金属凸点 86 对齐。

接下来，如图 9D 所示，第二半导体器件 80S 通过超声压焊法或热压焊法被压在第一半导体器件 80F 的上表面，以使第二半导体器件

80S 上各个柱状金属凸点 74 邻接并结合到第一半导体器件 80F 上表面中心区域的柱状金属凸点 86 上。也就是说，每个柱状金属凸点 86 都穿入密封树脂层 75 中，并且结合到相应的柱状金属凸点 74 上。然后，密封树脂层 75 完全硬化，由此柱状金属凸点 74 和 86 同与其相连的导电焊盘 73 和 85 一起被树脂密封。

此后，位于第一半导体器件 80F 上表面周边区域的每个导电焊盘（未示出），通过结合线，被电气连接到位于内插板 82 上相应的导电焊盘（未示出）上。那么，图 9D 所示组合是采用传递模塑法进行树脂密封的，实现了芯片堆叠半导体封装的制作。

与上述倒装芯片型半导体器件 32' 相似，倒装芯片型半导体器件 72A 也可以用作制造 BGA（焊球网格阵列）类型半导体封装。此外，倒装芯片型半导体器件 72A 可以直接安装到主板上。

而且，与上述倒装芯片型半导体器件 32' 相似，通过使用根据本发明的倒装芯片半导体器件 72A，都可在倒装芯片型半导体器件 72A 安装在另一个半导体器件、内插板、或主板上的同时，执行填充工艺或树脂密封工艺。换句话说，根据本发明，倒装芯片型半导体器件 72A 安装之后可以完全省略填充工艺或树脂密封工艺。

此外，与上述倒装芯片型半导体器件 32' 相似，由于可以精确控制形成密封树脂层 75 的树脂材料的量，可以避免密封树脂层 75 的胀出或密封树脂层 75 中产生气孔或孔洞，从而增加电子产品如芯片堆叠半导体封装，BGA 类型半导体封装或主板的生产率。

与上述第一实施例相似，在第二实施例中，应该选择形成密封树脂层 75 的树脂材料，使其在将柱状金属凸点 74 结合到柱状金属凸点 86 上的结合温度下具有的粘度小于 $1,000\text{Pa}\cdot\text{s}$ ，以使形成密封树脂层 75 的树脂材料能够从结合面间完全去除。

而且，与上述第一实施例相似，优选地给出 35 微米的厚度作为密封树脂层 75 的最大厚度，以使在第二半导体器件 80S 上的定位标记能够被定位相机精确检测到，该相机用于将第二半导体器件 80S 放置到第一半导体器件 80F 上。

参考图 10A，说明采用根据本发明制作工艺的第二实施例制造的倒装芯片型半导体器件 72A 的修改。注意，在图 10A 中，修改的倒装芯片型半导体器件一般用标记 72B 表示，而且在图 8A 到 8D 中相同的标记代表相同的技术特征。

在修改的倒装芯片型半导体器件 72B 中，密封树脂层 75' 包括包含多个平均直径小于 10 微米的导电固体颗粒 88 的填充物，其代替了密封树脂层 75。密封树脂层 75' 可以通过各向异性导电膜 (ACF) 层压到硅片 70' 上表面来获得。注意，作为包含多个导电固体颗粒的树脂膜的各项异性导电膜从市场获得。而且，密封树脂层 75' 可以通过在硅片 70' 的上表面旋涂含有导电填充物 (88) 的未固化液态树脂材料来获得。

如图 10B 所示，修改的倒装芯片型半导体器件 72B 也可以用来制造芯片堆叠半导体封装。特别地，以与参考图 9C 和 9D 所述完全相同的方式，通过将修改的倒装类型半导体器件 72B 作为第二半导体器件 80S 安装在如图 9A 所示的第一半导体器件 80F 上，来制造芯片堆叠半导体封装。

从图 10B 明显看出，当第二半导体器件 (80S 或 72B) 的每个柱状凸点 74 被压到并结合到第一半导体器件 80F 的相应的柱状凸点 86 时，一小部分填充物或导电固体颗粒 88 被挤压在二者的结合面之间，从而柱状凸点 74 和 86 的氧化表面会被夹着的固体颗粒 88 磨破，使两个柱状凸点 74 和 86 间建立良好的电气连接。

在该修改的倒装芯片型半导体器件 72B 中, 尽管密封树脂 75' 包含导电填充物 (88), 但导电填充物 (88) 也可以由陶瓷颗粒或硬树脂颗粒构成的非导电填充物代替。

第三实施例

参考图 11A 到 11D, 下面说明根据本发明用于制造多个芯片倒装类型半导体器件的制作工艺的第三实施例。

首先, 如图 11A 所示, 准备一个与上述第二实施例中使用的完全相同的硅片。注意, 在图 11A 中, 与图 8A 中相同的标记代表相同的技术特征。

如图 11B 所示, 准备硅片 70 的同时, 准备一个划片树脂片 90, 其有层压在其上的粘性树脂片 92。

如图 11C 所示, 在准备了硅片 70 和具有粘性树脂片 92 的划片树脂片 90 后, 硅片 70 面向下施加到划片树脂片 90 的粘性树脂片 92 上, 由此粘性树脂片 92 形成为硅片 70 上表面的密封树脂层, 从而使导电焊盘 73 和柱状金属凸点 74 被密封树脂层 92 完全覆盖, 如图 11C 所示。

此后, 如图 11D 所示, 硅片 70 经过划片工艺, 沿着网格状槽 (未画出) 被切开, 有三个切割槽分别用标记 94 表示。也就是说, 硅片 70 被分割成多个倒装芯片型半导体器件 72C, 硅片 70 本身的每个分割部分形成了相应的倒装芯片型半导体器件 72C 的半导体衬底 70'。

与上述的情况相似, 处理过的硅片 70 或被分割的倒装芯片型半导体器件 72C 可以在电子市场中出货和流通, 用来制造紧凑半导体封装, 如 BGA (焊球网格阵列) 类型半导体封装, 芯片堆叠类型半导体封装等等。

在第三实施例中，由于能够精确控制粘性树脂片或密封树脂层 92 的厚度，进而精确控制形成密封树脂层 92 的树脂材料的量，可以避免密封树脂层 92 的胀出或密封树脂层 92 中产生气孔或孔洞。从而增加电子产品如芯片堆叠半导体封装，BGA 类型半导体封装或主板的生产率。

而且，在第三实施例中，密封树脂层 92 可以包括由多个导电或非导电颗粒组成的填充物，如图 10A 和 10B 所述。

在采用根据本发明的倒装芯片型半导体器件制造芯片堆叠半导体封装的上述制作工艺中，尽管倒装芯片型半导体器件安装于另一个独立的半导体器件上，但其也可以安装在制作于硅片中的半导体器件上，如图 12A、12B 和 12C 的示例性说明。

特别地，在图 12A 中，标记 96 表示由根据本发明的制作工艺的第二实施例或第三实施例制造的倒装芯片型半导体器件，并且每个半导体器件 96 有在其上表面上形成的密封树脂层 98。尽管在图 12A 中没有画出，但是当然，每个半导体器件 96 有多个位于并排列在其上表面的电极终端。这些电极终端的每一个都包括在每个半导体器件上表面上形成的导电焊盘和结合在导电焊盘上的柱状金属凸点，并且导电焊盘和柱状金属凸点被密封树脂层 98 所覆盖。

另一方面，标号 100 表示硅片，其中制作有多个半导体器件，并且每个半导体器件有多个电极终端，每个电极终端包括形成在每个半导体器件上表面的导电焊盘（未画出）和结合在焊盘上的柱状金属凸点 102。当然，硅片 100 上的每个半导体器件的柱状金属凸点 102 的排列与每个芯片倒装类型半导体器件 96 的柱状金属凸点（未画出）的排列有镜像关系。

如图 12A 代表性的表示，每个倒装芯片型半导体器件 96 被倒置并

放置在硅片 100 的半导体器件上，以便所述倒装芯片型半导体器件 96 的柱状金属凸点与硅片 100 的相应的半导体器件的柱状金属凸点对齐。然后，所述倒装芯片型半导体器件 96 使用超声压焊法或热压焊法被压在相应的半导体器件上，从而倒装芯片型半导体器件 96 的柱状金属凸点结合到相应的半导体器件的各个柱状金属凸点 102 上，实现在硅片 100 上制得多个芯片堆叠半导体封装。

如图 12B 所示，在倒装芯片型半导体器件 96 安装到硅片 100 的所有半导体器件上后，也就是说，在硅片 100 上完成芯片堆叠封装的制作后，采用合适的粘合剂将划片树脂片 104 粘到硅片 100 的下表面。然后，如图 12C 所示，硅片 100 经过划片工艺，使其沿网格状槽（未画出）切开，图 12C 中的标记 106 代表性地表示出三个切割槽。也就是，芯片堆叠封装被相互分开。此后，每个被分开的芯片堆叠封装用传递模塑法树脂密封，实现芯片堆叠半导体封装的制作。

尤其，当根据本发明的倒装芯片型半导体器件具有相当小尺寸的特征时，即当倒装芯片型半导体器件的导电焊盘以小于 50 微米的间距排列时，同例如图 9C 所示的芯片倒装类型半导体器件并列放置在独立半导体器件的上表面的情况比较，如图 12A、12B 和 12C 的芯片堆叠半导体封装的制作工艺更优越处在于倒装芯片型半导体器件可以更容易地并列放置在硅片（100）的上表面。

当然，如图 12A、12B 和 12C 所示的芯片堆叠半导体封装的制作工艺更适合制作这样的芯片堆叠半导体器件，即以图 5B 所示的相当大的尺寸为特征的倒装芯片型半导体器件（32'）制作的芯片堆叠半导体器件，其中导电焊盘以 40 微米或大于 40 微米的间距排列。

最后，本领域技术人员应该理解，前面的说明是器件和工艺的优选实施例，而且对本发明的各种变化和修改都不偏离本发明的精神和范围。

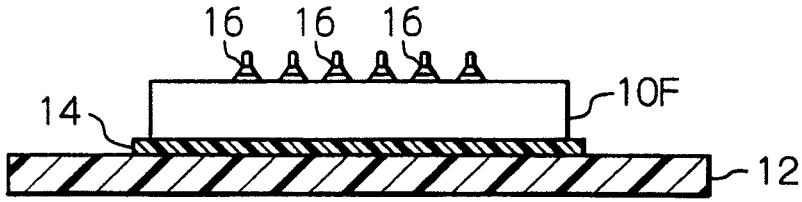


图1A
现有技术

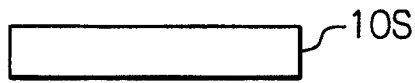


图1B
现有技术

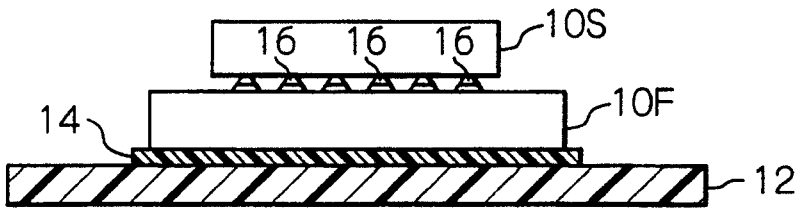


图1C
现有技术

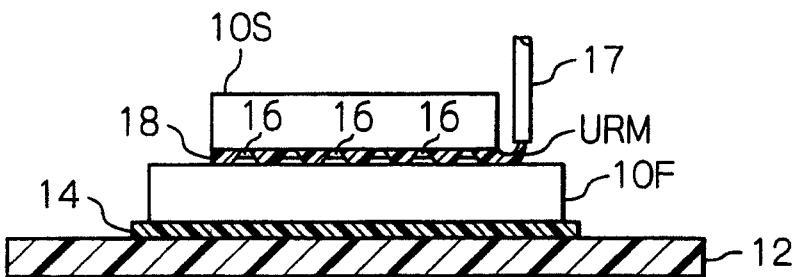


图1D
现有技术

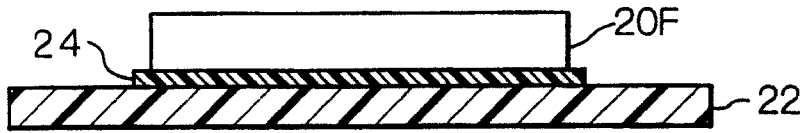


图2A

现有技术

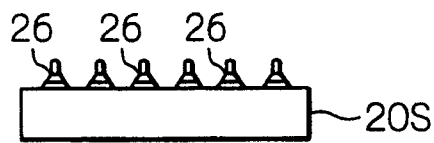


图2B

现有技术

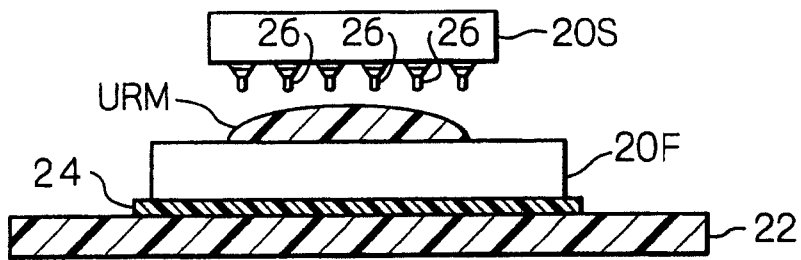


图2C

现有技术

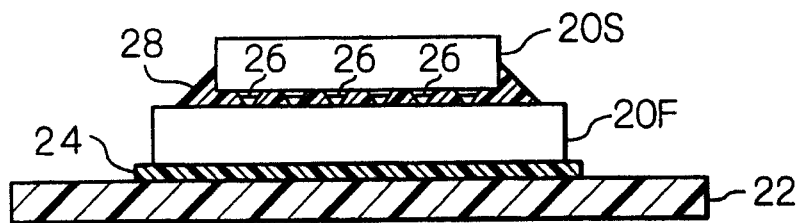


图2D

现有技术

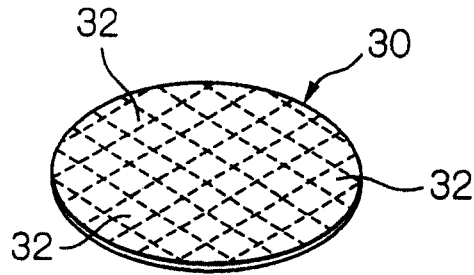


图3A

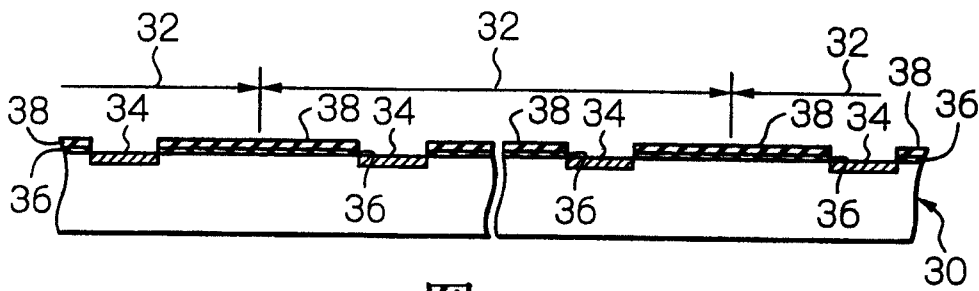


图3B

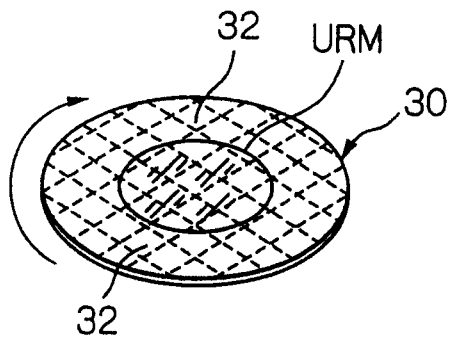


图3C

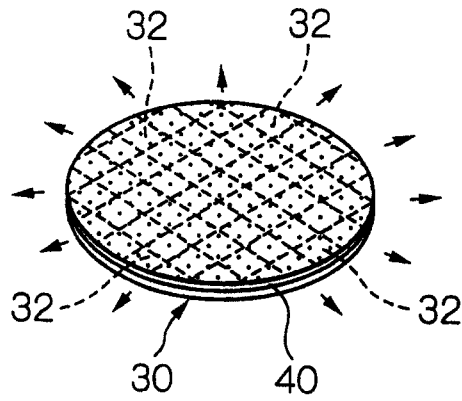


图3D

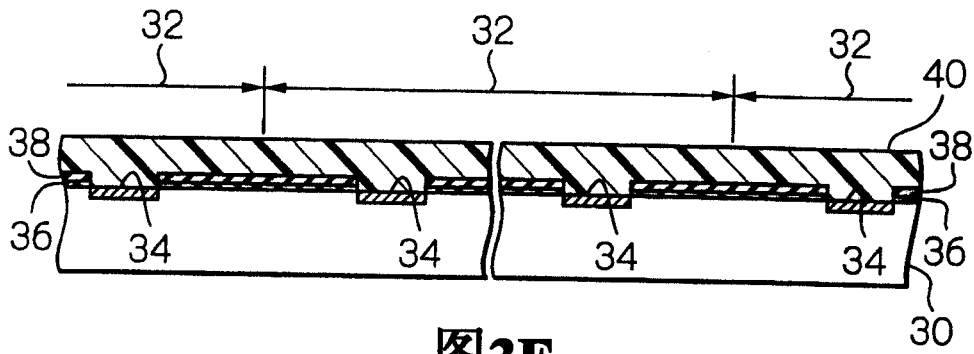


图3E

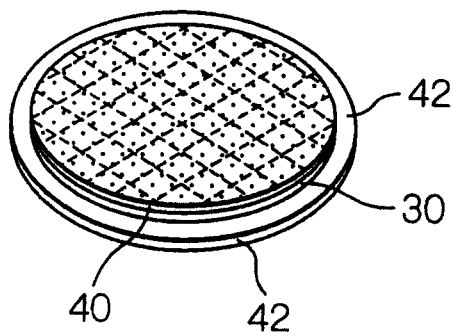
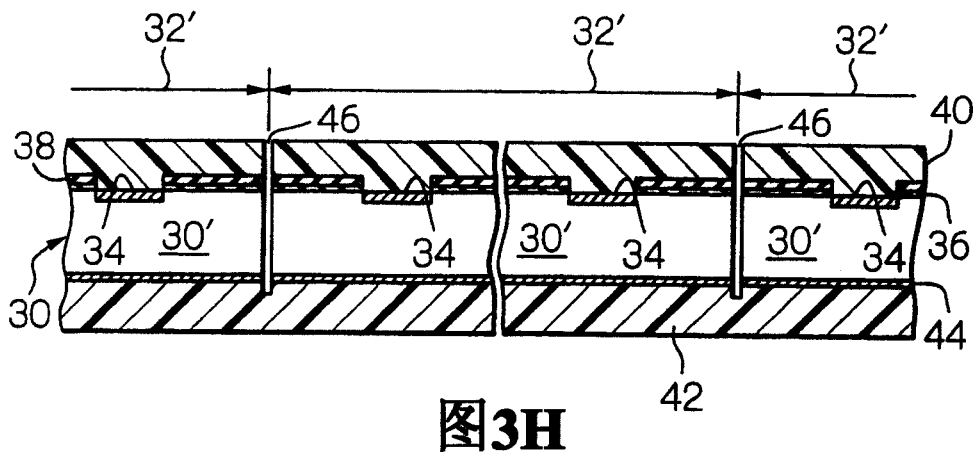
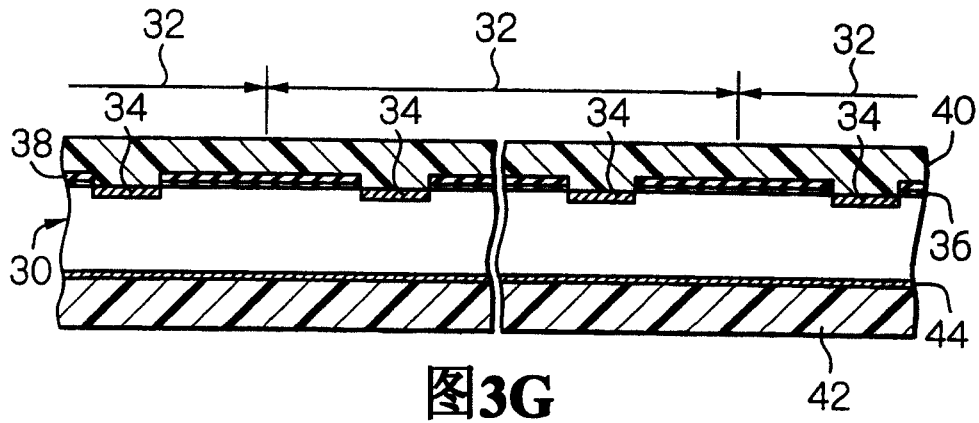


图3F



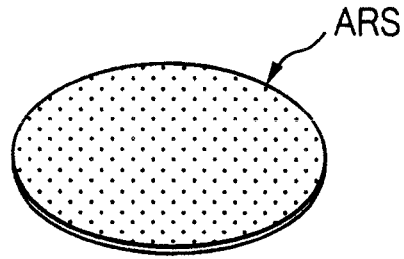


图4A

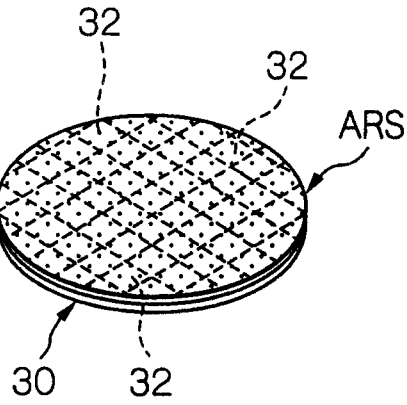


图4B

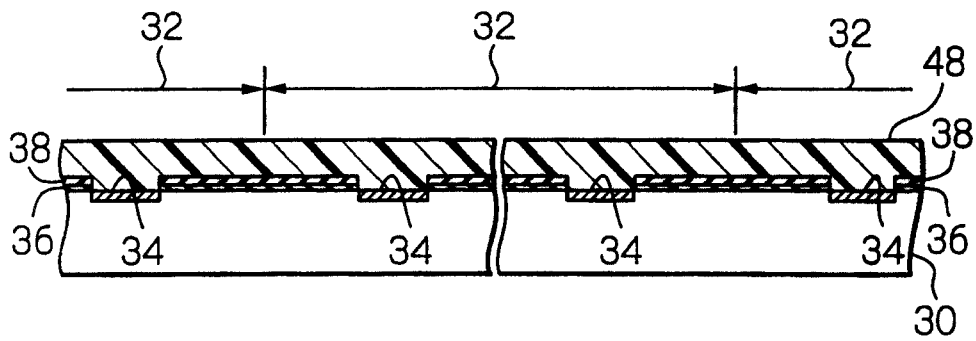


图4C

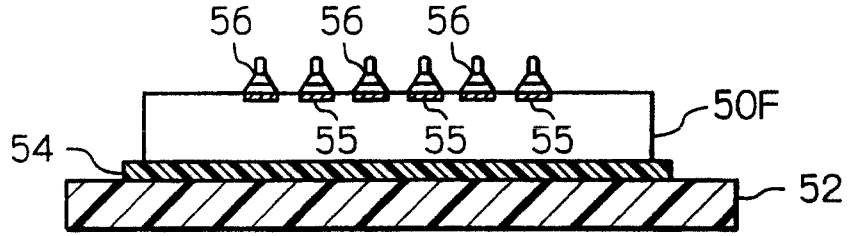


图5A

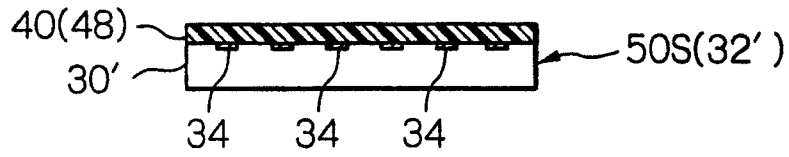


图5B

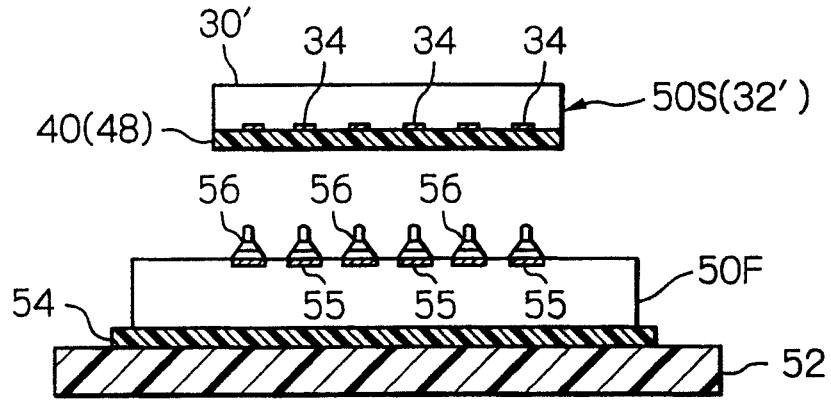


图5C

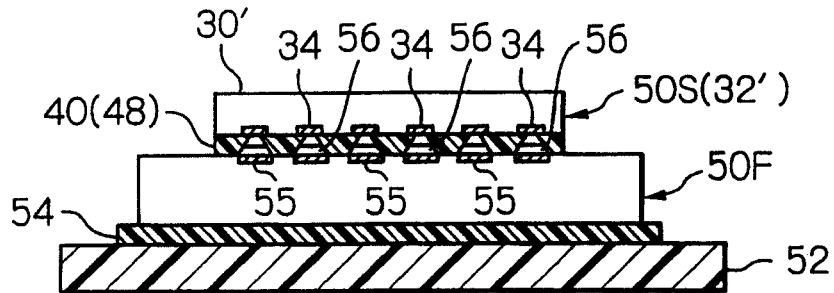


图5D

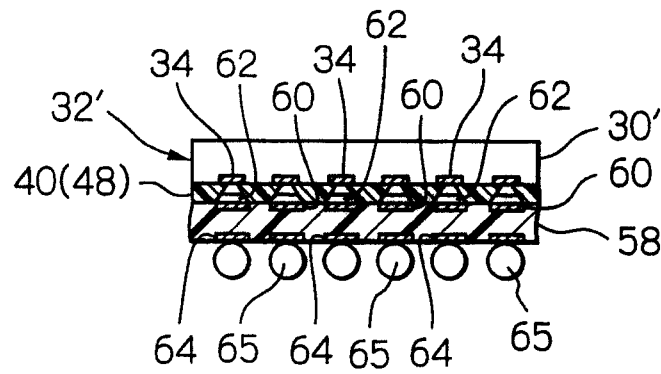


图6

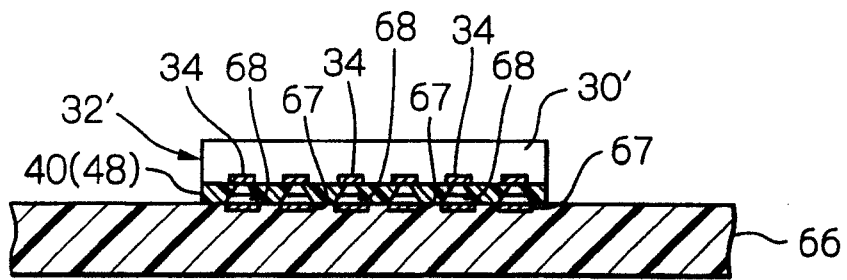


图7

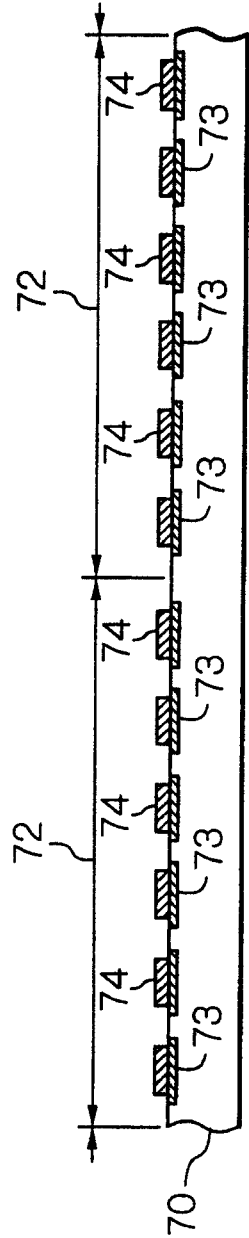


图8A

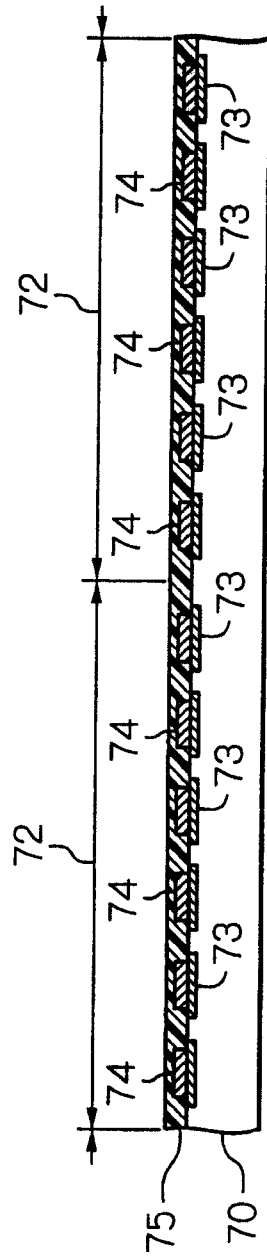


图8B

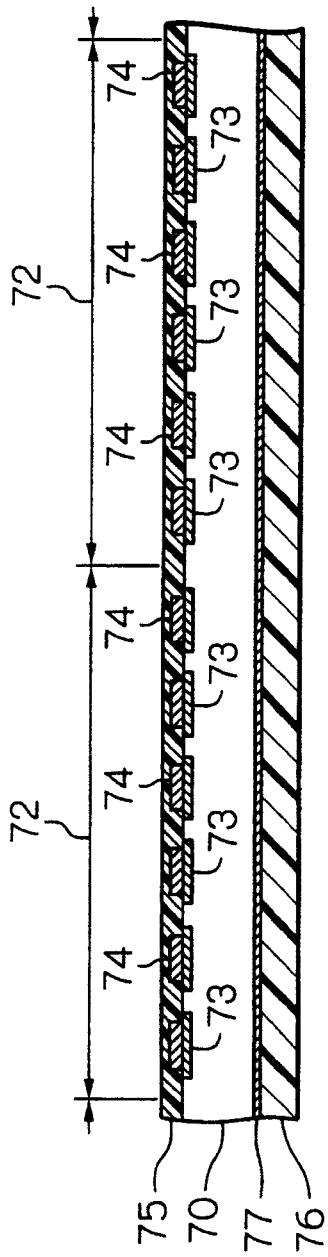


图8C

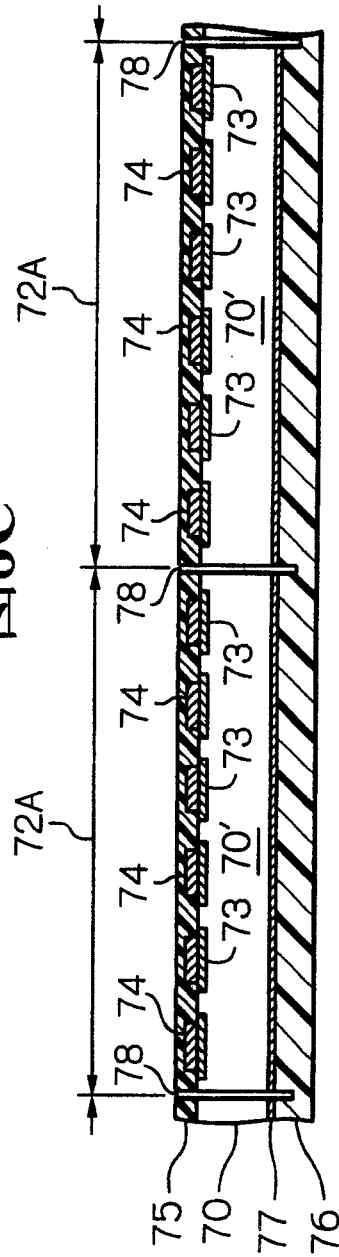


图8D

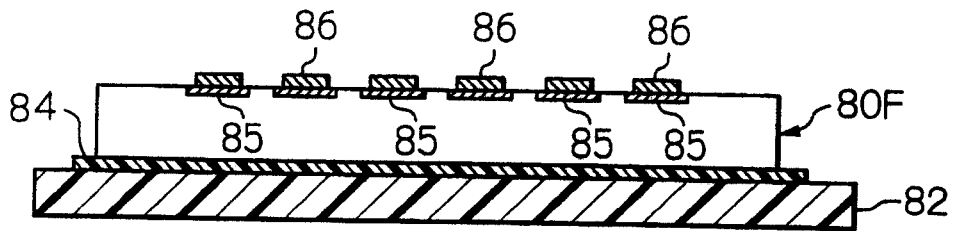


图9A

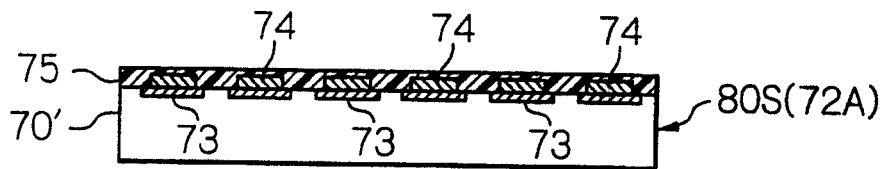


图9B

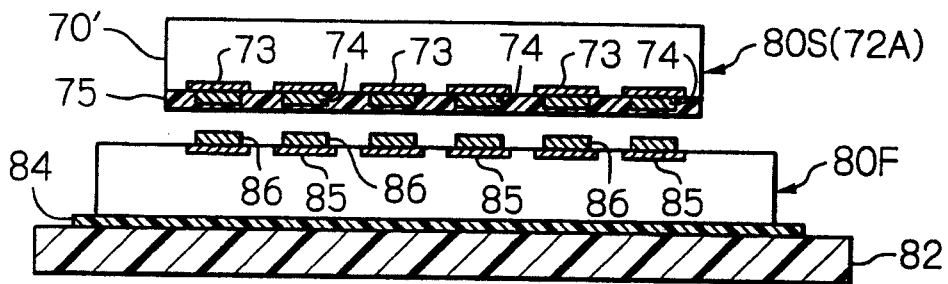


图9C

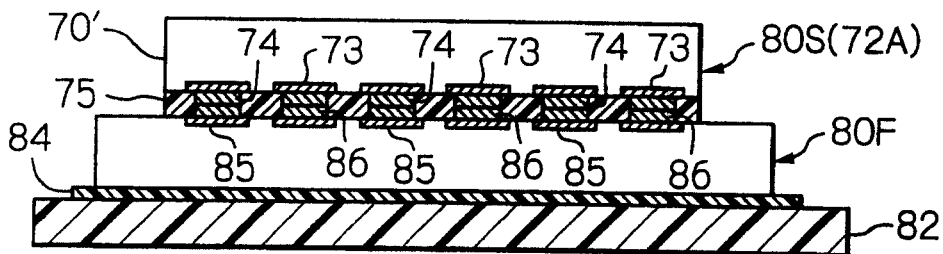


图9D

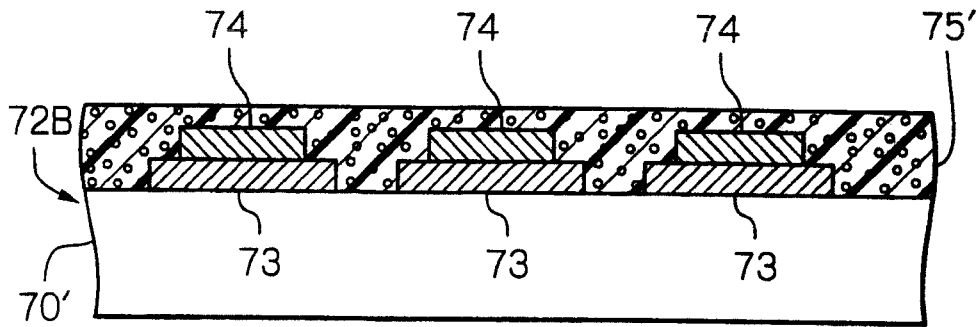


图10A

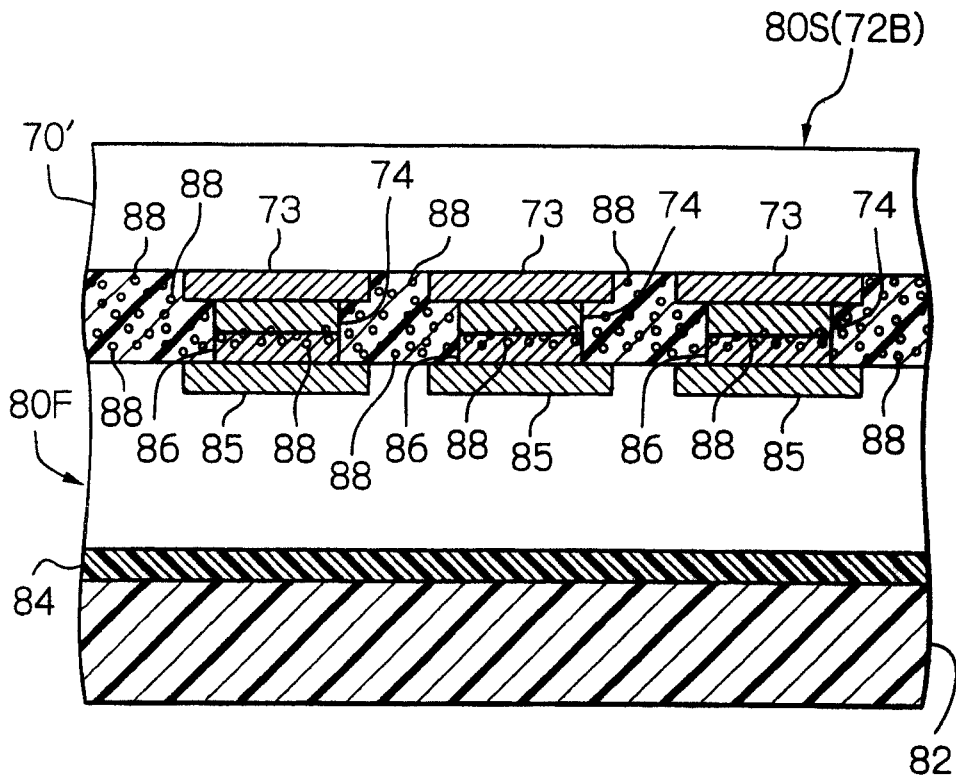


图10B

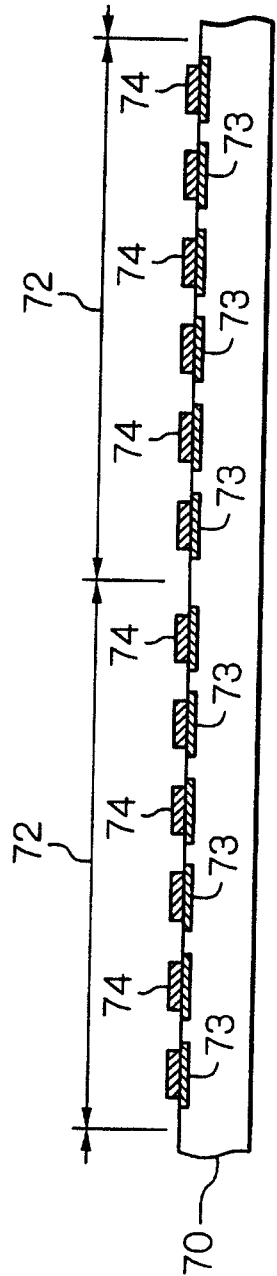


图11A

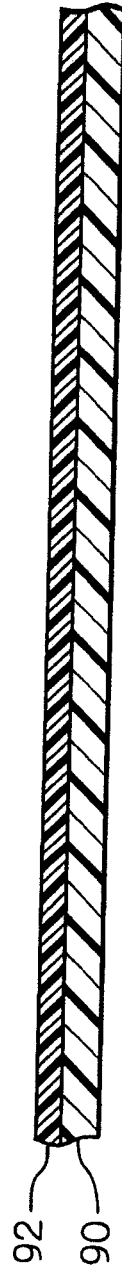


图11B

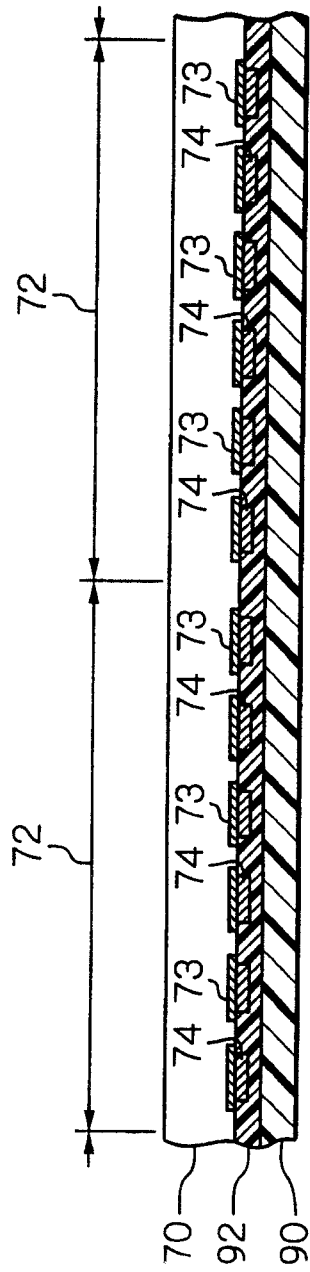


图11C

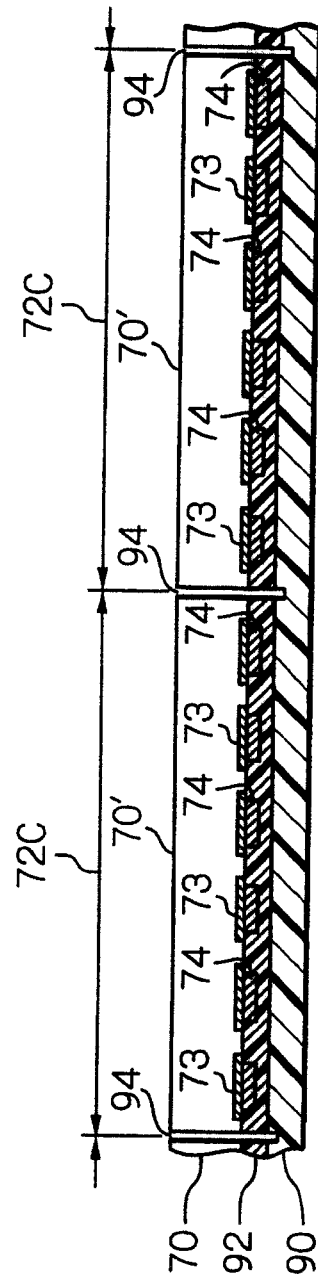


图11D

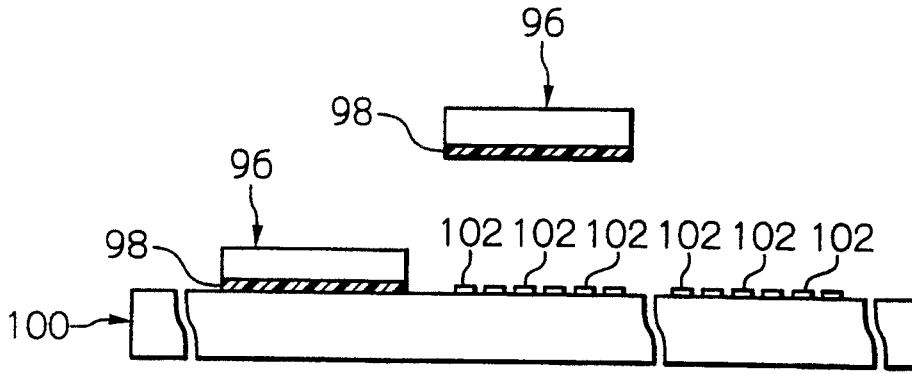


图12A

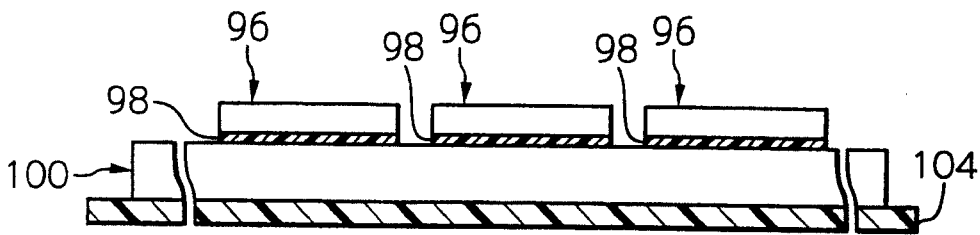


图12B

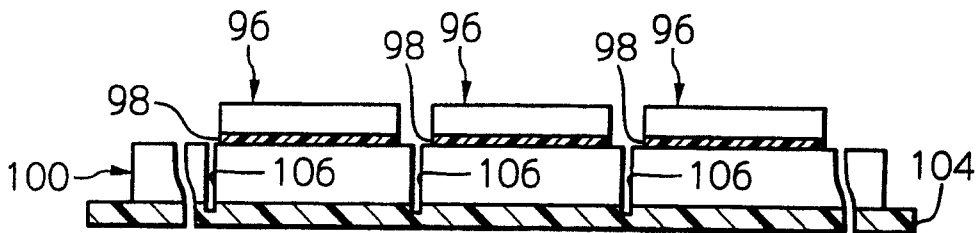


图12C