

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



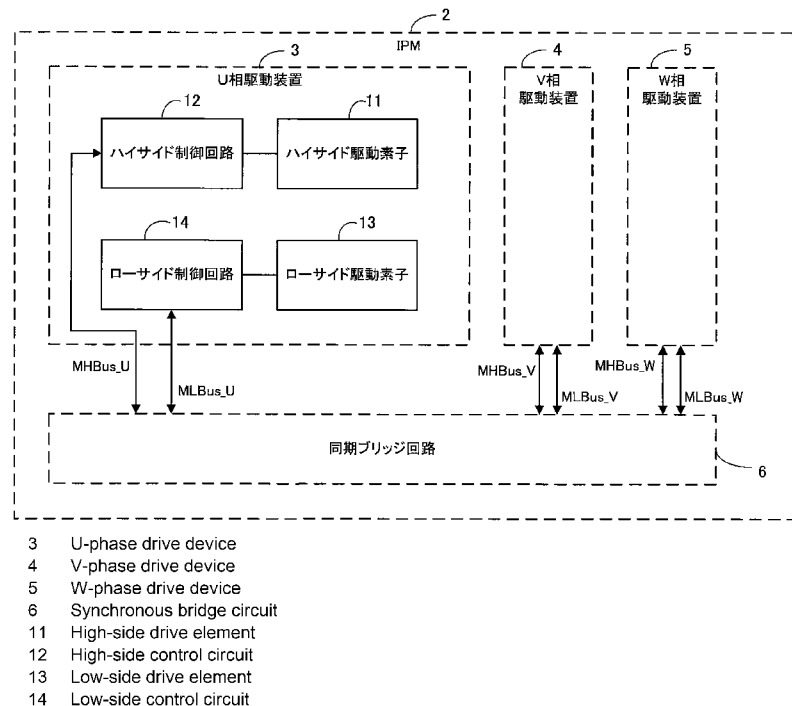
(10) 国際公開番号

WO 2020/183966 A1

- (51) 国際特許分類:
H02M 1/00 (2007.01) *H03K 17/08* (2006.01)
H02M 1/08 (2006.01) *H03K 17/567* (2006.01)
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2020/003479
- (22) 国際出願日: 2020年1月30日(30.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-046637 2019年3月14日(14.03.2019) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 赤羽 正志 (AKAHANE, Masashi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 特許業務法人扶桑国際特許事務所 (FUSO INTERNATIONAL PATENT FIRM); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 5 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: POWER MODULE AND LEVEL CONVERSION CIRCUIT THEREOF

(54) 発明の名称: パワーモジュールおよびそのレベル変換回路



(57) Abstract: According to the present invention, a timing at which the drive capability of a drive element is switched is synchronized between a plurality of drive devices, and an effect of reducing switching noise and switching loss is enhanced overall. An IPM (2) connects a U-phase drive device (3), a V-phase drive device (4), and a W-phase drive device (5) with a synchronous bridge circuit (6). Here, the drive capability is switched by a high-side control circuit (12) of the U-phase drive device (3), and a notification of switching timing is provided to the synchronous bridge circuit (6) via a bus

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(MHBus_U). The synchronous bridge circuit (6) provides the notification of the timing to a low-side control circuit (14) of the U-phase drive device (3) and high-side control circuits and low-side control circuits of the V-phase drive device (4) and the W-phase drive device (5), and switches the drive capabilities all at once. Accordingly, there is no imbalance in the drive capabilities between the phases, so that the effect of reducing the switching noise and the switching loss can be improved.

(57) 要約: 複数の駆動装置間で駆動素子の駆動能力を切り替えるタイミングを同期化し、全体としてスイッチングノイズおよびスイッチング損失の低減効果を高める。I P M (2) は、U相駆動装置 (3)、V相駆動装置 (4) およびW相駆動装置 (5) を同期ブリッジ回路 (6) で接続する。ここで、U相駆動装置 (3) のハイサイド制御回路 (12) で駆動能力の切り替えがあり、バス (MHBus_U) を介して切り替えのタイミングが同期ブリッジ回路 (6) に通知されたとする。同期ブリッジ回路 (6) は、そのタイミングをU相駆動装置 (3) のローサイド制御回路 (14) およびV相駆動装置 (4) およびW相駆動装置 (5) のハイサイド制御回路およびローサイド制御回路に通知し、駆動能力の切り替えを一斉に行う。これにより、I P M (2) は、相間で駆動能力にアンバランスがなくなり、スイッチングノイズおよびスイッチング損失の低減効果を高めることができる。

明 細 書

発明の名称： パワーモジュールおよびそのレベル変換回路

技術分野

[0001] 本発明は、複数相のモータを相ごとに駆動するための複数の駆動装置を 1 つのパッケージに收容したパワーモジュールおよびそのレベル変換回路に関する。

背景技術

[0002] 三相モータのような負荷を駆動する装置としてインテリジェントパワーモジュール（以下、IPMという）が知られている。IPMは、負荷を駆動する駆動素子およびこの駆動素子を制御する制御回路を備えており、制御回路には、駆動素子を過電流状態または過熱状態から保護する保護回路を内蔵している。

[0003] 制御回路は、また、保護回路が駆動素子の重大な過電流状態または過熱状態を検出したときに駆動素子の動作を停止する以外に、所定の過電流状態または過熱状態を検出したときに駆動素子の駆動能力を切り替える場合がある（たとえば、特許文献 1 参照）。

[0004] 駆動素子の駆動能力を切り替える方法として、特許文献 1 では、駆動素子のゲートに直列に挿入されるゲート抵抗の値を切り替えるようにしている。すなわち、駆動素子の過電流状態および過熱状態が検出されていないとき、ゲート抵抗が大きな値に設定されて、スイッチングノイズの発生を低減している。一方、駆動素子の過電流状態および過熱状態が検出されているとき、ゲート抵抗が小さな値に設定されて、駆動素子のスイッチング損失を低減している。

先行技術文献

特許文献

[0005] 特許文献 1：特開 2003-274672 号公報

発明の概要

発明が解決しようとする課題

[0006] 駆動素子の駆動能力を切り替える従来技術に関しては、個別の駆動装置における駆動素子のスイッチングノイズおよびスイッチング損失を改善するものである。したがって、複数の駆動装置を収容したパワーモジュールにおいても、駆動素子の駆動能力の切り替えは、駆動装置ごとに個別に行っている。このため、駆動素子のばらつきや特性の違いにより、駆動装置間で、または、各駆動装置のハーフブリッジ出力回路を構成するハイサイド駆動素子間およびローサイド駆動素子間で、ゲート抵抗の抵抗値を切り替えるタイミングが異なることになる。複数の駆動装置を備えたパワーモジュールでは、個別の駆動装置では効果のあったスイッチングノイズおよびスイッチング損失の低減効果が不十分になるという問題点があった。

[0007] 本発明はこのような点に鑑みてなされたものであり、少なくとも2つの駆動装置間で駆動素子の駆動能力を切り替えるタイミングを同期化し、全体としてスイッチングノイズおよびスイッチング損失の低減効果を高めたパワーモジュールを提供することを目的とする。

[0008] また、本発明は、各駆動装置のハイサイド駆動素子間およびローサイド駆動素子間で駆動素子の駆動能力を切り替えるタイミングを同期化するパワーモジュールのレベル変換回路を提供することを目的とする。

課題を解決するための手段

[0009] 本発明では、上記の課題を解決するために、1つの案では、負荷を駆動するハイサイド駆動素子およびローサイド駆動素子と、ハイサイド駆動素子を制御するハイサイド制御回路と、ローサイド駆動素子を制御するローサイド制御回路と、を有する駆動装置を複数備え、ハイサイド制御回路およびローサイド制御回路は、それぞれ、ハイサイド駆動素子およびローサイド駆動素子の異常状態を検出する異常検出回路と、ハイサイド駆動素子およびローサイド駆動素子の駆動能力を切り替える能力切替機能付駆動回路と、異常検出回路が異常状態を検出したとき能力切替機能付駆動回路の駆動能力を切り替える駆動能力切替回路とを有するパワーモジュールが提供される。このパワ

ーモジュールでは、複数の異常検出回路のいずれかが異常状態を検出したとき、すべての能力切替機能付駆動回路は、ハイサイド駆動素子およびローサイド駆動素子の駆動能力を切り替えるようにしている。

[0010] 本発明は、また、ローサイド制御回路の異常を表すローサイド情報をハイサイド制御回路に伝達する第1の伝達回路と、ハイサイド制御回路の異常を表すハイサイド情報をローサイド制御回路に伝達する第2の伝達回路とを備え、第1の伝達回路は、第2の伝達回路がハイサイド情報を伝達しているときローサイド情報の伝達を停止し、第2の伝達回路は、第1の伝達回路がローサイド情報を伝達しているときハイサイド情報の伝達を停止するようにした、パワーモジュールのレベル変換回路が提供される。

発明の効果

[0011] 上記構成のパワーモジュールおよびレベル変換回路は、各相のハイサイド制御回路およびローサイド制御回路の1つが駆動能力の切り替えをしたとき、すべての能力切替機能付駆動回路が駆動能力を切り替えるので、相間の駆動能力にアンバランスがなくなり、スイッチングノイズおよびスイッチング損失の低減効果を高めることができるという利点がある。

[0012] 本発明の上記および他の目的、特徴および利点は、本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0013] [図1]第1の実施の形態に係るパワーモジュールを適用したIPMの概要を示すブロック構成図である。

[図2]第1の実施の形態におけるU相駆動装置の一構成例を示す回路図である。

[図3]第1の実施の形態における駆動能力切替機能付駆動回路の一構成例を示す回路図である。

[図4]第1の実施の形態における駆動能力切替機能付駆動回路の動作例を示す真理値表である。

[図5]第1の実施の形態における駆動能力切替回路の一構成例を示す回路図である。

[図6]第1の実施の形態における通信回路の一構成例を示す回路図である。

[図7]第1の実施の形態における同期ブリッジ回路の一構成例を示す回路図である。

[図8]同期ブリッジ回路による同期状態を説明する波形図である。

[図9]第1の実施の形態における同期ブリッジ回路のレベル変換回路の一構成例を示す回路図である。

[図10]レベル変換回路による同期状態を説明する波形図である。

[図11]第2の実施の形態における同期ブリッジ回路のレベル変換回路の一構成例を示す回路図である。

[図12]第3の実施の形態における同期ブリッジ回路のレベル変換回路の一構成例を示す回路図である。

[図13]第4の実施の形態における同期ブリッジ回路のレベル変換回路の一構成例を示す回路図である。

発明を実施するための形態

[0014] 以下、本発明のパワーモジュールの実施の形態について、三相モータを駆動する3つの駆動装置を収容したIPMに適用した場合を例に図面を参照して詳細に説明する。なお、図面において、同一の符号で示される部分は、同一の構成要素を示している。また、各実施の形態は、矛盾のない範囲で複数の実施の形態を部分的に組み合わせて実施することができる。さらに、以下の説明において、端子名とその端子における電圧、信号などは、同じ符号を用いることがある。

[0015] <第1の実施の形態>

図1は第1の実施の形態に係るパワーモジュールを適用したIPMの概要を示すブロック構成図である。

[0016] IPM2は、三相モータに三相交流を供給するU相駆動装置3、V相駆動装置4およびW相駆動装置5と同期ブリッジ回路6とを有している。U相駆

動装置3は、バスMHBus__U, MLBus__Uによって同期ブリッジ回路6に接続されている。V相駆動装置4は、バスMHBus__V, MLBus__Vによって同期ブリッジ回路6に接続されている。W相駆動装置5は、バスMHBus__W, MLBus__Wによって同期ブリッジ回路6に接続されている。

[0017] ここで、IPM2を構成するU相駆動装置3、V相駆動装置4およびW相駆動装置5は、それぞれ同じ構成を有しているので、以下の説明では、代表して、U相駆動装置3の構成について説明する。

[0018] U相駆動装置3は、ハイサイド駆動素子11およびそのハイサイド制御回路12と、ローサイド駆動素子13およびそのローサイド制御回路14とを有している。ハイサイド制御回路12は、バスMHBus__Uによって同期ブリッジ回路6に接続され、ローサイド制御回路14は、バスMLBus__Uによって同期ブリッジ回路6に接続されている。ハイサイド制御回路12およびローサイド制御回路14は、ハイサイド駆動素子11およびローサイド駆動素子13の駆動能力を切り替える駆動能力切替機能を有している。この駆動能力切替機能は、ハイサイド駆動素子11またはローサイド駆動素子13が特定の電流値または特定の温度値になったときに、ハイサイド駆動素子11およびローサイド駆動素子13の駆動能力を切り替える。

[0019] このIPM2の構成によれば、たとえば、U相駆動装置3のハイサイド制御回路12において、ハイサイド駆動素子11が特定の電流値または特定の温度値になったときに、ハイサイド駆動素子11の駆動能力を切り替える。このとき、ハイサイド制御回路12は、駆動能力の切り替えがあったことを、バスMHBus__Uを介して同期ブリッジ回路6に伝達する。同期ブリッジ回路6は、U相駆動装置3のハイサイド制御回路12で駆動能力の切り替えがあったことが伝達されると、この同期ブリッジ回路6に接続されている他のすべてのバスを介して駆動能力の切り替えを一斉に通知する。すなわち、同期ブリッジ回路6は、バスMLBus__Uを介してU相駆動装置3のローサイド制御回路14に駆動能力の切り替えを通知する。同様に、同期ブリ

ッジ回路6は、バスMHB u s __ V, ML B u s __ Vを介してV相駆動装置4のハイサイド駆動回路およびローサイド駆動回路に駆動能力の切り替えを通知する。そして、同期ブリッジ回路6は、バスMHB u s __ W, ML B u s __ Wを介してW相駆動装置5のハイサイド駆動回路およびローサイド駆動回路に駆動能力の切り替えを通知する。この駆動能力の切り替えが通知されたU相駆動装置3のローサイド制御回路14、V相駆動装置4のハイサイド駆動回路およびローサイド駆動回路およびW相駆動装置5のハイサイド駆動回路およびローサイド駆動回路は、それぞれ駆動能力の切り替えを行う。これにより、IPM2は、U相駆動装置3、V相駆動装置4およびW相駆動装置5の駆動能力が一斉に切り替えられるので、三相間で駆動能力にアンバランスがなくなり、スイッチングノイズおよびスイッチング損失の低減効果を高めることができる。

[0020] 図2は第1の実施の形態におけるU相駆動装置の一構成例を示す回路図である。

U相駆動装置3は、ハイサイド駆動素子11およびそのハイサイド制御回路12と、ローサイド駆動素子13およびそのローサイド制御回路14とを有し、ハイサイド制御回路12は、ローサイド制御回路14と同じ構成であるので、内部構成を省略してある。

[0021] ハイサイド駆動素子11およびローサイド駆動素子13は、それぞれスイッチング素子XD1, XD2を有している。ここでは、スイッチング素子XD1, XD2としてIGBT (Insulated Gate Bipolar Transistor) を使用しているがMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) を使用してもよい。スイッチング素子XD1のエミッタは、スイッチング素子XD2のコレクタに接続されてハーフブリッジ出力回路を構成している。スイッチング素子XD1のエミッタとスイッチング素子XD2のコレクタとの接続部は、負荷7の一方の端子に接続され、負荷7の他方の端子は、グラウンドに接続されている。この負荷7は、三相モータのU相巻線とすることができる。スイッチング素子XD1のコレクタは、電源8の正極端子に

接続され、スイッチング素子X D 2のエミッタは、グラウンドに接続されている。

[0022] ハイサイド駆動素子1 1およびローサイド駆動素子1 3は、また、スイッチング素子X D 1, X D 2にフリーホイリングダイオードFWD 1, FWD 2がそれぞれ逆並列に接続され、温度検出用のダイオードD 1, D 2が設けられている。なお、スイッチング素子X D 1, X D 2には、それぞれ、I G B Tで構成された電流検出用の電流センス素子が設けられ、それらのエミッタは、ハイサイド制御回路1 2およびローサイド制御回路1 4に接続されている。さらに、スイッチング素子X D 1, X D 2および電流センス素子のゲートと、ダイオードD 1, D 2のアノードおよびカソードも、それぞれハイサイド制御回路1 2およびローサイド制御回路1 4に接続されている。

[0023] ハイサイド制御回路1 2は、ハイサイド電源端子V Bを有し、電源V P 1の正極端子に接続され、電源V P 1の負極端子は、ハイサイド制御回路1 2のハイサイド基準電位端子V Sおよびハーフブリッジ出力回路の出力端子O U Tに接続されている。電源V P 1の正極端子および負極端子は、同期ブリッジ回路6にも接続されている。ハイサイド制御回路1 2は、また、上位制御装置からスイッチング素子X D 1を制御するハイサイド制御信号V H i nを受ける入力端子を有し、さらに、バスM H B u s _ Uによって同期ブリッジ回路6にも接続されている。

[0024] ローサイド制御回路1 4は、入力回路2 1と、制御回路2 2と、駆動能力切替機能付駆動回路2 3と、電流検出回路2 4と、温度検出回路2 5と、駆動能力切替回路2 6と、通信回路2 7とを有している。ローサイド制御回路1 4は、ローサイド電源端子V C C Lおよびグラウンド端子G N Dを有し、ローサイド電源端子V C C Lは、電源V P 2の正極端子に接続され、電源V P 2の負極端子は、グラウンド端子G N Dに接続されている。電源V P 2の正極端子および負極端子は、同期ブリッジ回路6にも接続されている。なお、ハイサイド駆動素子1 1内の電源V P 1は、このローサイド制御回路1 4に給電する電源V P 2から生成される。

[0025] 入力回路21は、上位制御装置に接続されてスイッチング素子XD2を制御するローサイド制御信号VLinを受ける入力端子と、信号inを出力する出力端子とを有している。入力回路21の出力端子は、制御回路22の入力端子に接続され、制御回路22は、信号inを受けて駆動信号drvを出力する。制御回路22の出力端子は、駆動能力切替機能付駆動回路23の入力端子に接続され、駆動能力切替機能付駆動回路23の出力端子は、スイッチング素子XD2のゲートに接続されてゲート信号Vgを供給する。電流検出回路24は、その入力端子に電流センス素子のエミッタが接続され、スイッチング素子XD2のコレクタ電流に相当する電流Iocを入力する。電流検出回路24の出力端子は、駆動能力切替回路26の入力端子に接続され、電流Iocに相当する過電流検出信号OCを供給する。温度検出回路25は、ダイオードD2のアノードに一定の電流Iohを供給し、ダイオードD2のカソードから出力された電流を受ける端子を有する。温度検出回路25の出力端子は、駆動能力切替回路26の別の入力端子に接続され、スイッチング素子XD2の温度に相当する過熱検出信号OHを供給する。駆動能力切替回路26の出力端子は、駆動能力切替機能付駆動回路23の制御端子に接続され、過電流検出信号OCまたは過熱検出信号OHが所定の条件にあるとき、能力切替信号DSELを出力する。

[0026] 通信回路27は、まず、バスMLBus__Uによって同期ブリッジ回路6に接続されている。通信回路27は、また、駆動能力切替回路26にも接続されている。通信回路27は、駆動能力切替回路26が能力切替信号DSELを出力したときに駆動能力切替回路26から信号TXSを受け、バスMLBus__Uを介して同期ブリッジ回路6に通知される。通信回路27は、バスMLBus__Uを介して同期ブリッジ回路6から通知があったとき、信号RXSを駆動能力切替回路26に通知し、駆動能力切替回路26は、信号RXSを受けると能力切替信号DSELを出力する。

[0027] 図3は第1の実施の形態における駆動能力切替機能付駆動回路の一構成例を示す回路図、図4は第1の実施の形態における駆動能力切替機能付駆動回

路の動作例を示す真理値表である。

- [0028] 駆動能力切替機能付駆動回路23は、ナンド回路NAND1と、アンド回路AND1と、インバータ回路INV1と、PチャネルのMOSFET（以下、PMOSトランジスタという）MP1、MP2と、NチャネルのMOSFET（以下、NMOSトランジスタという）MN1、MN2とを有している。
- [0029] 駆動能力切替機能付駆動回路23は、駆動信号drvを入力する入力端子を有し、この入力端子は、インバータ回路INV1の入力端子とナンド回路NAND1の一方の入力端子とに接続されている。駆動能力切替機能付駆動回路23は、また、能力切替信号DSELを入力する制御端子を有し、この制御端子は、ナンド回路NAND1の他方の入力端子とアンド回路AND1の一方の入力端子とに接続されている。
- [0030] インバータ回路INV1の出力端子は、PMOSトランジスタMP1およびNMOSトランジスタMN1のゲートとアンド回路AND1の他方の入力端子とに接続されている。PMOSトランジスタMP1のソースは、ローサイド電源端子VCC_Lに接続され、NMOSトランジスタMN1のソースは、グラウンド端子GNDに接続されている。PMOSトランジスタMP1およびNMOSトランジスタMN1のドレインは、ともに接続されてゲート信号Vgを出力する出力端子に接続されている。
- [0031] ナンド回路NAND1の出力端子は、PMOSトランジスタMP2のゲートに接続され、アンド回路AND1の出力端子は、NMOSトランジスタMN2のゲートに接続されている。PMOSトランジスタMP2のソースは、ローサイド電源端子VCC_Lに接続され、NMOSトランジスタMN2のソースは、グラウンド端子GNDに接続されている。PMOSトランジスタMP2およびNMOSトランジスタMN2のドレインは、ともに接続されてゲート信号Vgを出力する出力端子に接続されている。
- [0032] ここで、駆動能力切替機能付駆動回路23の動作について説明する。まず、電流検出回路24または温度検出回路25が特定の電流値または特定の温

度値を検出していない場合、駆動能力切替回路26は、ロー（L）レベルの能力切替信号DSELを出力している。この場合、ナンド回路NAND1は、駆動信号drvの論理状態に関係なく、ハイ（H）レベルの信号を出力するので、PMOSトランジスタMP2は、オフの状態にある。また、アンド回路AND1は、駆動信号drvの論理状態に関係なく、Lレベルの信号を出力するので、NMOSトランジスタMN2も、オフの状態にある。

[0033] ここで、Hレベルの駆動信号drvが入力されると、インバータ回路INV1が論理反転してLレベルの信号を出力するので、PMOSトランジスタMP1は、オンの状態になり、NMOSトランジスタMN1は、オフの状態を維持する。これにより、ゲート信号Vgは、Hレベルの信号になり、PMOSトランジスタMP1による電流がスイッチング素子XD2のゲートにソース電流として供給される。

[0034] 駆動信号drvがLレベルになると、インバータ回路INV1は、論理反転してHレベルの信号を出力する。このとき、PMOSトランジスタMP1は、オフの状態になり、NMOSトランジスタMN1は、オンの状態になる。これにより、ゲート信号Vgは、Lレベルの信号になり、NMOSトランジスタMN1がスイッチング素子XD2のゲートからシンク電流を引き込み、グラウンドに流すことになる。

[0035] すなわち、駆動能力切替機能付駆動回路23は、図4の真理値表の通り、Lレベルの能力切替信号DSELが入力されている通常動作のとき、PMOSトランジスタMP2およびNMOSトランジスタMN2のいずれもオフの状態である。このとき、駆動信号drvは、その論理状態に応じてPMOSトランジスタMP1およびNMOSトランジスタMN1がオン・オフされることになる。

[0036] 次に、電流検出回路24または温度検出回路25が特定の電流値または特定の温度値を検出している場合、駆動能力切替回路26は、Hレベルの能力切替信号DSELを出力する。

[0037] ここで、Hレベルの駆動信号drvが入力されると、インバータ回路INV

V 1 が論理反転して L レベルの信号を出力し、PMOS トランジスタ MP 1 は、オンの状態になり、NMOS トランジスタ MN 1 は、オフの状態になる。また、ナンド回路 NAND 1 は、その両方の入力端子に H レベルの信号が入力されるので、L レベルの信号を出力し、PMOS トランジスタ MP 2 をオンの状態にする。アンド回路 AND 1 は、その一方の入力端子に L レベルの信号を受けるので、L レベルの信号を出力し、NMOS トランジスタ MN 2 をオフの状態にしている。ここで、PMOS トランジスタ MP 1, MP 2 が流すことのできる電流値が同じであれば、スイッチング素子 XD 2 のゲートに供給できるソース電流が PMOS トランジスタ MP 1 だけによる電流の 2 倍になるので、駆動能力が 2 倍に切り替わることになる。

[0038] 次に、L レベルの駆動信号 drv が入力されると、インバータ回路 INV 1 が論理反転して H レベルの信号を出力し、PMOS トランジスタ MP 1 は、オフの状態になり、NMOS トランジスタ MN 1 は、オンの状態になる。また、ナンド回路 NAND 1 は、その一方の入力端子に L レベルの信号が入力されるので、H レベルの信号を出力し、PMOS トランジスタ MP 2 をオフの状態にする。このとき、アンド回路 AND 1 は、両方の入力端子に H レベルの信号を受けているので、H レベルの信号を出力し、NMOS トランジスタ MN 2 をオンの状態にする。ここで、NMOS トランジスタ MN 1, MN 2 が流すことのできる電流値が同じであれば、スイッチング素子 XD 2 のゲートから引き込むことができるシンク電流が NMOS トランジスタ MN 1 だけによる電流の 2 倍になるので、駆動能力が 2 倍に切り替わることになる。

[0039] 図 5 は第 1 の実施の形態における駆動能力切替回路の一構成例を示す回路図である。

駆動能力切替回路 26 は、オア回路 OR 1, OR 2 を有する。オア回路 OR 1 の第 1 の入力端子は、電流検出回路 24 の出力端子に接続され、過電流検出信号 OC が入力される。オア回路 OR 1 の第 2 の入力端子は、温度検出回路 25 の出力端子に接続され、過熱検出信号 OH が入力される。オア回路

OR 1 の出力端子は、オア回路 OR 2 の第 1 の入力端子と通信回路 2 7 の入力端子とに接続され、通信回路 2 7 には、信号 T X S を送出する。オア回路 OR 2 の負論理の第 2 の入力端子は、通信回路 2 7 の出力端子に接続され、通信回路 2 7 からは信号 R X S を受信する。オア回路 OR 2 の出力端子は、駆動能力切替機能付駆動回路 2 3 の制御端子に接続され、駆動能力切替機能付駆動回路 2 3 に能力切替信号 D S E L を送出する。

[0040] 駆動能力切替回路 2 6 は、オア回路 OR 1 が、特定の電流値または特定の温度値を検出している H レベルの過電流検出信号 O C または過熱検出信号 O H を入力したとき、H レベルの信号を出力する。この H レベルの信号は、通信回路 2 7 に信号 T X S として送出され、同時に、オア回路 OR 2 を介して駆動能力切替機能付駆動回路 2 3 に能力切替信号 D S E L として送出される。

[0041] また、駆動能力切替回路 2 6 は、通信回路 2 7 から U 相駆動装置 3 のハイサイド制御回路 1 2 および V 相駆動装置 4 および W 相駆動装置 5 が通常状態を表す H レベルの信号 R X S を受けているとき、オア回路 OR 2 の出力状態は、オア回路 OR 1 の出力状態に依存する。一方、駆動能力切替回路 2 6 は、L レベルの信号 R X S を受けているとき、オア回路 OR 2 の出力状態は、オア回路 OR 1 の出力状態に関係なく H レベルの能力切替信号 D S E L を出力する。

[0042] 図 6 は第 1 の実施の形態における通信回路の一構成例を示す回路図である。

通信回路 2 7 は、バッファ回路 B U F 1 および N M O S トランジスタ M N 1 1 (スイッチ素子) を有する。バッファ回路 B U F 1 の入力端子は、バス M L B u s _ _ U を介して同期ブリッジ回路 6 に接続され、バッファ回路 B U F 1 の出力端子は、信号 R X S を受ける駆動能力切替回路 2 6 の入力端子に接続される。

[0043] N M O S トランジスタ M N 1 1 のゲート端子は、信号 T X S を出力する駆動能力切替回路 2 6 の出力端子に接続される。N M O S トランジスタ M N 1

1のドレイン端子は、バッファ回路B U F 1の入力端子およびバスM L B u s __Uを介して同期ブリッジ回路6に接続される。NMOSトランジスタM N 1 1のソース端子は、グランドに接続される。

[0044] 通信回路27では、駆動能力切替回路26がHレベルの過電流検出信号O Cまたは過熱検出信号O Hを入力していない通常動作のとき、NMOSトランジスタM N 1 1は、そのゲート端子にLレベルの信号T X Sを受けていてオフの状態にある。

[0045] また、通信回路27では、U相駆動装置3、V相駆動装置4およびW相駆動装置5が通常動作をしているとき、バスM L B u s __Uは、Hレベルであるので、バッファ回路B U F 1は、Hレベルの信号R X Sを駆動能力切替回路26に出力する。

[0046] 通信回路27は、また、駆動能力切替回路26からHレベルの信号T X Sを受けると、NMOSトランジスタM N 1 1がオンの状態になって、バスM L B u s __UのレベルをLレベルにし、駆動能力切替回路26が能力切替信号D S E Lを出力していることを同期ブリッジ回路6に通知する。逆に、バスM L B u s __UのレベルがLレベルになると、通信回路27は、バッファ回路B U F 1がLレベルの信号R X Sを出力して、他の駆動装置で能力切替信号D S E Lを出力していることを駆動能力切替回路26に通知する。

[0047] 図7は第1の実施の形態における同期ブリッジ回路の一構成例を示す回路図、図8は同期ブリッジ回路による同期状態を説明する波形図である。

同期ブリッジ回路6は、プルアップ抵抗R p u l lおよびレベル変換回路30を有している。なお、レベル変換回路30は、U相、V相およびW相のための3つの回路を有しているが、ここでは、まとめて1つで示している。

[0048] プルアップ抵抗R p u l lの一方の端子は、電源V P 2の正極端子に接続されて電圧V C C Lが供給されるラインに接続され、プルアップ抵抗R p u l lの他方の端子は、共通バスM B u s（共通接続部）に接続されている。この共通バスM B u sには、U相駆動装置3のローサイド制御回路14の通信回路27に接続されたバスM L B u s __Uが接続されている。共通バスM

B u s は、また、V相駆動装置4のローサイド制御回路に接続されたバスML B u s __ V、W相駆動装置5のローサイド制御回路に接続されたバスML B u s __ Wおよびレベル変換回路30に接続されている。

[0049] レベル変換回路30は、U相駆動装置3のハイサイド制御回路12に接続されたバスM H B u s __ Uと、V相駆動装置4およびW相駆動装置5のハイサイド制御回路に接続されたバスM H B u s __ V、M H B u s __ Wとに接続されている。レベル変換回路30は、また、U相駆動装置3、V相駆動装置4およびW相駆動装置5のハイサイド電源端子V B __ U、V B __ V、V B __ Wおよびハイサイド基準電位端子V S __ U、V S __ V、V S __ Wが接続されている。

[0050] この同期ブリッジ回路6によれば、U相駆動装置3のローサイド制御回路14と、V相駆動装置4およびW相駆動装置5のローサイド制御回路とは、バスML B u s __ U、ML B u s __ V、ML B u s __ Wを介して共通バスM B u s に直接接続されている。U相駆動装置3のハイサイド制御回路12と、V相駆動装置4およびW相駆動装置5のハイサイド制御回路とは、バスM H B u s __ U、M H B u s __ V、M H B u s __ Wおよびレベル変換回路30を介して共通バスM B u s に接続されている。すなわち、バスML B u s __ U、ML B u s __ V、ML B u s __ Wとレベル変換回路30とは、共通バスM B u s に接続されていることにより、ワイヤードオア回路を構成している。したがって、U相駆動装置3、V相駆動装置4およびW相駆動装置5が通常動作をしているときには、共通バスM B u s は、プルアップ抵抗R p u l l によってHレベルにプルアップされている。また、共通バスM B u s に接続されているバスのいずれか1つでもLレベルになると、共通バスM B u s に接続されているすべてのバスがLレベルになる。

[0051] 次に、駆動能力の切り替えが発生した場合の同期ブリッジ回路6の動作について図8を参照しながら説明する。まず、このパワーモジュール内のすべての電流検出回路または温度検出回路が特定の電流値または特定の温度値を検出していないときには、すべてのバスがHレベルになっている。

[0052] ここで、時刻 t_0 にて、U相駆動装置3のローサイド制御回路14で駆動能力の切り替えが発生したとする。このとき、U相駆動装置3のローサイドのバス $MLBus_U$ は、Lレベルに低下するので、これと同時に、共通バス $MBus$ 、V相駆動装置4およびW相駆動装置5のバス $MLBus_V$ 、 $MLBus_W$ のレベルも、Lレベルに低下する。この共通バス $MBus$ のレベルの低下は、V相駆動装置4およびW相駆動装置5のローサイド制御回路に伝達され、そこで駆動能力の切り替えが行われる。

[0053] この共通バス $MBus$ のレベルの低下は、また、レベル変換回路30およびバス $MHBUS_U$ 、 $MHBUS_V$ 、 $MHBUS_W$ を介してU相駆動装置3、V相駆動装置4およびW相駆動装置5のハイサイド制御回路に伝達される。このとき、レベル変換回路30での信号処理が介在するので、バス $MHBUS_U$ 、 $MHBUS_V$ 、 $MHBUS_W$ のレベル低下は、時刻 t_0 よりも遅れて時刻 t_1 より開始される。このバス $MHBUS_U$ 、 $MHBUS_V$ 、 $MHBUS_W$ のレベル低下がU相駆動装置3、V相駆動装置4およびW相駆動装置5のハイサイド制御回路に伝達されると、各ハイサイド制御回路にて駆動能力の切り替えが行われる。

[0054] このように、同期ブリッジ回路6は、すべての相のローサイド制御回路およびハイサイド制御回路に接続されていて、そのうちの1つに駆動能力切替が発生した場合、そのタイミングで残りのすべてで駆動能力切替が一斉に通知される。これにより、すべての相のローサイド制御回路およびハイサイド制御回路の1つに駆動能力切替が発生したときに同期して残りのすべても駆動能力切替が行われるので、相間での駆動能力にアンバランスが発生することがなくなる。

[0055] 時刻 t_2 にて、U相駆動装置3のローサイド制御回路14で通常の駆動能力が元に戻され、バス $MLBus_U$ のレベルがHレベルになると、バス $MLBus_V$ 、 $MLBus_W$ のレベルも、Hレベルに戻される。これに同期し、V相駆動装置4およびW相駆動装置5のローサイド制御回路においても、通常の駆動能力が元に戻される。バス $MHBUS_U$ 、 $MHBUS_V$

, MHB_{us_W} のレベル低下は、時刻 t_2 よりも遅れた時刻 t_3 に H レベルへの変化が開始され、その後、U 相駆動装置 3、V 相駆動装置 4 および W 相駆動装置 5 のハイサイド制御回路の駆動能力が元に戻される。

[0056] 図 9 は第 1 の実施の形態における同期ブリッジ回路のレベル変換回路の一構成例を示す回路図、図 10 はレベル変換回路による同期状態を説明する波形図である。

同期ブリッジ回路 6 のレベル変換回路 30 は、U 相レベル変換回路 31、V 相レベル変換回路 32 および W 相レベル変換回路 33 を有している。U 相レベル変換回路 31、V 相レベル変換回路 32 および W 相レベル変換回路 33 は、それぞれ同じ構成を有しているので、ここでは、U 相レベル変換回路 31 について説明する。

[0057] U 相レベル変換回路 31 は、ハイサイド回路 31a およびローサイド回路 31b を有している。U 相レベル変換回路 31 は、また、共通バス MB_{us} およびバス MHB_{us_U} が接続され、ハイサイド電源端子 VB、ハイサイド基準電位端子 VS、ローサイド電源端子 V_{CC_L} およびグランド端子 GND を有している。

[0058] ハイサイド回路 31a は、プルアップ抵抗 PUR_1 を有し、その一方の端子は、ハイサイド電源端子 VB に接続され、他方の端子は、バス MHB_{us_U} およびスリーステートバッファ回路 $TBUF_1$ の入力端子に接続されている。スリーステートバッファ回路 $TBUF_1$ の出力端子は、プルアップ抵抗 PUR_2 の一方の端子およびバッファ回路 BUF_2 の入力端子に接続されている。プルアップ抵抗 PUR_2 の他方の端子は、ハイサイド電源端子 VB に接続されている。バッファ回路 BUF_2 の出力端子は、高耐圧の PMOS トランジスタ HVP のゲートに接続され、PMOS トランジスタ HVP のソースは、ハイサイド電源端子 VB に接続されている。

[0059] ハイサイド回路 31a は、また、レベルシフト抵抗 LSR_1 を有し、その一方の端子は、ハイサイド電源端子 VB に接続され、他方の端子は、インバータ回路 INV_1 の入力端子およびダイオード D_3 のカソードに接続されて

いる。ダイオードD 3のアノードは、ハイサイド基準電位端子V Sに接続されている。インバータ回路I N V 1の出力端子は、バッファ回路B U F 3の入力端子およびスリーステートバッファ回路T B U F 1の制御端子に接続されている。バッファ回路B U F 3の出力端子は、N M O SトランジスタM N 2 1のゲートに接続されている。N M O SトランジスタM N 2 1のドレインは、バスM H B u s __ Uに接続され、N M O SトランジスタM N 2 1のソースは、ハイサイド基準電位端子V Sに接続されている。

[0060] ローサイド回路3 1 bは、スリーステートインバータ回路T I N V 1を有し、その入力端子は、共通バスM B u sに接続され、スリーステートインバータ回路T I N V 1の出力端子は、プルダウン抵抗P D R 1の一方の端子およびバッファ回路B U F 4の入力端子に接続されている。プルダウン抵抗P D R 1の他方の端子は、グラウンドに接続されている。バッファ回路B U F 4の出力端子は、高耐圧のN M O SトランジスタH V Nのゲートに接続されている。N M O SトランジスタH V Nのドレインは、ハイサイド回路3 1 aのレベルシフト抵抗L S R 1の他方の端子に接続され、N M O SトランジスタH V Nのソースは、グラウンドに接続されている。

[0061] ローサイド回路3 1 bは、また、レベルシフト抵抗L S R 2を有し、その一方の端子は、ハイサイド回路3 1 aのP M O SトランジスタH V Pのドレインと、ツェナーダイオードZ Dのカソードと、バッファ回路B U F 5の入力端子とに接続されている。ツェナーダイオードZ Dのアノードおよびレベルシフト抵抗L S R 2の他方の端子は、それぞれグラウンドに接続されている。バッファ回路B U F 5の出力端子は、バッファ回路B U F 6の入力端子およびスリーステートインバータ回路T I N V 1の制御端子に接続されている。バッファ回路B U F 6の出力端子は、N M O SトランジスタM N 2 2のゲートに接続されている。N M O SトランジスタM N 2 2のドレインは、スリーステートインバータ回路T I N V 1の入力端子に接続され、N M O SトランジスタM N 2 2のソースは、グラウンドに接続されている。

[0062] なお、ハイサイド回路3 1 aのP M O SトランジスタH V Pとローサイド

回路 3 1 b のレベルシフト抵抗 L_{SR2} およびツェナーダイオード ZD とは、ハイサイド回路 3 1 a の情報をローサイド回路 3 1 b に伝達するレベルダウン回路を構成している。また、ハイサイド回路 3 1 a のレベルシフト抵抗 L_{SR1} とローサイド回路 3 1 b の NMOS トランジスタ HVN とは、ローサイド回路 3 1 b の情報をハイサイド回路 3 1 a に伝達するレベルアップ回路を構成している。

[0063] 以上の構成において、U 相駆動装置 3、V 相駆動装置 4 および W 相駆動装置 5 がいずれも駆動能力の切り替えを行っていない通常動作のとき、図 10 に示したように、共通バス $MBus$ および U 相駆動装置 3 のバス MHB_{us_U} は、H レベルである。このとき、ローサイド回路 3 1 b では、バッファ回路 $BUF4$ の入出力の信号 $MBus1$ 、 $MBus2$ 、バッファ回路 $BUF6$ の入出力の信号 $MHTx1$ 、 $MHTx2$ およびレベルダウン回路の信号 $MHTx$ は、L レベルである。ハイサイド回路 3 1 a では、バッファ回路 $BUF2$ の入出力の信号 $MHB1$ 、 $MHB2$ 、バッファ回路 $BUF3$ の入出力の信号 $MHRx1$ 、 $MHRx2$ およびレベルアップ回路の信号 $MHRx$ は、H レベルである。

[0064] ここで、たとえば、U 相駆動装置 3 のローサイド制御回路 1 4 が駆動能力の切り替えを行って共通バス $MBus$ が L レベルになると、U 相レベル変換回路 3 1 のローサイド回路 3 1 b では、スリーステートインバータ回路 $TINV1$ の出力する信号 $MBus1$ が H レベルになる。その後、バッファ回路 $BUF4$ も H レベルの信号 $MBus2$ を出力し、NMOS トランジスタ HVN をオンの状態にする。これにより、ハイサイド回路 3 1 a では、インバータ回路 $TINV1$ が L レベルの信号 $MHRx$ を入力するので、H レベルの信号 $MHRx1$ を出力し、バッファ回路 $BUF3$ が H レベルの信号 $MHRx2$ により NMOS トランジスタ $MN21$ をオンの状態にする。このため、バス MHB_{us_U} は、L レベルになり、この L レベルの信号は、ハイサイド制御回路 1 2 の通信回路に伝達され、駆動能力の切り替えが行われる。このとき、ハイサイド回路 3 1 a のスリーステートバッファ回路 $TBUF1$ は、その

制御端子にHレベルの信号が入力されていて出力がハイインピーダンスになっており、バスMHB_{us}__Uの論理レベルの変化をバッファ回路BUF2に伝達することはない。

[0065] その後、駆動能力の切り替えを行ったローサイド制御回路14が駆動能力を通常に戻して共通バスMB_{us}がHレベルに戻ると、NMOSトランジスタHVNは、オフの状態になり、ローサイド回路31bからハイサイド回路31aへの情報伝達が停止される。

[0066] 一方、たとえば、U相駆動装置3のハイサイド制御回路12が駆動能力の切り替えを行ってバスMHB_{us}__UがLレベルになると、U相レベル変換回路31のハイサイド回路31aでは、スリーステートバッファ回路TBUFF1がLレベルの信号MHB1を出力する。その後、バッファ回路BUF2もLレベルの信号MHB2を出力し、PMOSトランジスタHVPをオンの状態にする。これにより、ローサイド回路31bでは、バッファ回路BUF5がHレベルの信号MHT_xを入力するので、Hレベルの信号MHT_x1を出力し、バッファ回路BUF6がHレベルの信号MHT_x2によりNMOSトランジスタMN22をオンの状態にする。このため、共通バスMB_{us}は、Lレベルになり、このLレベルの信号は、ローサイド制御回路14の通信回路27に伝達される。このとき、ローサイド回路31bのスリーステートインバータ回路TINV1は、その制御端子にHレベルの信号が入力されていて出力がハイインピーダンスになっており、共通バスMB_{us}の論理レベルの変化をバッファ回路BUF4に伝達することはない。

[0067] その後、駆動能力の切り替えを行ったハイサイド制御回路12が駆動能力を通常に戻してバスMHB_{us}__UがHレベルに戻ると、PMOSトランジスタHVPは、オフの状態になり、ハイサイド回路31aからローサイド回路31bへの情報伝達が停止される。

[0068] <第2の実施の形態>

図11は第2の実施の形態における同期ブリッジ回路のレベル変換回路の一構成例を示す回路図である。なお、この図11において、図9に示した構

成要素と同じ構成要素については同じ符号を付してその詳細な説明は省略する。

[0069] 第2の実施の形態に係るパワーモジュールは、第1の実施の形態に係るパワーモジュールと比較して同期ブリッジ回路6のレベル変換回路30だけを変更している。第2の実施の形態に係るパワーモジュールにおいて、同期ブリッジ回路6のレベル変換回路30は、U相レベル変換回路34、V相レベル変換回路35およびW相レベル変換回路36を有している。U相レベル変換回路34、V相レベル変換回路35およびW相レベル変換回路36は、それぞれ同じ構成を有しているので、ここでは、U相レベル変換回路34について説明する。

[0070] このU相レベル変換回路34は、ハイサイド回路34aおよびローサイド回路34bを有している。U相レベル変換回路34は、また、ハイサイド回路34aとローサイド回路34bとの間で双方向の信号伝達を行うフォトカプラ駆動回路34cを有している。

[0071] このフォトカプラ駆動回路34cは、ローサイド回路34bのバッファ回路BUF4が出力する信号MBus2をハイサイド回路34aのインバータ回路INV1の入力端子に供給するレベルアップ回路を有している。フォトカプラ駆動回路34cは、また、ハイサイド回路34aのバッファ回路BUF2が出力する信号MHB2をローサイド回路34bのインバータ回路INV2の入力端子に供給するレベルダウン回路を有している。レベルアップ回路およびレベルダウン回路は、フォトカプラのようなアイソレーション素子で構成されている。

[0072] このU相レベル変換回路34によれば、ハイサイド回路34aとローサイド回路34bとの間の信号伝達をフォトカプラ駆動回路34cで行っている以外、第1の実施の形態でのU相レベル変換回路31と同じ動作をしている。

[0073] <第3の実施の形態>

図12は第3の実施の形態における同期ブリッジ回路のレベル変換回路の

一構成例を示す回路図である。なお、この図 1 2 において、図 1 1 に示した構成要素と同じ構成要素については同じ符号を付してその詳細な説明は省略する。

[0074] 第 3 の実施の形態に係るパワーモジュールは、第 2 の実施の形態に係るパワーモジュールと比較して同期ブリッジ回路 6 のレベル変換回路 3 0 だけを変更している。第 3 の実施の形態のレベル変換回路 3 0 は、U 相レベル変換回路 3 7、V 相レベル変換回路 3 8 および W 相レベル変換回路 3 9 を有している。U 相レベル変換回路 3 7、V 相レベル変換回路 3 8 および W 相レベル変換回路 3 9 は、それぞれ同じ構成を有しているので、ここでは、U 相レベル変換回路 3 7 について説明する。

[0075] この U 相レベル変換回路 3 7 は、ハイサイド回路 3 7 a およびローサイド回路 3 7 b を有し、これらの間には、アイソレーション素子で構成されたアイソレータ駆動回路 3 7 c が配置されている。

[0076] アイソレータ駆動回路 3 7 c は、ローサイド回路 3 7 b のバッファ回路 B U F 4 が出力する信号 M B u s 2 をハイサイド回路 3 7 a のインバータ回路 I N V 1 の入力端子に供給するレベルアップ回路を有している。アイソレータ駆動回路 3 7 c は、また、ハイサイド回路 3 7 a のバッファ回路 B U F 2 が出力する信号 M H B 2 をローサイド回路 3 7 b のバッファ回路 B U F 5 の入力端子に供給するレベルダウン回路を有している。レベルアップ回路およびレベルダウン回路は、それぞれトランスのようなアイソレーション素子で構成されている。

[0077] この U 相レベル変換回路 3 7 によれば、ハイサイド回路 3 7 a とローサイド回路 3 7 b との間の信号伝達をアイソレータ駆動回路 3 7 c で行っている以外、第 1 の実施の形態での U 相レベル変換回路 3 1 と同じ動作をしている。

[0078] <第 4 の実施の形態>

図 1 3 は第 4 の実施の形態における同期ブリッジ回路のレベル変換回路の一構成例を示す回路図である。なお、この図 1 3 において、図 1 1 に示した

構成要素と同じ構成要素については同じ符号を付してその詳細な説明は省略する。

[0079] 第4の実施の形態に係るパワーモジュールでは、同期ブリッジ回路6のレベル変換回路30は、U相レベル変換回路40、V相レベル変換回路41およびW相レベル変換回路42を有している。U相レベル変換回路40、V相レベル変換回路41およびW相レベル変換回路42は、それぞれ同じ構成を有しているので、ここでは、U相レベル変換回路40について説明する。

[0080] このU相レベル変換回路40は、ハイサイド回路40aおよびローサイド回路40bをレベルアップ回路およびレベルダウン回路のようなレベルシフト回路を用いずに直結している。したがって、この第4の実施の形態に係るパワーモジュールは、ハイサイド駆動素子11およびローサイド駆動素子13からなるハーフブリッジ出力回路に印加する電源8の電圧が低い場合に有用である。

[0081] このU相レベル変換回路40は、ローサイド回路40bのバッファ回路B U F 4の出力端子は、ハイサイド回路40aのインバータ回路I N V 1の入力端子に接続され、バッファ回路B U F 4が出力する信号M H R xをインバータ回路I N V 1に直接供給する。U相レベル変換回路40は、また、ハイサイド回路40aのバッファ回路B U F 2の出力端子は、ローサイド回路40bのインバータ回路I N V 2の入力端子に接続され、バッファ回路B U F 2が出力する信号M H T xをインバータ回路I N V 2に直接供給する。

[0082] このU相レベル変換回路40によれば、ハイサイド回路40aとローサイド回路40bとの間の信号伝達を直接行っている以外、第1の実施の形態でのU相レベル変換回路31と同じ動作をしている。

[0083] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0084] 2 I P M
- 3 U相駆動装置
- 4 V相駆動装置
- 5 W相駆動装置
- 6 同期ブリッジ回路
- 7 負荷
- 8 電源
- 1 1 ハイサイド駆動素子
- 1 2 ハイサイド制御回路
- 1 3 ローサイド駆動素子
- 1 4 ローサイド制御回路
- 2 1 入力回路
- 2 2 制御回路
- 2 3 駆動能力切替機能付駆動回路
- 2 4 電流検出回路
- 2 5 温度検出回路
- 2 6 駆動能力切替回路
- 2 7 通信回路
- 3 0 レベル変換回路
- 3 1 U相レベル変換回路
- 3 1 a ハイサイド回路
- 3 1 b ローサイド回路
- 3 2 V相レベル変換回路
- 3 3 W相レベル変換回路
- 3 4 U相レベル変換回路
- 3 4 a ハイサイド回路
- 3 4 b ローサイド回路

34c フォトカプラ駆動回路

35 V相レベル変換回路

36 W相レベル変換回路

37 U相レベル変換回路

37a ハイサイド回路

37b ローサイド回路

37c アイソレータ駆動回路

38 V相レベル変換回路

39 W相レベル変換回路

40 U相レベル変換回路

40a ハイサイド回路

40b ローサイド回路

41 V相レベル変換回路

42 W相レベル変換回路

AND1 アンド回路

BUF1, BUF2, BUF3, BUF4, BUF5, BUF6 バッファ回路

D1, D2, D3 ダイオード

FWD1, FWD2 フリーホイリングダイオード

GND グランド端子

HVN NMOSトランジスタ

HVP PMOSトランジスタ

INV1, INV2 インバータ回路

LSR1, LSR2 レベルシフト抵抗

MBus 共通バス

MHBUS_U, MHBUS_V, MHBUS_W, MLBUS_U, MLBUS_V, MLBUS_W バス

MN1, MN2, MN11, MN21, MN22 NMOSトランジスタ

MP 1, MP 2 PMOSトランジスタ

NAND 1 ナンド回路

OR 1, OR 2 オア回路

OUT 出力端子

PDR 1 プルダウン抵抗

PUR 1, PUR 2, R_{pull} プルアップ抵抗

TBUF 1 スリーステートバッファ回路

TINV 1 スリーステートインバータ回路

VB, VB__U, VB__V, VB__W ハイサイド電源端子

VCC L ローサイド電源端子

VP 1, VP 2 電源

VS, VS__U, VS__V, VS__W ハイサイド基準電位端子

XD 1, XD 2 スイッチング素子

ZD ツェナーダイオード

請求の範囲

[請求項1]

負荷を駆動するハイサイド駆動素子およびローサイド駆動素子と、
前記ハイサイド駆動素子を制御するハイサイド制御回路と、
前記ローサイド駆動素子を制御するローサイド制御回路と、
を有する駆動装置を複数備え、

前記ハイサイド制御回路および前記ローサイド制御回路は、それぞれ、前記ハイサイド駆動素子および前記ローサイド駆動素子の異常状態を検出する異常検出回路と、前記ハイサイド駆動素子および前記ローサイド駆動素子の駆動能力を切り替える能力切替機能付駆動回路と、前記異常検出回路が異常状態を検出したとき前記能力切替機能付駆動回路の駆動能力を切り替える駆動能力切替回路とを有しているパワーモジュールであって、

複数の前記異常検出回路のいずれかが異常状態を検出したとき、すべての前記能力切替機能付駆動回路は、前記ハイサイド駆動素子および前記ローサイド駆動素子の駆動能力を切り替える、パワーモジュール。

[請求項2]

複数の前記駆動装置の前記ハイサイド制御回路および前記ローサイド制御回路に接続された同期ブリッジ回路を備え、前記異常検出回路のいずれかが異常状態を検出したとき、異常状態を検出した前記異常検出回路を有する前記ハイサイド制御回路または前記ローサイド制御回路を除くすべての前記ハイサイド制御回路および前記ローサイド制御回路に対し、異常状態の検出を前記同期ブリッジ回路を介して通知する、請求項1記載のパワーモジュール。

[請求項3]

前記ハイサイド制御回路および前記ローサイド制御回路は、前記異常検出回路が前記ハイサイド駆動素子または前記ローサイド駆動素子の異常状態を検出したとき異常状態の検出を前記同期ブリッジ回路に送信するとともに他の前記ハイサイド制御回路および前記ローサイド制御回路の1つが検出した異常状態を前記同期ブリッジ回路から受信

する通信回路を有している、請求項 2 記載のパワーモジュール。

[請求項4] 前記同期ブリッジ回路は、すべての前記通信回路に接続された共通接続部を有し、通常動作のときに前記共通接続部が第 1 の電圧レベルに維持され、前記ハイサイド制御回路および前記ローサイド制御回路の 1 つから異常状態の検出が送信されてきたとき前記共通接続部が第 2 の電圧レベルに切り替えられて異常状態の検出を送信した前記ハイサイド制御回路または前記ローサイド制御回路を除くすべての前記ハイサイド制御回路および前記ローサイド制御回路へ異常状態の検出を通知する、請求項 3 記載のパワーモジュール。

[請求項5] 前記同期ブリッジ回路は、一端が前記共通接続部に接続され他端が前記ローサイド制御回路の電源に接続されたプルアップ抵抗を有し、前記共通接続部の電位を前記電源の電圧である前記第 1 の電圧レベルに設定している、請求項 4 記載のパワーモジュール。

[請求項6] 前記通信回路は、前記第 1 の電圧レベルまたは前記第 2 の電圧レベルの信号を受けて前記駆動能力切替回路に伝達するバッファ回路と、異常状態の検出を受けて前記共通接続部の電位を前記第 1 の電圧レベルから前記第 2 の電圧レベルに切り換えるスイッチ素子とを有している、請求項 4 記載のパワーモジュール。

[請求項7] 前記同期ブリッジ回路は、前記共通接続部と前記ハイサイド制御回路の前記通信回路との間にレベル変換回路を有している、請求項 4 記載のパワーモジュール。

[請求項8] 前記レベル変換回路は、前記ハイサイド制御回路の前記通信回路に接続されてハイサイド情報を扱うハイサイド回路と前記共通接続部に接続されてローサイド情報を扱うローサイド回路とを有し、前記ハイサイド回路および前記ローサイド回路は、前記ハイサイド情報および前記ローサイド情報を相互に伝達するよう構成した、請求項 7 記載のパワーモジュール。

[請求項9] 前記ハイサイド回路は、前記ハイサイド情報を前記ローサイド回路

へ伝達するとともに前記ローサイド回路から前記ローサイド情報が伝達されているときには、前記ハイサイド情報の前記ローサイド回路への伝達を停止し、前記ローサイド回路は、前記ローサイド情報を前記ハイサイド回路へ伝達するとともに前記ハイサイド回路から前記ハイサイド情報が伝達されているときには、前記ローサイド情報の前記ローサイド回路への伝達を停止するようにした、請求項 8 記載のパワーモジュール。

[請求項10] 前記ハイサイド回路と前記ローサイド回路との間に、前記ローサイド情報をレベルアップするレベルアップ回路と前記ハイサイド情報をレベルダウンするレベルダウン回路とを有している、請求項 9 記載のパワーモジュール。

[請求項11] 前記レベルアップ回路は、前記ローサイド情報によって制御される第 1 の高耐圧トランジスタと一端が前記ハイサイド制御回路の電源に接続され他端が前記第 1 の高耐圧トランジスタに接続された第 1 のレベルシフト抵抗とを有し、前記レベルダウン回路は、前記ハイサイド情報によって制御される第 2 の高耐圧トランジスタと一端が前記ローサイド制御回路のグランドに接続され他端が前記第 2 の高耐圧トランジスタに接続された第 2 のレベルシフト抵抗とを有している、請求項 10 記載のパワーモジュール。

[請求項12] 前記レベルアップ回路は、前記ローサイド情報を前記ハイサイド回路に伝達する第 1 のアイソレーション素子と、前記ハイサイド情報を前記ローサイド回路に伝達する第 2 のアイソレーション素子と、を有している、請求項 10 記載のパワーモジュール。

[請求項13] 前記異常検出回路は、前記ハイサイド駆動素子または前記ローサイド駆動素子の過電流状態を検出する電流検出回路を有し、前記電流検出回路が過電流状態を検出したとき前記駆動能力切替回路が前記能力切替機能付駆動回路の駆動能力を切り替える、請求項 1 記載のパワーモジュール。

[請求項14] 前記異常検出回路は、前記ハイサイド駆動素子または前記ローサイド駆動素子の過熱状態を検出する温度検出回路を有し、前記温度検出回路が過熱状態を検出したとき前記駆動能力切替回路が前記能力切替機能付駆動回路の駆動能力を切り替える、請求項1記載のパワーモジュール。

[請求項15] ローサイド制御回路の異常を表すローサイド情報をハイサイド制御回路に伝達する第1の伝達回路と、前記ハイサイド制御回路の異常を表すハイサイド情報を前記ローサイド制御回路に伝達する第2の伝達回路とを備え、

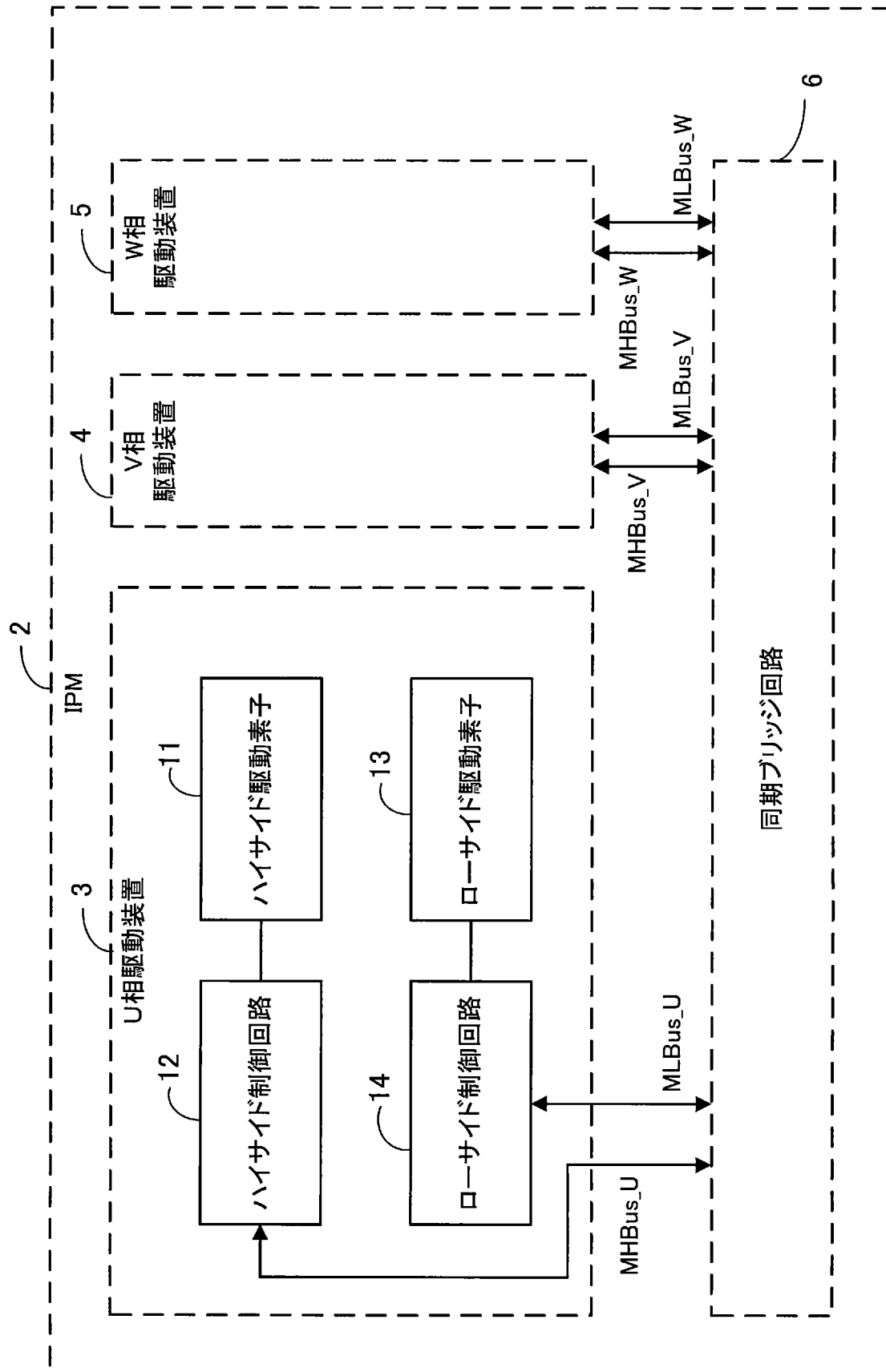
前記第1の伝達回路は、前記第2の伝達回路が前記ハイサイド情報を伝達しているとき前記ローサイド情報の伝達を停止し、

前記第2の伝達回路は、前記第1の伝達回路が前記ローサイド情報を伝達しているとき前記ハイサイド情報の伝達を停止するようにした、

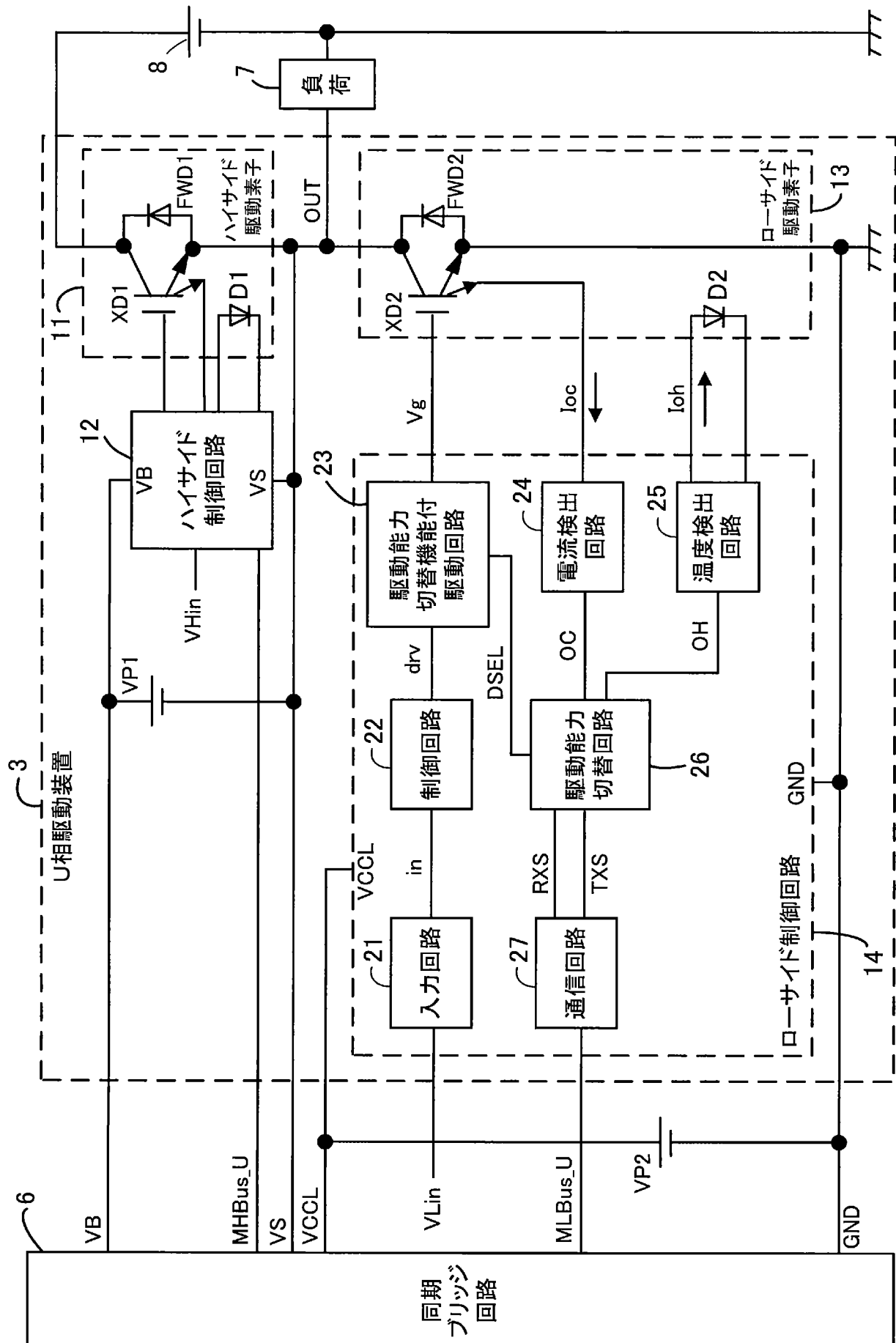
パワーモジュールのレベル変換回路。

[請求項16] 前記第1の伝達回路は、前記ローサイド情報をレベルアップするレベルアップ回路を有し、前記第2の伝達回路は、前記ハイサイド情報をレベルダウンするレベルダウン回路を有している、請求項15記載のパワーモジュールのレベル変換回路。

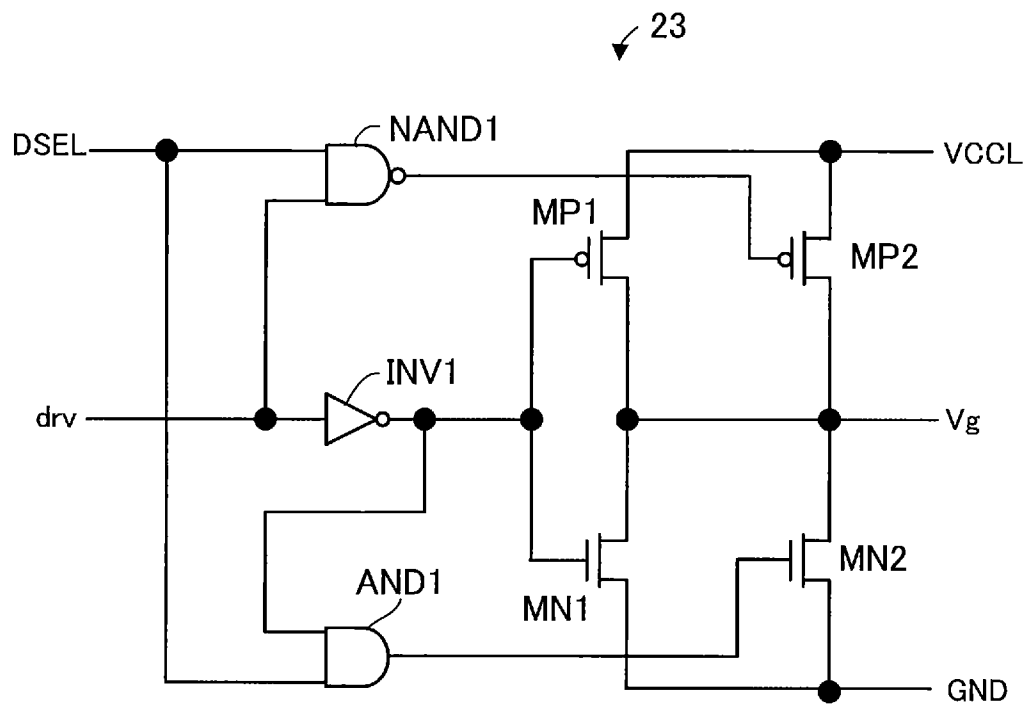
[図1]



[図2]



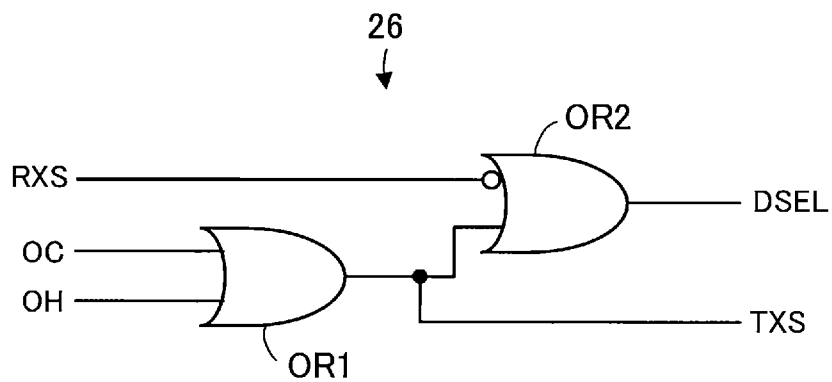
[図3]



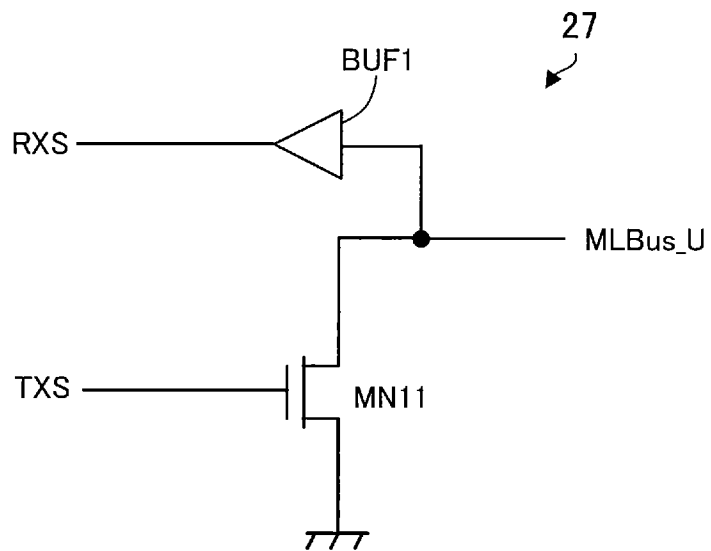
[図4]

	drv	DSEL	MP1	MN1	MP2	MN2
通常	H	L	ON	OFF	OFF	OFF
	L	L	OFF	ON	OFF	OFF
駆動能力 2倍	H	H	ON	OFF	ON	OFF
	L	H	OFF	ON	OFF	ON

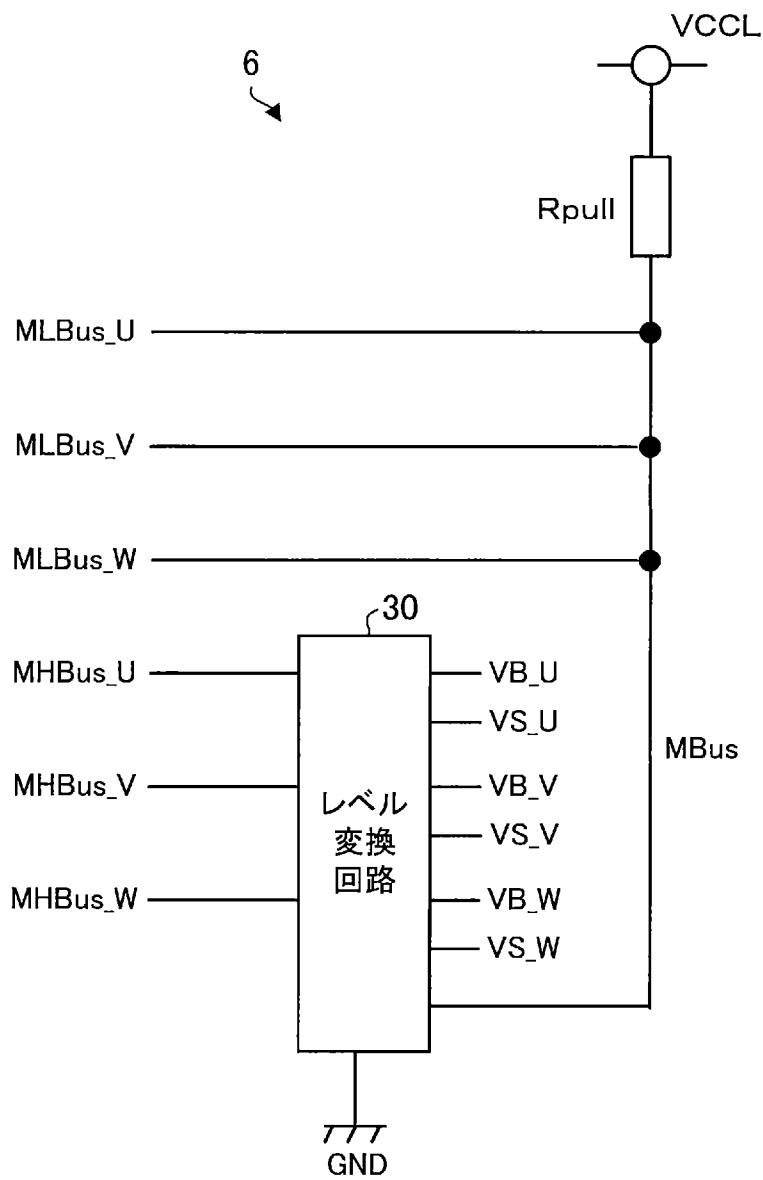
[図5]



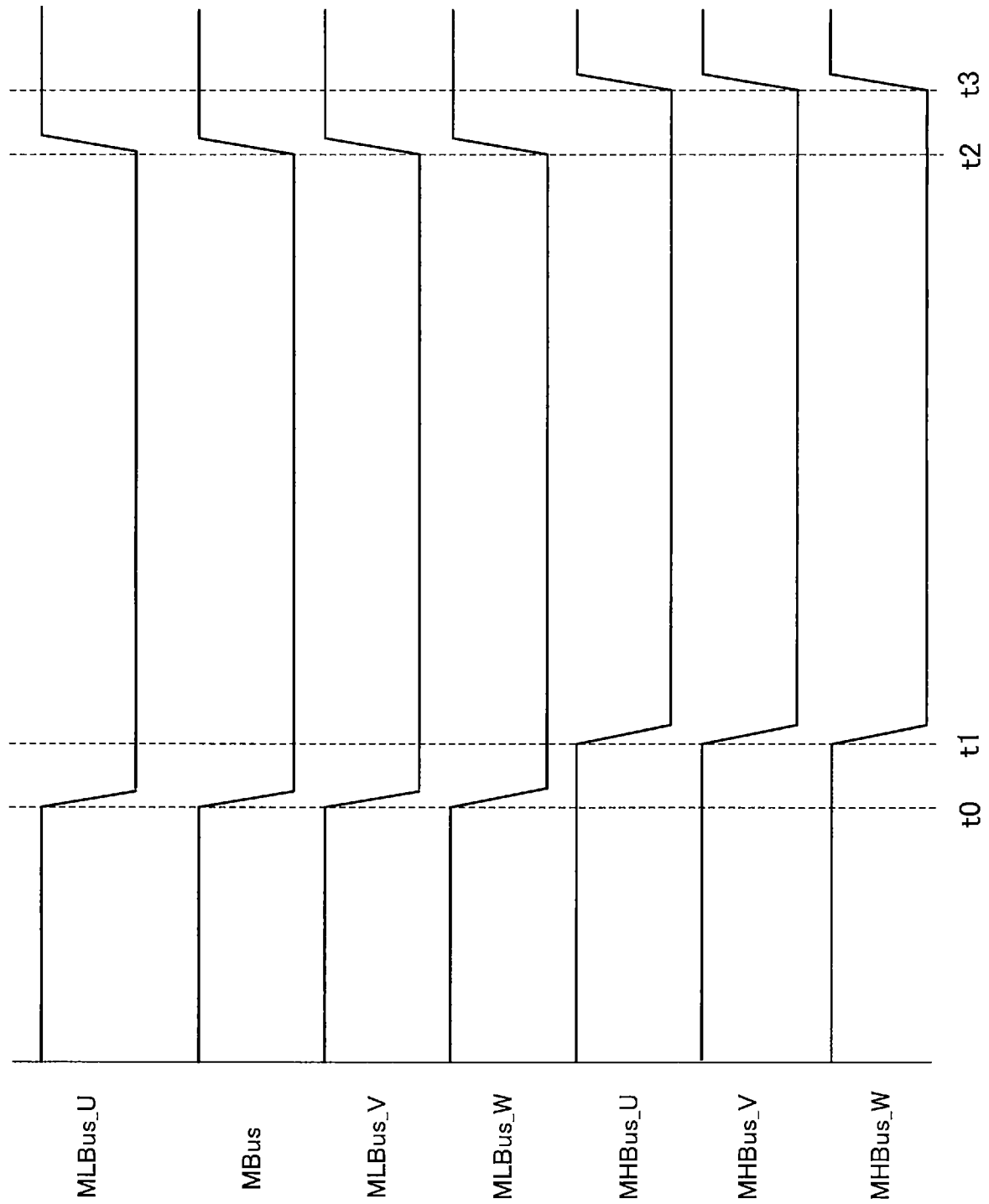
[図6]



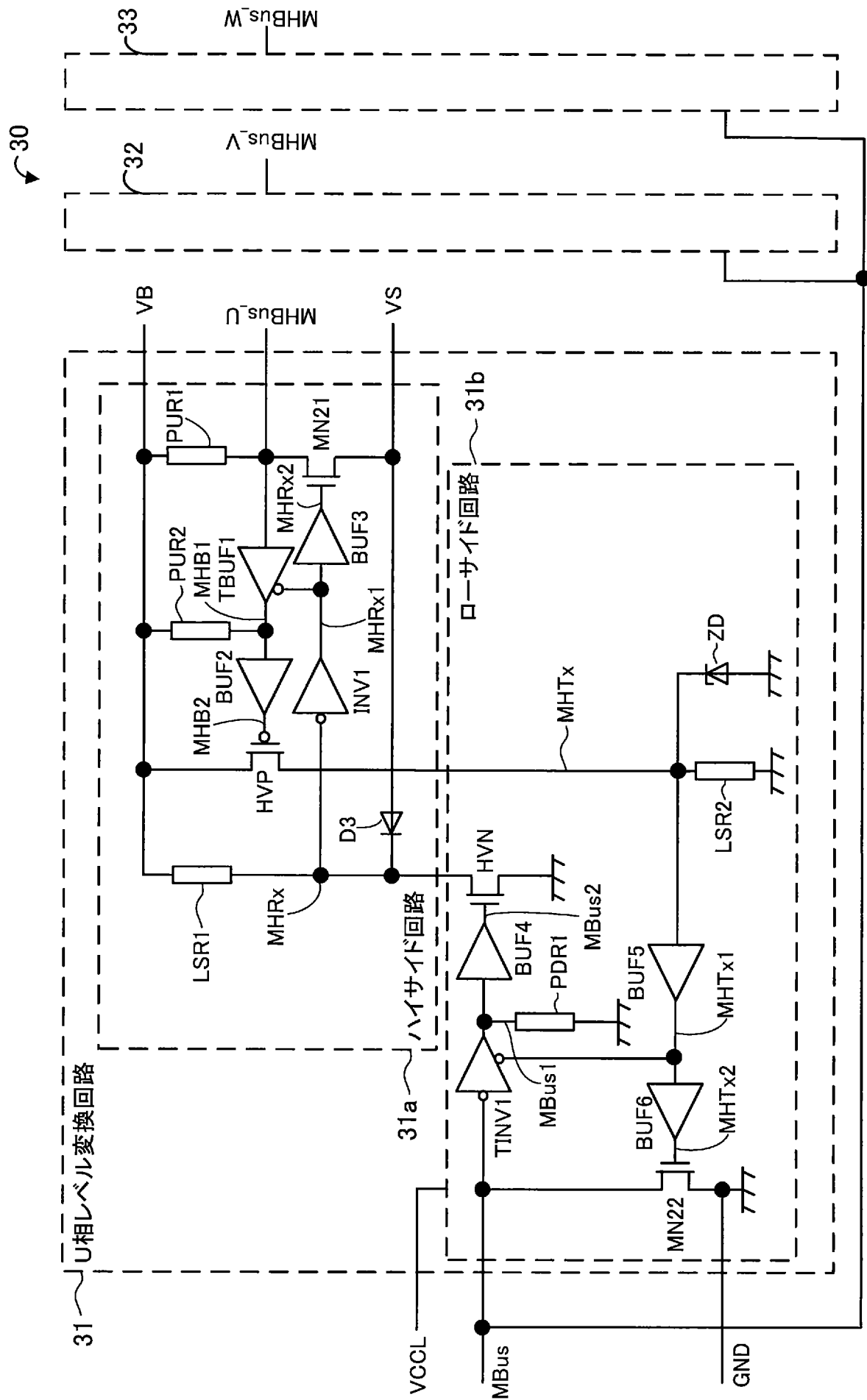
[図7]



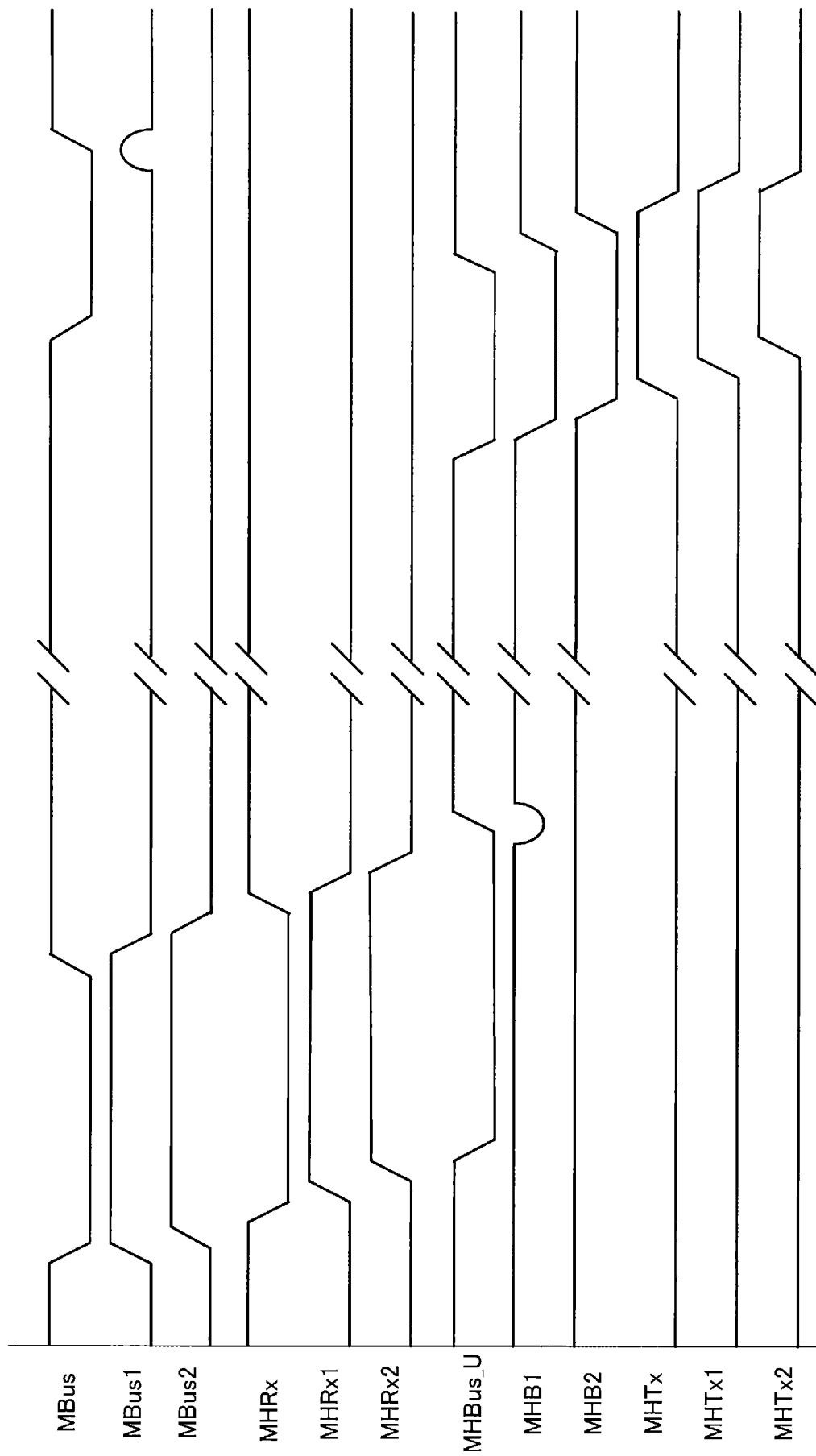
[図8]



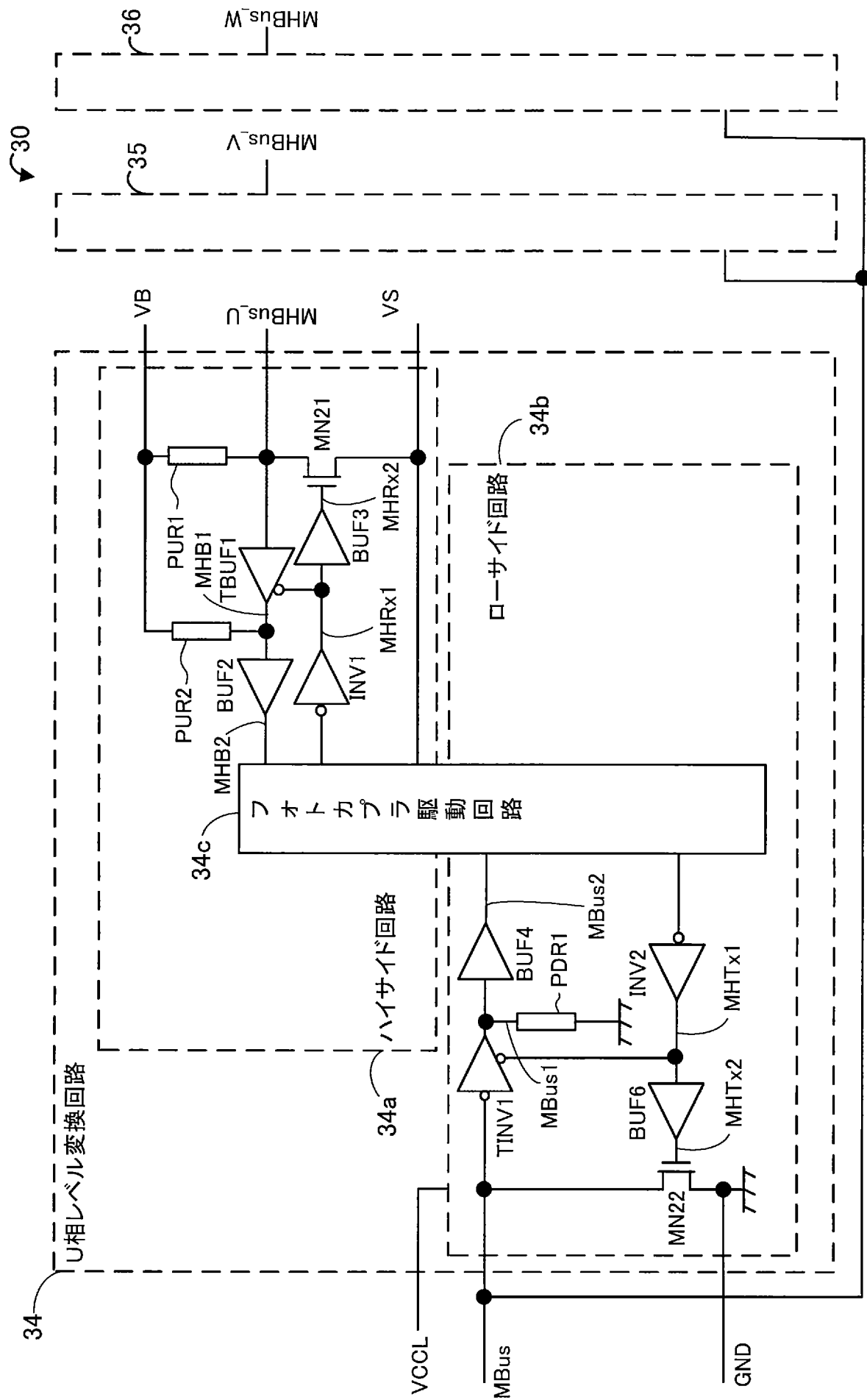
[図9]



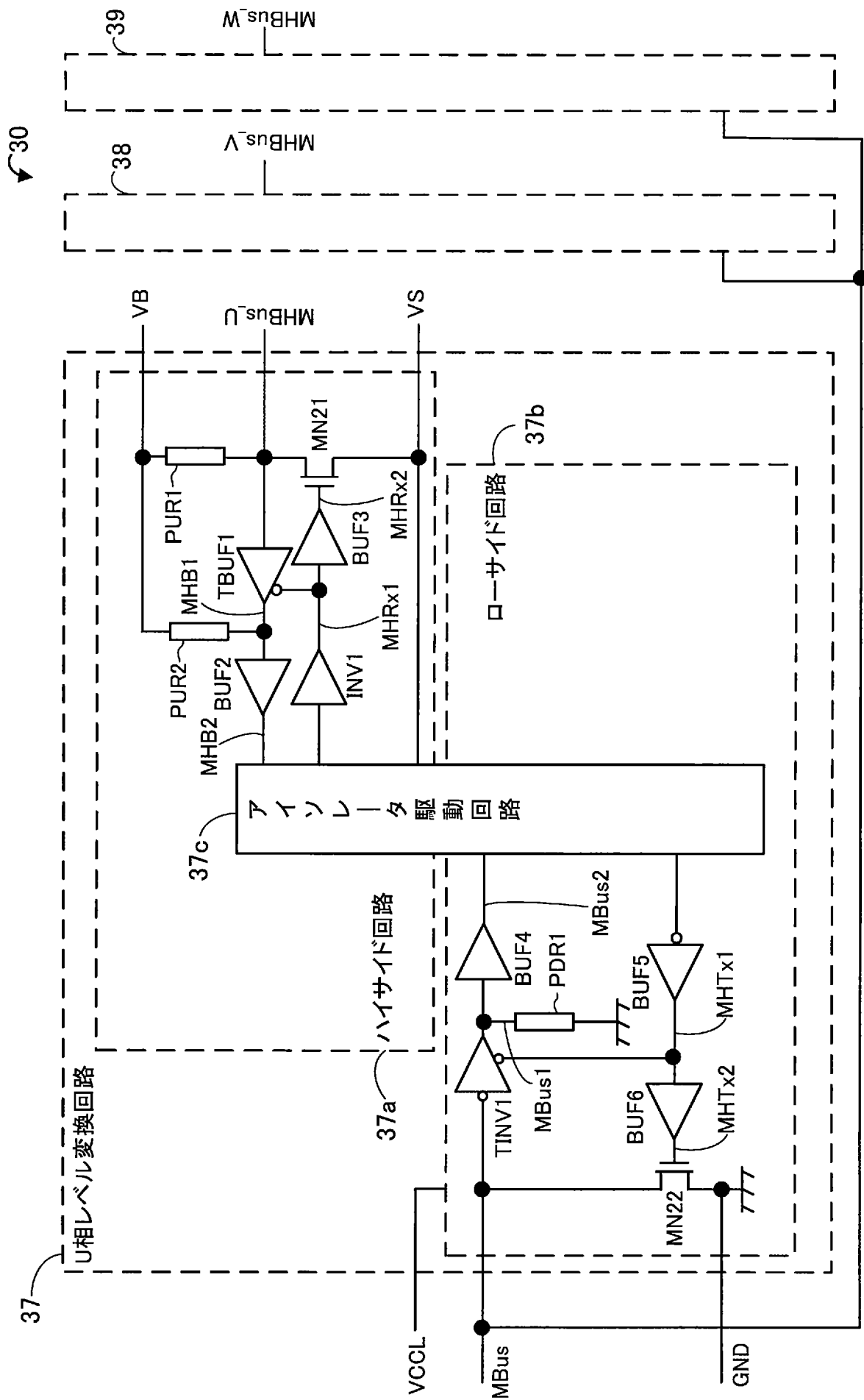
[図10]



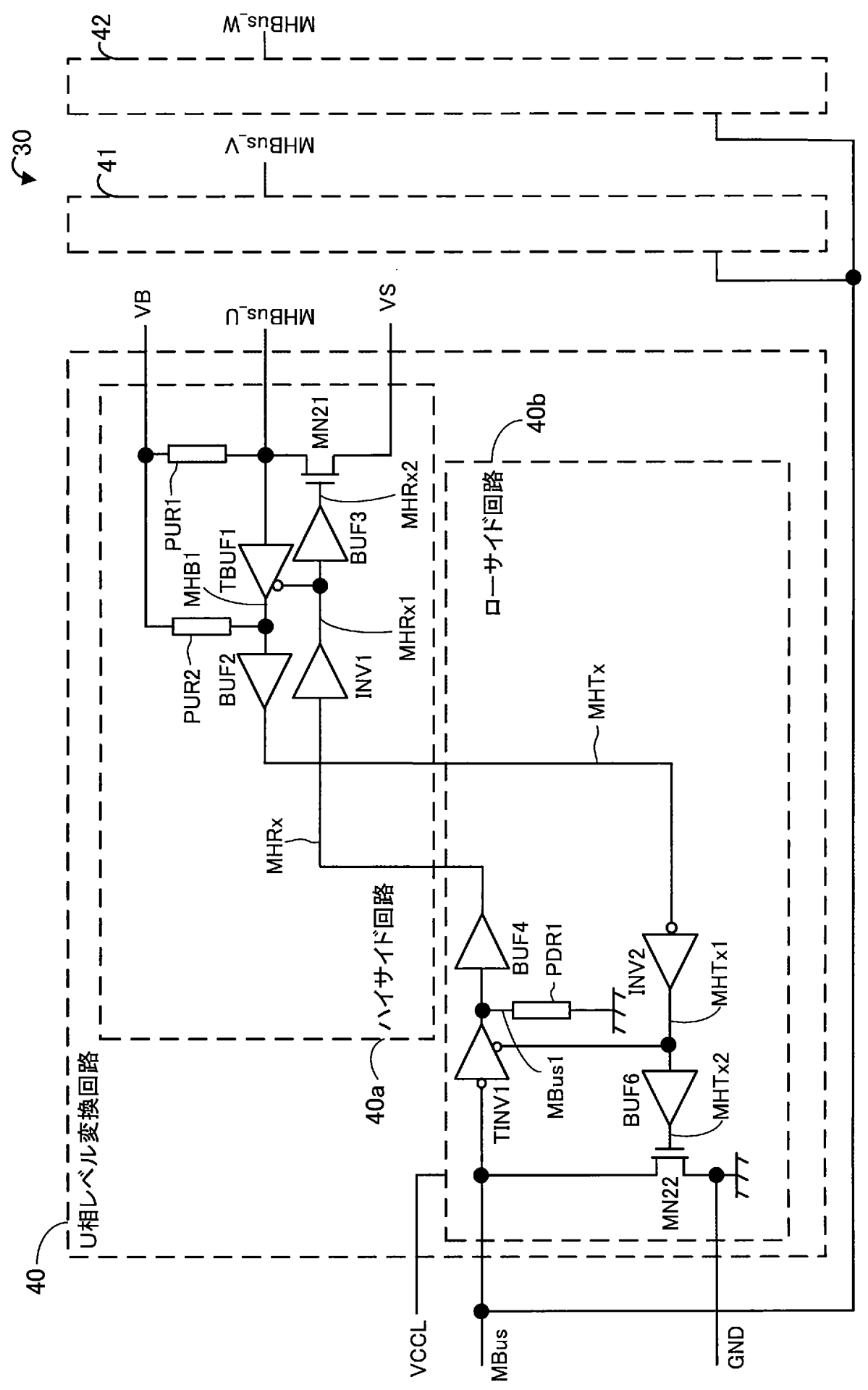
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003479

A. CLASSIFICATION OF SUBJECT MATTER

H02M 1/00 (2007.01) i; H02M 1/08 (2006.01) i; H02M 7/48 (2007.01) i; H03K 17/08 (2006.01) i; H03K 17/567 (2006.01) i

FI: H02M1/08 A; H02M7/48 M; H03K17/08 Z; H03K17/567; H02M1/00 R;
H02M1/00 H

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/00; H02M1/08; H02M7/48; H03K17/08; H03K17/567

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-120381 A (HITACHI AUTOMOTIVE SYSTEMS, LTD.) 16.06.2011 (2011-06-16) entire text, all drawings	1-16
A	JP 2018-182927 A (RENESAS ELECTRONICS CORP.) 15.11.2018 (2018-11-15) entire text, all drawings	1-16
A	JP 2018-57072 A (DENSO CORP.) 05.04.2018 (2018-04-05) entire text, all drawings	1-16
A	JP 2014-150696 A (DENSO CORP.) 21.08.2014 (2014-08-21) entire text, all drawings	1-16
A	JP 2018-157670 A (FUJI ELECTRIC CO., LTD.) 04.10.2018 (2018-10-04) entire text, all drawings	1-16
A	JP 2017-93065 A (MITSUBISHI ELECTRIC CORP.) 25.05.2017 (2017-05-25) entire text, all drawings	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 April 2020 (13.04.2020)Date of mailing of the international search report
28 April 2020 (28.04.2020)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003479

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-6464 A (HITACHI, LTD.) 06.01.2005 (2005-01-06) paragraphs [0053], [0054], fig. 4	1-14
Y	paragraphs [0053], [0054], fig. 4	15, 16
A	JP 2012-10544 A (FUJI ELECTRIC CO., LTD.) 12.01.2012 (2012-01-12) paragraphs [0014], [0015], fig. 1	1-14
Y	paragraphs [0014], [0015], fig. 1	15, 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003479

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention as in claim 1 and the invention as in claim 15 share a common technical feature of a power module provided with a low-side control circuit and a high-side control circuit. However, this feature is so well known that it is not necessary to cite examples, and does not make a contribution over the prior art, and is thus not considered to be a special technical feature. Furthermore, the invention as in claim 1 and the invention as in claim 15 do not share other identical or corresponding special technical features.

Therefore, the invention as in claims 1-14 and the invention as in claims 15 and 16 do not satisfy the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/003479

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2011-120381 A	16 Jun. 2011	(Family: none)	
JP 2018-182927 A	15 Nov. 2018	US 2018/0301977 A1 entire text, all drawings EP 3389186 A1 CN 108736696 A KR 10-2018-0116142 A	
JP 2018-57072 A	05 Apr. 2018	US 2019/0181853 A1 entire text, all drawings WO 2018/055864 A1 CN 109792201 A	
JP 2014-150696 A	21 Aug. 2014	US 2014/0218099 A1 entire text, all drawings	
JP 2018-157670 A	04 Oct. 2018	US 2018/0269867 A1 entire text, all drawings CN 108631559 A	
JP 2017-93065 A	25 May 2017	US 2017/0134018 A1 entire text, all drawings CN 106849018 A	
JP 2005-6464 A	06 Jan. 2005	US 2004/0252432 A1 paragraphs [0059]- [0061], fig. 4	
JP 2012-10544 A	12 Jan. 2012	US 2008/0074819 A1 US 2011/0317315 A1 paragraphs [0022]- [0025], fig. 1 CN 102299507 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 1/00(2007.01)i; H02M 1/08(2006.01)i; H02M 7/48(2007.01)i; H03K 17/08(2006.01)i; H03K 17/567(2006.01)i FI: H02M1/08 A; H02M7/48 M; H03K17/08 Z; H03K17/567; H02M1/00 R; H02M1/00 H		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H02M1/00; H02M1/08; H02M7/48; H03K17/08; H03K17/567		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-120381 A（日立オートモティブシステムズ株式会社）16.06.2011（2011-06-16） 全文，全図	1-16
A	JP 2018-182927 A（ルネサスエレクトロニクス株式会社）15.11.2018（2018-11-15） 全文，全図	1-16
A	JP 2018-57072 A（株式会社デンソー）05.04.2018（2018-04-05） 全文，全図	1-16
A	JP 2014-150696 A（株式会社デンソー）21.08.2014（2014-08-21） 全文，全図	1-16
A	JP 2018-157670 A（富士電機株式会社）04.10.2018（2018-10-04） 全文，全図	1-16
A	JP 2017-93065 A（三菱電機株式会社）25.05.2017（2017-05-25） 全文，全図	1-16
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 13.04.2020		国際調査報告の発送日 28.04.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 匡 5G 9650 電話番号 03-3581-1101 内線 3526

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-6464 A (株式会社日立製作所) 06.01.2005 (2005 - 01 - 06) 段落 5 3, 5 4, 図 4	1-14
Y	段落 5 3, 5 4, 図 4	15, 16
A	JP 2012-10544 A (富士電機株式会社) 12.01.2012 (2012 - 01 - 12) 段落 1 4, 1 5, 図 1	1-14
Y	段落 1 4, 1 5, 図 1	15, 16

第Ⅲ欄 発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求項１に係る発明と請求項１５に係る発明とは、ローサイド制御回路とハイサイド制御回路を備えたパワーモジュールという共通の技術的特徴を有しているものの、引例を示すまでも無く周知の技術であり、先行技術に対する貢献をもたらすものではないから、特別な技術的特徴であるとはいえない。また、請求項１に係る発明と、請求項１５に係る発明との間に、他に同一の又は対応する特別な技術的特徴は存在しない。

したがって、請求項１－１４に係る発明と、請求項１５、１６に係る発明は、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の
申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/003479

引用文献			公表日	パテントファミリー文献	公表日
JP	2011-120381	A	16.06.2011	(ファミリーなし)	
JP	2018-182927	A	15.11.2018	US 2018/0301977	A1
				全文, 全図	
				EP 3389186	A1
				CN 108736696	A
				KR 10-2018-0116142	A
JP	2018-57072	A	05.04.2018	US 2019/0181853	A1
				全文, 全図	
				WO 2018/055864	A1
				CN 109792201	A
JP	2014-150696	A	21.08.2014	US 2014/0218099	A1
				全文, 全図	
JP	2018-157670	A	04.10.2018	US 2018/0269867	A1
				全文, 全図	
				CN 108631559	A
JP	2017-93065	A	25.05.2017	US 2017/0134018	A1
				全文, 全図	
				CN 106849018	A
JP	2005-6464	A	06.01.2005	US 2004/0252432	A1
				段落 5 9 - 6 1, 図 4	
				US 2008/0074819	A1
JP	2012-10544	A	12.01.2012	US 2011/0317315	A1
				段落 2 2 - 2 5, 図 1	
				CN 102299507	A