

PCT

明 細 書

発明の名称：

設計支援方法、設計支援装置、設計支援プログラム、および半導体集積回路

技術分野

[0001] 本発明は、レイアウトデータの設計を支援する設計支援方法、設計支援装置、設計支援プログラム、および半導体集積回路に関する。

背景技術

[0002] 従来、半導体集積回路の消費電力を低減させる技術として、動作に必要なではない回路へのクロック信号または電源電圧の供給を止めるクロックゲーティングやパワーゲーティング（以下、「第1の従来技術」と称す。）が知られている。さらに、半導体集積回路の消費電力を低減させる技術として、低電圧化や多電源化（以下、「第2の従来技術」と称す。）が知られている。

[0003] また、従来、クロックスキューの低減およびノイズを減少させる技術として、クロック信号の立ち上がりエッジに同期してデータを取り込むデータ保持素子（以下、「第1のFF（Flip Flop）」と称す。）やクロック信号の立ち下がりエッジに同期してデータを取り込むデータ保持素子（以下、「第2のFF」と称す。）を用いること（以下、第3の従来技術と称す。）が知られている（たとえば、下記特許文献1～3を参照。）。

先行技術文献

特許文献

[0004] 特許文献1：特開2000-29562号公報

特許文献2：特開2003-347404号公報

特許文献3：特開2007-110403号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、第1の従来技術では、クロックパスを常時動作させる必要がある回路では適用することが出来ないという問題点があった。また、第2の従来技術では、クロックパスを常に高速で動作させる場合、電源電圧を下げるために半導体集積回路内の動作が遅くなるため、電源電圧を下げる事ができないという問題点があった。

[0006] また、第3の従来技術では、ゲート段数が複数段であるクロックバッファを用いて第1のFFおよび第2のFFに入力されるクロック信号を伝播している。そのため、正論理が必要な場合、必ずゲート段数2段、もしくはゲート段数2段以上の偶数段の正論理であるクロックバッファが挿入されるため、クロックパス上のゲート段数が増大してしまう問題点があった。

課題を解決するための手段

[0007] 上述した課題を解決するため、本発明の一観点によれば、レイアウトデータ内から、クロック供給源からのクロック信号を伝播し、クロックバッファがゲート段数1段の反転論理であるクロックパスを検出する検出手段と、前記検出手段により検出されたクロックパスに接続されているデータ保持素子を順次選択する選択手段と、前記選択手段によりデータ保持素子が選択される都度、前記データ保持素子の入力元であるクロックバッファを特定する特定手段と、前記クロック供給源から前記特定手段により特定されたクロックバッファまでのゲート段数に基づいて前記クロックバッファが前記クロック供給源からの前記クロック信号を正論理で出力するか、反転論理で出力するかを判断する判断手段と、前記判断手段により判断された判断結果に基づいて、前記データ保持素子を、前記クロック信号の立ち上がりに同期してデータを取り込む第1のデータ保持素子、または前記クロック信号の立ち下がりエッジに同期してデータを取り込む第2のデータ保持素子に置換する置換手段と、前記置換手段により置換された置換結果を出力する出力手段と、を備える設計支援方法が提供される。

発明の効果

[0008] 本設計支援方法、設計支援装置、設計支援プログラム、および半導体集積

回路によればゲート段数 1 段のクロックバッファを用いて、クロックパス上のゲート段数を容易に最適化して低消費電力化を図ることができるという効果を奏する。

図面の簡単な説明

- [0009] [図1]実施の形態 1 にかかる半導体集積回路の一例を示す説明図である。
- [図2-1] 第 1 の F F の一例を示す説明図である。
- [図2-2] 第 2 の F F の一例を示す説明図である。
- [図3] クロックバッファの例を示す説明図である。
- [図4] 設計対象のレイアウトデータを示す説明図である。
- [図5] 実施の形態 2 にかかる設計支援装置のハードウェア構成例を示すブロック図である。
- [図6] 実施の形態 2 にかかる設計支援装置の機能的構成例を示すブロック図である。
- [図7] レイアウトデータ 4 0 0 内の F F が置換されて出力された例を示す説明図である。
- [図8] スキューを調整済のレイアウトデータを示す説明図である。
- [図9] レイアウトデータ 8 0 0 内の F F が置換されて出力された例を示す説明図である。
- [図10] 実施の形態 2 にかかる設計支援装置 6 0 0 の設計支援処理手順を示すフローチャートである。
- [図11] 図 1 0 に示した置換処理（ステップ S 1 0 0 3 / S 1 0 0 6）の詳細な処理手順を示すフローチャートである。

発明を実施するための形態

- [0010] 以下に添付図面を参照して、本発明の実施の形態による設計支援方法、設計支援装置、設計支援プログラム、および半導体集積回路について説明する。
- [0011] 本発明の実施形態では、クロック供給源からのクロック信号を伝播するクロックパスに接続されているデータ保持素子の入力元であるクロックバッ

ァが、ゲート段数 1 段の反転論理により構成されている。なお、本実施の形態ではデータ保持素子として F F を用いて説明する。そして、各 F F は、クロック供給源から当該 F F の入力元であるクロックバッファまでのゲート段数が偶数段であれば、上述した第 1 の F F であり、奇数段であれば、上述した第 2 の F F である。

[0012] まず、実施の形態 1 では、ゲート段数 1 段のクロックバッファによりゲート段数が最適化されたクロックパスを有する半導体集積回路について説明する。つぎに、実施の形態 2 では、上述したクロックパスに接続されている F F を、第 1 の F F または第 2 の F F に置換する設計支援装置について説明する。まず、図 1 にて実施の形態 1 の概要を示す。

[0013] (実施の形態 1)

図 1 は、実施の形態 1 にかかる半導体集積回路の一例を示す説明図である。半導体集積回路 100 は、クロック入力端子から入力されるクロック信号を伝播するクロックパス 101 と、クロックパス 101 に接続されている F F 1 ~ F F 3 と、ゲート段数 1 段であり、クロックパス 101 上の B U F 1 ~ B U F 5 により構成されている。実施の形態 1 では、クロック入力端子をクロック供給源として説明するが、クロック信号を生成するクロック生成回路などがクロック供給源であってもよい。

[0014] B U F 1 ~ B U F 5 は、ゲート段数 1 段の反転論理であるクロックバッファである。半導体集積回路 100 では、F F 1 ~ 3 の入力元であるクロックバッファがクロック入力端子からのクロック信号を正論理で出力するか否かに応じて、各 F F が、クロック信号の立ち上がりエッジに同期してデータを取り込むか、立ち下がりエッジに同期してデータを取り込む。

[0015] まず、F F 1 を例に挙げると、クロック入力端子から F F 1 の入力元である B U F 3 までのゲート段数は 3 段である。したがって、F F 1 は、第 2 の F F である。つぎに、F F 2 を例に挙げると、クロック入力端子から F F 2 の入力元である B U F 4 までのゲート段数は 4 段である。したがって、F F 2 は、第 1 の F F である。

[0016] 最後に、FF 3 を例に挙げると、クロック入力端子から FF 3 の入力元である BUF 5 までのゲート段数は 5 段である。したがって、FF 3 は、第 2 の FF である。これにより、ゲート段数 1 段のクロックバッファによりクロックパスが構成されることで、最小限のゲート段数でクロックパスが構成される。したがって、半導体集積回路の低消費電力化を図ることができる。

[0017] (実施の形態 2)

つぎに、実施の形態 2 では、クロックバッファがゲート段数 1 段であるクロックパスに接続されている FF を、FF の入力元であるクロックバッファがクロック供給源からのクロック信号を正論理で出力するか否かにより第 1 の FF または第 2 の FF に置換する。これにより、クロックパス上のゲート段数を可能な限り削減し、低消費電力化を図ることができる。まず、図 2-1 および図 2-2 により第 1 の FF および第 2 の FF の一例を示す。

[0018] 図 2-1 は、第 1 の FF の一例を示す説明図である。＜レイアウトデータ＞では、第 1 の FF 201 のレイアウトデータを示している。第 1 の FF 201 は、クロック信号の立ち上がりエッジに同期してデータを取り込む FF の一例である。第 1 の FF 201 は、レイアウトデータであるが、理解の容易化のために回路図で示されている。

[0019] 第 1 の FF 201 では、CK に入力されるクロック信号の立ち上がりエッジに同期して D に入力されるデータを内部に取り込み、Q から出力する。＜シンボル＞では、第 1 の FF 201 のシンボルを示している。後述する半導体集積回路のレイアウトデータ内では、第 1 の FF 201 をシンボルで表記する。なお、第 1 の FF 201 は、ライブラリ内に記述され、記憶装置またはアクセス可能な外部のコンピュータの記憶装置に記憶されている。つぎに、図 2-2 にて第 2 の FF を示す。

[0020] 図 2-2 は、第 2 の FF の一例を示す説明図である。＜レイアウトデータ＞では、第 2 の FF 202 のレイアウトデータを示している。第 2 の FF 202 は、クロック信号の立ち下がりエッジに同期してデータを取り込む FF の一例である。第 2 の FF 202 は、レイアウトデータであるが、理解の容

易化のために回路図で示されている。

[0021] 第2のFF202では、 $\neg CK$ に入力されるクロック信号の立ち下がりエッジに同期してDに入力されるデータを内部に取り込み、Qから出力する。〈シンボル〉では、第2のFF202のシンボルを示している。後述する半導体集積回路のレイアウトデータ内では、第2のFF202をシンボルで表記する。なお、第2のFF202は、ライブラリ内に記述され、記憶装置またはアクセス可能な外部のコンピュータの記憶装置に記憶されている。つぎに、図3にてクロックバッファの例を示す。

[0022] 図3は、クロックバッファの例を示す説明図である。クロックバッファ301は、ゲート段数1段により構成されている。クロックバッファ301は、反転論理である。つぎに、クロックバッファ302は、ゲート段数2段により構成されている。クロックバッファ302は、正論理である。そして、クロックバッファ303は、ゲート段数3段により構成されている。クロックバッファ303は、反転論理である。

[0023] 従来では、反転論理が必要な場合、クロックバッファ303が利用されていたが、本実施の形態では、クロックバッファ301が利用される。したがって、本実施の形態では、クロックバッファ301によりクロックツリーが構築またはスキューが調整される。

[0024] (設計対象のレイアウトデータ)

図4は、設計対象のレイアウトデータを示す説明図である。レイアウトデータ400は、クロック入力端子へ入力されるクロック信号を伝播するクロックパス401と、クロックパス401に接続されているFF1～FF3と、組み合わせ回路と、クロックバッファ301であるBUF1～BUF4を含む構成である。

[0025] レイアウトデータ400は、理解の容易化のために回路図で示されているが、実際には、物理情報である。たとえば、FF1～FF3、およびBUF1～BUF4は、インスタンス名であり、各FFを特定するための名前である。そして、物理情報では、配置位置を示す座標と、セル同士の接続関係と

、各セルを構成する層情報と、配線幅などの情報を有している。たとえば、FF 1が第1のFF 201に置換されることは、実際には、物理情報内のFF 1のセル名が書き換えられていることを示す。

[0026] まず、レイアウトデータ400では、FF 1～FF 3が、第1のFF 201である。実際には、FF 1～FF 3は、第1のFF 201および第2のFF 202のいずれのFFであってもよい。または、たとえば、FF 1～FF 3は、第1のFF 201および第2のFF 202と同一形状、同一面積であるダミーのFFであってもよい。

[0027] つぎに、BUF 1～BUF 4は、すべて上述したクロックバッファ301である。そして、レイアウトデータ400では、クロック入力端子をクロック供給源として説明するが、これに限らない。たとえば、クロック信号を生成するクロック生成回路をクロック供給源としてもよい。

[0028] 本実施の形態2にかかる設計支援装置により、FF 1～FF 3が、第1のFF 201、または第2のFF 202に置換される。なお、レイアウトデータ400は、記憶装置またはアクセス可能な外部のコンピュータの記憶装置に記憶されている。

[0029] (設計支援装置のハードウェア構成)

図5は、実施の形態2にかかる設計支援装置のハードウェア構成例を示すブロック図である。図5において、設計支援装置は、CPU (Central Processing Unit) 501と、ROM (Read-Only Memory) 502と、RAM (Random Access Memory) 503と、磁気ディスクドライブ504と、磁気ディスク505と、光ディスクドライブ506と、光ディスク507と、ディスプレイ508と、I/F (Interface) 509と、キーボード510と、マウス511と、スキャナ512と、プリンタ513と、を備えている。また、各構成部はバス500によってそれぞれ接続されている。

[0030] ここで、CPU 501は、設計支援装置の全体の制御を司る。ROM 502は、ブートプログラムなどのプログラムを記憶している。RAM 503は

、CPU 501のワークエリアとして使用される。磁気ディスクドライブ504は、CPU 501の制御にしたがって磁気ディスク505に対するデータのリード／ライトを制御する。磁気ディスク505は、磁気ディスクドライブ504の制御で書き込まれたデータを記憶する。

[0031] 光ディスクドライブ506は、CPU 501の制御にしたがって光ディスク507に対するデータのリード／ライトを制御する。光ディスク507は、光ディスクドライブ506の制御で書き込まれたデータを記憶したり、光ディスク507に記憶されたデータをコンピュータに読み取らせたりする。

[0032] ディスプレイ508は、カーソル、アイコンあるいはツールボックスをはじめ、文書、画像、機能情報などのデータを表示する。このディスプレイ508は、たとえば、CRT、TFT液晶ディスプレイ、プラズマディスプレイなどを採用することができる。

[0033] I/F 509は、通信回線を通じてLAN (Local Area Network)、WAN (Wide Area Network)、インターネットなどのネットワーク514に接続され、このネットワーク514を介して他の装置に接続される。そして、I/F 509は、ネットワーク514と内部のインターフェースを司り、外部装置からのデータの入出力を制御する。I/F 509には、たとえばモデムやLANアダプタなどを採用することができる。

[0034] キーボード510は、文字、数字、各種指示などの入力のためのキーを備え、データの入力をおこなう。また、タッチパネル式の入力パッドやテンキーなどであってもよい。マウス511は、カーソルの移動や範囲選択、あるいはウィンドウの移動やサイズの変更などをおこなう。ポインティングデバイスとして同様に機能を備えるものであれば、トラックボールやジョイスティックなどであってもよい。

[0035] スキャナ512は、画像を光学的に読み取り、設計支援装置内に画像データを取り込む。なお、スキャナ512は、OCR (Optical Character Reader) 機能を持たせてもよい。また、プリンタ51

3は、画像データや文書データを印刷する。プリンタ513には、たとえば、レーザプリンタやインクジェットプリンタを採用することができる。

[0036] (設計支援装置の機能的構成)

図6は、実施の形態2にかかる設計支援装置の機能的構成例を示すブロック図である。設計支援装置600は、生成部601と、検出部602と、選択部603と、特定部604と、判断部605と、置換部606と、出力部607と、を含む構成である。設計支援装置600の制御部となる機能(生成部601～出力部607)は、具体的には、たとえば、図5に示したROM502、RAM503、磁気ディスク505、光ディスク507などの記憶装置に記憶されたプログラムをCPU501に実行させることにより、または、I/F509により、その機能を実現する。

[0037] まず、生成部601は、少なくとも指定されたクロックパスにゲート段数が1段の反転論理であるクロックバッファのセルを用いてクロックツリーを構築することによりレイアウトデータを生成する機能を有する。

[0038] 具体的には、たとえば、CPU501が、指定されたクロックパスがクロックバッファ301のみでクロックツリーを構築するように指定し、既存のクロックツリーを構築するツールを実行することでクロックツリー構築後のレイアウトデータを生成する。なお、生成結果は、RAM503、磁気ディスク505、光ディスク507などの記憶装置に記憶される。

[0039] 生成結果が、たとえば、上述したレイアウトデータ400である。これにより、ゲート段数1段のクロックバッファを用いてクロックツリーを構築することで、クロックパス上のゲート段数が最適化される。したがって、クロックパス上のゲート段数を可能な限り削減し、低消費電力化を図ることができる。

[0040] つぎに、検出部602は、生成部601により生成されたレイアウトデータ内から、クロック供給源からのクロック信号を伝播し、クロックバッファがゲート段数1段の反転論理であるクロックパスを検出する。具体的には、たとえば、CPU501が、記憶装置にアクセスしてレイアウトデータ400

0からクロックバッファ301のみを使用しているクロックパスを検出する。また、たとえば、予め利用者により指定されているクロックパスを検出することとしてもよい。

[0041] レイアウトデータ400では、クロックバッファがゲート段数1段の反転論理であるクロックパスとして、クロックパス401が検出される。なお、検出結果は、一旦RAM503、磁気ディスク505、光ディスク507などの記憶装置に記憶される。

[0042] そして、選択部603は、検出部602により検出されたクロックパスに接続されているFFを順次選択する機能を有する。具体的には、たとえば、CPU501が、レイアウトデータ400からクロックパス401に接続されているFFを順次選択する。たとえば、まず、FF1が選択され、つぎに、FF2が選択され、最後に、FF3が選択される。

[0043] 特定部604は、選択部603により選択されたFFの入力元であるクロックバッファを特定する機能を有する。具体的には、たとえば、クロックパス401に接続されているFF1を例に挙げると、CPU501が、レイアウトデータ400からFF1のCKに接続されているネットを検出する。そして、検出したネットが出力先として接続されているクロックバッファをFF1の入力元として特定する。したがって、FF1の入力元としてBUF3が特定される。

[0044] 判断部605は、クロック供給源から特定部604により特定されたクロックバッファまでのゲート段数に基づいて、当該クロックバッファがクロック供給源からのクロック信号を正論理で出力するか否かを判断する機能を有する。

[0045] 具体的には、たとえば、CPU501が、記憶装置にアクセスしてレイアウトデータ400を読み出し、クロック入力端子から特定されたクロックバッファまでのゲート段数を検出する。そして、検出されたゲート段数が偶数段の場合、特定されたクロックバッファがクロック信号を正論理で出力すると判断し、奇数段の場合、特定されたクロックバッファがクロック信号を反

転論理で出力すると判断する。

- [0046] レイアウトデータ 400 内の FF 1 の入力元である BUF 3 を例に挙げると、クロック入力端子から BUF 3 までのゲート段数は、3 段である。したがって、BUF 3 は、クロック入力端子からのクロック信号を反転論理で出力すると判断される。なお、判断結果は、一旦、RAM 503、磁気ディスク 505、光ディスク 507 などの記憶装置に記憶される。
- [0047] つぎに、置換部 606 は、判断部 605 により正論理で出力すると判断された場合、選択された FF を第 1 の FF に置換し、反転論理で出力すると判断された場合、第 2 の FF に置換する。
- [0048] 具体的には、たとえば、CPU 501 が、記憶装置にアクセスしてレイアウトデータ 400 と判断結果を読み出す。そして、判断結果が偶数段の場合、レイアウトデータ 400 内の選択された FF を第 1 の FF 201 に置換し、奇数段の場合、レイアウトデータ 400 内の選択された FF を第 2 の FF 202 に置換する。
- [0049] レイアウトデータ 400 内の FF 1 を例に挙げると、上述したように FF 1 の入力元である BUF 3 は、クロック入力端子からのクロック信号を反転論理で出力すると判断されているため、FF 1 は第 2 の FF 202 に置換される。
- [0050] つぎに、出力部 607 は、置換部 606 により置換された置換結果を出力する。具体的には、たとえば、CPU 501 が、レイアウトデータを出力する。出力形式としては、たとえば、ディスプレイ 508 への表示、プリンタ 513 への印刷出力、I/F 509 による外部装置への送信がある。また、RAM 503、磁気ディスク 505、光ディスク 507 などの記憶領域に記憶することとしてもよい。図 5 にて出力されたレイアウトデータを示す。
- [0051] 図 7 は、レイアウトデータ 400 内の FF が置換されて出力された例を示す説明図である。レイアウトデータ 700 は、クロック入力端子からのクロック信号を伝播するクロックパス 401 と、クロックパス 401 に接続されている第 2 の FF 202 である FF 1 および FF 2 と、クロックパス 401

に接続されている第１のＦＦ２０１であるＦＦ３と、クロックバッファであるＢＵＦ１～ＢＵＦ４である。

[0052] これにより、ゲート段数が最適化されているクロックパスに接続されているＦＦが、クロック信号の波形に応じた適切なＦＦに自動で置換される。したがって、最小限のゲート段数であるクロックパスを有するレイアウトデータを容易に設計でき、低消費電力化を図ることができる。

[0053] また、生成部６０１は、ゲート段数１段の反転論理であるクロックバッファのみを用いて少なくとも指定されたクロックパスのスキューを調整することによりレイアウトデータを生成する機能を有する。具体的には、たとえば、ＣＰＵ５０１が、クロックバッファ３０１のみでスキューを調整するように指定し、既存のスキューを調整するツールを実行することでレイアウトデータ７００からスキューを調整済のレイアウトデータを生成する。なお、生成結果は、ＲＡＭ５０３、磁気ディスク５０５、光ディスク５０７などの記憶装置に記憶される。図８にて生成結果を示す。

[0054] 図８は、スキューを調整済のレイアウトデータを示す説明図である。レイアウトデータ８００は、ＢＵＦ５とＢＵＦ６を含み、その他はレイアウトデータ７００で示した構成と同一構成である。これにより、ゲート段数１段のクロックバッファを用いてスキューが調整されることで、クロックパス上のゲート段数が最適化される。したがって、クロックパス上のゲート段数を可能な限り削減し、低消費電力化を図ることができる。

[0055] 図６に戻って、検出部６０２は、生成部６０１により生成されたスキューを調整済のレイアウトデータ８００内から、クロック供給源からのクロック信号を伝播し、クロックバッファがゲート段数１段の反転論理であるクロックパスを検出する。具体的には、たとえば、ＣＰＵ５０１が、記憶装置にアクセスしてレイアウトデータ８００からクロックバッファ３０１のみを使用しているクロックパスを検出する。また、たとえば、利用者により予め指定されているクロックパスを検出することとしてもよい。

[0056] レイアウトデータ８００では、クロックバッファがゲート段数１段の反転

論理であるクロックパスとして、クロックパス 801 が検出される。なお、検出結果は、一旦 RAM 503、磁気ディスク 505、光ディスク 507 などの記憶装置に記憶される。

[0057] つぎに、再度、上述した選択部 603～出力部 607 の機能により、レイアウトデータ 800 内のクロックパス 801 に接続されている FF が、第 1 の FF 201 または第 2 の FF 202 に置換される。図 9 にて置換結果を示す。

[0058] 図 9 は、レイアウトデータ 800 内の FF が置換されて出力された例を示す説明図である。レイアウトデータ 900 は、クロック入力端子から FF 2 の入力元である BUF 5 までのゲート段数が、4 段である。そのため、FF 2 が第 1 の FF 201 に置換されている。なお、その他の構成は、レイアウトデータ 800 と同一構成である。これにより、スキューを調整済のレイアウトデータであっても FF を容易に置換することができ、クロックパス上のゲート段数を最小限に抑え低消費電力化を図ることができる。

[0059] 実施の形態 2 では、クロック供給源から FF の入力元であるクロックバッファまでのゲート段数に基づいて、各 FF が第 1 の FF 201 または第 2 の FF 202 に決定されている。さらに、たとえば、利用者が指定した箇所から FF の入力元であるクロックバッファまでのゲート段数に基づいて、各 FF が第 1 の FF 201 または第 2 の FF 202 に決定されることとしてもよい。ここで、特製されたクロックバッファがクロック供給源からのクロック信号を反転論理で出力するか正論理で出力かを判断するために利用者が指定した箇所をクロックの起点とする。そして、クロックの起点は、クロック供給源からのクロック信号を正論理で出力するか反転論理で出力するかがあらかじめ決定していることとして説明する。

[0060] まず、クロック供給源からのクロック信号を正論理で伝播している箇所が利用者によりクロック起点として指定された場合の判断部 605 の機能について説明する。判断部 605 は、クロックの起点から特定されたクロックバッファまでのゲート段数が偶数段のときにクロック供給源からのクロック信

号を正論理で出力すると判断する。そして、判断部605は、指定された箇所から特定されたクロックバッファまでのゲート段数が奇数段のときにクロック供給源からのクロック信号を反転論理で出力すると判断する。なお、ゲート段数の検出については、上述した判断部605の処理と同一処理であるため詳細な説明を省略する。

[0061] つぎに、クロック供給源からのクロック信号を反転論理で伝播している箇所が利用者によりクロック起点として指定された場合の判断部605の機能について説明する。判断部605は、クロックの起点から特定されたクロックバッファまでのゲート段数が奇数段のときにクロック供給源からのクロック信号を正論理で出力すると判断する。そして、判断部605は、指定された箇所から特定されたクロックバッファまでのゲート段数が偶数段のときにクロック供給源からのクロック信号を反転論理で出力すると判断する。なお、ゲート段数の検出については、上述した判断部605の処理と同一処理であるため詳細な説明を省略する。

[0062] (設計支援装置600の設計支援処理手順)

図10は、実施の形態2にかかる設計支援装置600の設計支援処理手順を示すフローチャートである。まず、レイアウトデータを取得する(ステップS1001)。ここで取得されるレイアウトデータは、初期配置済のレイアウトデータである。つぎに、生成部601により、取得されたレイアウトデータにクロックツリーを構築する(ステップS1002)。上述したレイアウトデータ400が、クロックツリーが構築されたレイアウトデータの例である。

[0063] つづいて、検出部602～置換部606により、置換処理を実行し(ステップS1003)、出力部607により、置換結果を出力する(ステップS1004)。たとえば、上述したレイアウトデータ700が、置換結果である。そして、生成部601により、クロックスキューを調整する(ステップS1005)。上述したレイアウトデータ800が、レイアウトデータ700のクロックスキューが調整された例である。つぎに、検出部602～置換

部606により、置換処理を実行し（ステップS1006）、出力部607により、置換結果を出力し（ステップS1007）、一連の処理を終了する。上述したレイアウトデータ900が、置換結果である。つぎに、図11にて置換処理（ステップS1003／S1006）について説明する。

[0064] 図11は、図10に示した置換処理（ステップS1003／S1006）の詳細な処理手順を示すフローチャートである。まず、検出部602により、クロックバッファセルがゲート段数1段であるクロックパスを検出する（ステップS1101）、未選択のクロックパスがあるか否かを判断する（ステップS1102）。

[0065] 未選択のクロックパスがあると判断された場合（ステップS1102：Yes）、未選択のクロックパスを1つ選択し（ステップS1103）、 $i = 1$ とする（ステップS1104）。つぎに、 $N =$ クロックパスに接続されているFFの総数とし（ステップS1105）、 $i \leq N$ であるか否かを判断する（ステップS1106）。

[0066] $i \leq N$ であると判断された場合（ステップS1106：Yes）、選択部603により、 i 番目のFFを選択し（ステップS1107）、特定部604により、入力元のクロックバッファを特定する（ステップS1108）。そして、クロック供給源からクロックバッファまでのゲート段数を検出し（ステップS1109）、判断部605により、クロック供給源からクロックバッファまでのゲート段数が偶数段か否かを判断する（ステップS1110）。クロック供給源からクロックバッファまでのゲート段数に基づいて、特定されたクロックバッファがクロック信号を正論理で出力するか、反転論理で出力するかが判断される。

[0067] 偶数段であると判断された場合（ステップS1110：Yes）、置換部606により、 i 番目のFFを第1のFFに置換し（ステップS1111）、 $i = i + 1$ とし（ステップS1113）、ステップS1106に戻る。一方、偶数段でない（奇数段である）と判断された場合（ステップS1110：No）、置換部606により、 i 番目のFFを第2のFFに置換し（ステ

ップS 1 1 1 2)、上述したステップS 1 1 1 3へ移行する。

[0068] 一方、 $i \leq N$ でないと判断された場合(ステップS 1 1 0 6 : No)、ステップS 1 1 0 2へ移行する。さらに、一方、未選択のクロックパスがないと判断された場合(ステップS 1 1 0 2 : No)、ステップS 1 0 0 4(またはステップS 1 0 0 7)へ移行する。

[0069] 以上説明したように、設計支援方法、設計支援装置、設計支援プログラム、ゲート段数1段のクロックバッファ301に構成されているクロックパスに接続されているFFが、クロック供給源から入力元であるクロックバッファまでのゲート段数に基づいて第1のFF201または第2のFF202に置換される。

[0070] これにより、ゲート段数が最適化されているクロックパスに接続されているFFが、クロック信号の波形に応じた適切なFFに自動で置換される。したがって、最小限のゲート段数であるクロックパスを有するレイアウトデータを容易に設計でき、低消費電力化を図ることができる。

[0071] また、クロック供給源からFFの入力元であるクロックバッファまでのゲート段数が偶数段の場合、第1のFFに置換し、奇数段の場合、第2のFFに置換する。これにより、ゲート段数に応じて容易にFFを置換でき、低消費電力化を図ることができる。

[0072] また、ゲート段数1段の反転論理であるクロックバッファのみを用いてクロックツリーが構築されたレイアウトデータを自動生成することにより、最小限のゲート段数によりクロックツリーが構築され、低消費電力化を図ることができる。

[0073] また、ゲート段数1段の反転論理であるクロックバッファのみを用いてスキューが調整されたレイアウトデータを自動生成することにより、最小限のゲート段数によりスキューが調整され、低消費電力化を図ることができる。

[0074] また、クロック供給源からのクロック信号を正論理で出力すると利用者により指定されたクロックの起点からFFの入力元であるクロックバッファまでのゲート段数が偶数段の場合、第1のFFに置換し、奇数段の場合、第2

のFFに置換する。これにより、ゲート段数に応じてクロック供給源からのクロック信号を正論理で出力するか否かが容易に判断できる。したがって、ゲート段数に応じて容易にFFを置換でき、低消費電力化を図ることができる。さらに、指定された箇所からのゲート段数を検索するのみであるため、検索時間を短縮することができる。

[0075] また、クロック信号を反転論理で出力すると利用者により指定されたクロックの起点からFFの入力元であるクロックバッファまでのゲート段数が奇数段の場合、第1のFFに置換し、偶数段の場合、第2のFFに置換する。これにより、ゲート段数に応じてクロック供給源からのクロック信号を正論理で出力するか否かが容易に判断できる。したがって、ゲート段数に応じて容易にFFを置換でき、低消費電力化を図ることができる。さらに、指定された箇所からのゲート段数を検索するのみであるため、検索時間を短縮することができる。

[0076] 以上説明したように、半導体集積回路によれば、クロックパスと、クロックパスに接続されているFFと、FFの入力元であり、ゲート段数1段のクロックバッファとを備えることで、クロックパスが最小限のゲート段数で構成され、低消費電力化を図ることができる。

[0077] さらに、FFは、クロック供給源から当該FFの入力元であるクロックバッファまでのゲート段数に基づいてクロック信号の立ち上がりエッジでデータを取り込むか、立ち下がりエッジでデータを取り込むことで、最小限のゲート段数でクロックパスが構成され、低消費電力化を図ることができる。

[0078] なお、本実施形態で説明した設計支援方法は、予め用意されたプログラムをパーソナル・コンピュータやワークステーション等のコンピュータで実行することにより実現することができる。本設計支援プログラムは、ハードディスク、フレキシブルディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。また本設計支援プログラムは、インターネット等のネットワークを介して配布してもよい。

符号の説明

[0079] 2 0 1 第 1 の F F
 2 0 2 第 2 の F F
 3 0 1 クロックバッファ
 4 0 0, 7 0 0, 8 0 0, 9 0 0 レイアウトデータ

請求の範囲

[請求項1]

複数のデータ保持素子と、クロック供給源からのクロック信号を前記複数のデータ保持素子へ伝播するクロックパスと、を備える半導体集積回路を設計する設計支援方法であって、

コンピュータが、

前記半導体集積回路のレイアウトデータ内から、前記クロック信号を伝播し、クロックバッファがゲート段数1段の反転論理であるクロックパスを検出する検出工程、

前記検出工程により検出されたクロックパスに接続されているデータ保持素子を順次選択する選択工程、

前記選択工程によりデータ保持素子が選択される都度、前記データ保持素子の入力元であるクロックバッファを特定する特定工程、

前記クロック供給源から前記特定工程により特定されたクロックバッファまでのゲート段数に基づいて、前記クロックバッファが前記クロック供給源からの前記クロック信号を正論理で出力するか、反転論理で出力するかを判断する判断工程、

前記判断工程により判断された判断結果に基づいて、前記データ保持素子を、前記クロック信号の立ち上がりエッジに同期してデータを取り込む第1のデータ保持素子、または前記クロック信号の立ち下がりエッジに同期してデータを取り込む第2のデータ保持素子に置換する置換工程、

前記置換工程により置換された置換結果を出力する出力工程、
を実行することを特徴とする設計支援方法。

[請求項2]

前記判断工程は、

前記ゲート段数が、偶数段の場合、前記特定工程により特定されたクロックバッファが前記クロック信号を正論理で出力すると判断し、奇数段の場合、反転論理で出力すると判断し、

前記置換工程は、

前記判断工程により正論理で出力すると判断された場合、前記データ保持素子を前記第1のデータ保持素子に置換し、反転論理で出力すると判断された場合、前記第2のデータ保持素子に置換することを特徴とする請求項1に記載の設計支援方法。

[請求項3]

前記コンピュータが、

ゲート段数1段の反転論理であるクロックバッファのみを用いて指定されたクロックパスにクロックツリーを構築することによりレイアウトデータを生成する生成工程、を実行し、

前記検出工程は、

前記生成工程により生成されたレイアウトデータ内から、クロック供給源からのクロック信号を伝播し、クロックバッファがゲート段数1段の反転論理であるクロックパスを検出することを特徴とする請求項2に記載の設計支援方法。

[請求項4]

前記生成工程は、

ゲート段数1段の反転論理であるクロックバッファのみを用いて指定されたクロックパスのスキューを調整することによりレイアウトデータを生成し、

前記検出工程は、

前記生成工程により生成されたレイアウトデータ内から、クロック供給源からのクロック信号を伝播し、クロックバッファがゲート段数1段の反転論理であるクロックパスを検出することを特徴とする請求項3に記載の設計支援方法。

[請求項5]

前記判断工程は、

クロックの起点として指定された箇所が前記クロック供給源からのクロック信号を正論理で出力する場合、前記クロックの起点から前記クロックバッファまでのゲート段数が、偶数段の場合、前記クロックバッファが前記クロック信号を正論理で出力すると判断し、奇数段の場合、反転論理で出力すると判断し、

前記置換工程は、

前記判断工程により正論理で出力すると判断された場合、前記データ保持素子を前記第1のデータ保持素子に置換し、反転論理で出力すると判断された場合、前記第2のデータ保持素子に置換することを特徴とする請求項4に記載の設計支援方法。

[請求項6]

前記判断工程は、

クロックの起点として指定された箇所が前記クロック供給源からのクロック信号を反転論理で伝播している場合、前記クロックの起点から前記クロックバッファまでのゲート段数が、偶数段の場合、前記クロックバッファが前記クロック信号を反転論理で出力すると判断し、奇数段の場合、正論理で出力すると判断し、

前記置換工程は、

前記判断工程により正論理で出力すると判断された場合、前記データ保持素子を前記第1のデータ保持素子に置換し、反転論理で出力すると判断された場合、前記第2のデータ保持素子に置換することを特徴とする請求項5に記載の設計支援方法。

[請求項7]

レイアウトデータ内から、クロック供給源からのクロック信号を伝播し、クロックバッファがゲート段数1段の反転論理であるクロックパスを検出する検出手段と、

前記検出手段により検出されたクロックパスに接続されているデータ保持素子を順次選択する選択手段と、

前記選択手段によりデータ保持素子が選択される都度、前記データ保持素子の入力元であるクロックバッファを特定する特定手段と、

前記クロック供給源から前記特定手段により特定されたクロックバッファまでのゲート段数に基づいて、前記クロックバッファが前記クロック供給源からの前記クロック信号を正論理で出力するか、反転論理で出力するかを判断する判断手段と、

前記判断手段により判断された判断結果に基づいて、前記データ保

持素子を、前記クロック信号の立ち上がりエッジに同期してデータを取り込む第1のデータ保持素子、または前記クロック信号の立ち下がりエッジに同期してデータを取り込む第2のデータ保持素子に置換する置換手段と、

前記置換手段により置換された置換結果を出力する出力手段と、
を備えることを特徴とする設計支援装置。

[請求項8]

複数のデータ保持素子と、クロック供給源からのクロック信号を前記複数のデータ保持素子へ伝播するクロックパスと、を備える半導体集積回路を設計する設計支援プログラムであって、

コンピュータを、

レイアウトデータ内から、クロック供給源からのクロック信号を伝播し、クロックバッファがゲート段数1段の反転論理であるクロックパスを検出する検出手段、

前記検出手段により検出されたクロックパスに接続されているデータ保持素子を順次選択する選択手段、

前記選択手段によりデータ保持素子が選択される都度、前記データ保持素子の入力元であるクロックバッファを特定する特定手段、

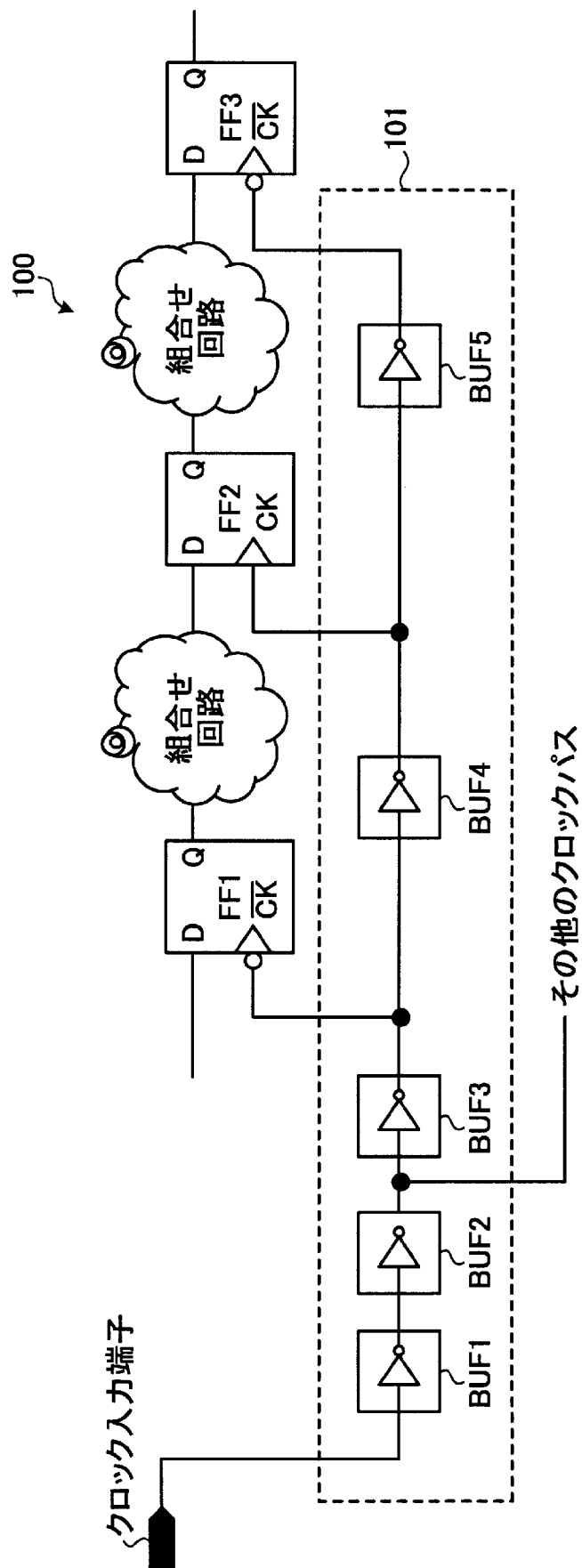
前記クロック供給源から前記特定手段により特定されたクロックバッファまでのゲート段数に基づいて、前記クロックバッファが前記クロック供給源からの前記クロック信号を正論理で出力するか、反転論理で出力するかを判断する判断手段、

前記判断手段により判断された判断結果に基づいて、前記データ保持素子を、前記クロック信号の立ち上がりエッジに同期してデータを取り込む第1のデータ保持素子、または前記クロック信号の立ち下がりエッジに同期してデータを取り込む第2のデータ保持素子に置換する置換手段、

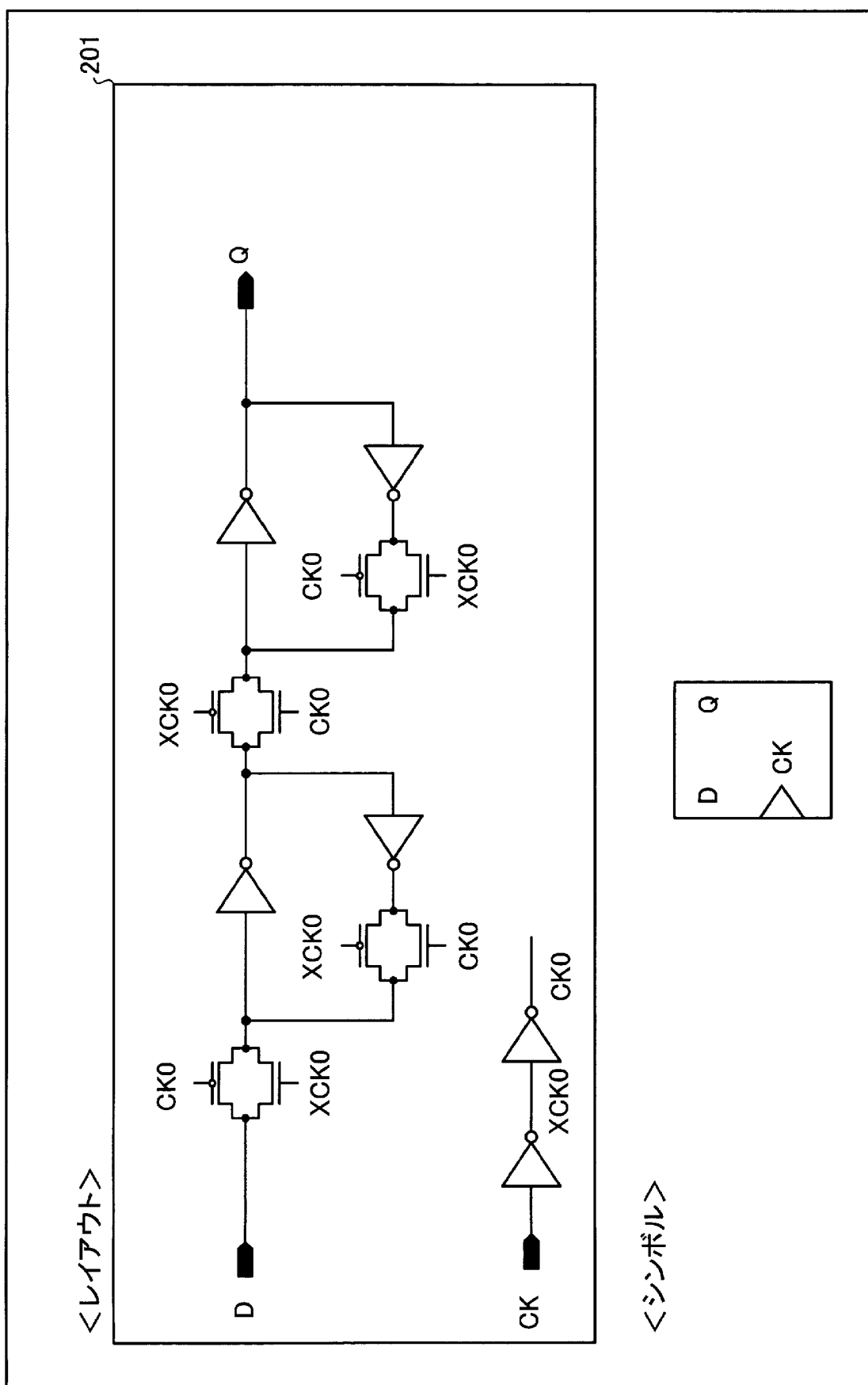
前記置換手段により置換された置換結果を出力する出力手段、
として機能させることを特徴とする設計支援プログラム。

- [請求項9] クロック供給源からのクロック信号を伝播する半導体集積回路内の少なくとも一部のクロックパスと、
- 前記クロックパスに接続されているデータ保持素子群と、
- 前記データ保持素子群の各データ保持素子へ前記クロック信号を出力するゲート段数1段の反転論理であるクロックバッファと、
- を備えることを特徴とする半導体集積回路。
- [請求項10] 前記データ保持素子は、
- 前記クロック供給源から当該データ保持素子の入力元であるクロックバッファまでのゲート段数が、偶数段の場合、前記クロック信号の立ち上がりエッジに同期してデータを取り込み、奇数段の場合、前記クロック信号の立ち下がりエッジに同期してデータを取り込むことを特徴とする請求項9に記載の半導体集積回路。

[図1]



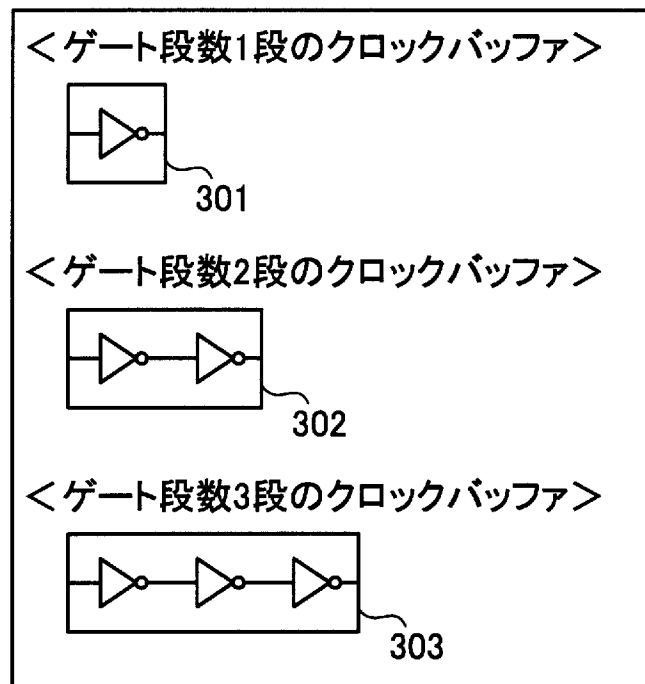
201



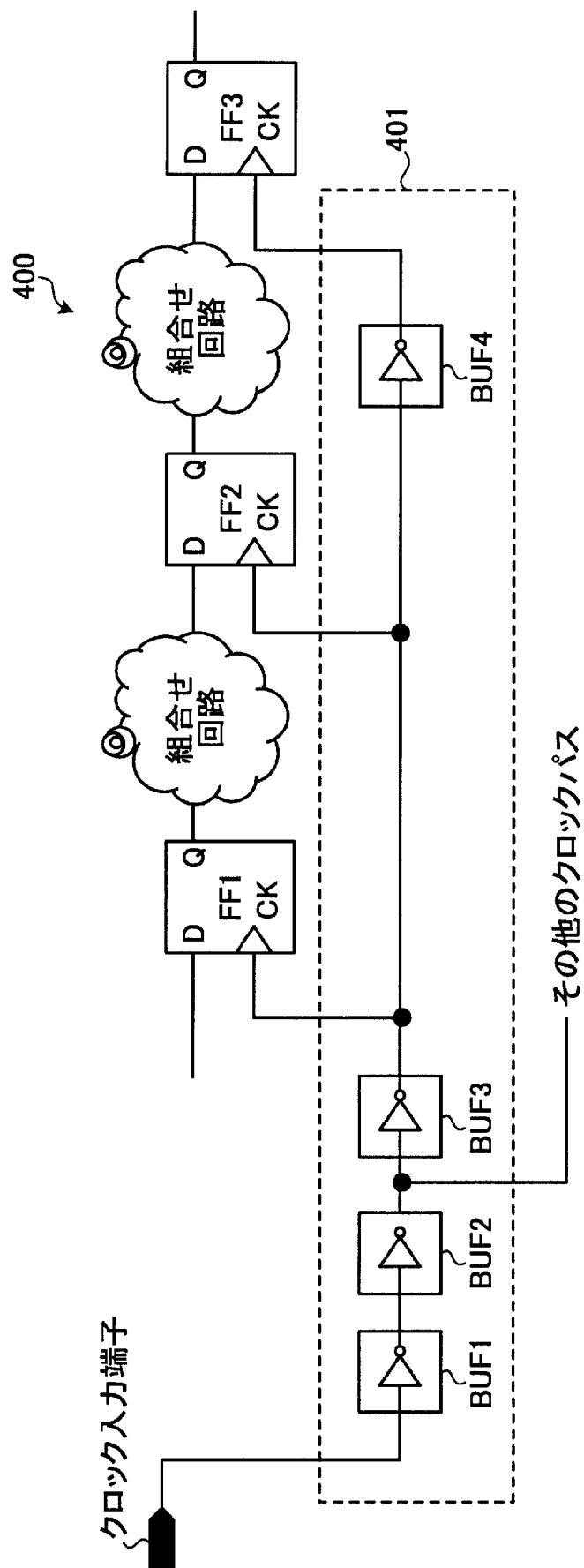
202



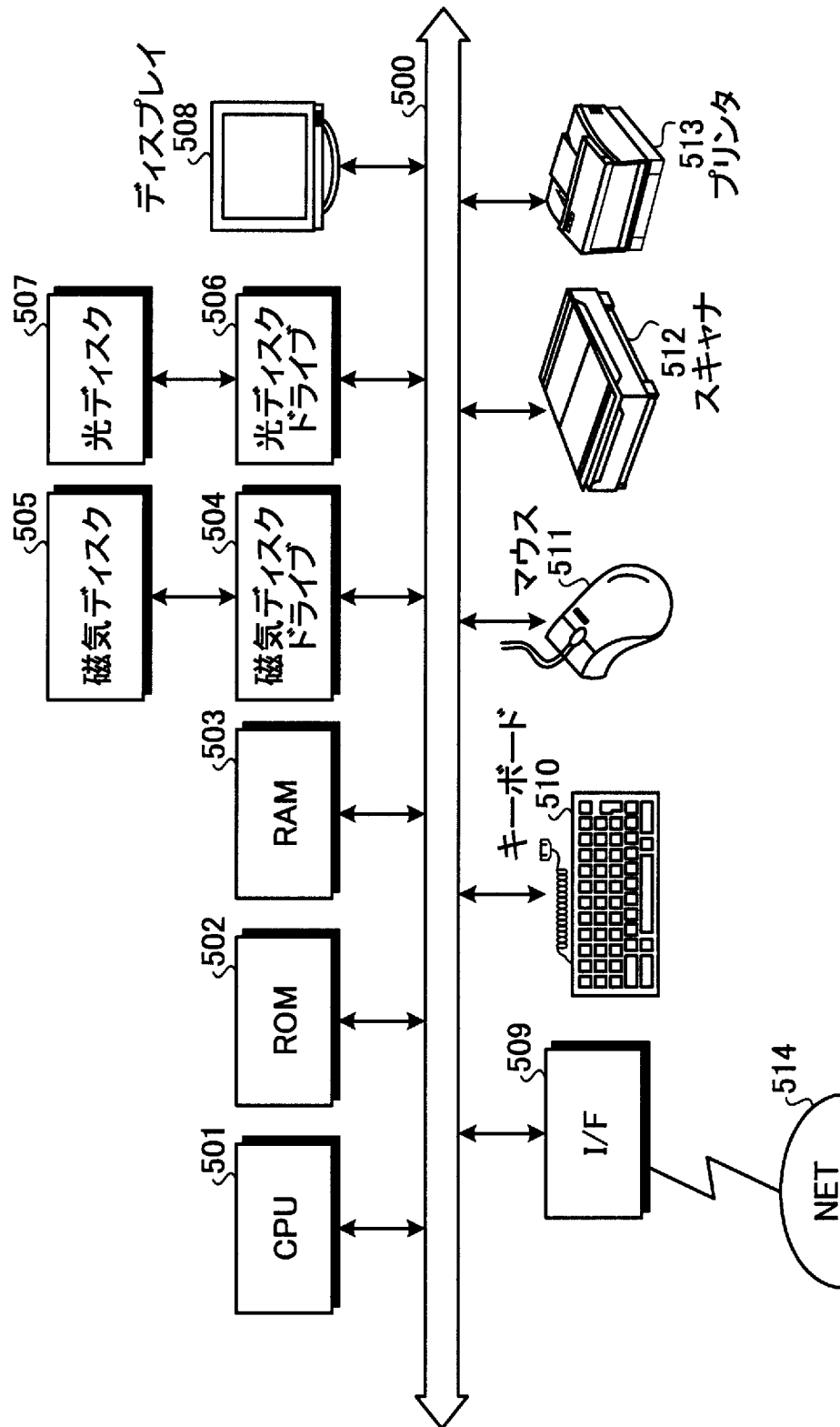
[図3]



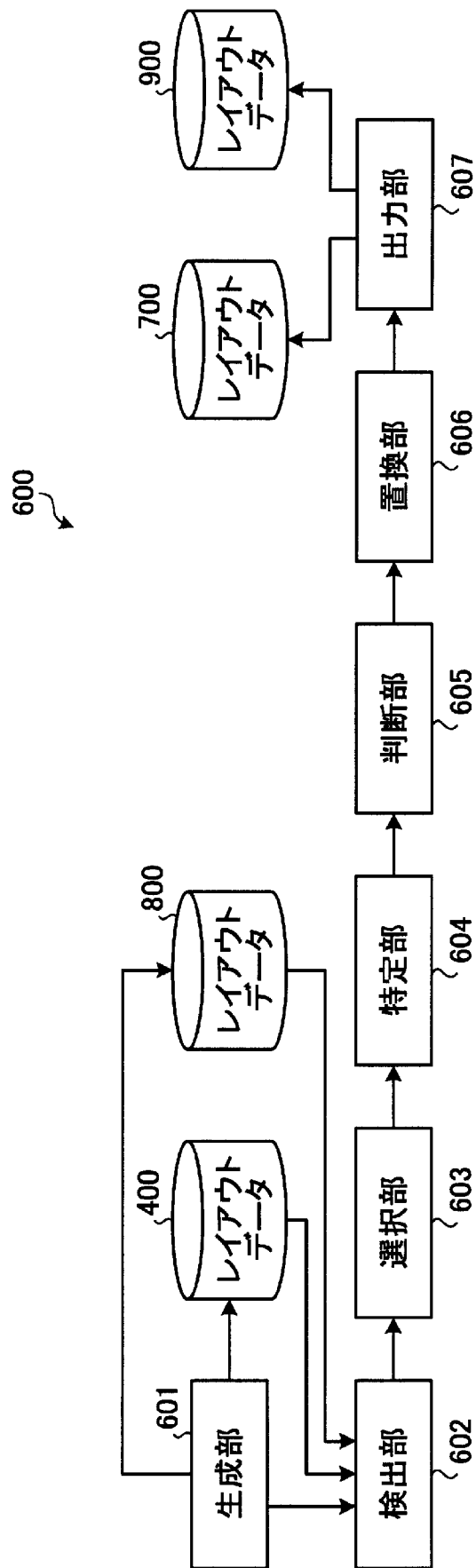
[図4]



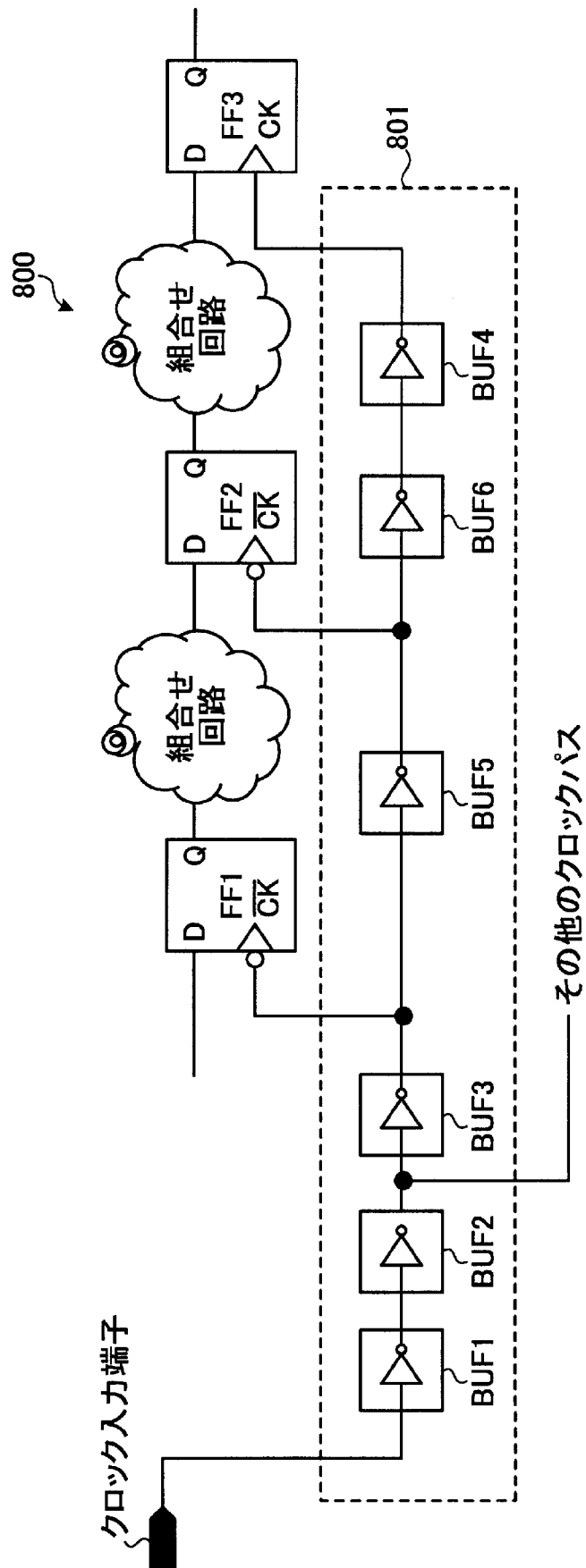
[図5]



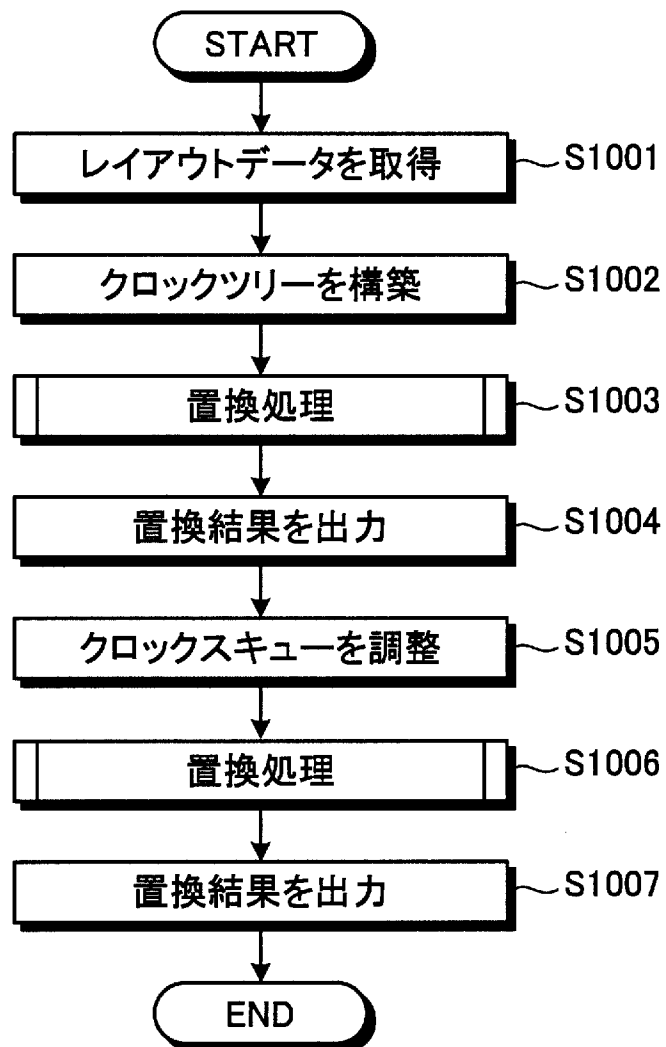
[図6]



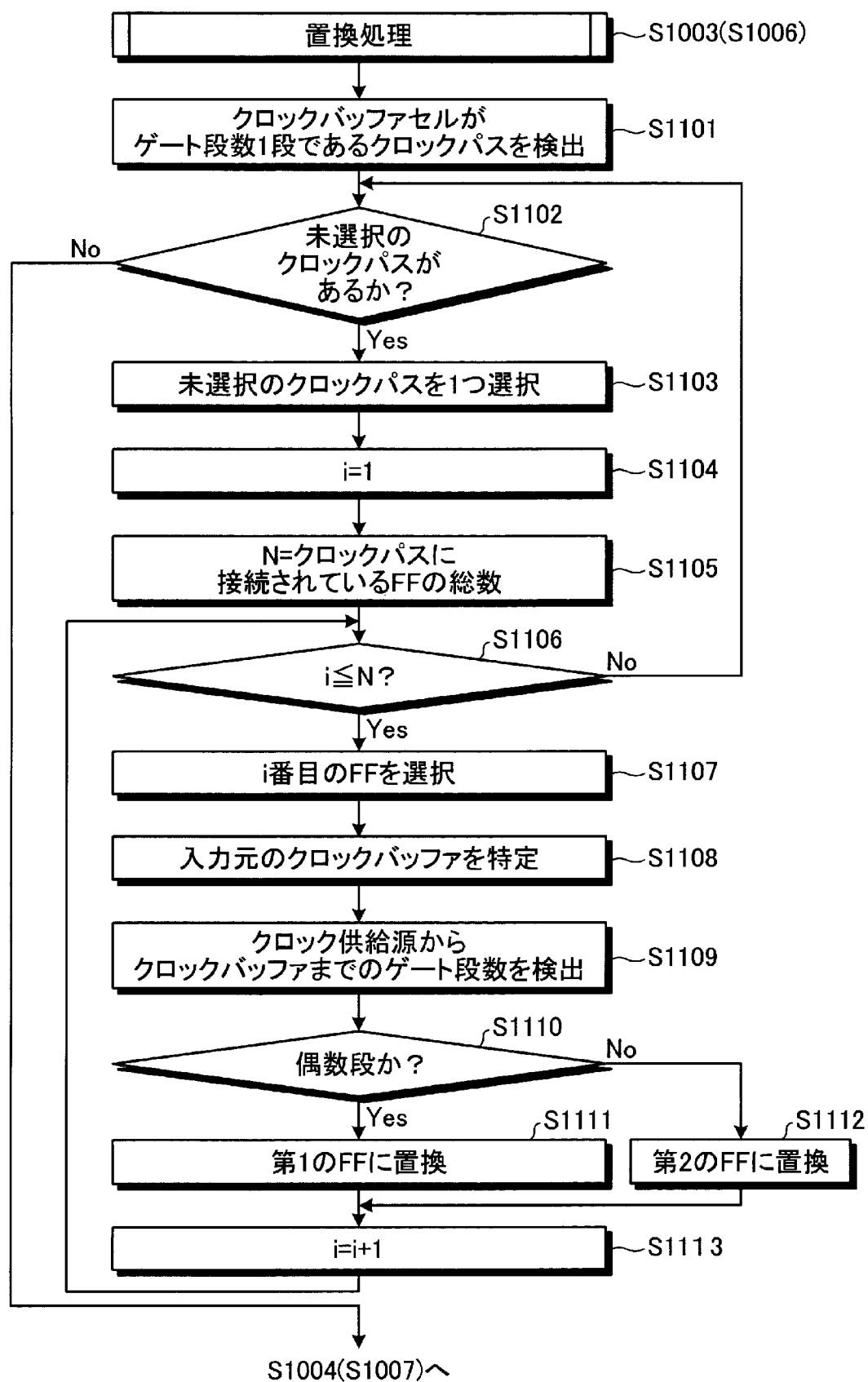
[図8]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060069

A. CLASSIFICATION OF SUBJECT MATTER

G06F17/50(2006.01)i, G06F1/10(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F17/50, G06F1/10, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CiNii

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-29562 A (Hitachi, Ltd.), 28 January, 2000 (28.01.00), Par. No. [0045]; Figs. 27, 28 (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 June, 2009 (22.06.09)

Date of mailing of the international search report
30 June, 2009 (30.06.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F17/50(2006.01)i, G06F1/10(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F17/50, G06F1/10, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

CiNii

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2000-29562 A (株式会社日立製作所) 2000.01.28, 0045 段落, 図 27, 図 28 (ファミリーなし)	1-10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 6 . 2 0 0 9

国際調査報告の発送日

3 0 . 0 6 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

早川 学

5 H

9 6 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 1