

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6406912号
(P6406912)

(45) 発行日 平成30年10月17日(2018.10.17)

(24) 登録日 平成30年9月28日(2018.9.28)

(51) Int.Cl.

F 1

HO 1 L 27/146	(2006.01)	HO 1 L 27/146	A
HO 4 N 5/369	(2011.01)	HO 4 N 5/369	
HO 4 N 5/374	(2011.01)	HO 4 N 5/374	
HO 4 N 5/357	(2011.01)	HO 4 N 5/357	

請求項の数 12 (全 20 頁)

(21) 出願番号	特願2014-151123 (P2014-151123)
(22) 出願日	平成26年7月24日 (2014.7.24)
(65) 公開番号	特開2016-25332 (P2016-25332A)
(43) 公開日	平成28年2月8日 (2016.2.8)
審査請求日	平成29年7月18日 (2017.7.18)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100126240 弁理士 阿部 琢磨
(74) 代理人	100124442 弁理士 黒岩 創吾
(72) 発明者	小林 昌弘 東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】撮像装置並びにその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

光電変換部と、

前記光電変換部で生じた電荷を保持するフローティングディフュージョンと、

前記フローティングディフュージョンに電気的に接続された増幅トランジスタと、

電極を有し、前記電極へ供給される信号により、前記フローティングディフュージョンへの電気的な接続状態が切り替え可能に配された容量と、を各々が含み、

各々が、前記接続状態を切り替えることで、前記増幅トランジスタの入力ノードの容量値が変更可能である、複数の画素を有する撮像装置であって、

前記複数の画素の各々は、平面視において、前記電極を挟むように配された、第1領域と、第2領域とを含む活性領域を有し、

前記活性領域は、絶縁体分離部又はP N接合分離部である分離部によって囲まれてあり

、前記第1領域及び前記第2領域は、前記電極が配されていない領域であり、

前記活性領域の一部であって前記電極の下に位置する部分が前記容量の少なくとも一部を構成しており、

前記第1領域には、前記フローティングディフュージョンの少なくとも一部を構成する第1導電型の第1半導体領域が配され、

前記第2領域には、前記第1導電型とは反対導電型である第2導電型の第2半導体領域が配されており、

10

20

前記第2半導体領域の上に、絶縁膜が配されていることを特徴とする撮像装置。

【請求項2】

前記絶縁膜は、前記第2半導体領域と界面を構成していることを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記第2半導体領域は、前記第2領域において、前記分離部の底の深さまでの少なくとも一部に配されていることを特徴とする請求項1または2に記載の撮像装置。

【請求項4】

前記第2半導体領域の下部に、前記第2導電型であって、前記第2半導体領域よりも低濃度である半導体領域が配されていることを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。 10

【請求項5】

前記分離部は、チャネルストップ領域と界面を構成していることを特徴とする請求項1～4のいずれか1項に記載の撮像装置。

【請求項6】

コンタクトプラグが、前記絶縁膜を貫通して、前記第2半導体領域に接続されていることを特徴とする請求項4に記載の撮像装置。

【請求項7】

平面視において、前記第2半導体領域と前記電極との間には、前記第2半導体領域と同導電型であって、前記第2半導体領域よりも低濃度の半導体領域が配されていることを特徴とする請求項1乃至6のいずれか1項に記載の撮像装置。 20

【請求項8】

前記活性領域は、前記光電変換部と前記第1導電型の第3半導体領域が配された第1活性領域と、前記第1半導体領域および前記第2半導体領域が配された第2活性領域とを有し、前記フローティングディフュージョンは、前記第1半導体領域の少なくとも一部と前記第3半導体領域の少なくとも一部とにより構成されることを特徴とする請求項1乃至7のいずれか1項に記載の撮像装置。

【請求項9】

前記複数の画素の各々は、更に、前記光電変換部の信号を前記第3半導体領域に転送する転送トランジスタを有し、 30

平面視において、

前記第1活性領域と前記第2活性領域とが第1方向に沿って並んで配されており、

前記第2活性領域には前記第1方向に直交する第2方向に沿って前記第1半導体領域と前記第2半導体領域が配され、前記第2活性領域の上には、前記第1半導体領域と前記第2半導体領域に挟まれるように前記電極が配され、

前記第1活性領域には、前記第2方向に沿って前記光電変換部と前記第3半導体領域とが配され、前記第1活性領域の上には、前記光電変換部と前記第3半導体領域に挟まれるように前記転送トランジスタのゲート電極が配されることを特徴とする請求項8に記載の撮像装置。

【請求項10】

前記容量は表面型MOS容量又は、埋め込み型MOS容量を有することを特徴とする請求項6に記載の撮像装置。 40

【請求項11】

前記容量はPN接合容量を有することを特徴とする請求項1乃至9のいずれか1項に記載の撮像装置。

【請求項12】

請求項1乃至11のいずれか1項に記載の撮像装置において、前記光電変換部に信号電荷を蓄積する期間であって、且つ前記入力ノードのリセットを行う期間に、前記容量を電気的に接続状態にすることを特徴とする撮像装置の駆動方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】**

本発明は撮像装置並びにその駆動方法に関し、特に画素の増幅トランジスタの入力ノードの容量値を変更可能とするための容量の構造に関するものである。

【背景技術】**【0002】**

従来、画素から出力される信号のダイナミックレンジを拡大するためにフローティングディフュージョン（以下、FD）への電気的な接続状態が切り替え可能となるように容量を設ける構成が知られている。

【0003】

10

特許文献1には、FDへの容量の電気的な接続状態を切り替えるゲート電極を挟んで、一方の領域にはFDが配され、他方の領域には信号電荷と同導電型の半導体領域が配されている構成が記載されている。

【先行技術文献】**【特許文献】****【0004】****【特許文献1】特開2008-205639号公報****【発明の概要】****【発明が解決しようとする課題】****【0005】**

20

特許文献1は、ゲート電極を挟んでFDとは反対側の活性領域には信号電荷と同導電型の半導体領域を配する構成となっている。活性領域の表面は絶縁膜で覆われており、この活性領域に配された半導体領域は、絶縁膜と界面を構成している。そして、界面を構成する半導体領域の表面の結晶欠陥によって不要電荷を生じ、この不要電荷がFDに注入され、ノイズとなる恐れがある。

【0006】

そこで本発明は、このようなノイズの発生を抑制可能な撮像装置を提供することを目的とする。

【課題を解決するための手段】**【0007】**

30

本発明の撮像装置は、光電変換部と、光電変換部で生じた電荷が保持されるフローティングディフュージョンと、フローティングディフュージョンに電気的に接続された増幅トランジスタと、第1ゲート電極を有し、第1ゲート電極へ供給される信号により、フローティングディフュージョンへの電気的な接続状態が切り替え可能に配された容量と、を含み、接続状態を切り替えることで、増幅トランジスタの入力ノードの容量値が変更可能である画素を複数有する撮像装置であって、平面視において、第1ゲート電極を挟むように配された、第1領域と、第2領域とを含む活性領域を有し、活性領域の一部であって第1ゲート電極の下部に位置する部分が容量の少なくとも一部を構成しており、第1領域には、フローティングディフュージョンの少なくとも一部を構成する第1導電型の第1半導体領域が配され、第2領域には、第1導電型とは反対導電型である第2導電型の第2半導体領域が配されており、第2半導体領域の上には、絶縁膜が配されていることを特徴とする。

40

【発明の効果】**【0008】**

本発明によれば、ノイズの発生を抑制可能な撮像装置を提供することができる。

【図面の簡単な説明】**【0009】****【図1】撮像装置のブロック図****【図2】画素の回路図****【図3】駆動タイミング図**

50

【図4】画素の平面模式図
 【図5】画素の断面模式図
 【図6】画素の平面模式図及び断面模式図
 【図7】画素の平面模式図及び断面模式図
 【図8】画素の平面模式図及び断面模式図
 【図9】画素の平面模式図及び断面模式図
 【図10】画素の平面模式図及び断面模式図
 【図11】画素の平面模式図及び断面模式図
 【図12】駆動タイミング図
 【発明を実施するための形態】

10

【0010】

図1～図5を用いて、本発明に適用可能な撮像装置の実施形態を説明する。各図面において同じ符号が付されている部分は、同じ素子もしくは同じ領域を指す。

【0011】

図1は、本発明の実施形態の撮像装置のブロック図を示す。撮像装置101は、画素部102、駆動パルス生成部103、垂直走査回路104、信号処理部105、出力部106を有している。

【0012】

画素部102は、光を電気信号へ変換し、変換した電気信号を出力する画素を、行列状に複数有している。駆動パルス生成部103は、駆動パルスを生成する。そして、垂直走査回路104は、駆動パルス生成部103からの駆動パルスを受け、各画素に制御信号を供給する。信号処理部105は、少なくとも、複数の画素列から並列に出力された信号をシリアル化して出力部106に伝達する。更に信号処理部105は、各画素列に対応し、信号の増幅、A/D変換等を行なう列回路を有していてもよい。

20

【0013】

図2には、本実施形態の画素部102に配された1画素の等価回路の一例を示す。本実施形態では、信号電荷を電子とし、各トランジスタはN型のMOSトランジスタとして説明する。ここでは、第1導電型をN型とし、第2導電型を第1導電型と反対導電型のP型とする。ただし、信号電荷には、ホールを用い、各トランジスタとしてP型のMOSトランジスタを用いてもよい。

30

【0014】

また、等価回路は図2に限られるものではなく、一部の構成を複数の画素で共有してもよい。そして、本発明は、表面側から光が入射する表面照射型撮像装置、裏面側から光が入射する裏面照射型撮像装置のいずれにも適用することができる。

【0015】

本実施形態の画素は、増幅トランジスタ205の入力ノードの容量値を変更可能に設けられた容量208を有する。増幅トランジスタ205の入力ノードは、少なくとも、FD203、増幅トランジスタ205のゲート電極及びこれらを電気的に接続する導電体を含んでいる。

40

【0016】

また、切り替えスイッチ207により、容量208とFD203との電気的な接続状態と非接続状態とを切り替え可能である。容量208は、切り替えスイッチ207を介してFD203に電気的に接続されている場合には増幅トランジスタ205の入力ノードの一部を構成する。

【0017】

容量208とFD203とを電気的な接続状態として増幅トランジスタ205の入力ノードの容量値を増大させた場合には、容量208とFD203とを非接続状態とした場合に比べて増幅トランジスタ205の入力ノードにおける電荷電圧変換効率を低くすることが可能となる。これに対して、容量208とFD203とを非接続状態として増幅トランジスタ205の入力ノードの容量値を小さくした場合には、増幅トランジスタ205の入

50

カノードにおける電荷電圧変換効率が高くすることが可能となる。

【0018】

電荷電圧変換効率が相対的に低いと、増幅トランジスタ205の入力ノードで電圧に変換された後の電圧振幅が小さくなる。そのため、FD203に転送された電荷量が多い場合でも増幅トランジスタ205の出力信号の線形性を向上させることが可能となる。これに対して、電荷電圧変換効率が相対的に高いと、増幅トランジスタ205の入力ノードで電圧に変換された後の電圧振幅が大きくなる。そのため、FD203に転送された電荷量が少ない場合でも増幅トランジスタ205の出力信号の線形性を向上させることが可能となる。

【0019】

したがって、FD203と容量208との電気的な接続状態と非接続状態を切り替えることで、ダイナミックレンジの変更が可能となる。

【0020】

次に図2を用いて本実施形態の画素を詳細に説明する。

【0021】

光電変換部201は、入射光量に応じた量の電荷対を光電変換により生じさせ、電子を蓄積する。転送トランジスタ202は光電変換部201で蓄積された電子をFD203へ転送する。転送トランジスタ202のゲート電極には制御信号pTXが供給される。FD203は、転送トランジスタ202により転送された信号電荷を保持する。

【0022】

増幅トランジスタ205は、そのゲート電極がFD203に電気的に接続されており、転送トランジスタ202によってFD203に転送された電子に基づく信号を増幅して出力する。より具体的には、FD203に転送された電子は、その量に応じた電圧に変換され、その電圧に応じた電気信号が増幅トランジスタ205を介して画素外へ出力される。増幅トランジスタ205は、電流源209とともにソースフォロア回路を構成している。

【0023】

リセットトランジスタ204は、増幅トランジスタ205の入力ノードの電位をリセットする。また、リセットトランジスタ204は、リセットトランジスタ204のオン期間と転送トランジスタ202のオン期間とを重ねることにより、光電変換部201の電位をリセットすることができる。リセットトランジスタ204のゲート電極には制御信号pRESが供給される。

【0024】

選択トランジスタ206は、1つの信号線211に対して複数設けられている画素の信号を、1画素ずつもしくは複数画素ずつ出力させる。選択トランジスタ206のドレインは、増幅トランジスタ205のソースに電気的に接続され、選択トランジスタ206のソースは信号線211に電気的に接続されている。本実施形態に代えて、選択トランジスタ206を増幅トランジスタ205のドレインと、電源電圧が供給されている電源配線との間の電気経路に設けてもよい。

【0025】

つまり、選択トランジスタ206は、増幅トランジスタ205と信号線211との電気的導通を制御可能な構成であればよい。選択トランジスタ206のゲート電極には、制御信号pSELが供給される。

【0026】

なお、選択トランジスタ206を設けずに、増幅トランジスタ205のソースと信号線211を接続し、増幅トランジスタ205のドレインもしくはゲート電極の電位を切り替えることにより、画素の選択状態と、非選択状態とを切り替えてよい。

【0027】

次に図3に、図2に示した撮像装置の駆動パルスの一例を示す。ここでは、本実施形態の特徴に直接関係する駆動タイミングのみについて説明する。図3(a)はn行目の駆動タイミングを示し、図3(b)はn+1行目の駆動タイミングを示す。

10

20

30

40

50

【0028】

ここで、図3の実線は容量208とFD203とが接続状態となる画素、もしくは容量208がFD203に接続状態となるモードにおける制御信号を示している。

【0029】

点線は、容量208とFD203とが非接続状態となる画素、もしくは非選択状態の画素、もしくは容量208とFD203に非接続状態のモードにおける制御信号を示している。各制御信号がハイレベル(H)の期間において各トランジスタがオンになり、ローレベル(L)の期間に各トランジスタがオフとなる。

【0030】

図3のpSELは、選択トランジスタ206のゲートに入力される制御信号である。選択される行においては、期間 $t_1 - t_8$ において、pSELはHレベルになる。選択されない行においては、点線のように、期間 $t_1 - t_8$ において、pSELはLレベルになる。

10

【0031】

pRESは、リセットトランジスタ204のゲートに入力される制御信号である。pRESがHレベルの時、FDの電位をリセットする。

【0032】

pTXは、転送トランジスタ202のゲートに入力される制御信号である。pTXがHレベルの時、光電変換部201とFDとを接続状態とし、Lレベルの時には非接続状態とする。

20

【0033】

pAPPは、切り替えスイッチ207に入力される制御信号である。pAPPにより、容量208とFD203との接続状態を切り替える。pAPPがHレベルの時には、容量208とFD203とが接続状態となり、pAPPがLレベルの時には、容量208とFD203とが非接続状態となる。

【0034】

まず時刻 $T = t_{1n}$ において、制御信号pSELがLレベルから遷移し始め、所定期間経過後、Hレベルになる。またこの時、制御信号pRESがHレベルであり、FD203の電位がVDDになる。

30

【0035】

次に時刻 $T = t_{2n}$ において、制御信号pAPPがLレベルから遷移し始め、所定期間経過後、Hレベルとなる。またこの時、制御信号pSEL及び制御信号pRESはHレベルである。これにより容量208とFD203とが電気的な接続状態になり、FD203及び容量208の電位がVDDになる。なお、容量208とFD203とを非接続状態とする場合には、pAPP(n)をLレベルのまま保持する。

【0036】

次に時刻 $T = t_{3n}$ において、制御信号pRESがHレベルから遷移し始め、所定期間経過後、Lレベルとなり、FD203及び容量208の電位のリセット動作が完了する。

【0037】

時刻 $T = t_{4n}$ において、制御信号pTXがLレベルから遷移し始め、所定期間経過後、Hレベルになる。この時、光電変換部201とFD203が電気的な接続状態になり、光電変換部201の電子がFD203に転送される。制御信号pAPPがHレベルであり、容量208とFD203とが接続状態であるため、転送された電子はFD203及び容量208で保持される。

40

【0038】

時刻 $T = t_{5n}$ 、制御信号pTXがHレベルから遷移しはじめ、所定期間経過後、Lレベルになる。これにより、光電変換部201とFD203が非接続状態になる。

【0039】

時刻 $T = t_{6n}$ において、制御信号pRESがLレベルから遷移し始め、所定期間経過後、Hレベルとなることで、FD203及び容量208の電位がVDDとなる。

50

【0040】

時刻 $T = t_7$ において、制御信号 p_{APP} が H レベルから遷移し始め、所定期間経過後、L レベルになる。これにより、容量 208 と FD203 とが非接続状態となる。

【0041】

時刻 $T = t_8$ において、制御信号 p_{SEL} が H レベルから遷移し始め、所定期間経過後、L レベルになる。これにより、n 行目の読み出しが完了する。n + 1 行目（図 3 (b)）以降も同様の動作が繰り返され、画素部 102 の信号読み出しが行われる。

【0042】

期間 $t_5 - t_8$ における信号線 211 の電圧を信号として用いることで、容量 208 が接続された状態の画素の信号を画像信号として用いることが可能となる。

10

【0043】

更に、必要に応じて、期間 $t_3 - t_4$ における信号線 211 の電圧を信号として用いることで、画素のノイズ信号を得ることが可能となる。このノイズ信号と前述の信号電荷との差分を取ることでノイズを低減することが可能となる。

【0044】

また、期間 $t_1 - t_8$ において、制御信号 p_{SEL} を H レベルに維持している。しかし、容量 208 と FD203 とが接続された状態で増幅トランジスタ 205 の入力ノードに保持した信号を信号処理部 105 に読み出す期間だけ H レベルとしてもよい。

【0045】

FD203 と容量 208 との電気的な接続状態と非接続状態とを切り替えることを、全画素一括で行ってもよいし、各画素毎あるいは所定の画素毎に行なってもよい。例えば、カラーフィルタの色毎に容量 208 の電気的な接続状態または非接続状態をいずれかに切り替えててもよい。

20

【0046】

パルスが H (L) レベルから L (H) レベルへ遷移する際には一定の時間をする。もしくは意図的に目的レベルに達するまでの時間を設ける場合もある。図 3 においてはあるレベルから目的レベルに到達するまでの時間を所定期間として明示しているが、これは意図的に目的レベルに達するまで所定期間を設ける場合もそうでなく本質的に生じてしまう時間のいずれであってもよい。

【0047】

次に本実施形態の画素の特徴を説明する。図 4 及び図 5 に本実施形態の撮像装置の 1 画素の特徴を説明するための平面模式図及び断面模式図を示す。

30

【0048】

図 4 (a) は、活性領域の説明を容易にするために、絶縁体分離部 300 と、絶縁体分離部 300 で区画された活性領域 (313A ~ 313C) を示しているが、1 画素内には図 4 (b) に示すように、図 4 (a) の活性領域に半導体領域が配され、且つ活性領域の上にゲート電極が配される。尚、図 4 (b) では、図 4 (a) で付した活性領域の符号 (313A ~ 313C) を省略している。

【0049】

また、図 5 (a) 及び図 5 (b) は、図 4 (b) の A - B 線における断面模式図であり、容量 208 の構成例を説明する図である。

40

【0050】

図 4 (a) 及び図 4 (b) は 1 画素を平面視で示した図である。後述する図 5 (a) などの断面模式図からも明らかのように、半導体基板 320 の表面側に、絶縁体分離部 300 が設けられており、絶縁体分離部 300 によって、活性領域は区画される。換言すると、活性領域が絶縁体分離部 300 によって囲まれている。

【0051】

尚、本実施形態においては、活性領域を区画する絶縁体分離部 300 を配した例を用いて説明するが、絶縁体分離部 300 に代えて PN 接合分離部を配してもよい。

【0052】

50

ここで説明する実施形態において、活性領域は、絶縁体分離部 300 に区画された活性領域 313A (第1活性領域)、313B (第2活性領域)、313C (第3活性領域) を備えている。そして、第1活性領域 313A と第2活性領域 313B は第1方向に沿って並んで配されている。

【0053】

また、第2活性領域 313B は、平面視において、第1方向よりも、第1方向に直交する第2方向 (典型的には第1方向と直交する方向) に長い形状を有している。そして、第2活性領域 313B と第3活性領域 313C とが第2方向に沿って、並んで配されている。なお、本実施例では、基準電位が供給される領域として第3活性領域 313C を配したが、配さなくてよい。

10

【0054】

各活性領域 (313A、313B、313C) の表面は、絶縁膜 316 で覆われている。そのため、電極、ゲート電極 (以下電極等) は各活性領域の上部に、絶縁膜 316 の一部を介して配されている。この絶縁膜 316 は、例えば酸化シリコンにより構成される。この絶縁膜 316 を CVD 法によって成膜した場合、絶縁体分離部 300 の表面にも絶縁膜 316 が配される。一方で熱酸化法によって絶縁膜 316 を配する場合には、絶縁体分離部 300 の表面に絶縁膜 316 は実質的に配されない。これに対し、PN 接合分離部によって、活性領域を区画した際には、どちらの方法で絶縁膜 316 を構成しても PN 接合分離部の上に絶縁膜 316 が配される。

【0055】

20

また、電極等の下部に位置しない活性領域は、その表面の少なくとも一部が、電極等の下部に位置する絶縁膜と異なる絶縁膜が配されていてよい。異なる絶縁膜とは例えば電極等の下部に位置する絶縁膜を形成した後に、電極等の下部以外の絶縁膜を除去した後、別の絶縁膜を形成するような場合である。

【0056】

以下では、電極等の下部に位置する絶縁膜と、電極等の下部以外に位置する、活性領域の表面に配される絶縁膜とが、同一の絶縁膜の場合について説明する。

【0057】

図 4 (b) に示すように、第1活性領域 313A には、第2方向に沿って光電変換部 201、ゲート電極 402、N型半導体領域 (第3半導体領域) 303A が配される。また、第1活性領域 313A の上には、絶縁膜 316 を介してゲート電極 402 が配されており、第2活性領域 313B の上には、絶縁膜 316 を介して電極 404 が配されている。

30

【0058】

そして、図 4 (b) のように第2活性領域 313B は、平面視において電極 404 を挟むように、第1領域 323 と、第2領域 324 を有している。

【0059】

第1領域 323 には、FD203 の少なくとも一部を構成するN型半導体領域 (第1半導体領域) 303B が配されている。

【0060】

そして、第2領域 324 には、絶縁膜 316 と界面を構成するP型半導体領域 312 (第2半導体領域) が配されている。

40

【0061】

FD203 は、第1半導体領域 303B と第1活性領域 313A に配された第3半導体領域 303A とを有する。

【0062】

図 5 (a) は図 4 (b) の A - B 線における断面模式図であり、電極 404 を挟んで、第1領域 323 と第2領域 324 が配されている。この第1領域 323 には、N型半導体領域 303B が配されている。そして、第2領域 324 には、絶縁膜 316 と界面を構成するP型半導体領域 312 が配されている。また、第1半導体領域 (303B) も絶縁膜 316 と界面を構成している。

50

【0063】

図5(a)の例では、電極404の下部の半導体領域には、絶縁膜316を介して印加される電界によって、電極404の下部の活性領域の表面に配されたP型半導体領域312が反転して電荷蓄積領域となる表面型MOS容量を構成する。これによって図2の容量208が構成される。その他の実施形態を実施例で後述する。

【0064】

さらに、電極404は、図2の切り替えスイッチ207に含まれる。電極404に印加される制御信号APPによって後述する容量208のFD203に対する電気的な接続状態と非接続状態とを切り替えることができる。

【0065】

容量208では、電極404の下部の活性領域の表面に電位の井戸が生じ、その部分に電子が蓄積される。ただし、この電位の井戸に上述の第2領域324の表面からの電子が混入することで、容量208をFD203に対して接続状態とした際に、FD203にノイズを混入してしまう恐れがある。

【0066】

そこで、第2領域324に、その上部に絶縁膜316が配されたP型半導体領域312を配することで、上述のノイズとなりうる電子がP型半導体領域312の多数キャリアである正孔と再結合する。これにより、N型半導体領域303Bに混入する電子を減らすことができ、ノイズを低減することが可能となる。より好ましくは、P型半導体領域312は絶縁膜316と界面を構成するのがよい。

10

20

【0067】

また、活性領域と絶縁体分離部300の界面では、主に酸化シリコンで構成される絶縁体分離部300と、半導体基板320の主の構成要素であるシリコンとの膨張係数の違いなどにより、欠陥が生じ、不要電荷を生じる恐れがある。

【0068】

そのため、第2領域324には、活性領域と絶縁膜316との界面から少なくとも絶縁体分離部300の底の深さまでP型半導体領域412を配するのがよい。これによって、容量208と絶縁体分離部300をオフセットし、絶縁体分離部300から生じるノイズを低減することが可能となる。

【0069】

本実施形態では、表面型MOS容量を用いて説明したが、図5(b)のように、電極404の下部の活性領域の表面にN型半導体領域を配して、埋め込み型のMOS容量とすることもできる。

30

【0070】

また、本実施形態では、第2領域324に、P型半導体領域としてPウェルを構成するP型半導体領域312を配した例を示した。ただし、第2領域324に配されるP型半導体領域の深さは特に限定されるものではない。したがって、第2領域324の絶縁膜316との界面を構成する領域以外の領域がN型半導体領域となっていてもよい。即ち、第2領域324に設けられたP型半導体領域の下にN型半導体領域が設けられていてもよい。

【0071】

また、ここでは、P型半導体領域312の上に配される絶縁膜316を電極404の下部に位置する絶縁膜316と同じ絶縁膜として説明した。しかし、例えば層間絶縁膜のように、電極の下部に位置する絶縁膜316とは異なった絶縁膜がP型半導体領域312の上に配されてもよい。

40

【0072】

さらに、本実施形態では、光電変換部201が配される活性領域313Aと、容量208が配される活性領域313Bとを別の活性領域としたが、必ずしもそれぞれが別の活性領域である必要はなく、同一活性領域としてもよい。

【0073】

以下、本実施形態で説明した撮像装置の具体的な実施例を説明する。

50

【0074】

(実施例1)

図6に本実施例の撮像装置の1画素の特徴を説明するための平面模式図及び断面模式図を示す。図1～5と同様の機能を有する部分には同様の符号を付し詳細な説明を省略する。本実施例において、第2半導体領域に該当するのはP型半導体領域405である。P型半導体領域405は、P型のウェルを構成するP型半導体領域412に配される。

【0075】

図6(a)は本実施例の撮像装置の1画素の平面模式図を示す。本実施例の活性領域の構成は、実施形態の図4(a)で示した活性領域(313A、313B、313C)と同様に、絶縁体分離部300によって区画されている。

10

【0076】

また、本実施例では、実施形態で説明した図4(b)の構成と同様に、平面視において、第2活性領域313Bは、電極404を挟んで配された、第1領域323と第2領域324を含んでいる。そして、N型半導体領域303Bが第1領域323に配され、P型半導体領域405が第2領域324に配されている。P型半導体領域405は、P型半導体領域405の下部に配されたP型半導体領域412よりも不純物濃度が高い。

【0077】

活性領域313Aには、第1方向に直交する第2方向に沿って、光電変換部201、ゲート電極402、N型半導体領域303Aが配されている。そして、活性領域313Bには、第2の方向に沿って、N型半導体領域406、ゲート電極407、N型半導体領域408、ゲート電極409、N型半導体領域410、ゲート電極411、N型半導体領域303B、電極404、P型半導体領域405が配されている。

20

【0078】

ここで、活性領域313Aに配されているN型半導体領域303Aと活性領域313Bに配されているN型半導体領域303B及びN型半導体領域303Bに電気的に接続される容量208、ゲート電極409は導電体によって接続されている。FD203はN型半導体領域303A、303Bを有している。

【0079】

次に図6(b)は図6(a)のC-D線に沿った断面模式図、図6(c)は図6(a)のA-B線に沿った断面模式図である。まず図6(b)について説明する。

30

【0080】

光電変換部201は、N型半導体領域401とP型半導体領域412により構成されるPN接合を有している。本実施例では光電変換部201はフォトダイオードである。またN型半導体領域401の表面にP型半導体領域415が配されることで埋め込み型のフォトダイオードを構成している。ここでN型半導体領域401は各トランジスタのソース、ドレインを構成する半導体領域に比べ、絶縁膜316に対して深い位置まで配されている。

【0081】

図2の転送トランジスタ202は、ドレインとなるN型半導体領域401、ゲート電極402、ソース領域となるN型半導体領域303Aにより構成される。

40

【0082】

次に、図6(c)に示した、活性領域313Bについて説明する。

【0083】

図2のリセットトランジスタ204は、ソース領域となるN型半導体領域303B、ゲート電極411、ドレイン領域となるN型半導体領域410により構成される。図2のリセットトランジスタ204は、ソース領域となるN型半導体領域303B、ゲート電極411、ドレイン領域となるN型半導体領域410により構成される。図2の増幅トランジスタ205は、ドレイン領域となるN型半導体領域410、ゲート電極409、ソース領域となるN型半導体領域408により構成される。図2の選択トランジスタ206は、ドレイン領域となるN型半導体領域408、ゲート電極407、ソース領域となるN型半導

50

体領域 4 0 6 により構成される。

【 0 0 8 4 】

そして、第 3 活性領域 3 1 3 C には P 型半導体領域 4 1 4 が配されている。この P 型半導体領域 4 1 4 には、ウェルを構成する P 型半導体領域 4 1 2 に所定の電位を供給するコンタクトプラグが接続されている。このような構成により、P 型半導体領域 4 1 2 の電位変化を抑制することができる。所定の電圧とは例えば接地電位である。

【 0 0 8 5 】

そして、図 2 の切り替えスイッチ 2 0 7 は、電極 4 0 4 を含み、電極 4 0 4 に供給される電圧により、容量 2 0 8 の FD に対する電気的な接続状態と非接続状態とを切り替える。

10

【 0 0 8 6 】

本実施例で第 2 領域 3 2 4 には、絶縁膜 3 1 6 と界面を構成する P 型半導体領域 4 0 5 が配されている。

【 0 0 8 7 】

さらに、第 2 領域 3 2 4 には、P 型半導体領域 4 0 5 の下には、少なくとも絶縁体分離部 3 0 0 の底の深さまで、P 型半導体領域 4 1 2 が配されている。この時、P 型半導体領域 4 1 2 は、P ウェルで構成されてもよい。また、N ウェルの上に P 型半導体領域 4 1 2 が配されていてもよい。

【 0 0 8 8 】

ここで、絶縁体分離部 3 0 0 の底とは、絶縁体分離部 3 0 0 が P 型半導体領域 4 1 2 と界面を構成する深さであって最も深い位置のことである。

20

【 0 0 8 9 】

上述したように P 型半導体領域 4 0 5 の不純物濃度は、P 型半導体領域 4 1 2 の不純物濃度よりも高い。このような構成とすることにより、容量 2 0 8 に近接する部分（第 2 領域 3 2 4 の表面近傍）の P 型の不純物濃度が図 5 (a) や図 5 (b) の構成に比べて高くすることができる。そのため、P 型半導体領域 4 0 5 を設けずに、P 型半導体領域 4 1 2 が絶縁膜 3 1 6 と界面を構成した形態よりも、半導体領域の表面の結晶欠陥によるノイズを低減することができる。

【 0 0 9 0 】

P 型半導体領域 4 0 5 を形成する方法としては、例えば、電極 4 0 4 をマスクとして用いて、予め設けられた P 型半導体領域 4 1 2 の一部の領域にイオン注入をすることで形成することができる。

30

【 0 0 9 1 】

以上のことから、本実施例によれば、絶縁膜 3 1 6 との界面の結晶欠陥によるノイズを低減するとともに、絶縁体分離部 3 0 0 から生じるノイズを低減することができる。

【 0 0 9 2 】

（実施例 2 ）

図 7 に本実施例の撮像装置の 1 画素の特徴を説明するための平面模式図及び断面模式図を示す。図 1 ~ 6 と同様の機能を有する部分には同様の符号を付し詳細な説明を省略する。

40

【 0 0 9 3 】

図 7 (a) は本実施例の撮像装置の 1 画素の平面模式図である。本実施例では、平面視で、第 2 領域 3 2 4 に、P 型半導体領域 4 1 2 を形成し、P 型半導体領域 5 0 5 が電極 4 0 4 に対してオフセットするように P 型半導体領域 4 1 2 の表面に配される。この、P 型半導体領域 5 0 5 が電極 4 0 4 に対してオフセットした領域をオフセット領域 5 1 8 とした時、オフセット領域 5 1 8 を間に挟んで、P 型半導体領域 5 0 5 が設けられている点が実施例 1 と異なる。

【 0 0 9 4 】

このため、本実施例では、オフセット領域 5 1 8 と P 型半導体領域 5 0 5 とが、第 2 領域 3 2 4 に配されている。

50

【0095】

図7(b)は図7(a)のA-B線に沿った断面模式図である。前述したオフセット領域518は、P型半導体領域505よりも不純物濃度の低いP型半導体領域412で構成されている。

【0096】

図3を用いて、オフセット領域518を設ける理由を説明する。

【0097】

図3の時刻 t_{2n} から時刻 t_{7n} の期間では、制御信号 p_{APP} がハイレベルである。そのため、切り替えスイッチ207の電極404の電位はハイレベルになっている。

【0098】

それに対してP型半導体領域412の電位は、接地レベルになるように構成されているため、P型半導体領域505の電位も接地レベルに近い電位となっている。したがって、切り替えスイッチ207の電極404とP型半導体領域505との間に高電界が生じる。ただし、実際には、例えば、電極404の下部のP型半導体領域412が反転して、表面型MOS容量を構成したりと、必ずしもP型半導体領域412のすべての領域が同一の接地電位になるとは限らない。

【0099】

この時に、高電界が印加される領域にノイズとなる電荷が存在するとホットキャリア增幅と呼ばれる現象が生じる可能性がある。ホットキャリア增幅が生じると、N型半導体領域303Bへ電荷が混入し、これがノイズとなる。このホットキャリア增幅を抑制するためには切り替えスイッチ207の電極404とP型半導体領域505との間の電界を緩和すればよい。

【0100】

そこで、本実施例においては、電極404とP型半導体領域505との間に、P型半導体領域505よりも不純物濃度の低いP型半導体領域412(オフセット領域518)を設けている。このような構成によって、電極404とP型半導体領域505の間にP型半導体領域412(オフセット領域518)を設けない場合に比べて広い空乏層が広がる。そのため、電極404とP型半導体領域505の間の電界を緩和することが出来る。

【0101】

電極404との間にオフセット領域518を設けてP型半導体領域505を配する方法としては、例えば、電極404の側壁に絶縁体で形成したサイドスペーサを用いる方法がある。具体的には、サイドスペーサをマスクとして用いて、予め設けられたP型半導体領域412にイオン注入することで、電極404との間にP型半導体領域412を挟んで、P型半導体領域505を配することができる。

【0102】

したがって、本実施例によれば、ホットキャリア增幅の発生を抑制し、更にノイズを減らすことが出来る。

【0103】

(実施例3)

図8に本実施例の撮像装置の1画素の特徴を説明するための平面模式図及び断面模式図を示す。図1~7と同様の機能を有する部分には同様の符号を付し詳細な説明を省略する。

【0104】

図8(a)は、本実施例の撮像装置の1画素の平面模式図である本実施例では実施例2のオフセット領域518にP型半導体領域619を配している点が実施例2と相違する。つまり、本実施例では、平面視において、第2領域324において、P型半導体領域605が、電極404との間に、不純物濃度がP型半導体領域412の不純物濃度よりも高いP型半導体領域619を間に挟んで、設けられている点が実施例2と相違する。

【0105】

図8(b)は図8(a)のA-B線に沿った断面模式図である。

10

20

30

40

50

【0106】

前述したP型半導体領域619は、P型半導体領域412よりも不純物濃度が高く、P型半導体領域605よりも不純物濃度が低い領域である。

【0107】

このように第2領域324に、P型半導体領域605と電極404の間にP型半導体領域619を配することで、P型半導体領域619を低濃度の電界緩和領域とし、P型半導体領域605とゲート電極間の電界を緩和することができる。このような構造をLDD構造という。これにより、ホットキャリア増幅を抑制することができ、信頼性および耐圧を向上させることができる。

【0108】

10

更に周辺回路にLDD構造を有するPMOSトランジスタを設けた場合には、本実施例のP型半導体領域605及びP型半導体領域619と周辺回路のPMOSトランジスタのソース及びドレインを形成する不純物イオン注入工程を同一工程にしてもよい。

【0109】

本実施例の画素がこのような構造を形成することで、本実施例の構成を適応した画素の製造工程において、特段の製造プロセス工程を増やすことなく、周辺回路と一緒に画素を形成することが可能となる。

【0110】

ここで周辺回路領域とは、半導体基板320上の、複数の画素が配列された領域の周辺部に配された領域を言う。この周辺回路領域には、先に説明した制御信号pSEL、pRES、pTX、pAPPなどを出力する制御回路が設けられている。また周辺回路領域には、複数の画素から図2に示す信号線211を通して出力された信号を、サンプリングしたり、出力したりする回路が設けられている。これは以下の実施例においても同様である。

20

【0111】

本実施例では、P型半導体領域605と電極404の間にP型半導体領域605よりも不純物濃度の低く、P型半導体領域412よりも不純物濃度の高いP型半導体領域619を設けた。前述した実施例2と同様に容量208の電極404とP型半導体領域605との間の電界を緩和することが可能であり、ホットキャリア増幅を抑制し、ノイズを抑制することが出来る。

30

【0112】

(実施例4)

図9に本実施例の撮像装置の1画素の特徴を説明するための平面模式図及び断面模式図を示す。図1~8と同様の機能を有する部分には同様の符号を付し詳細な説明を省略する。

【0113】

図9(a)は本実施例の撮像装置の1画素の平面模式図である。本実施例では、平面視において、第2領域324において、N型半導体領域303Bが第1領域323に配され、不純物濃度がP型半導体領域412の不純物濃度よりも高いP型半導体領域705が第2領域324に配されている点は実施例1と同様であるが、P型半導体領域705の下にN型半導体領域717を配している点が実施例1と相違する。図9(b)は図9(a)のA-B線に沿った断面模式図である。

40

【0114】

図9(b)に示すように、本実施例では、P型半導体領域705の下に、P型半導体領域705と界面を構成するN型半導体領域717が設けられている。このN型半導体領域717が、前述した表面型MOS容量又は、埋め込み型のMOS容量に電気的に接続される。そして、N型半導体領域717が構成するPN接合容量は、容量208の一部を構成する。

【0115】

なお、P型半導体領域705とN型半導体領域717は、第2領域324にイオン注入

50

することにより P 型半導体領域 705 と N 型半導体領域 717 とを深さ方向にこの順に配する。

【 0116 】

本実施例では、第 2 領域 324 に配された P 型半導体領域 705 は、必ずしも P 型半導体領域 412 よりも不純物濃度が高くなくてもよい。その場合には、P 型半導体領域 705 を P ウェルである P 型半導体領域 412 で置き換えることができる。

【 0117 】

(実施例 5)

図 10 に本実施例の撮像装置の 1 画素の特徴を説明するための平面模式図及び断面模式図を示す。図 1 ~ 9 と同様の機能を有する部分には同様の符号を付し詳細な説明を省略する。

10

【 0118 】

図 10 (a) は本実施例の撮像装置の 1 画素の平面模式図である。図 10 (b) は図 10 (a) の A - B 線に沿った断面模式図である。本実施例の活性領域 313A ~ 313C は、図 10 (c) に示すように、第 1 活性領域 313A の形状が実施例 1 ~ 4 の第 1 活性領域 313A と異なっている。そして、第 1 活性領域 313A に、電極 404 と第 2 領域 324 が配されている点が実施例 1 ~ 実施例 4 と相違する。本実施例では、第 1 活性領域 313A に、電極 404 を挟んで、N 型半導体領域 303A と P 型半導体領域 805 が配されている。N 型半導体領域 303A が配される領域が第 1 領域 323 に対応し、P 型半導体領域 805 が配される領域が第 2 領域 324 に対応する。

20

【 0119 】

本実施例では、第 1 活性領域 313A に、光電変換部 201、N 型半導体領域 303A、電極 404、P 型半導体領域 805 が配される。また、第 2 活性領域 313B には、N 型半導体領域 406、ゲート電極 407、N 型半導体領域 408、ゲート電極 409、N 型半導体領域 410、ゲート電極 411、N 型半導体領域 303B が配される。第 3 活性領域 313C には、P 型半導体領域 414 が配され、この P 型半導体領域 414 には、P 型半導体領域 412 に電位を供給するコンタクトプラグが接続されている。

【 0120 】

本実施例では、FD203 は N 型半導体領域 303A、303B とを有する。

【 0121 】

30

以上、具体的な実施例を挙げて本発明の説明を行ったが、本発明は上記実施の形態に制限されるものではなく、本発明の目的および範囲から離脱することなく、様々な変更及び変形が可能である。

【 0122 】

たとえば、絶縁体分離部 300 と活性領域の界面にチャネルトップ領域とよばれる高濃度の半導体領域が設けられる場合がある。これによって N 型のデバイス間のチャネル形成を抑制する場合には、P 型の高濃度の半導体領域が用いられ、P 型のデバイス間のチャネル形成を抑制する場合には、N 型の高濃度の半導体領域が用いられる。上述の各実施例においては、光電変換部 201、容量 208、画素のトランジスタは N 型のデバイスであるため、チャネルトップ領域は P 型の半導体領域が用いられる。

40

【 0123 】

上述の各実施例においてもこのようなチャネルトップ領域を設けてよい。その場合には、P 型半導体領域 312、405、412、505、605、705、805 と絶縁体分離部 300 との界面に P 型のチャネルトップ領域を設けてよい。このような構成にすることで、絶縁体分離部 300 から生じるノイズを低減することも可能となる。これは他の実施例においても同様である。

【 0124 】

(実施例 6)

図 11 に本実施例の撮像装置の 1 画素の特徴を説明するための平面模式図及び断面模式図を示す。また、図 12 に駆動タイミング図を示す。図 1 ~ 10 と同様の機能を有する部

50

分には同様の符号を付し詳細な説明を省略する。

【0125】

図11(a)は1画素の平面模式図である。本実施例では、第3活性領域313Cが配されていない点が実施例1から5と異なる点である。

【0126】

図11(b)は図11(a)のA-B線に沿った断面模式図である。

【0127】

本実施例では、P型半導体領域905には、基準電位が供給されたコンタクトプラグが絶縁膜316を貫通してP型半導体領域905に接続される。この構成により、実施例1～5で用いていたP型のウェル領域412に基準電位を供給するためのP型半導体領域414と、第2領域324に配されたP型半導体領域(405～805)とを共通にし、P型半導体領域905とする構成である。

10

【0128】

なお、この構成はすべての実施例に適応可能である。これによって第3活性領域313Cを設けないことで、平面レイアウトを縮小できるため、容量208、もしくは光電変換部201の平面視における面積を増大させることが可能となる。

【0129】

例えば、本実施例では電極404の面積を拡大することで、容量208の容量値を増加させることが出来る。そのため、容量208をFD203に電気的に接続した時に、増幅トランジスタ205の入力ノードの容量値を増加させることが可能となり、ダイナミックレンジをより拡大することが可能である。

20

【0130】

また、光電変換部201を拡大した場合は飽和信号量の増大が可能となる。また、増幅トランジスタ205を拡大した場合は、1/fノイズを低減し、画質を向上させることが可能となる。

【0131】

(駆動方法の変形例)

図12に記載の駆動方法の変形例について説明する。図12(a)、(b)は、容量208を非接続状態とした際のK行目の画素の駆動タイミングと、K+1行目の画素の駆動タイミングの一例を示す。図3の駆動タイミング図とは、所望の蓄積時間の信号を得るために光電変換部201の電荷をリセットする動作である時刻t1kから時刻t2kが追加されている点で異なる。

30

【0132】

図12(a)において、光電変換部201に信号を蓄積している期間であるt2kからt6kの期間に、光電変換部201にノイズとなる電荷が混入してしまう場合がある。これを抑制するために、本実施例では時刻t2kから時刻t4kの期間でpAPP(k)をHighレベルとし、容量208をリセットする。

【0133】

この駆動制御により、P型半導体領域905でノイズとなる電子が生じた場合に、光電変換部201よりも近傍にあり、且つ高いポテンシャルにリセットされているN型半導体領域303Bへと電子を誘導する。それによって、光電変換部201へ暗電流が混入することを抑制できる。

40

【0134】

なお、容量208を動作状態とし、N型半導体領域303Bの容量値を増大させることでダイナミックレンジを拡大した状態で、信号を読み出す際には時刻t4kでpAPP(k)をローレベルにしなくてもいい。

【0135】

本変形例は上述の全ての実施例に共通して適用可能な駆動方法である。特に、実施例6には、適用するほうがよい。なぜならば、実施例6では、P型半導体領域405にコンタクトプラグが接続され、その部分において、ノイズと成る電子が発生する場合があるから

50

である。このようなノイズに対し本変形例を適用することで、更にノイズを低減させることが可能となる。

【符号の説明】

【0 1 3 6】

3 0 3 B 第1半導体領域

3 1 2 第2半導体領域

3 1 6 絶縁膜

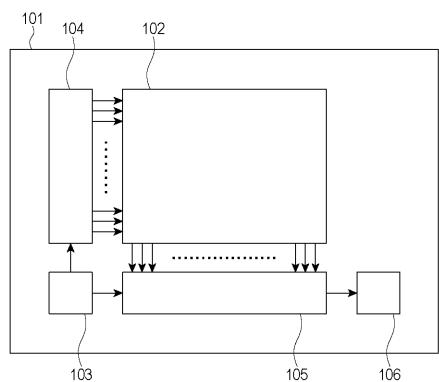
3 2 3 第1領域

3 2 4 第2領域

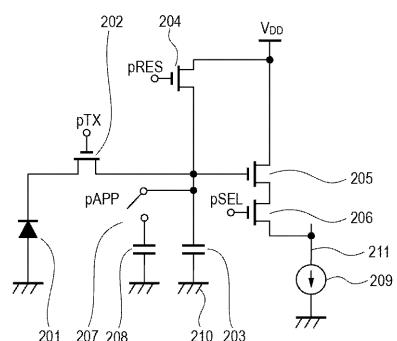
4 0 4 ゲート電極

10

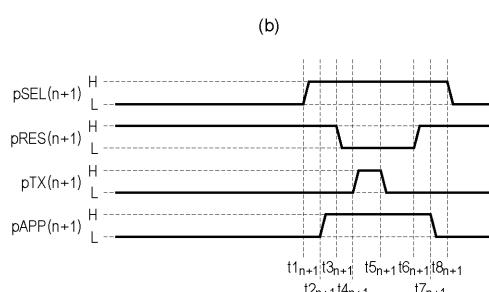
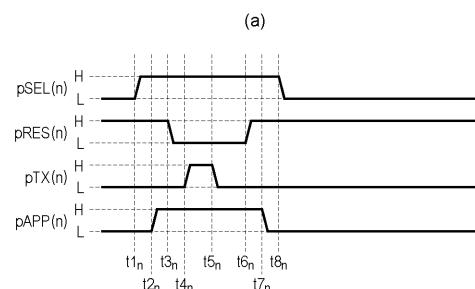
【図1】



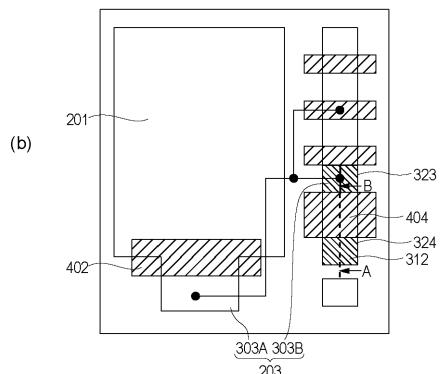
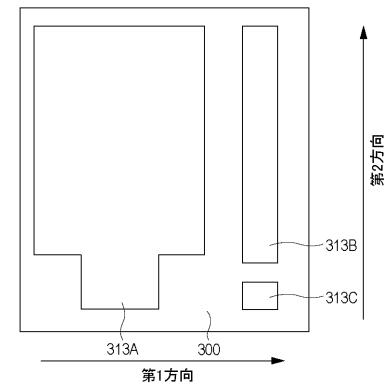
【図2】



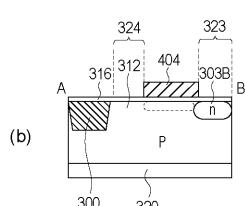
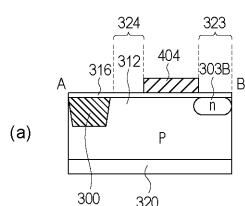
【図3】



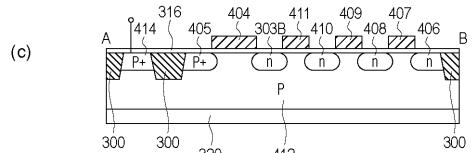
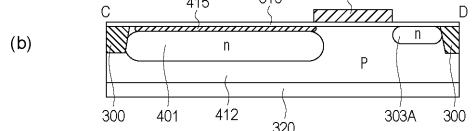
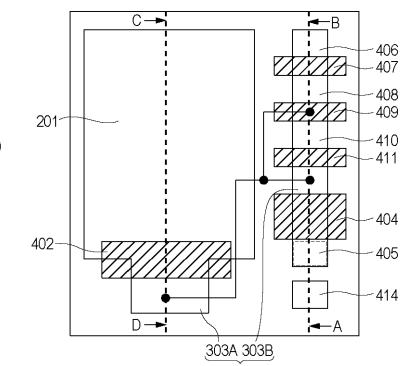
【図4】



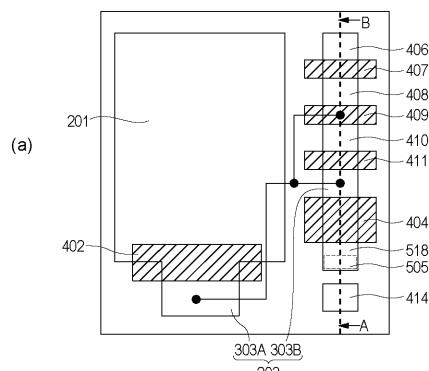
【図5】



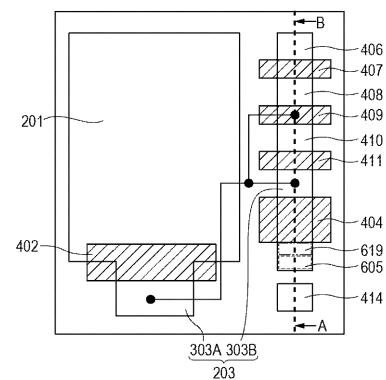
【図6】



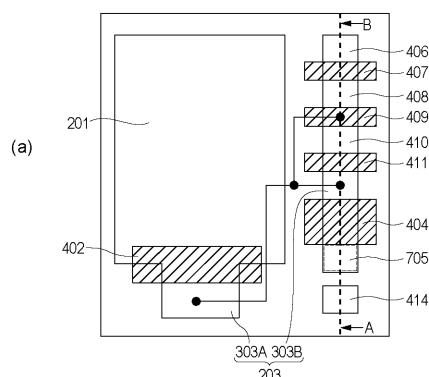
【図7】



【 四 8 】



【 図 9 】



【 囮 1 0 】

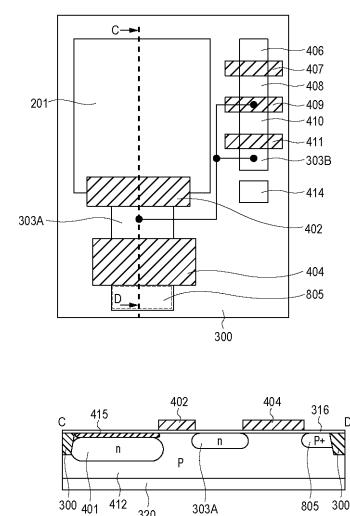
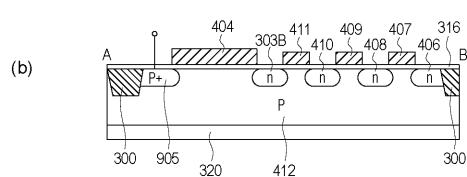
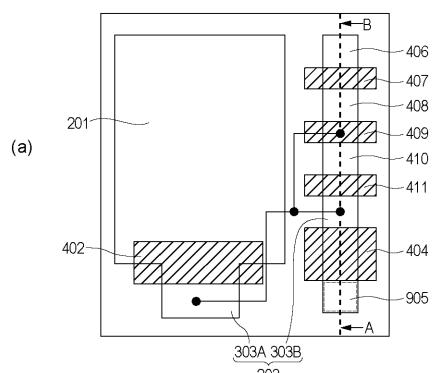
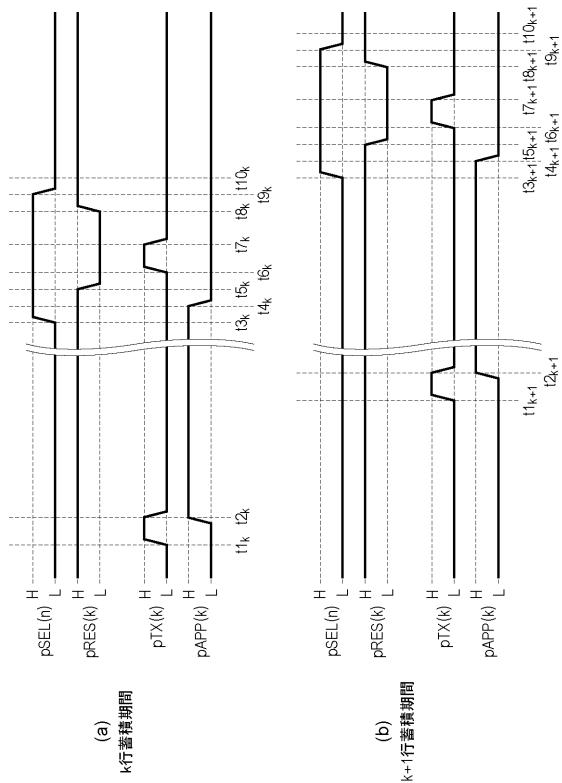


Diagram (c) illustrates a cross-sectional view of a structure. The structure features a main rectangular frame with a central vertical channel. On the left side, a vertical column labeled 313A extends downwards from the top of the frame. On the right side, a vertical column labeled 313B is positioned above a horizontal rectangular block labeled 313C. A horizontal line labeled 300 is drawn across the bottom of the structure, intersecting the central channel and the base of the vertical columns.

【図11】



【図12】



フロントページの続き

(56)参考文献 特開2008-305983(JP,A)
特開平10-308507(JP,A)
特開2006-262358(JP,A)
特開2009-253150(JP,A)
特表2014-525673(JP,A)
特開2008-205639(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/339
H01L 27/14 - 27/148
H01L 27/30
H01L 29/762
H04N 5/30 - 5/378