

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 21 年 2 月 12 日 (2009.2.12)

【公開番号】特開 2007-180640 (P2007-180640A)

【公開日】平成 19 年 7 月 12 日 (2007.7.12)

【年通号数】公開・登録公報 2007-026

【出願番号】特願 2005-373808 (P2005-373808)

【国際特許分類】

H 0 3 K 19/00 (2006.01)

H 0 3 K 19/0948 (2006.01)

H 0 3 F 3/347 (2006.01)

H 0 3 F 1/30 (2006.01)

G 0 5 F 1/56 (2006.01)

【F I】

H 0 3 K 19/00 A

H 0 3 K 19/094 B

H 0 3 F 3/347

H 0 3 F 1/30 B

G 0 5 F 1/56 3 1 0 Q

【手続補正書】

【提出日】平成 20 年 12 月 22 日 (2008.12.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1、第 2 の電源が供給され、出力端子に生成電圧を出力する電圧生成回路であって、
前記第 2 の電源と前記出力端子の間に設けられる第 1 の抵抗素子と、
前記出力端子と第 1 の中間ノードの間に設けられ、そのゲートに第 2 の中間ノードが接続される第 2 導電型の電圧補正用トランジスタと、
前記第 1 の中間ノードと前記第 2 の中間ノードの間に設けられる第 2 の抵抗素子と、
前記第 2 の中間ノードと前記第 1 の電源の間に設けられる第 3 の抵抗素子と、
を含むことを特徴とする電圧生成回路。

【請求項 2】

請求項 1 において、
前記第 2、第 3 の抵抗素子は、そのゲートに前記第 2 の電源の電圧が入力される第 1 導電型のトランジスタにより形成されることを特徴とする電圧生成回路。

【請求項 3】

請求項 1 又は 2 において、
前記第 1 の抵抗素子は、そのゲートに前記第 1 の電源の電圧が入力される第 2 導電型のトランジスタにより形成されることを特徴とする電圧生成回路。

【請求項 4】

請求項 1 又は 2 において、
前記第 1 の抵抗素子は、そのゲートの電圧が制御信号により制御される第 2 導電型のトランジスタにより形成されることを特徴とする電圧生成回路。

【請求項 5】

電源電圧を降圧した調整電圧を生成するレギュレータ回路であって、
請求項 1 乃至 4 のいずれかに記載の電圧生成回路と、

その第 1 の入力端子に、前記電圧生成回路の前記生成電圧である基準電圧が入力され、
その第 2 の入力端子に、レギュレータ回路の前記調整電圧が入力され、前記基準電圧と前記調整電圧の電圧差を増幅する差動増幅回路と、

前記差動増幅回路の出力端子が接続され、前記調整電圧を出力する出力回路とを含み、
前記出力回路は、

レギュレータ回路の出力端子と第 1 の電源との間に設けられ、そのゲートに前記差動増幅回路の出力端子が接続される第 1 導電型の第 1 の出力トランジスタと、

第 2 の電源とレギュレータ回路の出力端子との間に設けられ、そのゲートに前記差動増幅回路の出力端子が接続される第 2 導電型の第 2 の出力トランジスタを含むことを特徴とするレギュレータ回路。

【請求項 6】

請求項 5 において、

前記差動増幅回路は、

前記第 1、第 2 の入力端子を有する差動部と、

前記差動部の第 1 の出力端子が接続される第 1 の出力部と、

前記差動部の第 2 の出力端子が接続される第 2 の出力部を含むことを特徴とするレギュレータ回路。

【請求項 7】

請求項 6 において、

前記差動部は、

前記第 2 の電源と第 1 のノードの間に設けられるバイアス電流生成用の第 2 導電型の第 1 のトランジスタと、

前記第 1 のノードと第 2 のノードの間に設けられ、そのゲートが前記第 1 の入力端子となる第 2 導電型の第 2 のトランジスタと、

前記第 1 のノードと第 3 のノードの間に設けられ、そのゲートが前記第 2 の入力端子となる第 2 導電型の第 3 のトランジスタと、

前記第 2 のノードと前記第 1 の電源の間に設けられ、そのゲート及びドレインが前記第 2 のノードに接続される第 1 導電型の第 4 のトランジスタと、

前記第 3 のノードと前記第 1 の電源の間に設けられ、そのゲート及びドレインが前記第 3 のノードに接続される第 1 導電型の第 5 のトランジスタを含み、

前記第 1 の出力部は、

前記第 2 の電源と第 4 のノードの間に設けられ、そのゲートが前記第 4 のノードに接続される第 2 導電型の第 6 のトランジスタと、

前記第 4 のノードと前記第 1 の電源の間に設けられ、そのゲートが前記第 2 のノードに接続される第 1 導電型の第 7 のトランジスタを含み、

前記第 2 の出力部は、

前記第 2 の電源と第 5 のノードの間に設けられ、そのゲートが前記第 4 のノードに接続される第 2 導電型の第 8 のトランジスタと、

前記第 5 のノードと前記第 1 の電源の間に設けられ、そのゲートが前記第 3 のノードに接続される第 1 導電型の第 9 のトランジスタを含むことを特徴とするレギュレータ回路。

【請求項 8】

請求項 5 乃至 7 のいずれかに記載のレギュレータ回路と、

I / O 領域に形成される複数の I / O セルと、を含み、

前記レギュレータ回路は、前記 I / O 領域に形成されることを特徴とする集積回路装置