

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-525622
(P2009-525622A)

(43) 公表日 平成21年7月9日(2009.7.9)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 21/02 (2006.01) H O 1 L 21/02 B

審査請求 未請求 予備審査請求 未請求 (全 21 頁)

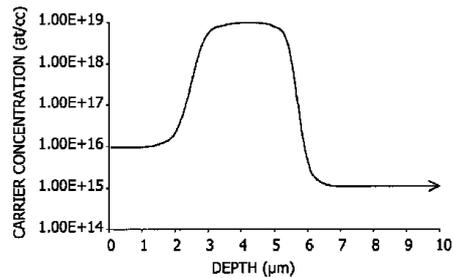
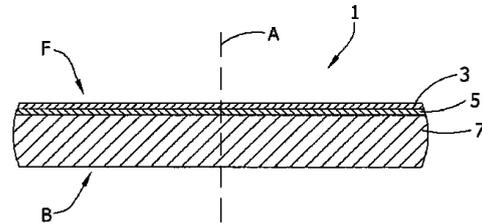
<p>(21) 出願番号 特願2008-553453 (P2008-553453)</p> <p>(86) (22) 出願日 平成19年1月26日 (2007.1.26)</p> <p>(85) 翻訳文提出日 平成20年9月30日 (2008.9.30)</p> <p>(86) 国際出願番号 PCT/US2007/061128</p> <p>(87) 国際公開番号 W02007/090055</p> <p>(87) 国際公開日 平成19年8月9日 (2007.8.9)</p> <p>(31) 優先権主張番号 60/763, 643</p> <p>(32) 優先日 平成18年1月31日 (2006.1.31)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(71) 出願人 392026316 エムイーエムシー・エレクトロニック・マ テリアルズ・インコーポレイテッド MEMC ELECTRONIC MAT ERIALS, INCORPORATED アメリカ合衆国63376ミズーリ州 セ ント・ピーターズ、パール・ドライブ50 1番</p> <p>(74) 代理人 100100158 弁理士 鮫島 睦</p> <p>(74) 代理人 100068526 弁理士 田村 恭生</p> <p>(74) 代理人 100156085 弁理士 新免 勝利</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 高い熱伝導率を有する半導体ウエハ

(57) 【要約】

本発明は、一般に、デバイス層から熱を除去するために向上した熱伝導率を有し、ラッチアップ故障および放射線事象故障などの一般的な故障に対する耐性を有するエピタキシャルシリコン半導体ウエハに関する。半導体ウエハは、軽度にドーピングされたデバイス層、高度にドーピングされた保護層、および軽度にドーピングされた基材を有してなる。

本発明は、そのようなエピタキシャルシリコンウエハを製造する方法にも関する。



【特許請求の範囲】

【請求項 1】

中心軸、全体として前記中心軸に対して垂直な前表面及び後表面、周囲縁、前記中心軸から周囲縁の方へ延びる半径を有する基材であって、約 1×10^{17} キャリヤ/cm³ 未満のドーパント濃度を有している基材；

シリコンデバイス層；

前記デバイス層と基材との間に配されるシリコン保護層であって、約 6.0×10^{17} キャリヤ/cm³ ~ 約 1.0×10^{20} キャリヤ/cm³ の範囲のドーパント濃度にてドーピングされており、少なくとも約 $0.5 \mu\text{m}$ の厚さを有しているシリコン保護層を有する半導体ウエハ。

10

【請求項 2】

保護層が、約 $1 \mu\text{m}$ ~ 約 $5 \mu\text{m}$ の範囲の厚さを有する請求項 1 に記載の半導体ウエハ。

【請求項 3】

保護層が、約 8.5×10^{18} キャリヤ/cm³ ~ 約 2.0×10^{19} キャリヤ/cm³ の範囲のドーパント濃度にてドーピングされている請求項 1 に記載の半導体ウエハ。

【請求項 4】

保護層が、約 3.2×10^{18} キャリヤ/cm³ ~ 約 8.5×10^{19} キャリヤ/cm³ の範囲のドーパント濃度にてドーピングされている請求項 1 に記載の半導体ウエハ。

【請求項 5】

基材が約 5×10^{14} キャリヤ/cm³ ~ 約 1×10^{16} キャリヤ/cm³ の範囲のドーパント濃度を有する請求項 3 に記載の半導体ウエハ。

20

【請求項 6】

デバイス層が P 型ドーパントによってドーピングされている請求項 1 に記載の半導体ウエハ。

【請求項 7】

デバイス層がホウ素によってドーピングされている請求項 1 に記載の半導体ウエハ。

【請求項 8】

基材は、約 5×10^{14} キャリヤ/cm³ ~ 約 1×10^{16} キャリヤ/cm³ の範囲の濃度の P 型ドーパントによってドーピングされており；

保護層は約 3.2×10^{18} キャリヤ/cm³ ~ 約 2.0×10^{19} キャリヤ/cm³ の範囲の濃度の P 型ドーパントによってドーピングされて、約 $1 \mu\text{m}$ ~ 約 $10 \mu\text{m}$ の範囲の厚さを有しており；ならびに

30

デバイス層は約 1×10^{14} キャリヤ/cm³ ~ 約 4×10^{16} キャリヤ/cm³ の範囲の濃度の P 型ドーパントによってドーピングされている請求項 1 に記載の半導体ウエハ。

【請求項 9】

保護層は約 1.0×10^{19} キャリヤ/cm³ ~ 約 1.0×10^{20} キャリヤ/cm³ を超える濃度の P 型ドーパントによってドーピングされ、約 $5 \mu\text{m}$ 未満の厚さを有しており；

デバイス層は約 $2 \mu\text{m}$ ~ $15 \mu\text{m}$ の範囲の厚みである請求項 1 に記載の半導体ウエハ。

40

【請求項 10】

保護層が約 $2 \mu\text{m}$ 未満の厚さを有しており、デバイス層は約 $2 \mu\text{m}$ ~ 約 $5 \mu\text{m}$ の範囲の厚さを有している請求項 9 に記載の半導体ウエハ。

【請求項 11】

中心軸、全体として前記中心軸に対して垂直な前表面及び後表面、周囲縁、前記中心軸から周囲縁の方へ延びる半径を有しており、約 1×10^{17} キャリヤ/cm³ 未満のドーパント濃度を有する基材を有してなる半導体ウエハを製造する方法であって、

基材の前表面に保護層を形成する工程であって、該保護層は約 6.0×10^{17} キャリヤ/cm³ ~ 約 1.0×10^{20} キャリヤ/cm³ の範囲のドーパント濃度にてドーピングされており、少なくとも約 $0.5 \mu\text{m}$ の厚さを有している工程；ならびに

50

保護層の露出する表面に、基材の前表面と平行にデバイス層を成形する工程であって、該デバイス層は約 1×10^{17} キャリヤ / cm^3 未満のドーパント濃度によってドーピングされている工程を含んでなる方法。

【請求項 12】

基材の表面を、シリコンおよびドーパントを含む雰囲気さらして、シリコンエピタキシャル層を析出させることによって保護層を形成する請求項 11 に記載の方法。

【請求項 13】

基材の表面にドーパントイオンを注入することによって保護層を形成する請求項 11 に記載の方法。

10

【請求項 14】

基材の表面をドーパントを含む気体さらして、気相ドーピングされた層を形成することによって第 1 の層を形成する請求項 11 に記載の方法。

【請求項 15】

保護層が、約 $1 \mu\text{m}$ ~ 約 $5 \mu\text{m}$ の範囲の厚さを有する請求項 11 に記載の方法。

【請求項 16】

保護層が、約 8.5×10^{18} キャリヤ / cm^3 ~ 約 2.0×10^{19} キャリヤ / cm^3 の範囲のドーパント濃度にてドーピングされている請求項 11 に記載の方法。

【請求項 17】

保護層が、約 3.2×10^{18} キャリヤ / cm^3 ~ 約 8.5×10^{18} キャリヤ / cm^3 の範囲のドーパント濃度によってドーピングされている請求項 11 に記載の方法。

20

【請求項 18】

基材が、約 5×10^{14} キャリヤ / cm^3 ~ 約 1×10^{16} キャリヤ / cm^3 の範囲のドーパント濃度を有する請求項 16 に記載の方法。

【請求項 19】

デバイス層が P 型ドーパントによってドーピングされている請求項 11 に記載の方法。

【請求項 20】

デバイス層がホウ素によってドーピングされている請求項 11 に記載の方法。

【請求項 21】

基材は約 5×10^{14} キャリヤ / cm^3 ~ 約 1×10^{16} キャリヤ / cm^3 の範囲の濃度にて P 型ドーパントによってドーピングされており、

30

保護層は約 3.2×10^{18} キャリヤ / cm^3 ~ 約 2.0×10^{19} キャリヤ / cm^3 の範囲の濃度にて P 型ドーパントによってドーピングされ、約 $1 \mu\text{m}$ ~ 約 $10 \mu\text{m}$ の範囲の厚さを有しており；ならびに

デバイス層は約 1×10^{14} キャリヤ / cm^3 ~ 約 4×10^{16} キャリヤ / cm^3 の範囲の濃度にて P 型ドーパントによってドーピングされている請求項 11 に記載の方法。

【請求項 22】

基材は約 5×10^{14} キャリヤ / cm^3 ~ 約 1×10^{16} キャリヤ / cm^3 の範囲の濃度にて P 型ドーパントによってドーピングされており；

保護層は約 1.0×10^{19} キャリヤ / cm^3 ~ 約 1.0×10^{20} キャリヤ / cm^3 の範囲の濃度にて P 型ドーパントによってドーピングされ、約 $3 \mu\text{m}$ 未満の厚さを有しており；ならびに

40

デバイス層は約 $2 \mu\text{m}$ ~ $15 \mu\text{m}$ の範囲の厚さを有している請求項 11 に記載の方法であって、

更に、基材の実質的に全体を除去するのに十分な時間で、基材の後表面をアルカリ性エッチング液さらして、保護層を露出させる第 1 のエッチング工程を含む方法。

【請求項 23】

エッチング液が、水酸化カリウム、水酸化ナトリウム、水酸化テトラメチルアンモニウム、およびそれらの組合せからなる群から選ばれる化合物を含んでなる請求項 22 に記載の方法。

50

【請求項 2 4】

第 1 のエッチングによって露出された保護層を、第 2 のエッチング液にさらして、保護層を酸性のエッチング液にさらすことを更に含んでなる請求項 2 2 に記載の方法。

【請求項 2 5】

酸性のエッチング液が、フッ化水素酸、硝酸、および酢酸の溶液を含んでなる請求項 2 4 に記載の方法。

【請求項 2 6】

保護層が約 2 μm 未満の厚さを有し、デバイス層が約 2 μm ~ 約 5 μm の厚さを有する請求項 2 2 に記載の方法。

【発明の詳細な説明】

10

【技術分野】**【0001】**

本発明は、一般に、半導体ウエハおよび半導体ウエハを製造する方法に関する。特に、本発明は、向上した熱伝導率特性を有し、高速プロセッサデバイス用の基材として使用する際に、利点を提供する半導体ウエハに関する。

【背景技術】**【0002】**

半導体産業において、全体的規模の傾向は、プロセッサデバイスの動作周波数を増大させること、およびトランジスタ密度を高めることによって、シリコン出力密度を向上させてきた。しかし、設計および方法の改良から得られる出力低下は、増大する電力密度に伴うより高い操作温度を相殺するためには十分ではない。

20

代わりに、半導体の電気的性能および信頼性は、より高い動作温度にて著しく低下し、半導体の処理速度および寿命を劣化させる。従って、構造全体にわたる半導体接合部の温度を低下させること、特に、より高い電力密度で作動するエリアにおける局所的なホット・スポットを防止することの重要性が高まりつつある。

【0003】

今日、高性能プロセッサデバイスの大部分は、高度に（約 10^{19} キャリヤ / cm^3 ）ドーピングされたシリコン基材ウエハ上に成長させた、薄い（約 2 ~ 4 μm ）、軽度（約 1×10^{15} ~ 1×10^{16} キャリヤ / cm^3 ）ドーピングされたエピタキシャルシリコン層の上で組み立てられており、そこではホウ素が好ましいドーパントである。この型のウエハは、一般に、P / P + + エピタキシャルウエハ、または P / P + エピタキシャルウエハと称されている。これらのようなエピタキシャルシリコン層は、一般に、基材を加熱しながら、ウエハ表面に気体状のシリコン化合物を通過させて熱分解又は分解させる、化学気相成長法（CVD）によって成長させられる。

30

【発明の開示】**【発明が解決しようとする課題】****【0004】**

デバイス層の下側の高度にドーピングされたシリコン基材は、多くの一般的なデバイス故障メカニズム、例えば、デバイス・ラッチアップ故障（device latch-up failure）、拡散漏れ電流（diffusion leakage current）に関連する故障、またはある種のラジエーション・イベント - 関連故障（radiation event-related failures）からの保護を提供することが意図されている。例えば、ラッチアップ故障とは、寄生的接合部（parasitic junction）において切れた短絡回路を生じる電子収集現象（electron-collection phenomenon）のことであるが、これは、特に戦略的ドーピングデザインを用いることによって防止することができる。従って、高度にドーピングされたシリコン基材上に、軽度（軽度）にドーピングされたデバイス層を配置することによって、望ましいラッチアップおよび低拡散電流特性が提供される。

40

【0005】

軽度（軽度）にドーピングされたデバイス層に比べて、高度にドーピングされたシリコン基材を使うことの 1 つの問題点は、その熱伝導性が劣ることである；軽度（軽度）にドーピングされたシ

50

リコンの熱伝導率は、高度にドーピングされたシリコンの約20%高いこと、場合によってはそれ以上であることが報告されている。例えば、P. Komarov et al., Transient Thermo-Reflectance Measurements of the Thermal Conductivity and Interface Resistance of Metallized Natural and Isotopically-Pure Silicon, 34 Microelectronics Journal No. 12, at 1115-1118 (2003)を参照されたい。薄いデバイス層の中で生成された熱の大部分はシリコン基材の中を通過して伝達されて、周囲の雰囲気へ放散され、熱伝導率がより低いと効率および信頼性を低下させる傾向があるため、熱伝導率の違いは重要である。

【0006】

デバイス層から熱除去を向上させるために、シリコン基材の裏面から、パッケージの中を通過し、使用中に、周囲の雰囲気へいたる熱伝達特性を向上させることに焦点が当てられて、これまで努力がなされてきた。ヒートシンクおよびパッケージ材料の設計によって、より低いダイ温度を維持するために、このインタフェースにおける耐熱性が低下したが、そのような努力はデバイス層内のホットスポットにおける局在化加熱の問題には対処していない。

10

【0007】

裏面オートドーピング (Backside autodoping)、即ち、基材の裏面もしくは側面からデバイス層の中へドーパント原子が移動することは、高度にドーピングされた基材を、軽度ドーピングされたデバイス層と組み合わせる場合に、一般的に発生するもう1つの問題である。この作用を制限するための従来のアプローチは、高度にドーピングされた基材に、裏面側酸化物シール (oxide seal) を形成することである。しかし、両面研磨ウエハ (double-side polished wafers) の場合、酸化物シールはエピタキシャルシリコン構造に組み込むことができない。

20

【0008】

軽度ドーピングされたエピタキシャル層を有する高度にドーピングされた基材は、裏面照射テクノロジーが望まれるCMOSイメージセンサー用途において用いられる場合にも、課題が示される。現在、商業的に入手可能なイメージセンサーは、デバイス側から照射 (illuminated) されている。典型的なデバイス側照射用途のため、CMOSイメージセンサー・シリコンウエハは、P⁺またはP⁺⁺濃度ドーピングされた基材、およびP濃度ドーピングされたエピタキシャル層を有している。デバイス側照射 (device-side illumination) の知られている使用は、高度な金属の相互接続を介しての回路機能の向上と、ピクセルサイズの低下を含み、そのような用途のスケール傾向および目標を達成することができない。また、裏面照射は、デバイスのフィルファクター (fill factor) および量子効率 (quantum efficiency) をも向上させながら、これらの目標を達成すると考えられている。これらの用語は、イメージセンサーを実際に照明にすることができる正味の光エネルギーの大きさを測定するための種々の方法として用いられている。フィルファクターは、光にさらすことが可能なイメージセンサーのパーセンテージまたは割合のことであり、伝統的なデバイス側面照明型デバイスでは、金属化被覆層およびフィルムの複雑さが高くなることおよび高度化されたデバイス技術によって、低下する。フィルファクターが低下すると、どの程度の効率で照射された光が活性な電子キャリアを生成することができるかを測定する、量子効率も低下する。

30

40

【0009】

裏面照射技術を用いれば、デバイスパターン、金属被覆層、相互接続部、およびフィルムなどのデバイス側特徴によって、照射プロセスが妨げられないので、イメージセンサーパフォーマンスにおけるこれらの所望された改良が可能となる。その結果、約100%のフィルファクター、反射防止コーティングにおける可撓性の向上、および向上した量子効率をもたらされる。さらに、裏面照射によって、高度なデバイスアーキテクチャおよび相互接続の統合をもたらされる。しかしながら、裏面照射は、可視光線を電気信号へ効率的に変換するために、デバイス側の光ダイオードの数ミクロンの範囲内で行う必要がある。このことは、滑らかな裏側表面を形成するために、本来の形成されたままの (as-formed) シリコン構造対の裏面から、安定して均一に材料を除去することを要求し、シリコン構

50

造体を数百マイクロンから、わずかに数マイクロンへ、例えば約 $15 \mu\text{m}$ 未満の厚さへ薄くすること (thinning) を必要とする。さらに、裏側表面は、表面におけるフォトン生成キャリア (photon-generated carriers) の再結合に対して不活性化され得ることが必要であり、イメージセンサーデバイスの中の電界によって、これらのフォトン生成キャリアを、コレクティング光ダイオードへ向かわせることも必要とされる。そのような特徴は、シリコン構造体を薄くするための常套の機械的もしくは化学的手段を用いて、容易に確認することができない。薄くする機械的手段は、そのような小さな寸法では実施することができない可能性があるし、イメージセンサーの物理的特長の許容範囲内で、化学的除去率を制御することが困難でもある。

【課題を解決するための手段】

【0010】

(発明の概要)

本発明の種々の特徴の中に、一般的な半導体故障メカニズムへの耐性を提供しながら、好適な熱伝達特性を有するシリコン半導体ウエハがある。

【0011】

従って、簡単には、本発明は、シリコンデバイス層、基材、および該デバイス層と基材との間に配されたシリコン保護層を含んでなる半導体ウエハに関する。基材は、中心軸、全体として前記中心軸に対して垂直な前表面及び後表面、周囲縁、前記中心軸から周囲縁の方へ延びる半径を有している。保護層は、少なくとも約 $0.5 \mu\text{m}$ の厚さを有し、ドーピングされており、該保護層におけるドーパント濃度は、約 6.0×10^{17} キャリヤ / cm^3 ~ 約 1.0×10^{20} キャリヤ / cm^3 の範囲にある。デバイス層および基材もドーピングされており、デバイス層および基材におけるドーパントの濃度は約 1×10^{17} キャリヤ / cm^3 未満の濃度である。

【0012】

本発明はこの半導体ウエハを製造するための方法にも関する。

【0013】

その他の目的および特徴は、一部は明らかであり、一部は以下に記載する。

対応する符号は、図面の全体について、共通する部材を示している。

【発明を実施するための最良の形態】

【0014】

(発明の詳細な説明)

図1を参照すると、本発明の種々の特徴の中で、向上した熱伝導性を有する半導体ウエハ1が示されている。半導体ウエハ1は、前表面F、後表面Bおよび想像上の中心軸Aを有している。本明細書において、「前」および「後」の用語は、ウエハの、全体として平面状の2つの主要な表面を区別するために用いている。半導体ウエハ1は、シリコンデバイス層3、シリコン保護層5および基材7をも有している。

【0015】

一般的に知られている種々のデバイス故障メカニズムを抑制するため、基材7の熱伝導率は、(125 を越えない温度で)保護層5の熱伝導率よりも、少なくとも5%大きいことが好ましい。基材7の熱伝導率は、(125 を越えない温度で)保護層5の熱伝導率よりも、少なくとも10%大きいことがより好ましい。例えば、いくつかの態様例において、基材7の熱伝導率は、125 を越えない温度で、保護層5の熱伝導率よりも、少なくとも15%大きいこと、少なくとも20%大きいこと、もしくは少なくとも25%大きいことになる。

【0016】

図2を参照すると、半導体ウエハ1は、半導体ウエハ1の中心軸Aから縁部Eへ延びる、仮想的半径Rを有している。本発明の半導体ウエハは、デバイス組立てプロセスにおける出発材料として使用されるので、デバイス層3およびシリコン保護層5がウエハの直径を実質的に横切って延びることが一般に好ましい。すなわち、デバイス層3およびシリコン保護層5は、軸Aを含んで、軸Aのまわりに対称的に配置され、軸から半導体ウエハ縁

10

20

30

40

50

部 E までの半径 R の長さの少なくとも 90% で延びることが一般に好ましい。デバイス層 3 およびシリコン保護層 5 は、軸 A を含んで、軸 A のまわりに対称的に配置され、軸から半導体ウエハ縁部 E までの半径 R の長さの少なくとも 99% で延びることがより好ましい。

【0017】

図 3 を参照すると、本発明の代表的な半導体ウエハについてのキャリア濃度プロファイルが示されている。図示するように、半導体ウエハのデバイス層（ウエハの深さ 0 μm から 2 μm の領域）は、約 1×10^{16} キャリヤ / cm^3 のドーピング濃度を有しており、シリコン保護層（ウエハの深さ約 3 μm から約 5 μm の領域）は約 1×10^{19} キャリヤ / cm^3 のドーパント濃度を有しており、基材（ウエハの深さ約 6 μm 以上の領域）は約 1×10^{15} キャリヤ / cm^3 のドーパント濃度を有している。本発明に関して、基材のために半導体材料が選ばれる場合、デバイス層 3 2、保護層 3 3 および基材 3 4 のそれぞれをドーピングするために、P 型ドーピングまたは N 型ドーパントのいずれを用いることもできる。

【0018】

I. 基材

一般に、基材は、その上に追加の層が形成される材料を有しており、少なくとも約 120 W / m K の熱伝導率を一般に有している。基材は 1 層の材料を有することもでき、複数の層の材料を有することもできる。しかしながら、一般に、基材は、既知の技術、例えばチョクラルスキー ("Cz") 法またはフロート・ゾーン法などの 1 つによって、成長された単結晶シリコンインゴットからスライスされる。そこで、本明細書では、説明の目的で、単結晶シリコンウエハについて言及する。従って、1 つの用途において、本発明のウエハのための出発材料は、一般に 150 mm、200 mm、300 mm もしくはそれ以上の公称直径を有する、Cz 結晶成長法に従って成長させた単結晶インゴットからスライスされたシリコン基材である。基材は、ポリッシュされていてもよいし、別法としてラップされ、そしてポリッシュされずに、エッチングされていてもよい。そのような方法は、標準的なシリコンスライス技術と同様に、例えば FuMio SHIMURA、SEMICONDUCTOR SILICON RYS TAL TECHNOLOGY (1989)、および SILICON CHEMICAL ETCHING (Josef Grabmaier Ed, 1982) に開示されている。好ましくは、基材は、従来技術において当業者に既知であった標準的方法によってポリッシュおよび清浄化されている。例えば、HANDBOOK OF SEMICONDUCTOR SILICON TECHNOLOGY (William C. O'Mara et al. eds., 1990) を参照されたい。

【0019】

一般に、単結晶シリコン基材は、それらの呼称が従来技術において従来から使用されており、ならびに本明細書に記載しているように、軽度にドーピングされており、従って P 型シリコンまたは N 型シリコンである。すなわち、P 型ドーピング用途のために、シリコン基材は、一般に約 1×10^{16} キャリヤ / cm^3 未満、例えば約 5×10^{15} キャリヤ / cm^3 未満を有する。さらに、より低いドーピングレベルで観察される望ましくない現象、例えば、酸素に関連するサーマルドナーの生成を最小化するために、基材は一般に、少なくとも約 5×10^{14} キャリヤ / cm^3 を有している。例えば、P 型ドーピングされた単結晶シリコン基材は、一般に、約 5×10^{14} キャリヤ / cm^3 ~ 約 1×10^{16} キャリヤ / cm^3 の範囲の値を有している。N 型ドーピング用途のために、シリコン基材は、一般に、約 1×10^{15} キャリヤ / cm^3 未満、例えば約 5×10^{14} キャリヤ / cm^3 未満の値を有する。

【0020】

もう 1 つの要旨において、シリコン基材は、それらの用語が従来から使用されており、ならびに本明細書に記載しているように、P++ 型シリコンまたは N++ 型シリコンの熱伝導率よりも少なくとも約 5% 大きい熱伝導率を有している。一般に、ドーピングされたシリコンの熱伝導率はドーピングレベルおよび雰囲気温度に反比例し、即ち、ドーパントの濃度および雰囲気温度が増大すると、ドーピングされたシリコンの熱伝導率は低下する。今までに収集されたデータは、室温において、P++ 型シリコンまたは N++ 型シリコ

10

20

30

40

50

ンは、約 $114 \text{ W/m}\cdot\text{K}$ 未満の熱伝導性を表することを示している。従って、シリコン基材の熱伝導率は、約 120 W/m より大きい。より一般的に、シリコン基材の熱伝導率は、約 $130 \text{ W/m}\cdot\text{K}$ よりも大きく、例えば約 $135 \text{ W/m}\cdot\text{K}$ よりも大きい。ある用途では、熱伝導率は、約 $140 \text{ W/m}\cdot\text{K}$ より大きく、場合によっては約 $150 \text{ W/m}\cdot\text{K}$ より大きいこともある。

【0021】

基材に種々の望ましい特性を付与するため、単結晶シリコン基材は、少なくとも1種のドーパントを含有する。例えば、基材は、P型ドーパント（すなわち、周期表第3族の元素（例えば、ホウ素、アルミニウム、ガリウムおよびインジウム））、またはN型ドーパント（すなわち、周期表第5族の元素（例えばリン、ヒ素、アンチモン））を含有する

10

【0022】

II. 保護層

保護層は、一般に高度にドーピングされたシリコンを有して、一般的なデバイス故障メカニズム、例えば、ラッチアップ故障および低拡散電流故障に対する保護を提供する。用途に応じて、上述した適切なP型またはN型のドーパントのいずれかを、保護層を形成するために使用することができる。全体として、保護層は、一般に約 1×10^{18} キャリヤ/cm³ より高い値を有する。例えば、P型ドーピング用途のために、高度にドーピングされたシリコン保護層は、約 1×10^{18} キャリヤ/cm³ ~ 約 1×10^{20} キャリヤ/cm³ の範囲の値を有する。ドーパント濃度がP++として特徴付けられる場合には、約 8.5×10^{18} キャリヤ/cm³ ~ 約 2.0×10^{19} キャリヤ/cm³ の範囲の値を有し、ドーパント濃度がP+として特徴付けられる場合には、約 3.2×10^{18} キャリヤ/cm³ ~ 約 8.5×10^{18} キャリヤ/cm³ の範囲の値を有する。1つの好適な態様例において、保護層のドーパント濃度は約 1.0×10^{19} キャリヤ/cm³ ~ 約 1.25×10^{19} キャリヤ/cm³ の範囲にある。N型ドーピング用途について、高度にドーピングされたシリコン保護層は約 6.0×10^{17} キャリヤ/cm³ ~ 約 5×10^{19} キャリヤ/cm³ の範囲の値を有する。ドーパント濃度がN++と特徴付けられる場合には、約 1.2×10^{19} キャリヤ/cm³ ~ 約 3.5×10^{19} キャリヤ/cm³ の範囲の共通する範囲を有し、ドーパント濃度がN+と特徴付けられる場合には、約 6.0×10^{17} キャリヤ/cm³ ~ 約 4.5×10^{18} キャリヤ/cm³ の範囲の値を有する。

20

30

【0023】

もう1つの要旨において、保護層は、基材の熱伝導率よりも低い熱伝導性によって特徴付けられる。すなわち、保護層は、室温にて約 $114 \text{ W/m}\cdot\text{K}$ 未満の熱伝導率によって特徴付けられている。例えば、保護層は、室温にて約 $110 \text{ W/m}\cdot\text{K}$ 未満、または場合によって約 $100 \text{ W/m}\cdot\text{K}$ 未満の熱伝導率によって特徴付けられている。

【0024】

上述した基材の熱伝導率を考慮すると、基材は、約 $120 \text{ W/m}\cdot\text{K}$ 保護層より大きい熱伝導率を有しており、保護層は、約 114 の $\text{W/m}\cdot\text{K}$ より小さい熱伝導率を有する。例えば、1つの用途において、基材の熱伝導率は $130 \text{ W/m}\cdot\text{K}$ より大きく、保護層の熱伝導率は約 $114 \text{ W/m}\cdot\text{K}$ より小さい。もう1つの用途において、基材の熱伝導率は $135 \text{ W/m}\cdot\text{K}$ より大きく、保護層の熱伝導率は約 110 より小さい。

40

【0025】

保護層の抵抗率は、キャリア濃度を見積もることができる代替的方法による。保護層の抵抗率は、一般に、約 $2.5 \text{ m}\cdot\text{cm}$ ~ 約 $25 \text{ m}\cdot\text{cm}$ の範囲であり、共通する範囲が約 $5 \text{ m}\cdot\text{cm}$ ~ 約 $10 \text{ m}\cdot\text{cm}$ の範囲、ならびに約 10 m の $\cdot\text{cm}$ ~ 約 20 m の $\cdot\text{cm}$ の範囲にある。1つの好適な態様例において、保護層の抵抗率は約 $8 \text{ m}\cdot\text{cm}$ である。

【0026】

一般に、保護層は、所望の保護を提供するのに十分に厚く、それでもデバイス層から高

50

い熱伝導率の基材への伝熱を促進するために可能な限り薄い。一般に、保護層は、少なくとも約 $1 \mu\text{m}$ の厚さ、例えば、約 $1 \mu\text{m}$ ~ 約 $10 \mu\text{m}$ の範囲の厚さを有する。より一般的に、保護層は、約 $1 \mu\text{m}$ ~ 約 $5 \mu\text{m}$ の範囲の厚さであり；そして、いくつかの用途のために、保護層は約 $1 \mu\text{m}$ ~ 約 $3 \mu\text{m}$ の範囲の厚さとなり得る。

【0027】

シリコン基材の上の高度にドーピングされたシリコン保護層を形成するために既知のいずれの技術を用いて保護層を形成することができる。例えば、保護層は、エピタキシャルデポジション、イオン注入、および気相ドーピングと高温拡散を用いることによって形成することができる。これらの技術はそれぞれよく知られており、当業者が直ぐに入手することができる文献、例えばSTANLEY WOLF & R.N. TAUBER、SILICON PROCESSING FOR THE VLSI ERA - PROCESS TECHNOLOGY (1st ed. 1986) およびSTEPHEN A. CAMPBELL, THE SCIENCE AND ENGINEERING OF MICROELECTRONIC FABRICATION (2nd ed. 2001) に詳細に記載されている。

10

【0028】

エピタキシャル層は、一般に米国特許第5,789,309号中に記載されているエピタクシー成長プロセスなどの従来技術において知られている方法によって、上述した基材の表面上において、デポジットされたり、成長させられたりし得る。一般に、エピタキシャル層の成長は化学気相成長法 (chemical vapor deposition) によって達成される。それは、この方法が、半導体材料上にエピタキシャル層を成長させるために、最もフレキシブルで、コスト有効性の高い方法の1つであるためである。エピタキシャルデポジションによって保護層を形成することの1つの利点は、エピタクシー成長の間に、既存のエピタクシー成長反応装置を、直接的なドーパント供給と組み合わせて使用することができることである。例えば、シリコンをホウ素によってドーピングする際に、高濃度ジボランソースガスを、エピタキシャル成長させる保護層をドーピングするために用いられるキャリアガスと混合させることができる。

20

【0029】

もう1つの態様例において、イオン注入技術を用いて、単結晶シリコン基材の中にドーパント原子を押し込む（または注入する）ことができる。更にもう1つの態様例において、気相ドーピング技術を用いて、単結晶シリコン基材の中にドーパント原子を押し込むことができる。イオン注入技術または気相ドーピング技術のいずれを用いる場合も、それらの技術は恒温で行い、または、その後高温アニーリングを行って、ドーパント原子を基材の中に拡散させ、保護層を形成する。

30

【0030】

高度にドーピングされたシリコン保護層を形成するために用いられた特定の技術を問わず、高度にドーピングされた保護層と軽度にドーピングされた基材との間の遷移によって作成されたドーパントプロファイルは、また、この界面 (interface) から基材の中へ過剰な電荷キャリアを導く電界を形成する。保護層から電荷キャリアを引き離すように、従ってデバイス層から引き離すように動かす電界を形成することによって、放射線に起因する事象 (events) または故障への影響が保護層によって効果的に低減される。

【0031】

40

III. デバイス層

一般に、デバイス層は、少なくとも1つのレベルの電気デバイスを有するのに十分な厚さである。デバイス層は複数のレベルの電気デバイスを有する子tもでき、従って、特定の用途について必要とされるレベルの数に応じて、厚さは変動し得る。デバイス層は一般に約 $25 \mu\text{m}$ 未満の厚さである。例えば、デバイス層は、一般に約 $1 \mu\text{m}$ ~ 約 $25 \mu\text{m}$ の範囲の厚さとなり得る。いくつかの用途のために、デバイス層は、約 $1 \mu\text{m}$ ~ と約 $20 \mu\text{m}$ の範囲にあるであろう。他の用途において、デバイス層は約 $1 \mu\text{m}$ ~ 約 $10 \mu\text{m}$ の範囲にあるであろう。例えば高速マイクロプロセッサデバイスなどの、更に他の用途では、デバイス層は、約 $1 \mu\text{m}$ ~ 約 $5 \mu\text{m}$ の範囲にあるであろう。別法として、例えばパワーデバイスなどのいくつかの用途のためには、デバイス層は約 $5 \mu\text{m}$ ~ 約 $20 \mu\text{m}$ の範囲にあ

50

るであろう。

【0032】

デバイス層を作成するために、上述したように、半導体ウエハは、いずれか適当なエピタキシャルデポジション技術を受けることもあり得る。成長は、エピタクシー成長反応装置の中で、所望の厚さのデバイス層を形成することについて十分な時間で行われる。デバイス層は、エピタキシャル層を成長させた後に、またはその成長と組み合わせてドーピングすることができる。直接的なドーパント供給は、成長の間にデバイス層をドーピングする場合に行うことができ、例えばホウ素によってシリコンをドーピングする場合に、ジボランソースガスを使用することができる。ドーパントレベルは、一般にP、P⁻、N、またはN⁻と称されるように、常套のシリコンデバイス層に合致している。即ち、デバイス層は、一般に約 7.5×10^{14} キャリヤ/cm³ ~ 約 2.5×10^{16} キャリヤ/cm³の範囲を有し得る。例えば、デバイス層は、一般に、約 1×10^{15} キャリヤ/cm³ ~ 約 1×10^{16} キャリヤ/cm³の範囲を有し得る。用途に応じて、上述したP型ドーパント（例えばホウ素）またはN型ドーパント（例えばリン）のいずれかを用いることができる。P型ドーパントによってドーピングされたデバイス層についての典型的な用途には、例えばマイクロプロセッサデバイス、例えばメモリーおよびロジックアプリケーションが含まれる。N型ドーパントによりドーピングされたデバイス層についての典型的な用途は、パワーデバイスなどが含まれる。

10

【0033】

IV. 得られるウエハの特性および用途

20

A. 裏面オートドーピング防止

1つの態様例において、本発明は、P/P⁺/P⁻半導体構造を形成するために用いられる；すなわち、本発明は、高度にドーピングされたP⁺保護層、および中間的にドーピングされたPデバイス層を有する、軽度にドーピングされたP⁻基材を形成するために用いることができる。そのような半導体構造は、例えば、両面ポリッシュを有する構造と同様に、酸化物シールが所望されない場合の、軽度にドーピングされたデバイス層を有する、高度にドーピングされた基材などのように、裏面オートドーピングが回避されることになっている用途に用いることができる。本発明に従ってP/P⁺/P⁻半導体構造を形成することによって、デバイス層から保護層への機能的に同等のPからP⁺遷移が達成される。その際に、基材のより低いドーピングレベルによる、構造の裏面からデバイス層へのドーパント原子の移行を防止する追加的な利点を伴う。この用途において、基材は約 1×10^{16} キャリヤ/cm³未満のドーパントレベルを有し、保護P⁺層は約 3.2×10^{18} キャリヤ/cm³ ~ 約 8.5×10^{18} キャリヤ/cm³の範囲のドーパントレベルを有し、デバイス層は約 1×10^{14} キャリヤ/cm³ ~ 約 4×10^{16} キャリヤ/cm³の範囲のドーパントレベルを有する。保護層は、約 8.5×10^{18} キャリヤ/cm³ ~ 約 2.0×10^{19} キャリヤ/cm³の範囲のレベルを有するP⁺⁺層であってよい。さらに、保護P⁺層は一般に約 $1 \mu\text{m}$ ~ 約 $10 \mu\text{m}$ の範囲の厚さであり、一方、デバイス層は一般に約 $2 \mu\text{m}$ ~ 約 $5 \mu\text{m}$ の範囲の厚さである。

30

【0034】

B. 裏面照射用途

40

さらに、本発明に従って形成されたP/P⁺⁺/P⁻半導体構造は、例えば改良されたCMOSイメージセンサーデバイスなどの裏面照射用途において用いられる、薄型シリコン構造体の製造に有用である。図16は、この用途における典型的なP/P⁺⁺/P⁻半導体構造のための典型的なキャリア濃度プロファイルを示している。P/P⁺⁺/P⁻半導体構造を形成した後、基材材料の実質的にすべてを除去し、および、極めて均一な厚さを有する、均一に薄くなったP/P⁺⁺シリコン構造体を得るために十分な時間で、P⁻基材の後表面がアルカリ性エッチング液にさらされる。すなわち本発明のこの用途において、高度にドーピングされたP⁺⁺（またはP⁺⁺⁺）保護層は、アルカリ性エッチング液に対するエッチング停止（etch stop）として作用する。一般的なエッチング液は、例えば水酸化テトラメチルアンモニウム（TMAH）、水酸化カリウム（KOH）、および水

50

酸化ナトリウム (NaOH) などの化合物を、適切な濃度で含んでなる。高度にドーピングされた保護層は、アルカリ性エッチング液を用いるエッチング停止として作用する。それは、P - 基材は、P + + 保護層よりも、約 10 倍から約 20 倍速いエッチング速度 (etching rate) にてエッチングされるためである。例えば、図 10 は、アルカリ性エッチング液をどのように用いて、少なくとも約 10 μm のところに示す垂直方向の破線まで材料を除去することができるか、ならびに、少なくとも約 6 μm のところに示す垂直方向の破線まで材料を除去し得るかをグラフによって示している。この用途のために実施されたエッチングは、場合によって電気化学的電池で生じることもあり、それによって、エッチングレートが向上し、エッチング後に場合によって行う電気化学的不動態化ステップを促進し得る。

10

【0035】

場合によって、P - 基材の残る後表面をアルカリ性化学薬品のエッチング液にさらす前に、P - 基材の後表面の実質的な部分を除去するために、機械的手段、例えばグラインディング手段またはポリッシング手段を用いることができる。この場合、アルカリ性エッチング液を用いる前に、P - 基材の厚さの約 75 % 以上、例えば、基材の厚さの約 80 %、約 90 %、または約 95 % を越えて、機械的手段を用いることができる。例えば、再び図 10 を参照して、機械的手段は、少なくとも約 10 μm のところに示す垂直方向の破線まで材料を除去することができ、アルカリ性エッチング液を用いて、少なくとも約 6 μm のところに示す垂直方向の破線まで追加的材料を除去することもできる。さらに、基材の除去によって露出された P + + 表面を、場合によって酸性のエッチング液にさらすことによって、P / P + + シリコン構造体をさらに薄くし、ならびに P + + 表面をさらに滑らかにすることもできる。1つの用途において、例えば酸性のエッチング液は、フッ化水素、窒素、および酢酸の溶液を含んでいる (HNA)。再び図 10 を参照して、酸性のエッチング液を用いて、約 6 μm のところに示す垂直方向の破線から、約 3 μm のところに示す垂直方向の破線まで材料を除去することができる。

20

【0036】

この用途において、基材は約 1×10^{16} キャリヤ / cm^3 未満のドーパントレベルを有し、保護層は約 1.0×10^{19} キャリヤ / cm^3 を越えるドーパントレベル、例えば約 1.0×10^{19} キャリヤ / cm^3 ~ 約 1.0×10^{20} キャリヤ / cm^3 のドーパントレベルを有する。例えば、保護層は、約 5.0×10^{19} キャリヤ / cm^3 ~ 約 1.0×10^{20} キャリヤ / cm^3 の範囲のレベルを有することができる。そのような濃度にてドーピングされたシリコンは、一般に、高度にドーピングされた P + + シリコン層または P + + + シリコン層と称されることもある。さらに、この用途において、保護層の厚さは、より薄い保護層に対応して、より高いドーパント濃度を有するように、制限される。例えば、エッチング停止として作用する保護層は、一般に約 5 μm の厚さ、例えば、2 μm 未満、約 1 μm 未満、または約 0.5 μm より小さい厚みであってよい。1つの用途において、保護層は Ge を更にも含み、これは結晶格子歪みリリーバー (crystal lattice strain reliever) として作用して、高度にドーピングされた保護層が上述したよりも大きい厚みを有することを許容する。最終的に、デバイス層は、一般に約 2 μm ~ 約 15 μm の範囲の厚さ、例えば約 2 μm ~ 約 10 μm の範囲の厚さを有する。1つの用途において、デバイス層は約 2 μm ~ 約 5 μm の範囲の厚さを有する。

30

40

【0037】

得られる P / P + + シリコン構造体の裏面 P + + 表面は滑らかである (それによって、裏面照射の間における光散乱が最小となる)。また、デバイス層から保護層への遷移によって形成されたドーパント勾配 (doping gradient) は、裏面の照明された表面からデバイス層へ向かって離れる電子移動を促進する電界を形成する。このことは、光ダイオード接合点において量子効率が增大する場合に、イメージセンサーデバイスにおいて有利となる。

【0038】

本発明について詳細に説明したので、特許請求の範囲に規定する本発明の範囲から離れ

50

ることなく、変形および変更を行い得ることが明らかである。

【0039】

実施例

以下の実施例は、本発明を、限定することなく、更に説明する。

【0040】

実施例 1

2つの型の半導体ウエハを調製した。第1の型は、P-基材を有する、本発明の代表的な半導体ウエハを示している。第2の型は、P++基材を有する、従来技術において知られている半導体ウエハを示している。それぞれの型の半導体ウエハに、P型ドーパントを用いた。P-基材を有する半導体ウエハは、約 1×10^{16} キャリヤ/cm³の濃度を有するデバイス層がウエハの中へ約2 μm延びており、約 1.0×10^{19} キャリヤ/cm³の濃度を有する保護層がウエハの中の約3~5 μmの深さで延びており、約 1×10^{15} キャリヤ/cm³の濃度を有する基材がウエハの深さの約6 μmから延びるといふ、キャリア濃度プロファイルを有していた。P++基材を有する半導体ウエハは、約 1×10^{16} キャリヤ/cm³の濃度を有するデバイス層がウエハの中へ約2 μm延びており、約 1×10^{19} キャリヤ/cm³の濃度を有する基材がウエハの深さの約3 μmから延びるといふ、キャリア濃度プロファイルを有していた。半導体ウエハの各層のドーピングプロファイルを、図3および4に示す。

10

【0041】

特に、図3および4は、

それぞれの型の半導体ウエハが伴うキャリアドーパントプロファイルが約4 μmの深さについて同様であって、すなわち、両方の型のウエハが、ウエハの前表面から約2~3 μmにてP/P++遷移を共有することを示している。そのような遷移によって、本発明の代表的な半導体ウエハにおいて、デバイス/保護層の界面に、デバイス故障保護が存在するであろうということが確認される。また、高度にドーピングされた保護層と軽度にドーピングされた基材との間の界面におけるドーパント勾配によって電界が形成され、それによってデバイス層の下側の基材に生成した電荷キャリアの集中が更に低減され、従って本発明の代表的な半導体ウエハにおいて、保護層の保護機能が向上される。

20

【0042】

図3および4に示すウエハについて、サーマルモデリング(thermal modeling)を2つの条件下(均一な加熱と局在化させたホットスポット)で行った。軽度にドーピングされたP-基材と、高度にドーピングされたP++基材との間の、許容された20%の熱伝導率差を用いることによって、シミュレーションは生成された。理論的なダイを表しており、1 mm x 1 mmのグリッドスクエアに仕切られた、20 mm x 20 mmのグリッドに分配された電力を用いて、2つの条件のモデルを行った。均一な加熱条件下でウエハをモデリングするために、160 Wの操作電力を20 mm x 20 mmのグリッドに均一に分配した。局在化されたホットスポットを有するウエハをモデリングするため、10倍に上昇された局在化電力(すなわち1600 W)を、2つの脱着された1 mm x 1 mmのグリッドスクエアに集中させ、全体としてのダイ操作電力は同様に維持して、ホットスポットをシミュレートした。モデリングは、250 μmおよび500 μmのダイ厚さについて、2つの条件下で行った。熱のモデリングの結果をそれぞれ、均一な加熱条件と、局在化されたホットスポット条件に対応させて、下の表1および2に示す。モデルは、基材の底部において、 $0.84 \text{ kW/m}^2 \text{ K}$ の熱伝達係数を仮定した(その値は文献に基づいている)。

30

40

【0043】

(表1)

基材ドーピング	ダイ厚さ	最大温度(°C)
P++	250 μ m	65.0
	500 μ m	65.9
P-	250 μ m	64.8
	500 μ m	65.6

(表2)

基材ドーピング	ダイ厚さ	最大温度(°C)
P++	250 μ m	97.5
	500 μ m	90.1
P-	250 μ m	92.5
	500 μ m	85.7

10

20

30

40

50

【0044】

熱モデリングの結果は、均一な電力分配下では、両方のウエハが同様の放熱を提供することを示している。特に、表1は、対応するP++基材サンプルに比べて、2つのP-基材サンプルにおいて到達した最大のダイ温度が、250 μ mサンプルについてわずかに0.2低く、500 μ mサンプルについては0.3低かったことを示している。放熱におけるこの小さい改良は、所定のウエハの基材のドーパント濃度が、均一な加熱下における放熱にはほとんど影響しないことを示す。

【0045】

しかしながら、局在化されたホットスポットについてのモデルにおいて、表2は、局在化されたホットスポットから、P-基材を有する半導体ウエハがより効果的に放熱させたことを示している。特に、P-基材ウエハサンプルは、対応するP++基材ウエハの最大ダイ温度よりも、250 μ mサンプルについて約5低い最大ダイ温度を生じており、500 μ mサンプルについて4.4低い最大ダイ温度を生じていた。

【0046】

ホットスポットシミュレーションからのウエハどうしの差を更に示すために、温度等高線マップ (temperature contour maps) も作成した。図5および6は約250 μ mの全厚みを有するウエハに関し、図5はP++基材を有するウエハの温度等高線マップを示しており、図6はP-基材を有するウエハの温度等高線マップを示している。同様に、図7および8は約500 μ mの全厚みを有するウエハに関し、図7はP++基材を有するウエハの温度等高線マップを示しており、図8はP-基材を有するウエハの温度等高線マップを示している。これら4つの温度等高線マップはすべて、1mm \times 1mmのグリッドスクエアホットスポットにおける温度が、P++基材を有するウエハの中よりも、P-基材を有するウエハの中でより低かったことを示している。

【0047】

実施例2

実施例1において形成した2つの半導体ウエハに加えて、以下に説明するように、種々の基材を有する半導体ウエハを更に7種形成した。以下のサンプル95は別として、すべてのサンプルはCZ成長法に従って形成された。

【0048】

この実施例の目的のために、実施例1からのP-基材を有して形成された半導体ウエハをサンプル91と称し、P++基材を有する半導体ウエハをサンプル92と称する。

【0049】

さらに、サンプル93は本質的にP+材料からなる半導体ウエハである；すなわち、本発明の保護層のレベルと基材のレベルとの間のレベル、例えば約約 5×10^{18} キャリヤ/cm³にてドーピングされた材料である。

【 0 0 5 0 】

サンプル 9 4 は、P 型および N 型の両方のドーピングレベル、すなわち、材料が約 1×10^{16} P 型キャリア / cm^3 未満、および約 1×10^{16} N 型キャリア / cm^3 未満、例えば各ドーパントについて約 1×10^{15} キャリア / cm^3 の P 型および N 型の両方のドーピングレベルを有する出力材料によって、本質的に形成された半導体ウエハである。

【 0 0 5 1 】

サンプル 9 5 は、フロート・ゾーンの方法に従って形成されて、サンプル 9 4 について定義されたように、P 材料であるようにドーピングされたシリコン材料から、本質的に形成される半導体ウエハである。

【 0 0 5 2 】

サンプル 9 6 は、サンプル 9 4 について定義されたように、P - 材料であるようにドーピングされたシリコン材料から本質的に形成される半導体ウエハであって、低い濃度の酸素格子間原子を有している。

【 0 0 5 3 】

サンプル 9 7 は、サンプル 9 4 について定義されたように、P - 材料であるようにドーピングされたシリコン材料から本質的に形成される半導体ウエハであって、高い濃度の酸素格子間原子を有している。

【 0 0 5 4 】

サンプル 9 8 は、P - 材料であるようにドーピングされた基材と、その上に形成された P 型 (サンプル 9 4 について規定された P 型) 材料のエピタキシャル層を有する半導体ウエハである。P 型エピタキシャル層は約 $10 \mu\text{m}$ の厚さである。

【 0 0 5 5 】

サンプル 9 9 は、P - 材料であるようにドーピングされた基材と、その上に形成された P 型 (サンプル 9 4 について規定された P 型) 材料のエピタキシャル層を有する半導体ウエハである。P 型エピタキシャル層は約 $50 \mu\text{m}$ の厚さである。

【 0 0 5 6 】

サンプル 9 1 ~ 9 9 を、25、50、75、100 および 125 にて、熱伝導率測定に付した。結果のグラフを図 15 に示す。図 15 は、温度とは無関係に、サンプル 9 2 について最も低い熱伝導率を、サンプル 9 1 および 9 4 - 9 9 について最も高い熱伝導率を示している。サンプル 9 1 および 9 4 - 9 9 のすべてが実質的に等しい熱伝導率プロファイルを示すという事実は、これらのサンプルどうしの間で変更された変数は、これらの熱伝導率についてほとんど影響を及ぼさないということを示している。さらに、サンプル 9 3 は、サンプル 9 2 と、サンプル 9 1 および 9 4 - 9 9 の群との間の熱伝導率を表示する。これによって、シリコン構造体のドーパント濃度が熱伝導率に対する最も大きい影響を有する変数であることが確認される。さらに、データは、サンプル 9 2 からサンプル 9 1 および 9 4 - 9 9 への熱伝導率が、約 25 にて約 23% 増大し、約 125 にて約 13% 増大することを示している。このことによって、本発明の半導体構造が、本明細書に記載するように、25 と 125 との間の温度で、少なくとも 5% の熱伝導率の増大を示すことが確認される。

【 0 0 5 7 】

用語「ドーパント (dopant)」、「軽度にドーピングされた (lightly-doped)」、「高度にドーピングされた (heavily-doped)」、またはドーパントを意味するその他の用語およびフレーズを本明細書において用いる場合、特に異なるように明示的に述べられない限り、P 型または N 型ドーパントのいずれかの意味で用いられていると、理解されたい。

【 0 0 5 8 】

本発明の要素または好適な実施例を導入する場合に、冠詞の「a」、「an」、「the」、および「said」は、1 又はそれ以上の要素が存在することを意味するものとする。用語「含んでなる (comprising)」、「含む (including)」、および「有する (having)」は、挙げられている要素以外の要素が存在し得ること

10

20

30

40

50

を示すことを意図している。

【0059】

上記の事項を考慮すると、本発明のいくつかの目的が達成され、その他の有利な効果が達成されたことが理解されるであろう。

【0060】

本発明の範囲を逸脱することなく、上記の生成物および方法について種々の変更を加えることができるので、本明細書に含まれおよび図面に示されるすべての事項は説明のためのものであって、限定のためのものではないということを意図している。

【図面の簡単な説明】

【0061】

10

【図1】図1は、発明の半導体ウエハの模式的横断面である。

【図2】図2は、本発明の半導体ウエハの模式的平面図であって、図2における軸は図1における軸に対応する。

【図3】図3は、高度にドーピングされた保護層および軽度にドーピングされた基材を有する半導体ウエハについてのキャリア濃度プロファイルをグラフで示している。

【図4】図4は、実施例1において説明した軽度にドーピングされたデバイス層と高度にドーピングされた基材を有する半導体ウエハについてのキャリア濃度プロファイルをグラフで示している。

【図5】図5は、高度にドーピングされた基材を有する250 μm 半導体ウエハについて、局在化加熱下での放熱についての熱ダイアグラムである。

20

【図6】図6は、高度にドーピングされた保護層および軽度にドーピングされた基材を有する250 μm 半導体ウエハについて、局在化加熱下での放熱についての熱ダイアグラムである。

【図7】図7は、高度にドーピングされた基材を有する500 μm 半導体ウエハについて、局在化加熱下での放熱についての熱ダイアグラムである。

【図8】図8は、高度にドーピングされた保護層および軽度にドーピングされた基材を有する500 μm 半導体ウエハについて、局在化加熱下での放熱についての熱ダイアグラムである。

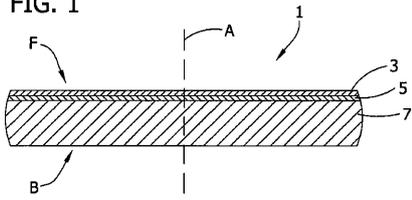
【図9】図9は、実施例2について説明した温度の関数として複数の半導体構造についての熱伝導率を示すグラフである。

30

【図10】図10は、イメージセンサー用途の半導体ウエハについてのキャリア濃度プロファイルをグラフで示している。

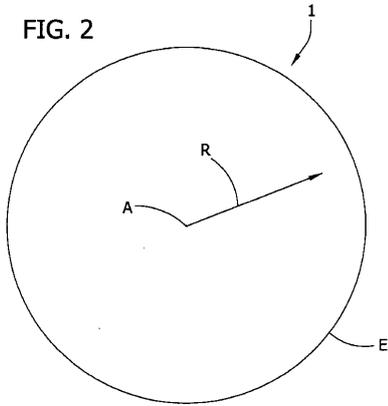
【 図 1 】

FIG. 1

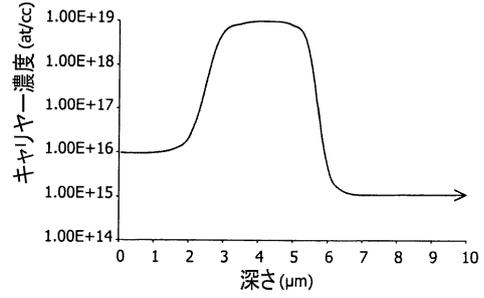


【 図 2 】

FIG. 2

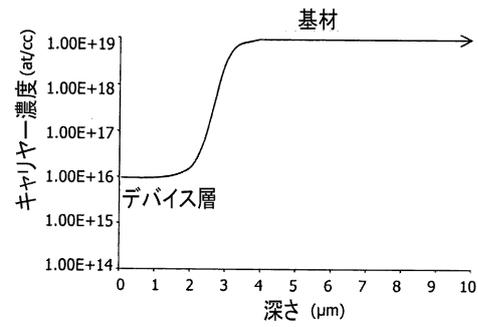


【 図 3 】



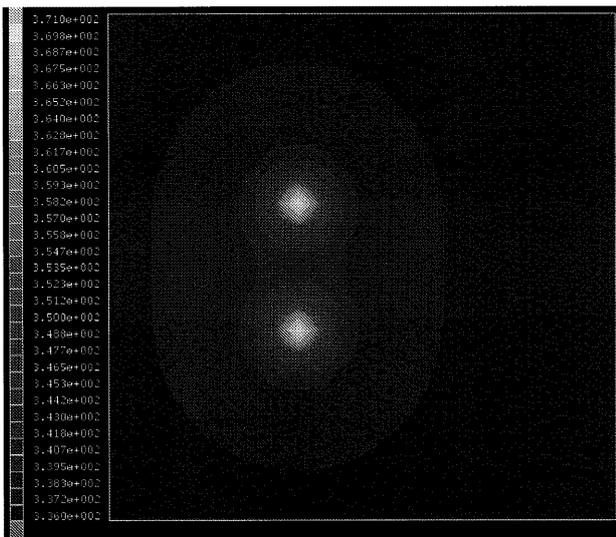
【 図 4 】

従来技術



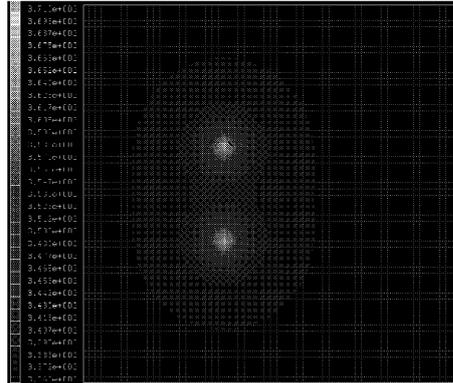
【 図 5 】

従来技術

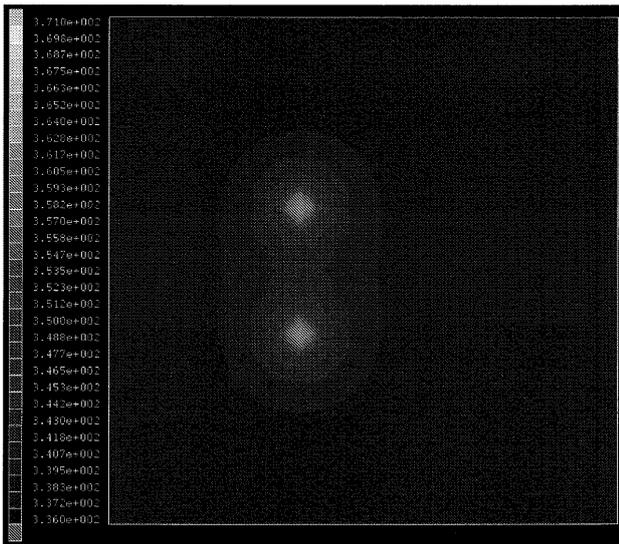


【 図 6 】

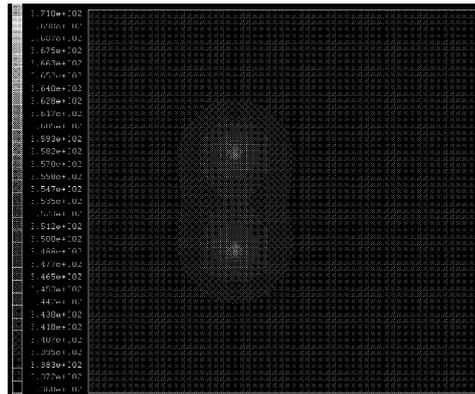
FIG. 6



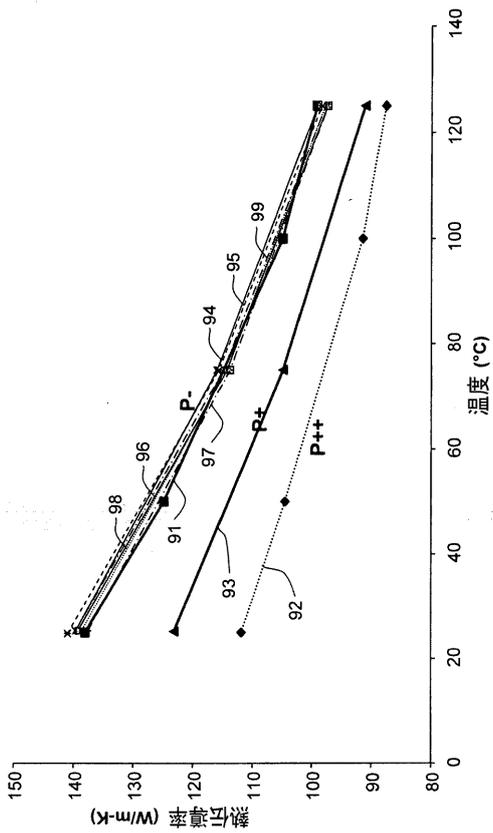
【 図 7 】
従来技術



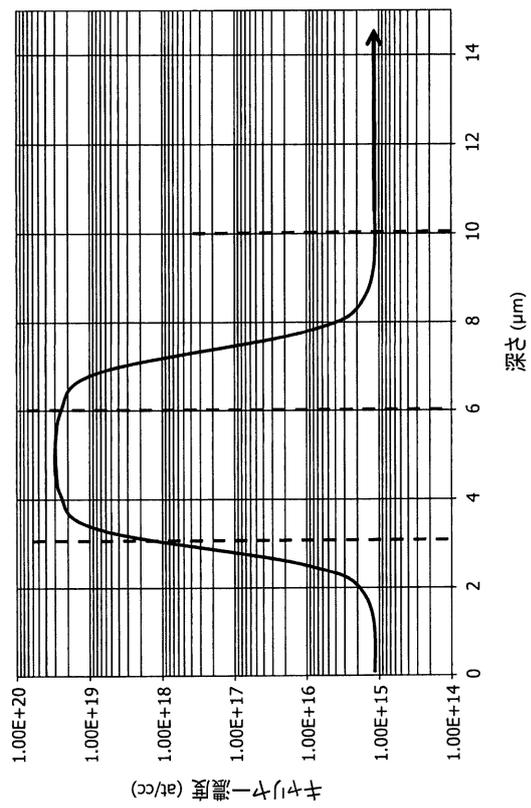
【 図 8 】
FIG. 8



【 図 9 】



【 図 10 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

 International application No
 PCT/US2007/061128

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L27/02 H01L29/36 ADD. H01L31/0352		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 023 200 A (BLEWER ROBERT S [US] ET AL) 11 June 1991 (1991-06-11)	1-7, 9-20, 22-26
Y	column 3, lines 40-60; figures 2,3,6 abstract	8,21
X	US 4 628 591 A (ZORINSKY ELTON J [US] ET AL) 16 December 1986 (1986-12-16)	1-5,10, 11,15-18
Y	abstract; figures 1-6	8,21
X	US 6 635 950 B1 (ISHIDA HIDETSUGU [JP] ET AL) 21 October 2003 (2003-10-21)	1-5,10, 11,15-18
	abstract; figures 1,2,10	
A	US 4 729 964 A (NATSUAKI NOBUYOSHI [JP] ET AL) 8 March 1988 (1988-03-08)	1-26
	abstract; figure 5	
	-/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the international search 18 June 2007		Date of mailing of the international search report 03/07/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 6818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Dauw, Xavier

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/061128

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 368 768 A1 (SGS THOMSON MICROELECTRONICS [FR]) 16 May 1990 (1990-05-16) abstract; figure 1A	1-26
A	US 4 104 090 A (POGGE HANS BERNHARD) 1 August 1978 (1978-08-01) abstract; figure 1	1-26

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/061128

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5023200	A	11-06-1991	NONE	
US 4628591	A	16-12-1986	JP 61180446 A	13-08-1986
US 6635950	B1	21-10-2003	NONE	
US 4729964	A	08-03-1988	JP 2057463 C JP 7093282 B JP 61237422 A	23-05-1996 09-10-1995 22-10-1986
EP 0368768	A1	16-05-1990	DE 68915510 D1 DE 68915510 T2 FR 2638892 A1 JP 2180015 A JP 2697199 B2 US 5032540 A	30-06-1994 05-01-1995 11-05-1990 12-07-1990 14-01-1998 16-07-1991
US 4104090	A	01-08-1978	BR 7801029 A CA 1092252 A1 DE 2805169 A1 ES 466901 A1 FR 2382096 A1 GB 1544393 A IT 1113108 B JP 53105988 A NL 7802011 A SE 428508 B SE 7802044 A	02-01-1979 23-12-1980 31-08-1978 01-10-1978 22-09-1978 19-04-1979 20-01-1986 14-09-1978 28-08-1978 04-07-1983 25-08-1978

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 マイケル・アール・シークリスト

アメリカ合衆国 6 3 3 7 6 ミズーリ州セント・ピーターズ、ポスト・オフィス・ボックス 8、パール・ドライブ 5 0 1 番、エムイーエムシー・エレクトロニック・マテリアルズ・インコーポレイテッド内