

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
1998年3月27日 60/079,717

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

交叉參考之相關申請案

本申請案揭示及摘自1998年3月27所提出臨時申請案序號第60/079,717號，而且具有同一發明人及受讓渡人。

發明之領域

本發明揭示一種控制晶片之諸如動態隨機存取記憶體(DRAM)晶片中所使用多重電壓產生器系統之各種作業階段的裝置。

現代晶片之諸如動態隨機存取記憶體(DRAM)晶片具有許多不同電壓，其必需在不同作業階段期間，以所必需控制關於多數產生器其開啓(start up)時間順序來產生在晶片上。

1994年6月7日所發表美國專利第5,319,601號(kawata等)揭示一種用於DRAM之電源供給器啓動電路，其中在電源施加後，中間電位(intermediate potential)之上升時間縮短，而保持低電流消耗。電源供給器電路包含電源啓動(power-on)檢測電路及內部電源供給電路，電源啓動檢測電路在外部電源供給器電位到達預定電位時檢測且產生第一及第二檢測電路，而內部電源供給器電路產生內部電源供給器電位。電源供給器電路進一步包含自外部電源供給器電位來產生第一中間電位之第一中間電位產生電路，而且供給第一中間電位到中間電位供給節點。當第一檢測信號產生，且中間電位到達預定電位時，第一中間電位產生電路停止供給第一中間電

五、發明說明 (>)

位到中間電位供給節點及中間電位產生功能兩者。第二中間電位產生電路自內部電源供給器電位來產生第二中間電位，當第二檢測信號產生時，供給第二中間電位到供給節點。第一中間電位產生電路具有大於第二中間電位產生電路之驅動容量，使得在電源施加之後可縮短中間電位的上升時間，而降低全部電流消耗。

參照第1圖，表示例如在動態隨機存取記憶體(DRAM)晶片中用於控制產生電位之產生器的習用產生器控制裝置10。裝置10分別包含：電源啓動電路20；產生器系統(產生器)22，其包含參考電壓產生器(參考電壓)23及多數電壓產生器(未圖示)；起始電路(initialization circuit)24；上拉電路26；及第一及第二或閘裝置28及30。當然，上拉電路26及第一及第二或閘裝置28及30包含一或更多此種電路或閘，其視所接收到及上拉電路26及或閘裝置28及30所平行處理之信號數量而定。

上拉電路26接收到來自有關晶片上之接點(Bondpads)及測試點(testpads)的信號。在上拉電路26中，當沒有連接輸入點時，輸出信號以原始值(default)來上拉到邏輯高位準(邏輯"1")。而且如果輸入信號有效地自接點或連接點來下拉時，則輸出邏輯"0"。來自上拉電路26之輸出信號在第一或閘裝置28中邏輯地結合有關起始電路24中已經起始之測試模態暫存信號。來自第一或閘裝置28之輸出耦合到電源啓動電路20之第一輸入及到產生器系統22。測試模態暫存信號也在有關起始電路24中啓動

五、發明說明(3)

且耦合到產生器系統 22。來自有關晶片上之熔絲 (Fuses) (未圖示) 之信號在有關起始電路 24 中啓動，而且耦合到產生器系統 22 之參考產生器 23 內。熔絲信號也在第二或閘裝置 30 中邏輯地結合測試模態暫存信號，然後耦合到產生器系統 22。電源啓動電路 20 接收來自第一或閘裝置 28 之輸出信號及來自起始電路 24 之各種信號，而且產生輸出控制信號到起始電路 24 及產生器系統 22 之產生器兩者。產生器系統 22 包含多數電壓產生器，包括參考產生器 23，且接收外部電壓 (VEXT)、系統信號 (SYS · SIGS)、及來自各第一及第二閘裝置 28 及 30、起始電路 24 及電源啓動電路等之信號，而且產生輸出信號到起始電路 24 及有關晶片上遙控電路所需之各種電壓 (未圖示)。

為控制該產生器等之作業，許多邏輯控制電路包含在產生器功能，其習用上以分散在個別產生器塊 (未圖示) 內之整個產生器系統 22 的局部邏輯電路來實施。習用產生器系統 22 是成長路過程之結果，其中在新電壓位準及有關產生器塊添加時，或控制功能需要改變時，隨時局部地添加多加之邏輯電路。

最好是提供一種裝置，其中在晶片上之電壓產生器的控制裝置避免所需之邏輯電路分散在整個產生器系統，以及可用於容納在未來產生器系統或晶片之修改所需要任何改變的彈性。

發明之概述

本發明提示一種裝置，用於控制在動態隨機存取記憶

(請先閱讀背面之注意事項再填寫本頁)

訂
號

五、發明說明(4)

體(DRAM)中所使用各種電壓系統之各種模態，以及包含用於產生模組(module)所需要各種電壓之多數產生器塊的其他模組。

自一個架構來看，本發明揭示一種包含產生器系統之晶片，包括多數電壓產生電路及集中產生器控制裝置。集中產生器控制裝置包含一控制器耦接到多數電壓產生電路及到晶片上之預定裝置。控制器響應來自晶片上預定裝置之信號，來產生輸出控制信號之預定順序到個別產生電路經過各產生器系統的至少兩個分離作業階段。各輸出控制信號之預定順序在預定時間期間來控制多數產生電路及在晶片上之預定元件的邏輯作業順序，以便自多數產生電路來產生所需穩定電壓輸出到晶片上預定電路。

自另一架構來看，本發明揭示一種包含產生系統之動態隨機存取記憶體(DRAM)，包括多數電壓產生電路，用於產生電壓到預定之其他產生電路及晶片上之其他裝置；及集中產生器控制裝置。集中產生器控制電路包含一控制器耦接到各多數電壓產生電路及晶片上其他預定裝置之預定裝置。控制器響應多數電壓產生電路中所發生及來自晶片上其他元件之預定裝置的信號，來產生對個別產生電路經過各產生器至少兩個分離作業階段之輸出控制信號的預定順序。輸出控制信號之預定順序在預定時間期間來控制多數產生電路及晶片上之預定裝置的邏輯作業順序，以便自多數產生電路來產生所需穩定電壓

五、發明說明(5)

輸出到晶片上之預定電路。

本發明由下文以附圖及申請專利範圍之更詳細說明將更可理解。

圖式之簡單說明

第1圖是用控制諸如動態隨機存取(DRAM)晶片之多重電壓產生器晶片中電壓的習用技術產生器控制裝置方塊圖；

第2圖是根據本發明而用於控制動態RAM晶片各種電壓產生晶片上各種電壓產生器的範例集中產生器控制裝置方塊圖；

第3圖是根據本發明之範例電壓產生器系統方塊圖，包含第2圖集中產生器控制裝置所控制諸如動態RAM之多重產生器晶片上的多數電壓產生器；

第4A及4B圖解說明以第2圖範例集中產生器控制裝置來控制第3圖產生器裝置的範例電源啓動順序的電源啓動順序圖表；及

第5圖表示用於第2圖範例集中產生器控制裝置之狀態機的範例裝置。

詳細說明

現在參照第2圖，表示根據本發明用於控制諸如動態RAM晶片之具有多重電壓產生電路的積體電路晶片上，各種電壓產生電路(如第3圖所示)的範例集中產生器控制裝置40(如在虛線方塊內所示)方塊圖。集中產生器控制裝置40包含：控制器(在虛線方塊內所示)；振盪器42

五、發明說明 (七)

，用於提供時鐘信號到控制器 50；及電壓檢測電路 44，其接收來自控制器 50 之信號，而且傳送所產生控制信號回到控制器 50。控制器 50 包含狀態機 52 及閘 54。

狀態機 52 是眾所週知之元件，其包含使用記憶體(未圖示)之處理器 (processor) 來儲存使得處理器以預定方式作業的程式指令。

現在參照第 5 圖，狀態機 52 可替代地包含輸入邏輯電路 70，輸出邏輯電路 72 及狀態門電路 74。輸入邏輯電路 70 及輸出邏輯電路 72 大致接收到控制器之全部邏輯輸入信號(即，接點 / 測試點、測試模態暫存、熔絲及電壓檢測電路 44 信號)，且經使用各種閘來提供必需邏輯功能而產生適當輸出控制信號。狀態門電路 74 可包含正反器(未圖示)，其接收來自輸入邏輯電路 70 之信號，及諸如重設信號及時鐘信號之其他信號，而產生適當輸出信號到輸入及輸出邏輯電路 70 及 72。

現在回到第 2 圖，狀態機 52 接收來自振盪器 42 之時鐘信號，來自電壓檢測電路 44 之控制信號，及各種熔絲，接點及測試點，及檢測模態暫存器之信號，而根據在其記憶體中所發現程式指令來產生輸出信號。及閘 54 接收來自狀態機 52 之時鐘致能信號及預定輸出信號，而且產生輸出信號來結合來自狀態機之其他預定輸出信號，而形成來自集中產生器控制裝置 40 之靜態致能及架構輸出信號 "C"，其傳送到所要控制之各電壓產生電路。在下文中將連同第 4A 及 4B 圖說明來說明控制器 50 之範

(請先閱讀背面之注意事項再填寫本頁)

訂

16

五、發明說明(7)

例作業。

電壓檢測電路44量測外部供給電壓(第3圖所示之VEXT)及多數產生電路(第3圖所示)之預定電路所產生一些電壓,而且一旦該電壓已到達其預定臨限值時,即傳送個別信號到控制器50。當然,任何適當眾所周知電壓檢測電路可使用來實施該功能。

現在參照第3圖,表示根據本發明之範例電壓產生器系統100(在虛線方塊內所示)方塊圖。系統100包含在諸如動態RAM之多重產生器晶片上的多數電壓產生電路111-124(分別為GEN.1-GEN.14),其以第2圖集中產生器控制裝置40來控制。在範例電壓產生器系統100中,各電壓產生電路111-124接收來自第2圖控制器50之分離控制信號"C"及預定外部電壓(VEXT)。當然為簡化圖示,控制信號"C"及預定外部電壓(VEXT)以經單一輸入導體(single input conductor)來施加到各電壓產生電路111-124來表示。實際上,該輸入等經由分離導電(Separate conductor)來提供到各電壓產生器111-124。除了控制信號"C"及預定外部電壓(VEXT)之外,也表示來自電壓產生電路113之輸出施加到各電壓產生電路115-124,而來自電壓產生電路116之輸出做為輸入來提供到電壓產生電路123。

在範例電壓產生器系統100中,電壓產生電路111(GEN.1)響應來自控制器50之控制信號"C"及預定外部電壓(VEXT),來產生第一輸出電壓(VIA)及第二輸出電壓(VIB)兩者,

五、發明說明 (8)

第一輸出電壓耦接到各電壓產生電路 112 (GEN.2) 及 113 (GEN.113) 之第一輸入，而第二輸入電壓耦接到電壓產生電路 112 之第二輸入。電壓產生電路 112 響應來自電壓產生電路 111 之第一及第二電壓 VIA 及 VIB、其控制信號 "C" 及預定外部電壓 (VEXT)，來產生輸入電壓 (V2)，其耦接到電壓產生電路 113 之第二輸入、及各電壓產生電路 114 (GEN.4) 及 115 (GEN.5) 之輸入。電壓產生電路 113 響應其控制信號 "C"、預定外部電壓 (VEXT) 及分別接收到來自電壓產生電路 111 及 112 之電壓 VIA 及 V2，來產生輸出電壓 (V3)，其做為輸入來提供到電壓產生電路 115-124，而且做為來自電壓產生系統 100 之輸出信號。

電壓產生電路 114 響應其控制信號 "C"、預定外部電壓 (VEXT) 及接收來自電壓產生電路 112 之電壓 V2 來產生輸出電壓產生器 (V4)，其提供做為來自電壓產生系統 100 之輸出信號。電壓產生電路響應其控制信號 "C"、預定外部電壓 (VEXT) 及分別接收來自電壓產生電路 112 及 113 之電壓 V2 及 V3，來產生輸出電壓 (V5)，其做為輸入信號來提供到電壓產生電路 116 (GEN.6)。電壓產生電路 116 響應其控制信號 "C"、預定外部電壓 (VEXT)、及分別接收來自電壓產生電路 113 及 115 之電壓 V3 及 V5，用於產生輸出電壓 (V6)，其做為輸入信號來提供到電壓產生電路 117 (GEN.7) 及 123 (GEN.13)。電壓產生電路 117 響應其控制信號 "C"、預定外部電壓 (VEXT) 及分別接收來自電壓產生電路 113 及 116 之電壓 V3 及 V6，用於產生輸出電壓 (V7)

五、發明說明(9)

，其做為輸入信號來提供到電壓產生電路118、121、122、123及124。

電壓產生電路114(GEN.8)響應其控制信號"C"、預定外部電壓及分別接收來自電壓產生電路113及117之電壓V3及V7，用於產生輸出電壓(V8)，其做為輸入信號來提供到電壓產生電路119(GEN.9)及120(GEN.10)。電壓產生電路119響應其控制信號"C"、預定外部電壓(VEXT)及分別接收來自電壓產生電路113及118之電壓V3及V8，用於產生輸出電壓(V9)，其做為來自電壓產生器系統100之輸出信號來提供。電壓產生電路120響應其控制信號"C"、預定外部電壓(VEXT)及接收分別來自電壓產生電路113及118之電壓V3及V8，用於產生輸出信號(V10)，其做為來自電壓產生器系統100之輸出信號來提供。電壓產生電路121(GEN.11)、122(GEN.12)及124(GEN.14)各自響應其控制信號"C"、預定外部電壓(VEXT)及接收分別來自電壓產生電路113及117之電壓V3及V7，用於分別產生輸出電壓V11、V12、V13及V14，其等做為來自電壓產生器系統100之輸出信號來提供。電壓產生電路123(GEN.13)響應其控制信號"C"、預定外部電壓(VEXT)及接收分別來自電壓產生電路113、116及117之電壓V3、V6及V7，用於產生輸出電壓V13，其做為來自電壓產生器系統100之輸出信號來提供。

電壓產生器系統100可以視同在現代DRAM晶片及同步DRAM晶片上之產生器系統，其具有以許多電壓產生電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

在晶片上應多於10個之電壓。該電壓等包括數個參考電壓(即在類比電路中用於輸入/輸出接收器及用於偏壓電流之產生)、以及數個電壓,其以具有高或低作業電流(即,用於感測放大器或字線驅動器)來供給DRAM之不同功能塊(未圖示)。基本上,三個不同作業階段發生用於在第1圖之電壓產生器系統22及第3圖之100中的不同產生電路,其可以(a)正常作業(normal operation)階段、(b)測試及燒入(Burn-in)階段及電源啓動階段來表示。

在第1圖之產生器系統22或第3圖之100中任一系統的"正常作業階段期間,產生電路(即第3圖之產生電路111-124)必需保證在晶片上所提供全部電壓是穩定,而且自數個電源網路(power networks)(未圖示)所抽出全部所需電流提供在晶片上。更進一步,必需保證產生電路本身不會消耗太多電流(即差異放大器之偏壓電流及通過分電阻器之電流)。因此,必需供給峰值電流(peak current)(即,用於感測作業)之電源網路通常以一或更多種型式產生電路之諸如備用(Standby)產生電路,主動產生電路及峰值電流產生電路等來供給。備用產生電路總是開啓(turnon),而且可供給小電流,但是本身也僅消耗小電流。其目的在當晶片沒有在運作(active)時,在該時間及相位期間來保持電壓位準。運作產生電路僅在晶片實施需求來自個別電源網路之電流的功能才致動。運作產生電路可供給大電流,但是也消耗更大電

五、發明說明(一)

ut統 22 或到第 2 圖之控制器 50。

為了在第 1 圖之習知電壓產生器系統 22 中不同作業階段期間控制產生電路，產生電路功能包含許多邏輯控制電路，其以分散在整個產生器系統 22 及在個別產生電路塊(未圖示)之局部邏輯電路來實施。結果，習用電壓產生器系統 22 包含複雜控制設計。根據本發明，局部控制電路不再分佈在整個產生電路 111-124，替代之，控制器 50 之狀態機械 52 接收全部輸入信號，而且程式規劃來提供個別信號到各產生電路 111-124，以便在各作業之可能階段期間預定時間來使得適當產生電路 111-124 接通或切斷。用於各作業階段之狀態機 52 的程式是任意選擇，其中設計者必需定義用於各可能作業階段之所期望作業順序。一旦此作業順序決定，即可容易地轉換成用於狀態機 52 之對應程式指令順序，其造成產生器系統 100 之對應作業來響應狀態機 52 所接收預定輸入信號。

在測試及燒入階段中，產生電路必需實施超過其正常作業之許多多加功能。例如，其一功能可以是一些或全部產生電路可以去能來用於測試目的。第二功能可以是一些電壓如比較正常作業則設定在不同值。第三功能可以是在產生電路中決定其動態行為(dynamic behavior)之一些時間常數可以改變，以便決定用於最佳晶片功能之最佳值，第四功能可以是使得晶片受到應力(燒入測試)，大部份內部電壓必需設定在比正常作業更高之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

值，其可以設定 VEXT 在更高值而允許內部參考電壓來跟隨外部電壓之上升來實施。

電源開啓定義為外部電壓 VEXT 已施加到晶片，而內部電壓尚未建立期間之過渡狀態 (transient state)。電源啓動有兩個主要要求。此要求是其必需短暫 (即，100 微秒)，而且其必需以良好定義方式來產生。為短暫地保持電源開啓，數個多加功能必需以產生器系統 100 來實施。因為全部電源網路必需在短時間自零伏特充電到其個別位準，所以數個產生電路塊之驅動能力不足。數個可能解決方式存在來克服該問題。第一，在電源開啓階段之第一階段期間，電源網路以電晶體開關來短路成 VEXT，直到其等已幾乎到達其等所期望值。然後，該開關等再次開啓，而個別產生電路接管電壓之調節。第二，一些產生電路 (即，激勵電路 (pump circuit)) 之驅動能力視驅動該激勵電路之振盪器的頻率而定。在電源開啓階段期間，高頻振盪器連接到激勵電路使得能快速激勵作業，然後，在電源啓動階段之後，較慢之振盪器使用來驅動激勵電路，而快速振盪器關閉來節省電力。在控制器 50 之輸出處所提供靜態致能信號通常使用來使得產生電路塊致能 (即，在電源啓動階段，或在測試模態階段期間使得其關閉，而該信號不是時間臨界性 (time critical)。控制器 50 之輸出處的架構信號 (configuration signal) 使用來以特定方式改變一或多數預定產生電路塊的行為，諸如改變其電壓位準 (修整)、改變其驅動能

五、發明說明 (14)

力，改變其內部時間常數、或用於測試模態之特定功能。該信號也不是時間臨界性，而且在晶片之正常作業期間不改變。當然在產生器系統 100 內，有所產生之動態致能信號及訊息信號 (message signal)。動態致能信號使用在其必需開始調整其輸出電壓或必需產生電流 (即，峰值產生電路) 時使得產生電路致動。該信號等是時間臨界性而不是每一產生電路需要此輸入信號 (即，備用產生電路)。訊息信號是使用於在產生電路塊之間的通訊，例如，其可告知其一產生電路其輸入激勵電路位準尚未建立，而且供給激勵電壓之激勵產生電路仍在運作 (running)。如此雖然動態致能信號已經關閉，但是將造成其一產生電路來延遲其關閉。該信號也是時間臨界性，而且不是每一產生電路需要此輸入信號。

現在參考第 4A 及 4B 圖，顯示電源開啓順序圖表，用於圖說以第 2 圖範例集中產生器控制裝置來控制作業之電源開啓階段的第 3 圖產生器系統 100。在圖表之分段 200 中，外部電壓 (VEXT) 施加到晶片而開啓順序。VEXT 施加到晶片使得控制器 50 之狀態機 52 重設在控制器 50 的預定正反器 (第 2 圖未示)，而設定 "V60n" 信號在低狀態，使得接收來自控制器 50 之 "V60n" 信號的全部電路保持原狀。同時，產生電路 111 致動來開始產生電壓 VIA 及 VIB，產生電路 112 致動來開啓產生電壓 V2，產生電路 113 致動來開始產生電壓 V3，產生電路 114 致動來開始產生電壓 V4，產生電路 115 致動來產生 V5 而且造成節點 (未圖示)

五、發明說明 (15)

之起始下拉，產生電路117致動來產生V7而且提供增壓開關(未圖示)之起始致動，產生電路116致動而且設定在備用模態來產生V6acc(V6激勵)及V6sbm(V6備用模態)信號，產生電路118致動來開始產生電壓V8，信號V6osb(V6在備用)開始，產生電路119開始產生電壓V9，產生電路120開始產生電壓V10。在控制器50中，"bFINIT"(bFuse起始)熔絲門信號設定在低狀態，而"bFSET"(bFuse設定)設定在高狀態。"bFINIT"及"bFSET"信號是用於晶片上熔絲的範例信號。該熔絲等之資訊沒有施加到晶片，但是在範例電源開啓階段中熔絲資訊可門入到例如控制器50之預定正反器(未圖示)內。有兩熔絲信號需要確定定時關於何時其等變高或變低，以便組織或控制熔絲資訊之門入成為預定正反器。因為熔絲分散在全部晶片上，所以重要在熔絲資訊門入之前知道電壓V6已建立在全部晶片上，否則當實際上邏輯"1"時也許門入邏輯"0"，因為電路及供給該電路之電壓尚未穩定。

在圖表之分段201中，控制器50等待預定X時鐘週期數(即，X=10)，在該時間知道來自產生電路116之電壓V6(其在分段200中已致動且設定在備用模態)必定已到達預定位準。在圖表之分段202中，電壓檢測器44檢測到V13(來自產生電路123之電壓)在所要求位準處(低或高)，而且電壓檢測器44檢測到電壓V6已到達預定高臨限值位準，電壓檢測器44傳送表示電壓V6已在全部晶片上建立之V6DET信號到控制器50。在圖表之分段203中，控

(請先閱讀背面之注意事項再填寫本頁)

本

訂

五、發明說明 (b)

制器雖知悉電壓 V6 在其適當位準處，但在開始分段 204 之前先等待另一 X 時鐘週期。在圖表之分段 204 中，控制器 50 之 "V60on" 信號變高，而電壓 V3 驅動能力降低，電壓 V5 不再在下拉狀態，而升壓開關之電壓 V7 致動關閉。在電源開啓階段開始時，產生電路 117 假設在分段 200 中需要以升壓開關來致動之大 V7 驅動能力，然後當不再需要大驅動能力時在分段 204 中降低。

在圖表之分段 205 中，控制器 50 "V14sbct" (V12 備用電路) 信號，產生電路 124 開始來產生電壓 V14。在圖表之分段 206 中，控制器 50 產生使得產生電路 123 致動之 "V13acct" (V13 致動電路) 及 "V13sbct" (V13 備用電路) 信號，而且設定在備用模態。在圖表之分段 207 中，控制器產生熔絲門信號而 bFINIT 信號變高。在圖表之分段 208-211 中，控制器經過一序列等待 Y 時鐘週期 (分段 208)，使得 bFSET 變低 (分段 209)，而且在使得 bFSET 變高之前 (分段 211) 等待 Z 時鐘週期 (分段 210)。當然 bFINIT 及 bFSET 信號傳送到晶片上其他電路而不是任何產生電路 111-124，因為沒產生電路顯示來實施在欄中標示為 "產生器電路" 之任何動作。bFINIT 及 bFSET 所控制正反器通常以中間電路來控制，而且該電路需要特定時間之 bFINIT 及 bFSET 信號。

在第 3 圖所示之產生器裝置 100 中，假設產生電路 123 是激勵產生器，包括一接收 VEXT 電壓 (其以標準而言僅可具有預定最大值) 之關連電源網路，而且激勵輸入電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

壓來提供負輸出信號V13(即, -0.5伏特)。同樣地, 產生電路122假設為接收VEXT電壓之激勵產生器, 而且激勵輸入電壓來提供正輸出信號V12(即, 3.5伏特)。在圖表之分段212中, 來自產生電路123之電壓V13到達其預定位準, 而產生V13LMT(V13極限)檢測信號, 其造成控制器50使得"V13acct"(來自分段206)變低, 而在產生電路123之致動信號關閉。在圖表之分段213中, 控制器50產生變高之"V12pocct"(V12電源開啓電路)控制信號, 而關連產生電路122之電源網路(未圖示)起動。在圖表之分段214中, 已發現電壓V12到達電壓V6之值的預定85%位準, 而來自電壓檢測器44之V12DET(V12檢測)信號變成預定高值。如此使得控制器50產生變低之V12pocct(來自分段213), 而且造成產生電路122之電源網路關閉。在圖表之分段215中, 控制器產生變高之"V12acct"及"V12sbct", 其同樣地使得產生電路122致動而設定在備用模態。圖表212-215之理由在激勵產生電路122及123不能接通且立即自0伏特變成其適當輸出電壓, 其十分高或低於VEXT施加電壓。因此, 需要該型式產生電路之接通拉長。例如, 關連產生電路123之電源網路(未圖示)必需拉高到某一位準, 例如來自產生電路110之電壓V6的85%, 然後僅產生電路123可開始適當地作用。其以使得本身為激勵器之稱為"V13電源"電路接通來發生, 而且使得產生電路123電源網路推到高狀態。一旦網路到達預定位準, 網路再次關閉, 而激勵電路113開始作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

業。

在圖表之分段 216 中，控制戰利品產生變高之 "8frct"(V8 反饋調節器電路)，而且造成產生電路 118 之反饋調節器電路開始作業，且造成產生電壓 V8。在分段 217-220 中，控制器 50 等待 X 時鐘週期，然後產生 "V1lacct" 控制信號，其造成產生電路 121 開始產生電壓 V11(分段 118)，控制器 50 在產生關閉電壓檢測器 44 之 "Vdet"(電壓檢測器)控制信號前再等待 X 時鐘週期，因為其不再需要節省其所使用之偏壓電流。在圖表之分段 221 及 222 中，控制器 50 保持表示來自產生電路 111-124 之全部電壓穩定(分段 121)的 "PWRon"(電源開啓)控制信號，而電源開啓階段完成(分段 122)，因為產生電路已經開始而且已到達正確電源開啓位準。

當然，同樣順序圖表可由設計者來發起用於晶片上所需要任何作業階段，然後轉換成控制器 50 之狀態機械所使用對應程式指令，以便控制用於各不同所需要作業階段之產生電路 111-124。

本集中產生器控制裝置 40 之優點，在於邏輯功能及電壓產生功能清楚地分離。因此，整個系統可容易地驗證，因此全部功能可個別地驗證，而且可具有很大彈性來實施變更，其中其功能之信號架構可改變或替代而沒有對其他功能之副作用影響。更明確地，系統之邏輯行為以狀態機械 52 之規格來決定，而且邏輯行為之改變容易實施也不會影響電壓產生電路。更進一步，例如，用

五、發明說明（19）

於電源開啓作業階段之順序不需要多加延遲電路，因為全部延遲在狀態機械 52 中實施，因為狀態機械 52 原本是順序產生器 (Sequencer)。此外，測試模態信號及熔絲信號之起始不需要多加電路，因為其原本在狀態機械 52 中實施，因為其必需僅指定在電源開啓順序期間該信號不評估。

當然本文所述本發明之特定實施例是圖示說明本發明之一般原理，擅於本技術者可實施各種修改而和本文所發表原理一致。例如，類似之順序圖表可起始於晶片上所需之每一作業階段，然後轉換成控制器 50 之狀態機械所使用的對應程式指令，以便控制用於各不同作業階段之產生電路 111-124。更進一步，第 4A 及 4B 圖之順序圖表僅是範例順序，其可使用於電源開啓階段，而且其可以任何其他所期望順序來替換之。

五、發明說明 (> 〇)

符號之說明

- 10 產生器控制裝置
- 20 啓動電路
- 22 產生器系統
- 23 參考電壓產生器
- 24 起始電路
- 26 上拉電路
- 28 / 30 或閘裝置
- 42 振盪器
- 44 電壓檢測電路
- 50 控制器
- 52 狀態機
- 54 及閘
- 70 輸入邏輯電路
- 72 輸出邏輯電路
- 74 狀態門電路
- 100 電壓產生器系統
- 111 - 124 電壓產生電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

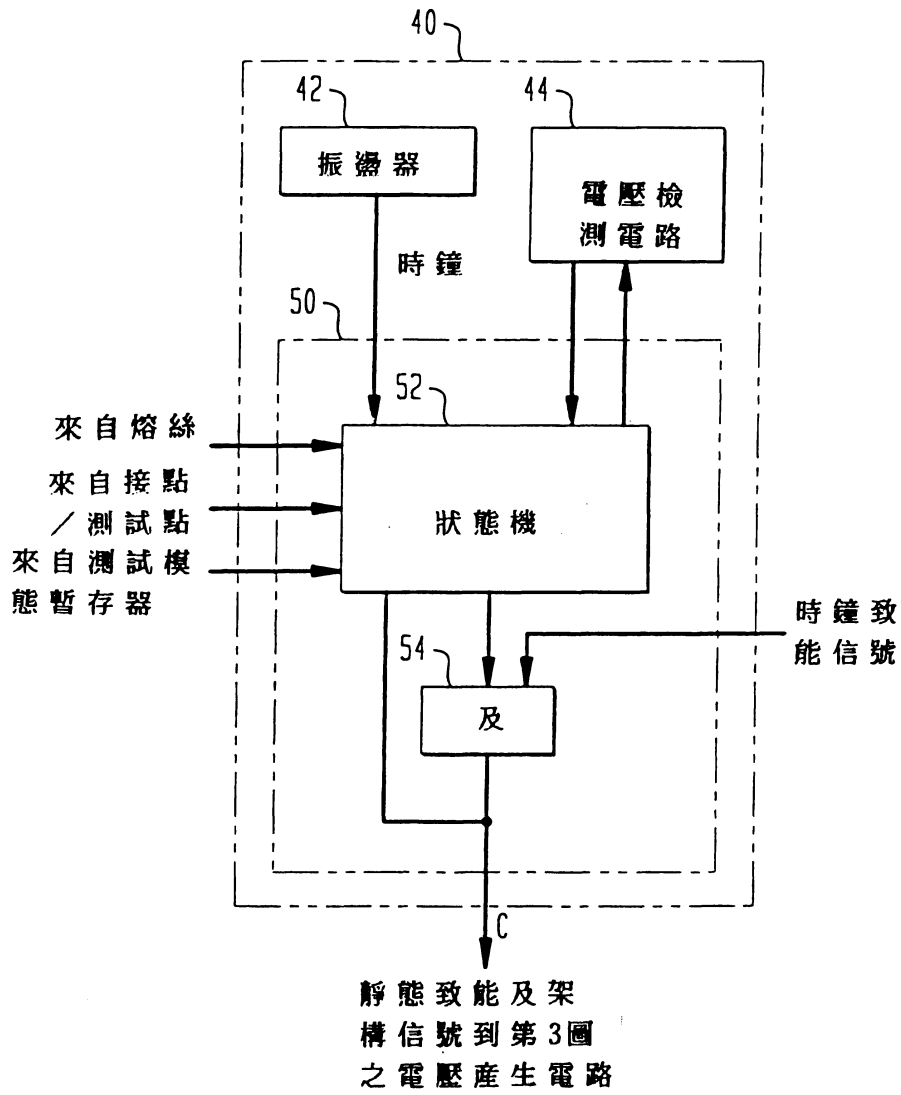
用於在多重電壓產生器晶片之諸如
DRAMs中控制電壓產生器的裝置

在晶片上形成電壓產生器系統之多數電壓產生電路以集中電壓產生器控制裝置來控制。電壓產生器控制裝置包括具有一狀態機(52)的控制器，其接收來自在晶片上之各種裝置的控制信號，例如，時鐘產生器、電壓檢測器、測試接點、熔絲及預定暫存器。自所接收信號，該控制器根據產生電路所需要各作業階段之預定程式順序，來產生對該電壓產生器系統之多數產生電路及在晶片上之其他電路的控制信號，而提供必需之穩定電壓到晶片上的電路。

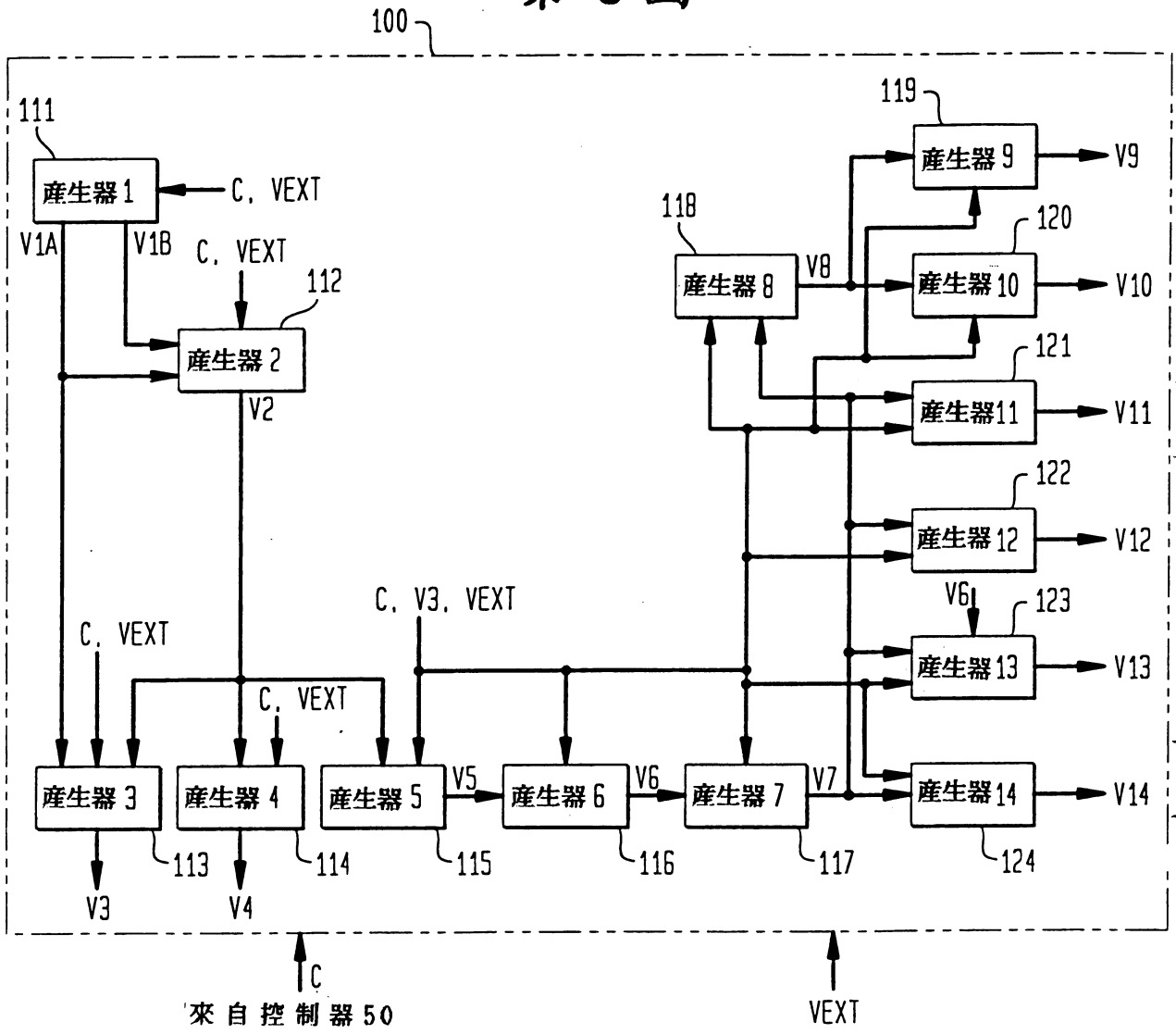
英文發明摘要(發明之名稱：Arrangement for Controlling Voltage Generators)
in Multi-voltage Genertor Chips Such as DRAMs)

A plurality of voltage generating circuits forming a voltage generator system on a chip are controlled by a centralized voltage generator control arrangement. The voltage generator control arrangement includes a controller with a state machine (52) that receives control signals from various devices on the chip as, for example, a clock generator, voltage detectors, bondpads, testpads, fuses, and predetermined registers. From the received signals, the controller generates control signals to the plurality of generating circuits of the voltage generator system and other circuits on the chip in accordance with a predetermined program sequence for each phase of operation required by the generating circuits to provide the necessary stable voltages to circuits on the chip.

第 2 圖



第 3 圖



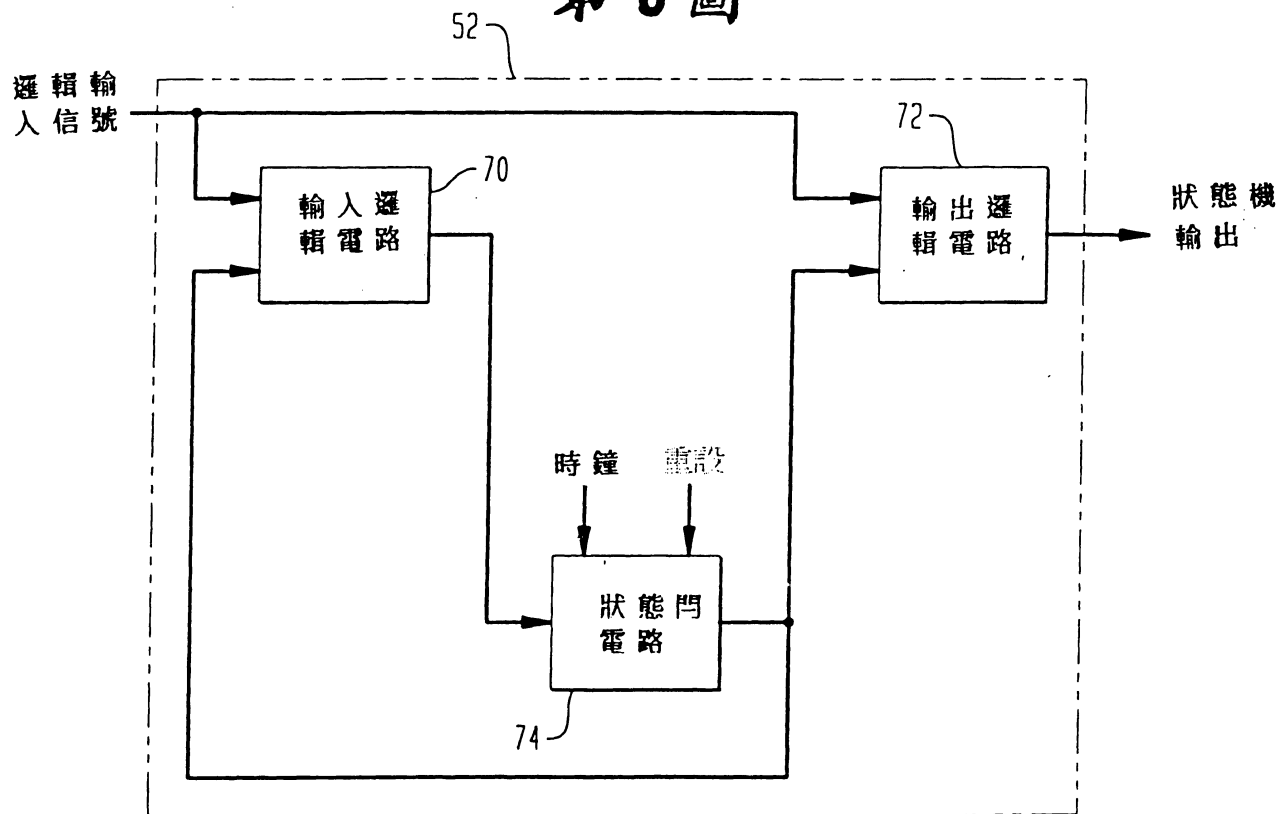
第4A圖

發生	控制器	產生器電路
200 VEXT 施加	重設正反器 V6on 低 bFINIT 低 bFET 高	V1A & V1B 開始; V2 開始; V3 開始 V4 開始 V5 (節點初始下拉) V7 (增壓開關之初始致動) V6ac, V6sbm 開始 V8 開始 V8osb 開始 V9 開始 V10 開始;
201	等 X 個週期	
202 V13 位準到達 V6DET 變高		
203	等待 X 週期	
204	V6on 變高	V3 驅動能力降低 V5 不再下拉 V7 增加關閉
205	V14sbct 變高	V14 開始;
206	V13acct, V13sbct 變高	V13ac, V13sb 開始
207	熔絲門信號產生 bFINIT 變高	
208	等 Y 個週期	
209	bFSET 變低	
210	等 Z 個週期	
211	bFSET 變高	
212 V13 位準到達 V13LMT 變低	V13acct 變低	V13ac 關閉
213	V12pocct 變高	V12po 開始

第4B圖

	發生	控制器	產生器電路
214	V12到達 V6之85%位準 V12DET變高	V12pact 變低	V12po 關閉
215		V12acct, V12sbct 變高	V12ac, V12sb 開始
216		V8frct 變高	V8fr 開始
217		等 X 個週期	
218		V11acct 變高	V11ac 開始
219		等待 X 週期	
220		Vdet 變低	電壓檢測器電路 關閉(節省偏壓 電流)
221		PWRon 信號保持	全部電壓穩定
222		完成結束	

第 5 圖



申請日期	88.3.17
案號	88104171
類別	G1C 5/4, G1C 11/407

(以上各欄由本局填註)

90年3月5日修正
補充

90年3月15日修正
90年10月23日
92年5月23日
補充

A4

C4

公告本

發 明 專 利 說 明 書 (90年3月修正)

一、發明 名稱	中 文	用於在多重電壓產生器晶片之諸如 588374 DRAMs中控制電壓產生器的裝置
	英 文	Arrangement for Controlling Voltage Generators in Multi-voltage Generator Chips Such as DRAMs
二、發明 創作人	姓 名	奧立佛偉恩佛特納 Oliver WEINFURTNER
	國 籍	美國
	住、居所	美國紐約州12524費西基爾坎提恩搭爾路20號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

煩請委員明示 90年3月15日所提之
修正本有無變更實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製

裝

訂

線

92年5月23日 修正
補充

五、發明說明 (11)

流。為了使得運作產生電路致動，來自其他晶片功能之信號也由第 1 圖之產生器系統或第 2 圖之控制器 50 來評估，以便使得運作產生器電路致動。有時，峰值電流產生電路使用來供給自電源網路所引出之高峰值電流。峰值電流產生器電路例如也可僅由在個電源網路及該電源網路之外部電壓供給 (VEXT) 或電流源間的電晶體開關來組成。峰值電流產生電路當峰值電流自電源網路引出時之正好時刻來開啓短時間期間。峰值電流產生電路通常本身沒有調節功能，但是其電壓之最後調節是由上述運作產生電路來實施。為了在正確時刻來開啓峰值電流產生電路，來自其他晶片功能之信號連接到產生器系統 (即，感測產生器使得信號致能)。

再進一步，用於不同電源網路之電壓產生電路間有一些交互作用。例如，提供電壓用於在 DRAM 晶片上之字線升壓 (boosting) 的電壓產生電路 (即，產生電路 123) 中第一電路作用來恢復全電壓位準，則該電壓產生電路將傳送信號到預定電壓產生電路 (即，產生電路 116) 中第二電路。該信號防止預定電壓產生電路中第二電路切斷 (turn off)，因為電壓產生電路中第一電路本身消耗來自電壓產生電路中第二電路之電流。因為 DRAM 晶片通常可使用在具有需要不同驅動能力之一些電壓產生電路的不同架構記憶體裝置，所以電壓產生電路必需架構來用於該情況。其以接點 (bond pads) 或熔絲來獲得，其中來自接點及 / 或熔絲之資訊傳送到第 1 圖之習用產生器

修正
補充
本(90.10.2)日

六、申請專利範圍

第 88104171 號「用於在多重電壓產生器晶片之諸如 DRAMS 中控制電壓產生器的裝置」專利案 (90 年 10 月修正)

六申請專利範圍

1. 一種在多電壓產生器晶片中控制電壓產生器之裝置，其特徵為包含：

產生器系統，其包含多個電壓產生器電路；以及

集中產生器控制裝置，其包含控制器耦接到各該多個電壓產生電路及在晶片上之預定裝置，控制器響應來自晶片上預定裝置之信號，用於產生預定順序之輸出控制信號之該各別產生電路，用於產生系統之各至少兩個分別的作業階段，以便在所界定之時間期間控制多個產生電路與在晶片上預定裝置之邏輯作業順序，以便由多個產生電路來產生所需之穩定輸出電壓至晶片上預定之電路；

其中此控制器包含狀態機，其於分別程式順序中作業，用以控制產生系統之每一個作業階段，以及

其中該狀態機包含：

- 輸入邏輯電路，用於接收傳送到該狀態機之邏輯輸入信號，及用於產生對應所接收邏輯輸入信號之響應的預定輸出控制信號；
- 閘電路，響應來自該輸入邏輯電路之輸出控制信號及用於產生預定輸出信號之預定其他輸入信號；及
- 輸出邏輯電路，用於接收傳送到該狀態機之邏輯輸入信號、及來自該閘路之輸出信號來產生該狀態機的預

煩請委員明示，本案修正後是否變更原實質內容

六、申請專利範圍

定輸出控制信號。

2. 如申請專利範圍第 1 項之裝置，其中該集中產生器控制裝置更包含一電壓檢測裝置，用於檢測該多個電壓產生電路之一些預定之電路的電壓臨限(threshold)位準，並且用於產生代表所檢測電壓位準之輸出信號到該控制器。
3. 如申請專利範圍第 1 項之裝置，其中該晶片是動態隨機存取記憶體(DRAM)晶片。
4. 如申請專利範圍第 1 項之裝置，其中該至少兩個分別作業階段包含電源開啓(power on)及正常作業階段。
5. 一種動態隨機存取記憶體(DRAM)晶片，其特徵為包含：
產生器系統，包含多個電壓產生器電路，用於產生電壓到預設之其他產生電路及到該晶片上之其他裝置；及
集中產生器控制裝置，包含控制器耦接到各該多個電壓產生電路之每一個電路及到在該晶片上之其他裝置的一些預定的裝置，該控制器響應該多個電壓產生電路之輸出及來自該晶片上其他裝置中之一些預定裝置的信號，用於產生預定順序之輸出控制信號到個別的產生電路經過該產生器系統之各至少兩個分離作業階段，以便在預定時間期間來控制該多個產生電路與在該晶片上之預定裝置的邏輯作業順序，使得由該多個產生電路來產生所需要穩定電壓輸出到該晶片上之預定電路。
6. 如申請專利範圍第 5 項之晶片，其中該集中產生器控制裝置更包含電壓檢測裝置，用於檢測該多個電壓產生電路中之一些預定電路的電壓臨限位準，及用於產生代表

六、申請專利範圍

所檢測電壓位準之輸出信號到該控制器。

7. 如申請專利範圍第 5 項之晶片，其中該控制器包含狀態機，其根據分別程式順序來作業，用於在各作業階段控制該產生器系統。

8. 如申請專利範圍第 5 項之晶片，其中該控制器包含狀態機，其包含：

輸入邏輯電路，用於接收傳送到該狀態機之邏輯輸入信號，及用於產生對應所接收邏輯輸入信號之響應的預定輸出控制信號；

門電路，響應來自該輸入邏輯電路之輸出控制信號及預定之其他輸入信號，來產生預定的輸出信號；及

輸出邏輯電路，用於接收傳送到該狀態機之邏輯輸入信號及來自該門電路之輸出信號，來產生該狀態機之預定輸出控制信號。

9. 如申請專利範圍第 5 項之晶片，其中至少兩個分別作業階段包含電源開啓及正常作業階段。

90年3月5日
補正

第 1 圖

