

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93126416

※申請日期：93.9.1,

※IPC 分類：H01L²¹/₈₂₃₈

一、發明名稱：(中文/英文)

用於製造互補式金屬氧化半導體場效電晶體之方法及裝置

METHOD AND APPARATUS FOR FABRICATING CMOS FIELD
EFFECT TRANSISTORS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)

傑拉德 羅森賽

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504 U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 賽洛 卡比洛 二世
CABRAL, CYRIL JR.
2. 邁凱 央
I EONG, MEIKEI
3. 賈庫伯 T 凱帝斯基
KEDZIERSKI, JAKUB T.

國 籍：(中文/英文)

1. 3.均美國 U.S.A.
2. 葡萄牙 PORTUGAL

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年09月24日；10/669,898

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般而言係關於一種用於在半導體基板上製造元件之方法。更具體言之，本發明係關於一種用於在半導體基板上製造互補式金屬氧化半導體(CMOS)場效電晶體的方法。

【先前技術】

積體電路(IC)可包括多於一百萬個互補式金屬氧化半導體(CMOS)場效電晶體，該等電晶體形成於半導體基板上且被在一起佈線至電路中以在IC中執行各種功能。CMOS電晶體包含安置於由半導體材料形成之源極與汲極區域之間的閘結構。該閘結構通常包含閘極及閘介電質。閘極安置於閘介電質之上並控制在閘介電質之下的汲極與源極區域之間的通道區域中之電荷載子流，以便開啓或關閉電晶體。

在高速度及高元件密度IC中，具有多晶矽閘極之習知閘結構由於多晶矽中的自由載子耗盡層而效率低。在CMOS電晶體之開啓狀態下，耗盡層增加了閘介電質之有效厚度，且相應地，降低了閘結構之電容，從而使電晶體之操作效能降級。

舉例而言，較低閘電容對電晶體之效能造成不利影響。具體言之，高閘電容導致相同數目之開啓狀態載子之較低 $V_g - V_t$ (此處 V_g 為該閘電壓且 V_t 為臨限電壓)並從而降低電晶體功率。此外，高閘電容也可改良元件之結垢(scaling)

長度，使得建置具有較快切換速度之較小電晶體成為可能。

在先進CMOS電晶體中，閘結構可包含矽化物閘極。在此等閘結構中，多晶矽由與金屬或金屬合金之固態反應而被轉換成矽化物。矽化物為矽與金屬之化合物。在本文中，習慣上使用材料之化學式來對其進行識別。在閘結構中，矽化物表現得類似於金屬且同樣，能夠消除耗盡效應。

然而，需要控制金屬閘之有效功函數。閘之有效功函數確定電晶體之臨限電壓。CMOS元件由兩種類型之電晶體組成；n型場效電晶體(nFET)及p型場效電晶體(pFET)，各自具有不同的臨限電壓且因而具有不同的功函數。金屬之功函數為移動電子使其不再受金屬束縛所需之能量(真空能階與Fermi能階之間的能量差)。對於CMOS元件而言，需具有雙重金屬閘，而每一類型的電晶體具有適當的功函數。

因此，在本技術中需要一種用於在製造積體電路時製造CMOS場效電晶體的改良方法且需要一種用於控制電晶體之金屬閘之功函數的改良方法。

【發明內容】

在一實施例中，本發明揭示一種用於製造互補式金屬氧化半導體(CMOS)場效電晶體之方法，該方法包括選擇性摻雜及矽化電晶體閘極之多晶矽物質。在一實施例中，摻雜物包括As、P、B、Sb、Bi、Tl、Al、Ga、Ge、Sn、

N_2 中至少一者。在另一實施例中，在矽化之前非晶化多晶矽。在另一實施例中，於低基板溫度下完成矽化。

本發明之另一態樣為使用本發明性方法形成之CMOS場效電晶體。

【實施方式】

本發明是一種用於製造包括具有預定的且受控的功函數之矽化物閘極的CMOS場效電晶體的方法。本方法可用於在超大型積體(ULSI)半導體元件及電路中製造PMOS及NMOS電晶體。

圖1描述製造CMOS場效電晶體之發明性方法之一實施例的流程圖(作為方法100)。方法100包括在電晶體之薄膜堆疊之上執行的過程。

圖2A-2E描述使用方法100製造之CMOS場效電晶體之基板的圖解性橫截面圖。圖2A-2E之影像未按比例加以描述且為了說明之目的而加以簡化。為了最好地理解本發明，讀者應該同時參考圖1及圖2A-2E。

方法100開始於步驟101且進行至步驟102。在步驟102中，在安置於基板200(例如絕緣體上矽(SOI)基板(圖2A))上之閘介電層202之上形成多晶矽層204(即閘極層)。SOI基板200通常包括夾於含矽層203與矽(Si)晶圓205之間的掩藏氧化層201(僅在圖2A中顯示)。含矽層203可由Si、SeGe、SiGeC、Si/SiGe、Si/SiC、Si/SiGeC及其類似物中至少一膜形成。此等SOI基板200為熟習此項技術者已知。閘介電層202一般包括一或多種未經摻雜及經摻雜的氧化

物，諸如 SiO_2 、 SiON 、 Al_2O_3 、 ZrO_2 、 HfO_2 、 Ta_2O_3 、 TiO_2 、矽酸鹽、鈣鈦礦型(perovskite-type)氧化物及其混合物，除其它介電材料之外。一般使多晶矽層 204 及閘介電層 202 分別形成至約 400 埃至 2000 埃及 10 埃至 100 埃之厚度。可使用任何習知真空沈積技術(例如，物理氣相沈積(PVD)、化學氣相沈積(CVD)、電漿增強 CVD(PECVD)，原子層沈積(ALD)及其類似物)來沈積該等層 204 及 202。

在步驟 104 中，將雜質(即摻雜物)植入多晶矽層 204 中(圖 2)。在一實施例中，步驟 104 執行離子植入過程，該過程使用包括受控數量之 As、P、B、Sb、Bi、In、Tl、Al、Ga、Ge、Sn 及 N_2 之至少一者的離子束 206。在此實施例中，受到選擇性控制的劑量可在約 1×10^{14} 與 5×10^{15} 離子/平方公分之範圍中。較佳地，當離子束 206 包括 B、P、As、及 Sb 時，劑量分別為約 $(5-20) \times 10^{14}$ 、 $(5-25) \times 10^{14}$ 、 $(5-35) \times 10^{14}$ 及 $(5-40) \times 10^{14}$ 離子/平方公分。在另一實施例中，分別使用 P、As、Sb 及 Bi 來摻雜其中正在基板 200 之上製造 NMOS 電晶體之多晶矽層 204 中的區域，而使用 B 及 Ge 來摻雜其中正在製造 PMOS 電晶體之區域。在多晶矽層 204 之矽化之後(以下參考步驟 110 加以論述)，P、As、Sb 及 Bi 與 B 及 Ge 雜質分別在在電晶體之閘極的矽化材料中促進導帶控制及提供價帶控制。在另一實施例中，為了獲得多種功函數，可使用微影遮罩來使多晶矽層 204 中被選定區域曝露於離子束 206。在一替代實施例中，在步驟 102 抑或步驟 104 期間，可使用(例如)PVD 或 CVD 過程來引入雜質。

在步驟106中，非晶化多晶矽層204(圖2C)。在一例示性實施例中，為了非晶化多晶矽，步驟106執行使用包括受控數量之Si及Ge中至少一者的離子束212之離子植入過程。多晶矽之非晶化可有利地增加在步驟104被植入層204中之雜質的多晶矽/矽化物介面處的雜質隔離(以下參考步驟110加以論述)。在一些申請案中，不需要多晶矽層204之非晶化，且步驟106同樣被認為是可選的。

在步驟108中，在基板200之上形成正被製造之CMOS電晶體之閘結構210。圖2D描述已使用化學機械研磨(CMP)過程加以平面化之閘結構210。可使用本技術中已知的方法形成閘結構210，例如微影、反應式離子蝕刻、沈積、退火、CMP、及習知用於製造CMOS電晶體之其它過程。(舉例而言)在2002年11月20日申請之共同讓渡之美國專利申請案第10/300,165號(律師摘要號YOR92000183US1)中揭示了此等過程，該申請案以引用之方式併入本文中。

在一例示性實施例中，閘結構210包括閘介電層202、多晶矽層204、凸起源極/汲極(RSD)區域216、絕緣間隔片218及220、及沈積在多晶矽層204之上的金屬層208。金屬層208可由金屬及合金中至少一者形成。該金屬可為Ni、Co、Pt、Ti、Pd、W、Mo及Ta中至少一者；且該合金可包括C、Al、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Ge、Zr、Nb、Mo、Ru、Rh、Pd、Ag、In、Sn、Hf、Ta、W、Re、Ir及Pt中至少一者。使用自我對準矽化物(salicide)過程在與金屬層的反應中消耗閘極之多晶矽以形成矽化物金屬閘

極。salicide過程包括沈積毯覆性金屬層、第一次低溫退火以形成矽化物之第一相位、選擇性濕式蝕刻以移除不反應的金屬及可選的第二次在較高溫度下第二次退火以形成矽化物之較低電阻相位(在步驟110中進一步詳細地論述)。在另一實施例中，RSD區域216可使用選擇性矽磊晶過程得以成長，被植入適當摻雜物，並隨後被金屬化以形成矽化物接點。在一替代實施例中，基板200可為包括正被形成於其上之CMOS電晶體之汲極及源極區域的矽晶圓。

在步驟110中，將多晶矽層204轉換成矽化物，從而形成矽化物閘極214(圖2E)。在所描述之實施例中，在步驟110期間，多晶矽層204及金屬層208被完全消耗且由矽化物所置換。在一替代實施例(未顯示)中，可選擇金屬層208之厚度使得矽化物閘極214由多種矽化物層組成，其中與底層相比，最頂層為金屬較多的矽化物相位。

可使用(例如)退火過程來執行多晶矽層204之矽化。在一例示性實施例中，在惰性氣體(例如He、Ar及其類似物)、 N_2 及合成氣體(即，在 N_2 或Ar中具有約(3-10)%之 H_2 的溶液)中至少一者的環境中執行退火過程。在另一實施例中，在預先選定之低基板溫度(例如約攝氏350度至500度)下執行對於NiSi形成的退火過程且執行延長的持續時間，諸如約0.3分鐘至30分鐘。在一額外實施例中，在預先選定之低基板溫度(例如約攝氏450度至750度)下執行對於 $CoSi_2$ 形成之退火過程且執行延長的持續時間，諸如約0.3分鐘至30分鐘。在另一實施例中，在預先選定之低基

板溫度(例如約攝氏350度至600度)下執行對於PtSi及PdSi形成之退火過程且執行延長的持續時間，諸如約0.3分鐘至30分鐘。此退火過程可有利地增加正被形成的矽化物閘極214中的雜質之溶解度及隔離，並且降低閘介電層202中的應力且增加層202、電極214與基板200之間的黏著力。在一特定較佳實施例中，當金屬層208包括Ni時，使用在N₂環境中、在攝氏450度及近似15分鐘之延長的持續時間中執行之退火過程來形成NiSi閘極。

當矽化物形成時，被植入之雜質趨於隔離至矽化物與剩餘多晶矽之間的邊界區域中並被"犁(plow)"向閘介電層202。當矽化物前端到達閘介電層202時，雜質被固定在矽化物與介電層202之介面上，因而改變閘結構210之功函數，並且改變矽化物閘極214中之電子遷移率。

在退火過程之後，閘結構210包括形成於所植入雜質之至少一單層上的矽化物閘極214，該等植入之雜質安置於矽化物閘極214與閘介電層202之介面上。使用(例如)習知的二次離子質譜儀(SIMS)方法可容易地觀察到該閘結構中的雜質隔離。

在一例示性實施例中，當雜質為As時，NiSi閘結構210之功函數及峰值電子遷移率與具有由未摻雜多晶矽形成之NiSi閘金屬極的閘結構之相應的功函數及電子遷移率相比，分別以約-250 eV之幅度更接近Si之導帶以及大2-10%。

矽化物電極之功函數由步驟104中植入多晶矽層204中的

雜質的量(即，劑量)及材料所界定。在一般情況下，矽化物閘極214之功函數值之改變或偏移與植入矽化物之雜質濃度成比例(以下參考圖3加以討論)。在步驟104中使用劑量及材料受到控制的雜質，可將矽化物閘極214之功函數選擇性地修改為特定值，諸如促進PMOS及NMOS電晶體之預定臨限電壓及最佳操作的值。在一例示性實施例中，使用由As受控摻雜多晶矽層204來選擇性地修改NiSi矽化物閘極214之臨限電壓(大約0.4伏)至少-0.25伏，如以上參考步驟104所述。由B、P、As及Sb摻雜之矽化物閘極214之選擇性受控臨限電壓的相應最大偏移範圍分別為約0.1伏；0.2伏；0.25伏及0.5伏。

退火過程一完成，方法100就在步驟112結束。

圖3描述一例示性圖表300，其說明了矽化物閘極214之功函數對閘極中之雜質量的相依性。具體言之，在圖3中，相對於在方法100之步驟104(以上參考圖1加以論述)中植入多晶矽層204之雜質的劑量304來繪製閘極214之功函數之偏移302(y軸線)。在本文中，偏移302以單位"ev"(電子伏)表示，劑量304以單位"離子/平方公分"表示，且例示性迹線305-308分別與NiSi閘極214中的B、P、As及Sb有關。

雖然前述係針對本發明之說明性實施例，但是可不背離其基礎範疇而設計本發明之其它及另外實施例，且其範疇由以下申請專利範圍所決定。

【圖式簡單說明】

圖1描述了根據本發明之一實施例之用於製造CMOS場效電晶體的方法的流程圖。

圖2A-2E描述了具有根據圖1之方法製造之CMOS場效電晶體之基板的一系列圖解性橫截面圖。

圖3描述了說明使用圖1之方法製造之CMOS場效電晶體之矽化物閘極之功函數的例示性圖。

為了促進理解，在可能的情況下使用了相同的參考數字來指示該等圖形共有的相同元件。

應注意，所附圖式僅說明本發明之例示性實施例，且因此不應被認為對其範圍具有限制性，因為本發明可承認其它等效的有效實施例。

【主要元件符號說明】

- 200 基板
- 201 掩藏氧化層
- 202 閘介電層
- 203 含矽層
- 204 多晶矽層
- 205 矽晶圓
- 206 離子束
- 208 金屬層
- 210 閘結構
- 212 離子束
- 214 矽化物閘極
- 216 凸起源極/汲極(RSD)區域

218 絕緣間隔片

220 絕緣間隔片

五、中文發明摘要：

一種用於製造互補式金屬氧化半導體(CMOS)場效電晶體的方法，該方法包括選擇性摻雜及完全矽化包含電晶體閘極之多晶矽材料。在一實施例中，在矽化之前非晶化多晶矽。在另一實施例中，在低基板溫度下執行矽化。

六、英文發明摘要：

十一、圖式：

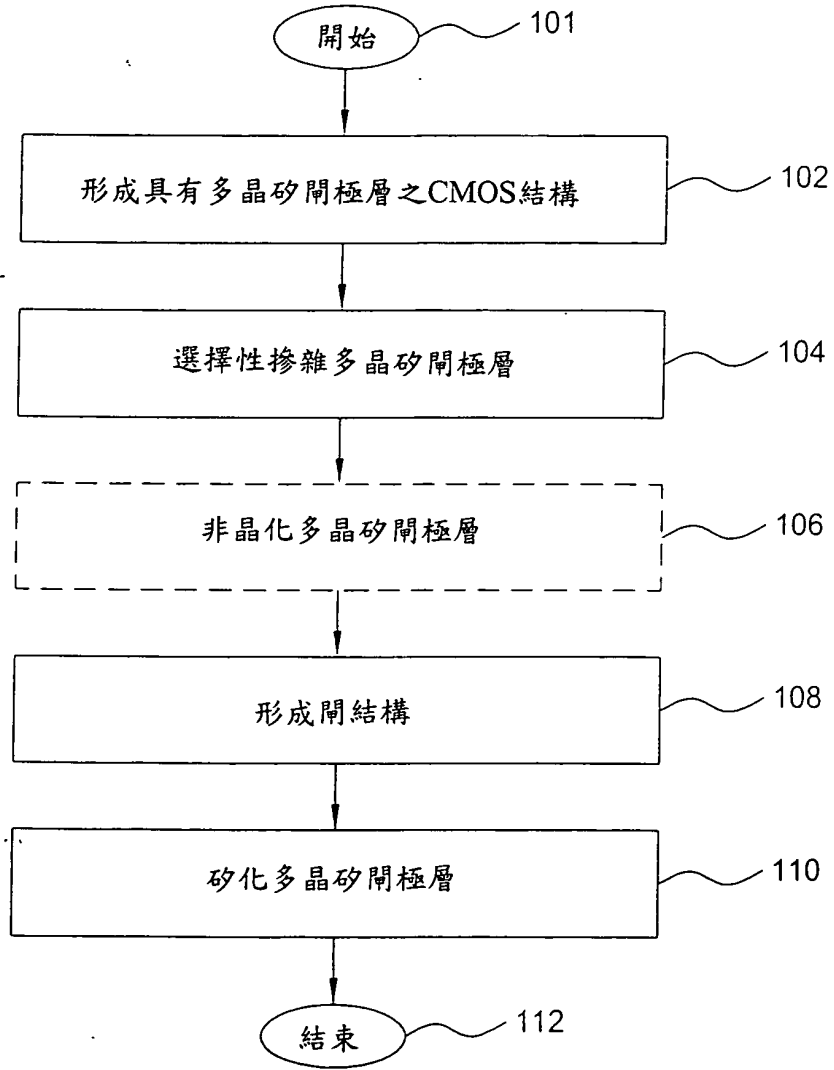


圖 1

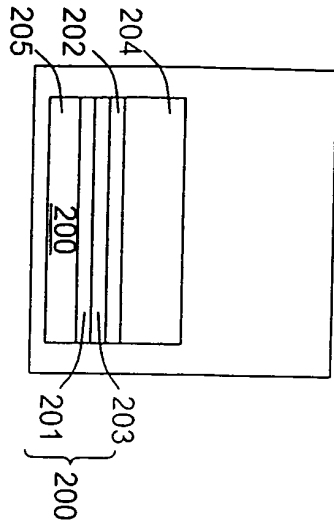


圖 2A

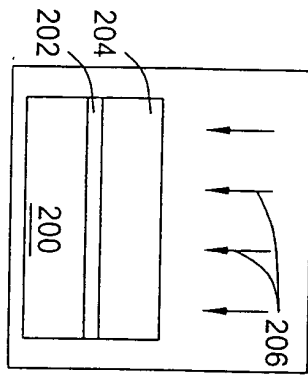


圖 2B

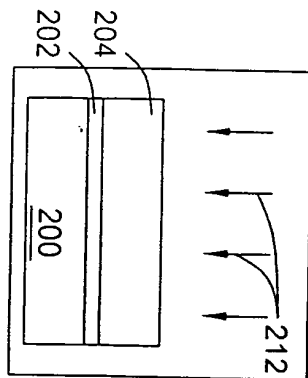


圖 2C

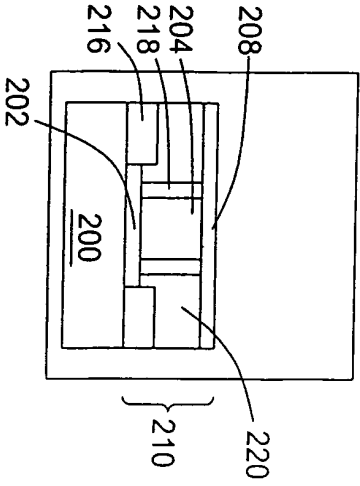


圖 2D

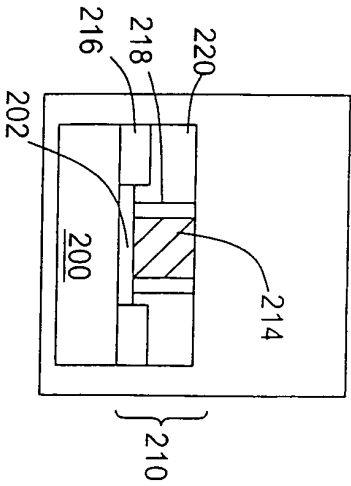


圖 2E

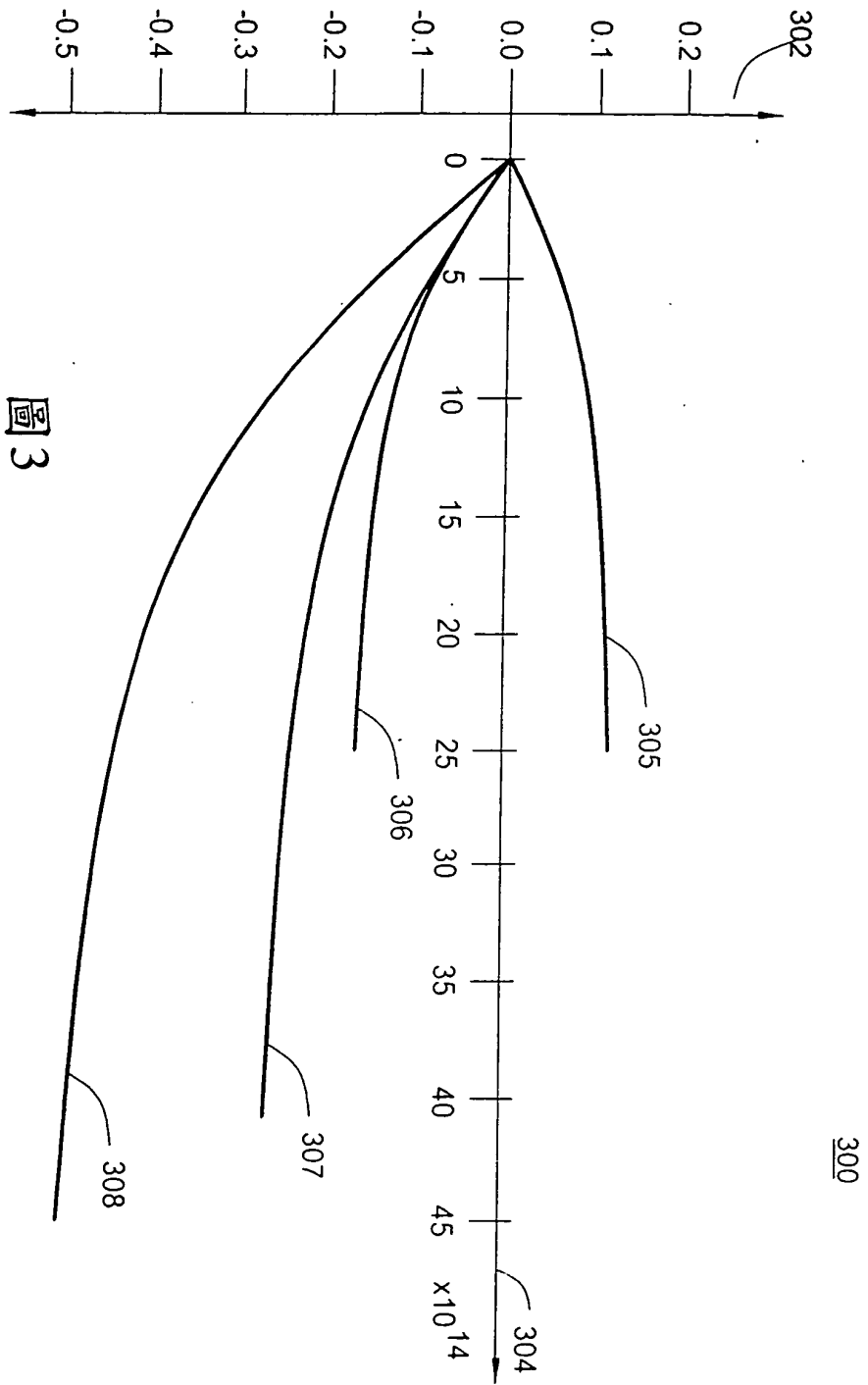


圖 3

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種製造一互補式金屬氧化半導體(CMOS)場效電晶體的方法，其包含以下步驟：
 - (a)提供一基板；
 - (b)在該基板上提供一形成於一閘介電層上的多晶矽層；
 - (c)使用至少一摻雜物來摻雜該多晶矽層；
 - (d)形成該電晶體之一閘結構，該電晶體具一多晶矽閘極及一凸起源極和汲極區；
 - (e)在該多晶矽閘極上沈積一金屬及一合金中至少一者；及
 - (f)矽化該多晶矽閘極以形成一矽化物且在該閘介電層與該矽化物間之一介面處形成該至少一摻雜物之至少一單層；其中步驟(c)與(d)可互換。
2. 如請求項1之方法，其中在該形成步驟(d)之後執行該摻雜步驟(c)。
3. 如請求項1之方法，其中該至少一摻雜物包括As、P、B、Sb、Bi、In、Tl、Al、Ga、Ge、Sn及N₂中至少一者。
4. 如請求項1之方法，其中該摻雜步驟(c)使用Sb作為該至少一摻雜物來摻雜該多晶矽層。
5. 如請求項1之方法，其中該摻雜步驟(c)使用一離子植入過程來摻雜該多晶矽層。

6. 如請求項5之方法，其中該摻雜步驟(c)使用在一約 1×10^{14} 至 4×10^{15} 離子/平方公分之範圍內的一預定劑量來摻雜該多晶矽層。
7. 如請求項1之方法，其中該形成步驟(d)進一步包括以下步驟：
非晶化該多晶矽閘極。
8. 如請求項7之方法，其中該非晶化步驟包括以下步驟：
使用Si及Ge中至少一者來執行一離子植入過程。
9. 如請求項1之方法，其中該金屬之該至少一者包括Ni、Co、Pt、Ti、Pd、W、Mo及Ta中至少一者。
10. 如請求項1之方法，其中該金屬之該至少一者包括Ni。
11. 如請求項1之方法，其中該金屬之該至少一者包括Co。
12. 如請求項1之方法，其中該合金之該至少一者包括C、Al、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Ge、Zr、Nb、Mo、Ru、Rh、Pd、Ag、In、Sn、Hf、Ta、W、Re、Ir及Pt中至少一者。
13. 如請求項1之方法，其中該矽化步驟使用一退火過程。
14. 如請求項13之方法，其中在約攝氏350度至750度之一基板溫度下執行該退火過程，持續時間約0.3分鐘至30分鐘。
15. 如請求項13之方法，其中該退火過程形成該至少一摻雜物之該至少一單層，其中該至少一單層控制該矽化物中的功函數及電子遷移率。
16. 一種使用一方法在一基板上形成之互補式金屬氧化半導體

體(CMOS)場效電晶體，該方法包括：

- (a)提供一基板；
- (b)在該基板上提供一形成於一閘介電層上的多晶矽層；
- (c)使用至少一摻雜物摻雜該多晶矽層；
- (d)形成該電晶體之一閘結構，該電晶體具一多晶矽閘極及一凸起源極和汲極區；
- (e)在該多晶矽閘極上沈積一金屬及一合金中至少一者；及
- (f)矽化該多晶矽閘極以形成一矽化物且在該閘介電層與該矽化物間之一介面處形成該至少一摻雜物之至少一單層；

其中步驟(c)與(d)可互換。

17. 如請求項16之電晶體，其中在該形成步驟(d)之後執行該摻雜步驟(c)。
18. 如請求項16之電晶體，其中該至少一摻雜物包括As、P、B、Sb、Bi、In、Tl、Al、Ga、Ge、Sn及N₂中至少一者。
19. 如請求項16之電晶體，其中該摻雜步驟(c)僅使用Sb來摻雜該多晶矽層。
20. 如請求項16之電晶體，其中該摻雜步驟(c)使用一離子植入過程來摻雜該多晶矽層。
21. 如請求項20之電晶體，其中該摻雜步驟(c)使用在一約 1×10^{14} 至 4×10^{15} 離子/平方公分之範圍內的一預定劑量來摻雜該多晶矽層。

22. 如請求項 16 之電晶體，其中該形成步驟(d)進一步包括以下步驟：
非晶化該多晶矽閘極。
23. 如請求項 22 之電晶體，其中該非晶化步驟包括以下步驟：
使用 Si 及 Ge 中至少一者來執行一離子植入過程。
24. 如請求項 16 之電晶體，其中該金屬之該至少一者包括 Ni、Co、Pt、Ti、Pd、W、Mo 及 Ta 中至少一者。
25. 如請求項 16 之電晶體，其中該金屬之該至少一者包括 Ni。
26. 如請求項 16 之電晶體，其中該金屬之該至少一者包括 Co。
27. 如請求項 16 之電晶體，其中該合金之該至少一者包括 C、Al、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Ge、Zr、Nb、Mo、Ru、Rh、Pd、Ag、In、Sn、Hf、Ta、W、Re、Ir 及 Pt 中至少一者。
28. 如請求項 16 之電晶體，其中該矽化步驟使用一退火過程。
29. 如請求項 28 之電晶體，其中在約攝氏 350 度至 750 攝氏度之一基板溫度下執行該退火過程，持續時間大約 0.3 分鐘至 30 分鐘。
30. 如請求項 28 之電晶體，其中該退火過程形成該至少一摻雜物之該至少一單層，其中，該至少一單層控制該矽化物中的功函數及電子遷移率。