

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5068631号
(P5068631)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl. F I
G05F 1/56 (2006.01) G05F 1/56 310V
 G05F 1/56 310K

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2007-299464 (P2007-299464)	(73) 特許権者	000006747
(22) 出願日	平成19年11月19日(2007.11.19)		株式会社リコー
(65) 公開番号	特開2009-123172 (P2009-123172A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成21年6月4日(2009.6.4)	(74) 代理人	100081422
審査請求日	平成22年8月4日(2010.8.4)		弁理士 田中 光雄
		(74) 代理人	100068526
			弁理士 田村 恭生
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	長▲濱▼ 顕仁
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		(72) 発明者	吉井 宏治
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内

最終頁に続く

(54) 【発明の名称】 定電圧回路

(57) 【特許請求の範囲】

【請求項1】

出力端子から出力された出力電圧に比例した比例電圧が所定の基準電圧になるように、制御電極に入力された信号に応じた電流を入力端子から出力端子に出力する少なくとも1つの出力トランジスタの動作制御を行って、前記入力端子に入力された入力電圧を所定の定電圧に変換して前記出力端子から出力する定電圧回路において、

前記出力端子から出力された出力電圧に比例した比例電圧が所定の基準電圧になるように対応する前記出力トランジスタの動作制御を行う、入力された制御信号に応じて作動又は動作を停止する第1の誤差増幅回路部と、

前記出力端子から出力された出力電圧に比例した比例電圧が所定の基準電圧になるように対応する前記出力トランジスタの動作制御を行う、常時作動する第2の誤差増幅回路部と、

前記制御信号に応じて前記第2の誤差増幅回路部のバイアス電流を制御するバイアス電流制御回路部と、
を備え、

前記バイアス電流制御回路部は、前記制御信号に応じて、前記第1の誤差増幅回路部が作動している間は、前記第1の誤差増幅回路部が動作を停止しているときよりも前記第2の誤差増幅回路部のバイアス電流を増加させることを特徴とする定電圧回路。

【請求項2】

前記バイアス電流制御回路部は、前記第2の誤差増幅回路部に対して、前記第1の誤差

10

20

増幅回路部が動作を停止している間は、バイアス電流が所定の第 1 電流値になるように制御し、前記第 1 の誤差増幅回路部が作動している間は、バイアス電流が前記第 1 電流値よりも大きい第 2 電流値になるように制御することを特徴とする請求項 1 記載の定電圧回路。

【請求項 3】

前記バイアス電流制御回路部は、前記制御信号によって前記第 1 の誤差増幅回路部が動作を停止すると、該動作を停止した時点から第 1 の所定時間が経過するまでは、前記第 2 の誤差増幅回路部のバイアス電流を前記第 2 電流値に保持させることを特徴とする請求項 2 記載の定電圧回路。

【請求項 4】

前記バイアス電流制御回路部は、前記制御信号によって前記第 1 の誤差増幅回路部が動作を停止すると、前記第 2 の誤差増幅回路部のバイアス電流を第 2 の所定時間をかけて前記第 2 電流値から前記第 1 電流値まで減少させることを特徴とする請求項 2 又は 3 記載の定電圧回路。

【請求項 5】

前記バイアス電流制御回路部は、前記制御信号によって前記第 1 の誤差増幅回路部が動作を開始すると、前記第 2 の誤差増幅回路部のバイアス電流を第 3 の所定時間をかけて前記第 1 電流値から前記第 2 電流値まで増加させることを特徴とする請求項 2、3 又は 4 記載の定電圧回路。

【請求項 6】

前記出力端子から出力される出力電流の電流値に応じた前記制御信号を生成して出力する出力電流検出回路部を備え、該出力電流検出回路部は、前記出力端子から出力される出力電流が所定値以上になると、前記第 1 の誤差増幅回路部を作動させ、前記出力端子から出力される出力電流が所定値未満になると、前記第 1 の誤差増幅回路部の動作を停止させることを特徴とする請求項 1、2、3、4 又は 5 記載の定電圧回路。

【請求項 7】

前記バイアス電流制御回路部は、
コンデンサと、

前記制御信号に応じて該コンデンサを充電する第 1 の定電流回路部と、

前記制御信号に応じて前記コンデンサを放電する第 2 の定電流回路部と、

前記コンデンサの充電電圧を所定の電圧にクランプする電圧クランプ回路部と、

前記第 2 の誤差増幅回路部にバイアス電流を追加供給するための第 3 の定電流回路部と

、
前記コンデンサの充電電圧に応じて、該第 3 の定電流回路部からの定電流の第 2 の誤差増幅回路部への供給制御を行う MOS トランジスタと、
を備え、

前記電圧クランプ回路部は、前記コンデンサの充電電圧が、該 MOS トランジスタが飽和動作になるゲート電圧値よりも所定の電圧値だけ大きい電圧になると、前記コンデンサの充電電圧をクランプすることを特徴とする請求項 1、2、3、4、5 又は 6 記載の定電圧回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、携帯電子機器に電力を供給する定電圧回路に関し、特に低消費電流で作動する低速動作モードと、消費電流は大きいが高速度動作が可能で高速動作モードとを備えた定電圧回路に関する。

【背景技術】

【0002】

従来の定電圧回路では、リップル除去率 (PSRR) や負荷過渡応答性を向上させるために消費電流が大きい誤差増幅回路を有するものと、高速応答性を必要としないことから

10

20

30

40

50

消費電流を抑制した誤差増幅回路を有するものがあつた。

携帯電話器等のように、通常の消費電流で動作する動作状態とスリープモード等のように低消費電流となる待機状態とを有する機器では、高速応答性を有するボルテージレギュレータを使用すると、高速応答性を必要としない待機状態では該ボルテージレギュレータによる消費電流が必要以上に大きかつた。

【0003】

このような問題を解決するために、消費電流は大きい高速応答性を有する高速動作の誤差増幅回路と、消費電流を抑制した低速動作の誤差増幅回路を備えた定電圧回路があつた(例えば、特許文献1参照。)。このような定電圧回路では、負荷電流が小さく、高速動作を要求しない条件では、低速動作の誤差増幅回路だけで出力トランジスタを制御して定電圧制御を行い、負荷電流が大きく、高速動作が要求される場合は、低速動作の誤差増幅回路に加えて、高速動作の誤差増幅回路を動作させるようにしていた。

10

【特許文献1】特許第3710468号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、このような定電圧回路では、負荷電流が減少して高速動作の誤差増幅回路の動作を停止させ、低速動作の誤差増幅回路だけの動作に切り換える際に、出力電圧に大きなノイズが発生するという問題があつた。これは、2つの誤差増幅回路の持つオフセットが異なることによって生じる出力電圧の違いを調整するために時間がかかることに起因している。

20

また、高速動作の誤差増幅回路で制御されている出力トランジスタと、低速動作の誤差増幅回路で制御されている出力トランジスタとが異なる場合、高速動作の誤差増幅回路を停止させた後、低速動作の誤差増幅回路が制御している出力トランジスタのゲート電圧を大きく変更する必要があつた。しかし、低速動作の誤差増幅回路のドライブ能力が小さいため、低速動作の誤差増幅回路が制御している出力トランジスタのゲート容量を瞬時に充電することができず、更に前記時間が長くなるという問題があつた。

【0005】

本発明は、このような問題を解決するためになされたものであり、高速動作の誤差増幅回路の動作を停止して低速動作の誤差増幅回路だけの動作に切り換えたときに発生する出力電圧の変動を抑制することができる定電圧回路を得ることを目的とする。

30

【課題を解決するための手段】

【0006】

この発明に係る定電圧回路は、出力端子から出力された出力電圧に比例した比例電圧が所定の基準電圧になるように、制御電極に入力された信号に応じた電流を入力端子から出力端子に出力する少なくとも1つの出力トランジスタの動作制御を行って、前記入力端子に入力された入力電圧を所定の定電圧に変換して前記出力端子から出力する定電圧回路において、

前記出力端子から出力された出力電圧に比例した比例電圧が所定の基準電圧になるように対応する前記出力トランジスタの動作制御を行う、入力された制御信号に応じて作動又は動作を停止する第1の誤差増幅回路部と、

40

前記出力端子から出力された出力電圧に比例した比例電圧が所定の基準電圧になるように対応する前記出力トランジスタの動作制御を行う、常時作動する第2の誤差増幅回路部と、

前記制御信号に応じて前記第2の誤差増幅回路部のバイアス電流を制御するバイアス電流制御回路部と、

を備え、

前記バイアス電流制御回路部は、前記制御信号に応じて、前記第1の誤差増幅回路部が作動している間は、前記第1の誤差増幅回路部が動作を停止しているときよりも前記第2の誤差増幅回路部のバイアス電流を増加させるものである。

50

【 0 0 0 7 】

具体的には、前記バイアス電流制御回路部は、前記第2の誤差増幅回路部に対して、前記第1の誤差増幅回路部が動作を停止している間は、バイアス電流が所定の第1電流値になるように制御し、前記第1の誤差増幅回路部が作動している間は、バイアス電流が前記第1電流値よりも大きい第2電流値になるように制御するようにした。

【 0 0 0 8 】

この場合、前記バイアス電流制御回路部は、前記制御信号によって前記第1の誤差増幅回路部が動作を停止すると、該動作を停止した時点から第1の所定時間が経過するまでは、前記第2の誤差増幅回路部のバイアス電流を前記第2電流値に保持させるようにした。

10

【 0 0 0 9 】

また、前記バイアス電流制御回路部は、前記制御信号によって前記第1の誤差増幅回路部が動作を停止すると、前記第2の誤差増幅回路部のバイアス電流を第2の所定時間をかけて前記第2電流値から前記第1電流値まで減少させるようにした。

【 0 0 1 0 】

また、前記バイアス電流制御回路部は、前記制御信号によって前記第1の誤差増幅回路部が動作を開始すると、前記第2の誤差増幅回路部のバイアス電流を第3の所定時間をかけて前記第1電流値から前記第2電流値まで増加させるようにした。

【 0 0 1 1 】

また、前記出力端子から出力される出力電流の電流値に応じた前記制御信号を生成して出力する出力電流検出回路部を備え、該出力電流検出回路部は、前記出力端子から出力される出力電流が所定値以上になると、前記第1の誤差増幅回路部を作動させ、前記出力端子から出力される出力電流が所定値未満になると、前記第1の誤差増幅回路部の動作を停止させるようにした。

20

【 0 0 1 2 】

具体的には、前記バイアス電流制御回路部は、
コンデンサと、

前記制御信号に応じて該コンデンサを充電する第1の定電流回路部と、

前記制御信号に応じて前記コンデンサを放電する第2の定電流回路部と、

前記コンデンサの充電電圧を所定の電圧にクランプする電圧クランプ回路部と、

30

前記第2の誤差増幅回路部にバイアス電流を追加供給するための第3の定電流回路部と

、
前記コンデンサの充電電圧に応じて、該第3の定電流回路部からの定電流の第2の誤差増幅回路部への供給制御を行うMOSトランジスタと、
を備え、

前記電圧クランプ回路部は、前記コンデンサの充電電圧が、該MOSトランジスタが飽和動作になるゲート電圧値よりも所定の電圧値だけ大きい電圧になると、前記コンデンサの充電電圧をクランプするようにした。

【 発明の効果 】

【 0 0 1 3 】

本発明の定電圧回路によれば、制御信号に応じて作動又は動作を停止する高速動作を行うことができる第1の誤差増幅回路部と、第1の誤差増幅回路部よりも消費電流が小さく、常時作動する第2の誤差増幅回路部とを備え、バイアス電流制御回路部は、前記第1の誤差増幅回路部が作動している間は、前記第1の誤差増幅回路部が動作を停止しているときよりも前記第2の誤差増幅回路部のバイアス電流を増加させるようにし、具体的には、第1の誤差増幅回路部が動作を停止しているときは、第2の誤差増幅回路部のバイアス電流を第1電流値にし、第1の誤差増幅回路部が作動しているときは、第2の誤差増幅回路部のバイアス電流を第1電流値よりも大きい第2電流値になるようにした。このことから、高速動作の第1の誤差増幅回路部の動作を停止して低速動作の第2の誤差増幅回路部だけの動作に切り換えたときに発生する出力電圧の変動を抑制することができる。

40

50

【0014】

また、第2の誤差増幅回路部に対するバイアス電流の切り替えを徐々に行うようにしたことから、該バイアス電流の変動による出力電圧の変動をも抑制することができる。このため、高速応答が可能で、しかも高効率で、出力電圧の変動を小さくすることができる。

【発明を実施するための最良の形態】

【0015】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態 .

図1は、本発明の第1の実施の形態における定電圧回路の回路例を示した図である。

図1において、定電圧回路1は、入力端子INに入力された入力電圧V_{dd}から所定の定電圧を生成し出力電圧V_{out}として出力端子OUTから出力する。

定電圧回路1は、所定の基準電圧V_{ref}を生成して出力する基準電圧発生回路2と、出力電圧V_{out}を分圧して分圧電圧V_{fb}を生成し出力する出力電圧検出用の抵抗R₁、R₂と、ゲートに入力される信号に応じて出力端子OUTに出力する電流i_{out}の制御を行うPMOSトランジスタからなる第1の出力トランジスタM₁と、ゲートに入力される信号に応じて出力端子OUTに出力する電流i_{out}の制御を行うPMOSトランジスタからなる第2の出力トランジスタM₂とを備えている。

【0016】

また、定電圧回路1は、分圧電圧V_{fb}が基準電圧V_{ref}になるように第1の出力トランジスタM₁の動作制御を行う第1の誤差増幅回路3と、分圧電圧V_{fb}が基準電圧V_{ref}になるように第2の出力トランジスタM₂の動作制御を行う第2の誤差増幅回路4とを備えている。更に、定電圧回路1は、所定の参照電圧V_sを生成して出力する参照電圧生成回路5と、コンパレータ6と、第2の誤差増幅回路4のバイアス電流i_bの制御を行うバイアス電流制御回路7と、インバータ8と、PMOSトランジスタM₃、M₄と、スイッチSW₁、SW₂と、抵抗R₃とを備えている。なお、第1の誤差増幅回路3は第1の誤差増幅回路部を、第2の誤差増幅回路4は第2の誤差増幅回路部を、バイアス電流制御回路7はバイアス電流制御回路部をそれぞれなし、参照電圧生成回路5、コンパレータ6、PMOSトランジスタM₃、M₄及び抵抗R₃は出力電流検出回路部をなす。

【0017】

入力端子INと出力端子OUTとの間に第1の出力トランジスタM₁と第2の出力トランジスタM₂が並列に接続され、第1の誤差増幅回路3の出力端は第1の出力トランジスタM₁のゲートに、第2の誤差増幅回路4の出力端は第2の出力トランジスタM₂のゲートにそれぞれ接続されている。また、出力端子OUTと接地電圧GNDとの間に、抵抗R₁及びR₂の直列回路が接続され、抵抗R₁とR₂との接続部から分圧電圧V_{fb}が出力される。第1の誤差増幅回路3及び第2の誤差増幅回路4の各反転入力端にはそれぞれ基準電圧V_{ref}が入力されており、第1の誤差増幅回路3及び第2の誤差増幅回路4の各非反転入力端にはそれぞれ分圧電圧V_{fb}が入力されている。

【0018】

入力電圧V_{dd}とコンパレータ6の非反転入力端との間には、PMOSトランジスタM₃及びM₄が並列に接続され、コンパレータ6の非反転入力端と接地電圧GNDの間には、抵抗R₃が接続されている。PMOSトランジスタM₃のゲートは、第1の誤差増幅回路3の出力端に接続されると共にスイッチSW₁を介して入力電圧V_{dd}に接続され、PMOSトランジスタM₄のゲートは、第2の誤差増幅回路4の出力端に接続されている。コンパレータ6の反転入力端には参照電圧V_sが入力され、コンパレータ6から出力された制御信号S_cは、バイアス電流制御回路7とスイッチSW₂の制御電極にそれぞれ入力されると共に、インバータ8を介してスイッチSW₁の制御電極に入力される。また、スイッチSW₂は、第1の誤差増幅回路3の出力端と第2の誤差増幅回路4の出力端との間に接続され、バイアス電流制御回路7は、第2の誤差増幅回路4のバイアス電流i_bの制御を行う。

【0019】

このような構成において、第1の誤差増幅回路3は、高速動作を行うことができるように、バイアス電流ができるだけ大きくなるように設計されている。これに対して、第2の誤差増幅回路4は、直流利得ができるだけ大きくなるようにして直流特性が優れたものになるように、バイアス電流ができるだけ小さくなるように設計されている。第2の誤差増幅回路4は常時作動しており、第1の誤差増幅回路3は、コンパレータ6から出力される制御信号Scがハイレベルのときだけ作動し、制御信号Scがローレベルになると動作を停止し、動作を停止している間は電流をほとんど消費しない状態になる。また、バイアス電流制御回路7は、入力された制御信号Scがローレベルである場合は、第2の誤差増幅回路4に所定の第1電流値 i_{b1} のバイアス電流 i_b が流れるようにし、制御信号Scがハイレベルになると、第2の誤差増幅回路4のバイアス電流 i_b を第1電流値 i_{b1} から所定の第2電流値($i_{b1} + i_{b2}$)に増加させる。

10

【0020】

一方、PMOSトランジスタM3からは、第1の出力トランジスタM1のドレイン電流に比例したドレイン電流が出力され、PMOSトランジスタM4からは、第2の出力トランジスタM2のドレイン電流に比例したドレイン電流が出力される。第1の出力トランジスタM1と第2の出力トランジスタM2の各ドレイン電流の和は、ほぼ出力電流 i_{out} に等しいことから、PMOSトランジスタM3とM4の各ドレイン電流の和は、出力電流 i_{out} に比例した電流になる。PMOSトランジスタM3とM4の各ドレイン電流はそれぞれ抵抗R3に供給されるため、抵抗R3の両端には電圧V3が生成され、該電圧V3は出力電流 i_{out} に比例した電圧になる。

20

【0021】

電圧V3が参照電圧Vs未満の場合、コンパレータ6はローレベルの制御信号Scを出力し、電圧V3が参照電圧Vs以上の場合ハイレベルの制御信号Scを出力する。ただし、コンパレータ6に、動作を安定させるためにヒステリシス電圧を持たせるようにしてもよく、この場合コンパレータ6から出力された制御信号Scが、ローレベルからハイレベルになるときと、ハイレベルからローレベルになるときの電圧V3は同じではない。スイッチSW1は、制御信号Scがローレベルのときはオンして導通状態になり、制御信号Scがハイレベルのときはオフして遮断状態になる。これに対して、スイッチSW2は、制御信号Scがローレベルのときにオフして遮断状態になり、制御信号Scがハイレベルのときにオンして導通状態になる。

30

【0022】

制御信号Scがローレベルの場合、第1の誤差増幅回路3は動作を停止すると共に、第1の出力トランジスタM1とPMOSトランジスタM3は、各ゲートがそれぞれスイッチSW1によって入力電圧Vddに接続され、それぞれオフして遮断状態になる。このとき、スイッチSW2はオフして遮断状態であることから、第2の誤差増幅回路4は、分圧電圧Vfbが基準電圧Vrefになるように第2の出力トランジスタM2だけを制御して出力電圧Voutを安定化させている。更に、第2の誤差増幅回路4は、バイアス電流 i_b が第1電流値 i_{b1} に減少しているため、定電圧回路1の消費電流は極めて小さい値になる。

【0023】

出力電流 i_{out} が増加して、電圧V3が参照電圧Vs以上になると、コンパレータ6は、制御信号Scの信号レベルを反転させてハイレベルにする。すなわち、コンパレータ6は、出力電流 i_{out} が所定値よりも大きくなると、制御信号Scをハイレベルにする。

40

制御信号Scがハイレベルになると、スイッチSW1がオフして遮断状態になり、スイッチSW2がオンして導通状態になる。このため、第1の出力トランジスタM1とPMOSトランジスタM3の各ゲートは、入力電圧Vddとの接続がそれぞれ遮断され、第2の出力トランジスタM2のゲートにそれぞれ接続される。

【0024】

また、第1の誤差増幅回路3は動作を開始するため、第1の出力トランジスタM1と第

50

2 の出力トランジスタ M 2 は、分圧電圧 V_{fb} が基準電圧 V_{ref} になるように第 1 の誤差増幅回路 3 と第 2 の誤差増幅回路 4 の各出力信号によって制御される。更に、第 2 の誤差増幅回路 4 のバイアス電流 i_b は、第 1 電流値 i_{b1} から第 2 電流値 ($i_{b1} + i_{b2}$) に増加する。

このように、出力電流 i_{out} が大きい場合は、第 2 の誤差増幅回路 4 のバイアス電流 i_b を増加させているが、増加させたバイアス電流 i_b は第 1 の誤差増幅回路 3 の消費電流よりもはるかに小さい値であることから、電力効率にほとんど影響することはない。

【0025】

次に、図 2 は、図 1 の定電圧回路 1 の動作例を示したタイミングチャートであり、図 2 を参照しながら図 1 の定電圧回路 1 の動作についてもう少し詳細に説明する。なお、時間 T_d は第 1 の所定時間を、時間 T_f は第 2 の所定時間を、時間 T_r は第 3 の所定時間をそれぞれなす。

図 2 において、時刻 T_0 で制御信号 S_c がハイレベルになると、第 1 の誤差増幅回路 3 は動作を開始する。同時に、バイアス電流制御回路 7 は、第 2 の誤差増幅回路 4 のバイアス電流 i_b を第 1 電流値 i_{b1} から第 2 電流値 ($i_{b1} + i_{b2}$) に増加させる。ただし、バイアス電流制御回路 7 は、バイアス電流 i_b を一瞬で増加させるのではなく、図 2 に示すよう時間 T_r をかけて増加させる。このため、第 2 の誤差増幅回路 4 のバイアス電流変更に伴う出力電圧 V_{out} の変動はほとんど発生しない。

【0026】

次に、時刻 T_1 で制御信号 S_c がローレベルに立ち下がると、第 1 の誤差増幅回路 3 は動作を停止するが、バイアス電流制御回路 7 は、第 2 の誤差増幅回路 4 のバイアス電流 i_b をまだ第 2 電流値 ($i_{b1} + i_{b2}$) に保持させている。このことから、第 2 の誤差増幅回路 4 の応答速度は高速性能を保っており、出力電圧 V_{out} の変動に対して直ちに第 2 の出力トランジスタ M 2 のゲート電圧を制御することができ、出力電圧 V_{out} の大幅な変動を抑えることができる。

次に、時刻 T_1 から所定の時間 T_d が経過した時刻 T_2 では、バイアス電流制御回路 7 は、第 2 の誤差増幅回路 4 のバイアス電流 i_b を第 2 電流値 ($i_{b1} + i_{b2}$) から徐々に減少させ、該減少を開始させてから所定の時間 T_f 経過後の時刻 T_3 でバイアス電流 i_b を第 1 電流値 i_{b1} に戻す。このように、第 2 の誤差増幅回路 4 のバイアス電流 i_b を徐々に減少させることにより、該バイアス電流 i_b の変動に基づく出力電圧 V_{out} の変動を抑制することができる。

【0027】

次に、図 3 は、バイアス電流制御回路 7 の回路例を示した図である。なお、図 3 では、第 2 の誤差増幅回路 4 は、バイアス電流制御回路 7 の動作を説明する上で必要な初段の差動増幅回路部のみを示しており、次段の増幅回路部は省略している。

図 3 において、第 2 の誤差増幅回路 4 の差動増幅回路部は、PMOS トランジスタ M 1 1 及び M 1 2 と、NMOS トランジスタ M 1 3 ~ M 1 5 とで構成されている。

NMOS トランジスタ M 1 3 及び M 1 4 は差動対をなしており、NMOS トランジスタ M 1 3 のゲートが第 2 の誤差増幅回路 4 の反転入力端をなし、NMOS トランジスタ M 1 4 のゲートが第 2 の誤差増幅回路 4 の非反転入力端をなしている。

【0028】

PMOS トランジスタ M 1 1 及び M 1 2 は、カレントミラー回路を形成しており、前記差動対の負荷をなしている。PMOS トランジスタ M 1 1 及び M 1 2 において、各ソースはそれぞれ入力電圧 V_{dd} に接続され、各ゲートは接続されて該接続部が PMOS トランジスタ M 1 1 のドレインに接続されている。PMOS トランジスタ M 1 1 のドレインは NMOS トランジスタ M 1 3 のドレインに接続されている。PMOS トランジスタ M 1 2 のドレインが NMOS トランジスタ M 1 4 のドレインに接続され、該接続部は第 2 の誤差増幅回路 4 の差動増幅回路部における出力端をなし、図示しない後段の増幅回路部に接続されている。NMOS トランジスタ M 1 3 及び M 1 4 の各ソースは接続され、該接続部と接地電圧 GND との間に NMOS トランジスタ M 1 5 が接続されている。NMOS トランジ

10

20

30

40

50

スタM15のゲートには所定のバイアス電圧V_bが入力されており、NMOSトランジスタM15は、前記差動対に第1電流値i_{b1}のバイアス電流i_bを供給する定電流源をなしている。

【0029】

次に、バイアス電流制御回路7は、PMOSトランジスタM21、NMOSトランジスタM22~M28、コンデンサC_t、インバータ21及び定電流源22~24で構成されている。なお、PMOSトランジスタM21と定電流源22は第1の定電流回路部を、NMOSトランジスタM22と定電流源23は第2の定電流回路部を、定電流源24は第3の定電流回路部をそれぞれなし、NMOSトランジスタM23~M25は電圧クランプ回路部をなす。

PMOSトランジスタM21及びNMOSトランジスタM22において、各ドレインが接続されると共に各ゲートが接続され、該各ゲートには、インバータ21を介して制御信号S_cが入力されている。入力電圧V_{dd}とPMOSトランジスタM21のソースとの間には電流源22が接続されており、NMOSトランジスタM22のソースと接地電圧GNDとの間には電流源23が接続されている。

【0030】

PMOSトランジスタM21とNMOSトランジスタM22の各ドレインの接続部は、NMOSトランジスタM26のゲートに接続され、NMOSトランジスタM26のゲートと接地電圧GNDとの間には、NMOSトランジスタM23~M25の直列回路と、コンデンサC_tが並列に接続されている。NMOSトランジスタM23のゲートとドレインが接続されてダイオードが形成され、同様にNMOSトランジスタM24のゲートとドレインが接続されてダイオードが形成されている。また、NMOSトランジスタM25のゲートには制御信号S_cが入力されている。

【0031】

入力電圧V_{dd}とNMOSトランジスタM26のドレインとの間には電流源24が接続され、NMOSトランジスタM26のソースはNMOSトランジスタM27のドレインに接続されている。NMOSトランジスタM27及びM28はカレントミラー回路を形成しており、NMOSトランジスタM27及びM28において、各ソースがそれぞれ接地電圧GNDに接続され、各ゲートが接続されて該接続部はNMOSトランジスタM27のドレインに接続されている。NMOSトランジスタM28のドレインは、NMOSトランジスタM15のドレインに接続されている。

【0032】

制御信号S_cがローレベルである場合、インバータ21の出力信号はハイレベルになっており、PMOSトランジスタM21はオフして遮断状態になり、NMOSトランジスタM22はオンして導通状態になる。同時に、NMOSトランジスタM25はオフして遮断状態になる。NMOSトランジスタM22がオンしていることから、コンデンサC_tの電荷は電流源23によって放電される。このため、NMOSトランジスタM26のゲート電圧は、ほぼ接地電圧GNDになり、NMOSトランジスタM26はオフして遮断状態になる。NMOSトランジスタM26がオフすると、NMOSトランジスタM27のドレイン電流は流れず、NMOSトランジスタM28のドレイン電流も0になる。すなわち、制御信号S_cがローレベルのときは、第2の誤差増幅回路4の差動増幅回路部のバイアス電流i_bは、NMOSトランジスタM15のドレイン電流である第1電流値i_{b1}のみになる。

【0033】

時刻T₀で制御信号S_cがローレベルからハイレベルに変化すると、インバータ21の出力信号はローレベルになる。このため、PMOSトランジスタM21がオンすると共にNMOSトランジスタM22がオフすることから、コンデンサC_tは定電流源22によって定電流充電が行われ、コンデンサC_tの電圧が上昇する。コンデンサC_tの電圧は、NMOSトランジスタM26のゲートに印加されていることから、NMOSトランジスタM26のドレイン電流は、コンデンサC_tの容量と定電流源22からの定電流i₁で決定さ

10

20

30

40

50

れる時間をかけて増加する。NMOSトランジスタM26のドレイン電流は、NMOSトランジスタM27のドレイン電流になると共に、NMOSトランジスタM28のドレイン電流になる。

【0034】

NMOSトランジスタM28のドレイン電流は、第2の誤差増幅回路4の差動増幅回路部のバイアス電流になり、第2の誤差増幅回路4の差動増幅回路部のバイアス電流 i_b は増加する。NMOSトランジスタM26が完全にオンすると、NMOSトランジスタM26のドレイン電流は、定電流源24からの定電流 i_3 と同じ電流値になり、定電流 i_3 に比例した電流が、NMOSトランジスタM28のドレイン電流値 i_{b2} になる。すなわち、第2の誤差増幅回路4のバイアス電流 i_b は、第1電流値 i_{b1} から第2電流値($i_{b1} + i_{b2}$)まで増加する。前記のように、バイアス電流 i_b の増加を、時間をかけて行うようにしたことから、バイアス電流 i_b の変動に伴う出力電圧 V_{out} の変動を抑制することができる。

10

【0035】

なお、制御信号 S_c がハイレベルのときは、NMOSトランジスタM25はオンすることから、ダイオード接続されたNMOSトランジスタM23とM24の直列回路がコンデンサ C_t に並列に接続される。NMOSトランジスタM23とM24の各ゲートしきい値電圧の和は、NMOSトランジスタM26とM27の各ゲートしきい値電圧の和よりも少し大きくなるように設定されている。このため、コンデンサ C_t の充電電圧は、NMOSトランジスタM26が完全にオンする電圧になった後も更に上昇し、NMOSトランジスタM23とM24の各ゲートしきい値電圧の和になったところでクランプされる。すなわち、NMOSトランジスタM23とM24は、コンデンサ C_t の充電電圧をクランプする電圧クランプ回路を構成している。

20

【0036】

次に、時刻 T_1 で制御信号 S_c がハイレベルからローレベルに立ち下がると、インバータ21の出力信号はハイレベルになる。このため、PMOSトランジスタM21がオフしてコンデンサ C_t への充電が停止すると共に、NMOSトランジスタM22がオンして定電流源23からの定電流 i_2 でコンデンサ C_t の電荷を放電する。このとき、NMOSトランジスタM25はオフしているため、前記電圧クランプ回路は作動しない。

【0037】

時刻 T_1 におけるコンデンサ C_t の充電電圧は、前記のようにNMOSトランジスタM26がオンする電圧よりも少し大きい電圧に設定されているため、定電流源23による放電が開始しても時刻 T_2 まではNMOSトランジスタM26のドレイン電流は定電流 i_3 の電流値を維持する。すなわち、時刻 $T_1 \sim T_2$ までの時間 T_d の間は、バイアス電流 i_b は第2電流値($i_{b1} + i_{b2}$)を保っている。このため、前記のように、第1の誤差増幅回路3の動作が停止した後も第2の誤差増幅回路4は高速動作を行うことができ、出力電圧 V_{out} の大幅な変動を抑制することができる。

30

【0038】

時刻 T_2 を過ぎると、NMOSトランジスタM26のドレイン電流は定電流 i_3 よりも小さくなるため、第2の誤差増幅回路4のバイアス電流 i_b は徐々に減少する。

40

時刻 T_3 になると、コンデンサ C_t の電圧はNMOSトランジスタM26とM27の各ゲートしきい値電圧の和以下になり、NMOSトランジスタM26がオフする。このため、NMOSトランジスタM28のドレイン電流も0になり、第2の誤差増幅回路4のバイアス電流 i_b は第1電流値 i_{b1} のみになる。時間をかけて第2の誤差増幅回路4のバイアス電流 i_b を第2電流値($i_{b1} + i_{b2}$)から第1電流値 i_{b1} に戻すことにより、前記のようなバイアス電流の変動による出力電圧 V_{out} の変動を抑制することができる。

【0039】

このように、本第1の実施の形態における定電圧回路は、高速動作を行うことができる第1の誤差増幅回路3が作動中には第2の誤差増幅回路4のバイアス電流 i_b を大きくし

50

、第1の誤差増幅回路3が動作を停止した後、出力電圧 V_{out} の変動が見込まれる期間は第2の誤差増幅回路4のバイアス電流 i_b を大きいままに保つようにしたこと、出力電圧 V_{out} の大幅な変動を抑制することができる。更に、バイアス電流 i_b の切り替えを、時間をかけて徐々に行うようにしたこと、バイアス電流 i_b の変動による出力電圧 V_{out} の変動も抑制することができる。このようにして、高速応答が可能でしかも高効率で出力変動の小さい定電圧回路を実現することができる。

【0040】

なお、図3では、第2の誤差増幅回路4のバイアス電流 i_b の制御を行う部分として初段の差動増幅回路部を示したが、本発明は、これに限定するものではなく、図示していない次段以降の増幅回路部の負荷に使用している定電流源で構成された負荷回路の定電流値も同様の方法で制御するようにしてもよい。

10

また、前記説明では、出力電流 i_{out} の電流値に応じて制御信号 S_c を生成するようにしたが、本発明は、これに限定するものではなく、CPU等の制御回路から出力されるようにしてもよい。

【0041】

また、前記説明では、第1及び第2の各出力トランジスタ M_1 、 M_2 を備えた場合を例にして示したが、本発明は、これに限定するものではなく、少なくとも1つの出力トランジスタを第1及び第2の各誤差増幅回路3、4で動作制御する場合に適用することができる。

【図面の簡単な説明】

20

【0042】

【図1】本発明の第1の実施の形態における定電圧回路の回路例を示した図である。

【図2】図1の定電圧回路1の動作例を示したタイミングチャートである。

【図3】図1のバイアス電流制御回路7の回路例を示した図である。

【符号の説明】

【0043】

- 1 定電圧回路
- 2 基準電圧発生回路
- 3 第1の誤差増幅回路
- 4 第2の誤差増幅回路
- 5 参照電圧生成回路
- 6 コンパレータ
- 7 バイアス電流制御回路
- 8 インバータ
- M_1 第1の出力トランジスタ
- M_2 第2の出力トランジスタ
- M_3 、 M_4 PMOSトランジスタ
- SW_1 、 SW_2 スイッチ
- $R_1 \sim R_3$ 抵抗

30

フロントページの続き

(72)発明者 高木 義器
東京都大田区中馬込1丁目3番6号 株式会社リコー内

審査官 下原 浩嗣

(56)参考文献 特開2007-011425(JP,A)
特開2004-240646(JP,A)

(58)調査した分野(Int.Cl., DB名)
G05F 1/56