

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5480168号
(P5480168)

(45) 発行日 平成26年4月23日(2014.4.23)

(24) 登録日 平成26年2月21日(2014.2.21)

(51) Int.Cl.

F I

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00 6 3 4 E

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2010-550709 (P2010-550709)	(73) 特許権者	504199127
(86) (22) 出願日	平成21年1月26日 (2009.1.26)		フリースケール セミコンダクター イン
(65) 公表番号	特表2011-514615 (P2011-514615A)		コーポレイテッド
(43) 公表日	平成23年5月6日 (2011.5.6)		アメリカ合衆国 テキサス州 7 8 7 3 5
(86) 国際出願番号	PCT/US2009/031945		オースティン ウィリアム キャノン
(87) 国際公開番号	W02009/114213		ドライブ ウェスト 6 5 0 1
(87) 国際公開日	平成21年9月17日 (2009.9.17)	(74) 代理人	100142907
審査請求日	平成24年1月20日 (2012.1.20)		弁理士 本田 淳
(31) 優先権主張番号	12/048,683	(72) 発明者	ム、フーチェン
(32) 優先日	平成20年3月14日 (2008.3.14)		アメリカ合衆国 7 8 7 3 3 テキサス州
(33) 優先権主張国	米国 (US)		オースティン バーベイン コート 2
			0 0 9

最終頁に続く

(54) 【発明の名称】 電流劣化を保護する読取り基準手法

(57) 【特許請求の範囲】

【請求項 1】

方法であって、

第1の時間における複数の基準セルの最高出力電流を有するものとして、メモリデバイスのビット・セル・アレイの複数のビットセルに関連する前記複数の基準セルの第1の基準セルを前記第1の時間において決定すること、

前記第1の基準セルの第1の出力電流を用いて前記複数のビットセルの第1のビットセルに記憶されたデータ値を検知すること

を備える方法。

【請求項 2】

前記第1の時間と前記第1の時間に続く第2の時間との間の第1の期間に前記第1の基準セルを除く前記複数の基準セルの各基準セルをディセーブルすること、

前記第2の時間の後の第2の期間に前記複数の基準セルの第2の基準セルを除く前記複数の基準セルの各基準セルをディセーブルすること

をさらに備える、請求項1に記載の方法。

【請求項 3】

メモリデバイスであって、

複数のビットセルを備えるビット・セル・アレイと、

前記複数のビットセルに関連する複数の基準セルと、

基準電流を受け取るための入力を備える検知増幅器であって、前記基準電流に基づいて

前記ビット・セル・アレイのビットセルに記憶されたデータ値を検知するように構成される前記検知増幅器と、

前記複数の基準セルの第1の基準セルの出力電流を、前記複数の基準セルの最高出力電流を有するものとして前記第1の基準セルを決定することに対応して、前記複数のビットセルのビットセルを検知する前記基準電流として前記検知増幅器に供給するように構成される基準コントローラと

を備えるメモリデバイス。

【請求項4】

前記基準コントローラは、

前記複数の基準セルの第1の基準セルの電流電極に結合された第1の入力と、前記複数の基準セルの第2の基準セルの電流電極に結合された第2の入力とを備える比較器であって、前記第1の入力で検出される第1の電流と第2の入力で検出される第2の電流との比較を表す出力値を供給するように構成される前記比較器と、

前記複数の基準セルの前記第1の基準セルの制御電極に結合された第1のワードラインと、前記第2の基準セルの制御電極に結合された第2のワードラインとを備えるワード・ライン・ドライバであって、前記比較器の前記出力値に基づいて前記第1のワードラインと前記第2のワードラインの一方を選択的にイネーブルするように構成される前記ワード・ライン・ドライバと

を備える、請求項3に記載のメモリデバイス。

【請求項5】

前記基準コントローラは、前記第1の基準セルおよび前記第2の基準セルの少なくとも一方の電流に基づく前記基準電流を供給するように構成された電流和モジュールをさらに備える、請求項4に記載のメモリデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、メモリデバイスに関し、より具体的には、基準セルを利用した不揮発性メモリデバイスに関する。

【背景技術】

【0002】

不揮発性メモリ(NVM)デバイスは、典型的に、各ビットセルがデータの対応するビットを記憶するビットセルのアレイからなる。各ビットセルは、一般に、電荷を蓄積する1つまたは複数のトランジスタとして構成されてトランジスタの制御電極電圧とドレイン電流との関係に影響を与える。トランジスタは電荷をクリアすることによって1つの状態(たとえば、論理「1」)に消去され、トランジスタはトランジスタに電荷を蓄積することによって別の状態(たとえば、論理「0」)に「プログラム」される。したがって、トランジスタによって「記憶された」ビット値は、トランジスタの制御電極への読取り電圧の印加に対応して基準(電流または電圧のいずれか)をトランジスタのドレイン電流と比較することによって検知され、「記憶された」値は、ドレイン電流が読取り基準よりも大きい場合に1つの状態(たとえば、論理「1」または「消去された」状態)であると判断され、ドレイン電流が読取り基準よりも小さい場合に別の状態(たとえば、論理「0」または「プログラムされた」状態)であると判断される。

【発明の概要】

【発明が解決しようとする課題】

【0003】

従来のNVMアーキテクチャでは、読取り基準を発生するために基準セルを利用し、それによって、基準セルは、検知されているビットセルの特性を厳密に模倣すべくデータを記憶するために使用されるビットセルと似た構造にしてある。しかし、基準セルによって出力される基準電流は、典型的に、動作中に減少する。いくつかの条件下で、基準セルによって出力される読取り基準のこの劣化は、誤った読取りおよび書込み処理をもたらす可

10

20

30

40

50

能性がある。連続処理またはほぼ連続的な処理のメモリを有する実施は、基準セルの劣化を特に受けやすい。したがって、メモリデバイスのビットセルを検知する基準セルの改良された実施方法が有利であることになる。

【図面の簡単な説明】

【0004】

【図1】本開示の少なくとも1つの実施形態に従って互換性のある基準セルを利用した不揮発性メモリ(NVM)デバイスを示すブロック図である。

【図2】本開示の少なくとも1つの実施形態に従って図1のNVMデバイスの基準セルアレイおよび基準コントローラの実施を示す回路図である。

【図3】本開示の少なくとも1つの実施形態に従ってNVMデバイス内のビットセルを検知する複数の基準セルの1つを選択する方法を示すフローチャートである。

【図4】本開示の少なくとも1つの実施形態に従ってNVMデバイス内のビットセルを検知する複数の基準セルからの基準セルの事象ベースの選択を示すグラフである。

【図5】本開示の少なくとも1つの実施形態に従ってNVMデバイス内のビットセルを検知する複数の基準セルからの基準セルの別の事象ベースの選択を示すグラフである。

【発明を実施するための形態】

【0005】

添付の図面を参照することによって、本開示はよりよく理解されるかもしれず、本開示の数多くの特徴および利点が当業者に明らかになるかもしれない。同じ参照記号を異なる図面において使用することによって、類似の項目または同じ項目を示す。

【0006】

前述のように、基準セルは、典型的に、その出力電流が連続処理中に減少するように劣化する。十分な処理期間を所与として、この劣化は基準セルの出力電流を最小閾値以下に低下させてメモリアクセス処理中にエラーを生じさせる可能性がある。劣化した基準セルの潜在的な出力電流が劣化発生前の最初の出力電流またはほぼ最初の出力電流まで時間とともに増加するような処理電圧では、基準セルがディセーブルされるかあるいは給電されなくなると、基準セルは、典型的に、復帰(または「緩和」)することを本発明者らは発見している。さらに、イネーブルされたときの基準セルの劣化速度とその後にディセーブルされたときの対応する緩和速度は、多くの場合、実質的に比例しており、多くの場合、所与の周囲温度に対して実質的に等しくなる可能性があることを本発明者らは発見している。したがって、少なくとも1つの実施形態において、不揮発性メモリ(NVM)デバイスのビットセルに記憶されたデータ値を検知するために一組の基準セルが使用される。事象に対応して、その組の最高出力(電流、あるいは電圧)を供給する基準セルは、後続のメモリアクセス処理に使用される基準セルとして選択される。その組の基準セルの残りの基準セルは、それらの最初の劣化状態またはほぼ最初の劣化状態まで復帰しうるようにディセーブルされる。各後続の事象において、一組の基準セルは、その時のその組の最高出力電流を供給する基準セルを識別するために再評価されうるし、NVMデバイスはこうして識別された基準セルを利用するように再構成されうる。読取り基準を供給するために最高出力電流(あるいは、電圧)を有する基準セルを利用するとともに残りの基準セルの1つまたは複数復帰しうるように残りの基準セルをディセーブルすることによって、読取り基準が最小閾値以下に低下される可能性が低減または排除されて、ビットセルへのメモリアクセス処理中のエラーの可能性が少なくなる。

【0007】

説明を容易にするために、本開示の方法は、実施例を背景に記載され、検知基準は基準電流を備え、検知基準は2つの基準セルの一方の出力電流として選択されうる。しかし、本開示の方法は、本開示の範囲から逸脱することなく基準電圧を背景としてあるいは3つ以上の選択可能な基準セルを有する実施において利用されうる。

【0008】

図1は、本開示の少なくとも1つの実施形態に従って不揮発性メモリ(NVM)デバイス100を示す。NVMデバイス100は、特定用途向け集積回路(ASIC)、または

10

20

30

40

50

他のスタンドアロン・メモリ・デバイスなど、1つまたは複数の独立した集積回路（IC）として実施されうる。あるいは、NVMデバイス100は、たとえば、システム・オン・チップ（SOC）として実施されるマイクロプロセッサまたはマイクロコントローラなど、別のデバイスにおいて実施されうる。

【0009】

図示された実施例において、NVMデバイス100は、NVMアレイ102と、検知増幅器104と、アクセス管理モジュール106と、基準セルアレイ108と、基準コントローラ110とを含む。基準コントローラ110およびアクセス管理モジュール106は、たとえば、状態機械などのハードウェアベースの構成部品（たとえば、デジタル論理構成部品）として構成されうる。NVMアレイ102は、NVMアレイ102の複数のビットセル112を備えるビット・セル・マトリクスを含む。NVMアレイ102は、たとえば、薄膜記憶装置（TFS）アーキテクチャ、高K誘電体またはナノ結晶アーキテクチャ、窒化物ベースアーキテクチャ、抵抗性メモリアーキテクチャ、磁気ランダム・アクセス・メモリ（MRAM）・アーキテクチャなど、様々な不揮発性メモリ・セル・アーキテクチャのいずれかを含みうる。説明を容易にするために、NVMアレイ102は、4×4ビット・セル・アレイとして図示されているが、実施において、NVMアレイ102は、典型的に、実質的にさらに多くのビットセルを含む。

【0010】

NVMアレイ102は、供給されるアドレス（信号ADDR）に基づいてNVMアレイ102の記憶場所にアクセスするように構成される。少なくとも1つの実施形態において、各記憶場所は、複数のビット値からなるデータ値を記憶するためのデータフィールドを含む。検知増幅器104は、供給される基準電流REF_Iに基づいてアクセスされる記憶場所で一組のビットセルに記憶されたビット値を検知し、記憶場所で検知されたビット値をデータ値DATA[n-1:0]として供給するように構成される。特定の記憶場所にアクセス中に、電圧が記憶場所の複数のビットセルの各々の制御電極に印加され、検知増幅器104は対応するビットセルの結果として生じるドレイン電流を基準電流REF_Iと比較する。ビットセルのドレイン電流が基準電流REF_Iよりも大きい場合、DATA[n-1:0]の対応ビットに対する検知増幅器104の出力は、対応ビットセルに記憶された論理「1」の検知を示すために、たとえば、論理「1」としてアサートされる。逆に、ビットセルのドレイン電流が基準電流REF_Iよりも大きくない場合、対応するビットに対する検知増幅器104の出力は、対応ビットセルに記憶された論理「0」の検知を示すために、たとえば、論理「0」としてアサートされる。したがって、DATA[0:n-1]値のビットの各々に対して検知された値は、対応ビットセルのドレイン電流と基準電流REF_Iとの関係に基づいている。

【0011】

基準セルアレイ108は、複数の基準セル（たとえば、基準セル114および115）を含み、各基準セルは、NVMアレイ102のビットセルを検知するときに基準電流REF_Iとして使用するために選択されうる出力電流（たとえば、I_AおよびI_B）を供給することができる。図1は2つの基準セルを有する基準セルアレイ108を示すが、2つよりも多い基準セルが利用されうる。さらに、基準セルアレイ108は、NVMアレイ102の種々のセクターなどの下位区分に対して種々の組の選択可能な基準セルに具体化されうる。少なくとも1つの実施形態において、基準セルアレイ108の基準セル114および115とNVMアレイ102のビットセル112とは、基準セル114および115がビットセル112の特性を模倣しうるように同じセル構成を有する。

【0012】

基準コントローラ110は、電源投入事象、リセット事象、経過時間またはサイクル数、関連プロセッサによる特定命令の実行、関連プロセッサにおける特定割込みの発生、NVMデバイスの特定メモリアドレスへのアクセスなど、所定事象の発生に対応する事象インジケータを受け取るための入力を含む。所定事象の発生を示す事象インジケータのアサーションに対応して、基準コントローラ110は、信号CONFIGをアサートすること

10

20

30

40

50

によって構成モードを開始する。構成モード中、基準コントローラ 110 は、一組の基準セルに対してどの基準セルが最高出力電流を発生するかを判断する。基準コントローラ 110 は、識別済みの基準セルをイネーブルされた状態に保って残りの基準セルの復帰を促すために残りの基準セルをディセーブルする。NVM アレイ 102 へのメモリアクセス処理では、基準コントローラ 110 は、その組のイネーブルされた基準セルの出力電流を基準電流 REF_I として NVM アレイ 102 のビットセルに記憶されたデータを検知する検知増幅器 104 に供給する。

【0013】

図 2 は、本開示の少なくとも 1 つの実施形態に従って図 1 の基準セルアレイ 108 および基準コントローラ 110 の実施を示す。図示された実施例において、基準セルアレイ 108 は、2 つまたはそれ以上の電流（図 2 における電流 I_A および I_B ）を供給するように構成された規定構成 201 を含み、これらの電流の一方は NVM アレイ 102（図 1）のビットセルの検知に使用される基準電流 REF_I として選択される。

【0014】

図示された実施例において、規定構成 201 は、ワード・ライン・ドライバ 206 と、ワードライン 207 およびワードライン 208 と、ビットライン 209 およびビットライン 210 と、一組の 4 つの基準セル 212、213、214、および 215 と、比較器 216 と、電流和モジュール 218 とを含む。基準セル 214 および 215（それぞれ REF_A および REF_B ）は、動作基準セルであり、基準セル 212 および 213 は、基準セルアレイ 108 が NVM アレイ 102（図 1）と同じアレイアーキテクチャを有するように実施される非動作セル（すなわち、「ダミーセル」）である。基準セル 214 は、ビットライン 209 に接続された第 1 の電流電極と、電圧基準（たとえば、グラウンド）に接続された第 2 の電流電極と、ワードライン 207 に接続された制御電極とを備えるフローティング・ゲート・トランジスタを含む。基準セル 215 は、ビットライン 210 に接続された第 1 の電流電極と、電圧基準に接続された第 2 の電流電極と、ワードライン 208 に接続された制御電極とを含む。基準セル 212 および 213 は、ビットライン 209 および 210 に接続されていない。特定の 1 つのフローティングゲートの実施が基準セル 212 ~ 215 に関して示されるが、他の基準セルアーキテクチャが本開示の範囲から逸脱することなく実施されうる。実例で説明すると、各基準セルは、2 つまたはそれ以上のフローティング・ゲート・トランジスタを並列に含みうる。

【0015】

電流和モジュール 218 は、ビットライン 209 およびビットライン 210 に結合され、ビットライン 209 の電流 I_A とビットライン 210 の電流 I_B の和である基準電流 REF_I を発生するように構成される（ただし、電流 I_A および電流 I_B の一方または両方は以下に記載されるいくつかの状況において実質的にゼロの場合がある）。電流比較器 216 は、ビットライン 209 に結合された入力と、ビットライン 210 に結合された入力と、信号 SEL を供給するための出力とを含む。電流比較器 216 は、電流 I_A と電流 I_B の比較に基づいて信号 SEL をアサートまたは非アサート / アサート停止するように構成されてビットライン 209 と 210 のどちらが 2 つのビットラインの最高電流を有するかを示す。ワード・ライン・ドライバ 206 は、構成信号 $CONF_IG$ を受け取るための入力と、信号 SEL を受け取るための入力と、基準セル 214 および 215 を別々にイネーブルまたはディセーブルするようにワードライン 207 および 208 を選択的に駆動するための出力とを含む。

【0016】

リセット事象などの所定事象に対応して、基準コントローラ 110 は $CONF_IG$ 信号を一時的にアサートする。 $CONF_IG$ 信号のアサーションに対応して、ワード・ライン・ドライバ 206 は、ワードライン 207 およびワードライン 208 の両方をアサートして、基準セル 214 のフローティング・ゲート・トランジスタにビットライン 209 の電流 I_A を駆動させ、基準セル 215 のフローティング・ゲート・トランジスタにビットライン 210 の電流 I_B を駆動させる。電流比較器 216 は、結果として生じる電流 I_A と

I_B を比較して信号 S E L が両電流の関係を反映するようにその出力を構成する。たとえば、電流比較器 2 1 6 は、電流 I_A が電流 I_B よりも大きいとき信号 S E L をアサートしうるし、電流 I_A が電流 I_B よりも小さいとき信号 S E L をアサート停止 / 非アサートしうる。

【 0 0 1 7 】

ワード・ライン・ドライバ 2 0 6 は、信号 S E L の状態をラッチし、信号 S E L の状態に基づいて 2 つの電流の大きい方の電流を供給している基準セルを識別する。この後、ワード・ライン・ドライバ 2 0 6 は、他の基準セルに関連するワードラインをアサート停止すると同時に識別された基準セルに関連するワードラインをアサートし続ける。実例で説明すると、基準セル 2 1 4 が 2 つの基準セル 2 1 4 および 2 1 5 の大きい方の出力電流を有するものと仮定すると、ワード・ライン・ドライバ 2 0 6 は、基準セル 2 1 5 をディセーブルするためにワードライン 2 0 8 をアサート停止し、電流 I_A を駆動し続けるために基準セル 2 1 4 をイネーブルされた状態に保つためにワードライン 2 0 7 をアサートし続ける。逆に、基準セル 2 1 5 が 2 つの基準セル 2 1 4 および 2 1 5 の大きい方の電流を有する場合には、ワード・ライン・ドライバ 2 0 6 は、基準セル 2 1 4 をディセーブルするためにワードライン 2 0 7 をアサート停止し、基準セル 2 1 5 をイネーブルされた状態に維持するためにワードライン 2 0 8 をアサートし続けることになる。

【 0 0 1 8 】

前述のように、電流和モジュール 2 1 8 は、電流 I_A と電流 I_B を合計して結果として得られる電流を基準電流 R E F _ I として検知増幅器 1 0 4 (図 1) に供給する。しかし、電流 I_A および電流 I_B の一方のみが、初期の構成モードの後、実質的に非ゼロであるので、基準電流 R E F _ I は、2 つの基準セルの大きい方の電流を出力する基準セル 2 1 4 および 2 1 5 の一方の出力電流に等しい。別の実施形態において、電流和モジュール 2 1 8 は、ビットライン 2 0 9 またはビットライン 2 1 0 のいずれかを検知増幅器 1 0 4 の対応する入力に選択的に接続するように信号 S E L によって制御されるスイッチマトリクスとして実施されうる。

【 0 0 1 9 】

図 2 は 2 つの基準セルを実施する具体的な実施形態を示しており、2 つの基準セルから基準電流を選択しうるが、2 つより多い基準セルが本開示の範囲から逸脱することなく採用されうる。実例で説明すると、4 つの基準セルが採用されうるし、構成信号 C O N F I G が事象に対応してアサートされるときに比較器 2 1 6 は 4 つの基準セルのどれが最高出力電流を駆動しているかを判断しうる。この後、ワード・ライン・ドライバ 2 0 6 は、電流和モジュール 2 1 8 によって出力される基準電流 R E F _ I が 4 つの基準セルの最高出力電流であるように残り 3 つの基準セルをディセーブルしうる。

【 0 0 2 0 】

図 3 は、本開示の少なくとも 1 つの実施形態に従って N V M デバイス 1 0 0 の処理方法 3 0 0 を示す。ブロック 3 0 2 において、所定事象が N V M デバイス 1 0 0 で検出される。所定事象は、たとえば、リセット事象 (電源投入事象またはソフトリセット事象など) 、特定割込みの発生 (たとえば、タイマーによって発生される割込み) 、特定命令の実行などを含む。

【 0 0 2 1 】

事象の検出に対応して、ブロック 3 0 4 において、N V M デバイス 1 0 0 の基準コントローラ 1 1 0 は、基準セルアレイ 1 0 8 のどの基準セルが最高出力電流を供給するかを判断する。図 2 を参照して記載されたように、すべての基準セルをイネーブルした後で最高出力電流を識別するために電流比較器を用いることによって最高出力電流を有する基準セルが決定されうる。

【 0 0 2 2 】

ブロック 3 0 6 において、基準コントローラ 1 1 0 は、N V M アレイ 1 0 2 のビットセルを検知するブロック 3 0 4 において識別される基準セルの出力電流を使用するように N V M デバイス 1 0 0 を構成する。図 2 で示されるように、この構成は、最高出力電流を有

10

20

30

40

50

する基準セルをイネーブルするために規定構成 201 のワード・ライン・ドライバ 206 を構成すること、規定構成 201 の出力電流がブロック 304 において識別される基準セルの出力電流に実質的に等しくなるように残りのすべての基準セルをディセーブルすることを含みうる。

【0023】

ブロック 308 において、ブロック 306 において上記のように構成された NVM デバイス 100 でメモリアクセス処理が実行されうる。ブロック 306 において実行された構成は、ブロック 302 の次の反復で別の所定事象が発生するまでブロック 308 におけるメモリアクセス処理に対して継続されうるし、別の所定事象が発生した時点で基準セルはブロック 304 において再評価されうるし、NVM デバイス 100 はブロック 306 において必要に応じて再構成されうる。方法 300 の次の反復に対する所定事象は、方法 300 の前の反復における事象と同じ事象または異なる事象を含みうる。

10

【0024】

図 4 および 5 は、本開示の少なくとも 1 つの実施形態に従って図 1 および 2 の NVM デバイス 100 の様々な処理例を示すグラフである。両グラフでは、2 つの基準セル REF A および REF B (たとえば、基準セル 214 および 215、図 2) が NVM アレイ 102 のビットセルにおけるデータ値を検知する基準電流を供給することができる。

【0025】

図 4 において、グラフ 400 は、基準セル REF A の出力電流を表わす線 402 と基準セル REF B の出力電流を表わす線 404 とともに、2 つの基準セル REF A および REF B の出力電流 (または潜在的な出力電流) を経時的に図示したものである。線 402 および 404 では、実線は、対応する時間における対応する基準セルの実際の出力電流を表わし、破線は、基準セルがその時点でイネーブルされることがあれば、対応する基準セルが対応する時間において発生させうるはずである出力電流を表わす。

20

【0026】

時間 t_0 において、NVM デバイス 100 の電源が投入される (事象 1)。それに応じて、基準コントローラ 110 は、どの基準セルが最高出力電流を有するかを判断する。この実施例では、最高出力電流を有するのは基準セル REF B であると仮定する。したがって、基準コントローラ 110 は、基準セル REF A をディセーブルし、基準セル REF B の出力電流を、ビットセルを検知する基準電流として利用する。線 404 で示されるように、基準セル REF B の出力電流は、最大出力電流 I_{High} から最小基準電流 I_{Min} に向かう動作中、エラーを検知する前に劣化する。最小基準電流 I_{Min} にまで劣化する前に、別の事象 (たとえば、ソフトリセットまたはタイマー経過) が時間 t_1 において発生する。それに応じて、基準コントローラ 110 は、基準セル REF A および REF B の両方をイネーブルしてどちらがより高い出力電流を供給するかを判断する。図 4 の例において、基準セル REF A は、時間 t_1 に至るまでの動作による基準セル REF B の劣化に起因して時間 t_1 において最高出力電流を供給する。したがって、基準コントローラ 110 は、基準セル REF B をディセーブルして、基準セル REF A の出力電流を時間 t_1 の後で NVM アレイ 102 のビットセルを検知する基準電流 REF I として利用する。

30

40

【0027】

線 402 で示されるように、基準セル REF A の出力電流は、時間 t_1 の後の動作中に劣化する。逆に、線 404 で示されるように、ディセーブルされた基準セル REF B は、時間 t_1 の後に復帰または「緩和」しうる。したがって、時間 t_2 において、または時間 t_2 の前に、基準セル REF A の出力電流は、基準セル REF B の潜在的な出力電流よりも小さくなる。それ故に、別の事象が時間 t_2 において発生すると、両方が事象に対応して再評価されるとき基準セル REF B は 2 つの基準の大きい方の出力電流を供給する。したがって、基準コントローラ 110 は、基準セル REF A をディセーブルしてイネーブルされた基準セル REF B の出力電流を時間 t_2 の後に NVM アレイ 102 のビットセルを検知する基準電流として利用する。その一方で、ディセーブルされた基準セル REF A は

50

、基準セル R E F B が使用されている間に復帰しうる。時間 t_3 において、別の事象が発生し、基準セル R E F A および R E F B の出力電流を選択するための再評価が再び行なわれる。

【 0 0 2 8 】

グラフ 4 0 0 で示されるように、その組の他の基準セルをディセーブルする一方で検知のための基準セルとして最高出力電流を有する基準セルを選択して利用することによって、その組の基準セルは、使用と不使用が交互に繰り返されて、ある期間中に使用されている基準セルを次の期間中にその最初の出力電流に復帰させることができる。結果的に、基準電流は、最小基準電流 I_{Min} よりも高いレベルに維持されうる。対照的に、線 4 0 6 で示されるように、単一基準セルの従来の使用法では、最終的に、その出力電流、したがって、ビットセルの検知に使用される基準電流が典型的に検知エラーにつながる最小基準電流 I_{Min} 以下の点にまで単一基準セルを劣化させる可能性がある。

10

【 0 0 2 9 】

図 5 は、2つの基準セル R E F A および R E F B の経時的な出力電流（または、潜在的な出力電流）のグラフ 5 0 0 を、基準セル R E F A の出力電流を表わす線 5 0 2 と基準セル R E F B の出力電流を表わす線 5 0 4 で同様に示す。線 5 0 2 および 5 0 4 では、実線は、対応する時間における対応する基準セルの実際の出力電流を表わし、破線は、基準セルがその時点でイネーブルされることがあれば、対応する基準セルが対応する時間において発生させうるはずである出力電流を表わす。

【 0 0 3 0 】

20

時間 t_0 において、N V M デバイス 1 0 0 の電源が投入される。それに応じて、基準コントローラ 1 1 0 は、どの基準セルが最高出力電流を有するかを判断する。この実施例では、最高出力電流を有するのは基準セル R E F B であると仮定する。したがって、基準コントローラ 1 1 0 は、基準セル R E F A をディセーブルし、基準セル R E F B の出力電流を、ビットセルを検知する基準電流として利用する。線 5 0 4 で示されるように、基準セル R E F B の出力電流は、最大出力電流 I_{High} から最小基準電流 I_{Min} に向かう動作中に劣化する。この実施例では、N V M デバイス 1 0 0 が温度 T_1 （たとえば、85）で動作しているものと仮定する。

【 0 0 3 1 】

N V M デバイス 1 0 0 の電源は、この後、時間 t_1 と t_2 の間に遮断され、これによって、基準セル R E F A および R E F B の両方をディセーブルする。結果的に、基準セル R E F B は、復帰を開始することができる。しかし、時間 t_1 と t_2 との間の期間に、N V M デバイス 1 0 0 は、 T_2 （たとえば、25）の比較的低い周囲温度にある。それ故に、基準セルの復帰速度はその温度にある程度比例するので、基準セル R E F B は、N V M デバイス 1 0 0 の電源が再び投入される時間（時間 t_2 ）までに完全には復帰していない。したがって、基準セル R E F A は、時間 t_2 において比較的高い出力電流を有しており、基準コントローラ 1 1 0 は、したがって、時間 t_2 の後のビットセルを検知する基準電流を供給するために基準セル R E F A を選択する。しかし、N V M デバイス 1 0 0 の温度は時間 t_2 の後の動作中に温度 T_1 まで上昇するので、基準セル R E F B は、より高速で復帰することができ、したがって、時間 t_2 の後の動作中に基準セル R E F A の劣化に起因して発生する次の事象に対応して選択されることになる。

30

40

【 0 0 3 2 】

グラフ 5 0 0 で示されるように、比較的低い温度に起因して復帰速度が低下している場合でも、比較的低い出力電流を有する基準セルをより完全に復帰させることによって最小電流 I_{Min} よりも高い基準電流が維持されうる。対照的に、線 5 0 6 で示されるように、単一基準セルの従来の使用法では、最終的に、その出力電流、したがって、ビットセルの検知に使用される基準電流が最小基準電流 I_{Min} 以下の点にまで単一基準セルを劣化させる可能性がある。

【 0 0 3 3 】

本開示の一態様に従って、メモリデバイスのビット・セル・アレイの複数のビットセル

50

に関連する複数の基準セルの選択基準セルが、複数の基準セルの最高出力電流を有するものとして最初に決定される。複数のビットセルのビットセルに記憶されるデータ値は、選択基準セルの出力電流を用いて検知される。

【 0 0 3 4 】

本開示の別の態様に従って、ビット・セル・アレイと、ビット・セル・アレイの複数のビットセルに関連する複数の基準セルと、検知増幅器とを備えるメモリが提供される。第1の基準セルの出力電流が第1の事象における第1の複数の基準セルの最高出力電流であるとの判断に対応して、第1の事象において検知増幅器は複数の基準セルの第1の基準セルの出力電流を利用するように構成される。第2の基準セルの出力電流が第1の事象に続く第2の事象における複数の基準セルの最高出力電流であるとの判断に対応して、第2の事象において検知増幅器は複数の基準セルの第2の基準セルの出力電流を利用するように構成される。

10

【 0 0 3 5 】

本開示のさらに別の態様に従って、メモリデバイスが提供される。メモリデバイスは、複数のビットセルを備えるビット・セル・アレイと、複数のビットセルに関連する複数の基準セルとを含む。メモリデバイスは基準電流を受け取るための入力を備える検知増幅器をさらに含み、検知増幅器は基準電流に基づいてビット・セル・アレイのビットセルに記憶されたデータ値を検知するように構成される。また、メモリデバイスは、選択基準セルが複数の基準セルの最高出力電流を有するとの判断に対応して複数のビットセルのビットセルを検知する基準電流として、複数の基準セルの選択基準セルの出力電流を検知増幅器に供給するように構成された基準コントローラを備える。

20

【 0 0 3 6 】

前述の説明は、不揮発性メモリに関する読取り基準の調整を含む、多くの具体的な実施形態および詳細を提供することによって、本開示の完全な理解を伝えることが意図されている。しかし、本開示は、これら具体的な実施形態および詳細に限定されるものではなく、これら具体的な実施形態および詳細は単なる例示であり、本開示の範囲は、したがって、以下の特許請求の範囲およびそれらの均等物のみによって限定されるものであることが理解される。当業者は、公知のシステムおよび方法に照らし、具体的な設計などの必要性に応じて意図する目的および利益のために数多くの代替的实施形態で本開示を採用することを評価するはずであることがさらに理解される。

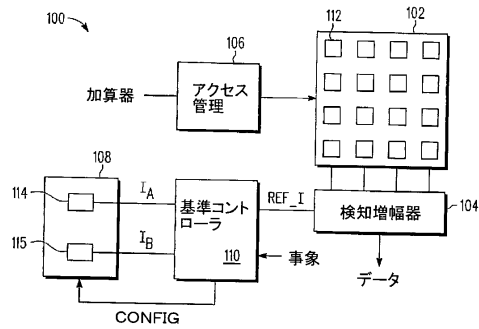
30

【 0 0 3 7 】

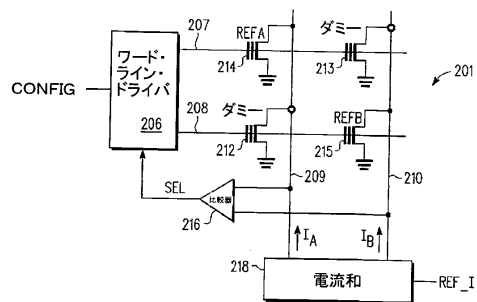
本明細書において、「第1の」および「第2の」などの関連語は、上記の構成要素間または動作間の上記の関係または順序を必ずしも必要とせずにあるいは暗示せずに、1つの構成要素または動作を別の構成要素または動作と区別するためにのみ使用されてもよい。「備える」という用語あるいはこれらの変形形態は、要素のリストを備えるプロセス、方法、品目、あるいは装置がこれらの要素のみを含むのではなく、明示的に列挙されていない他の要素、あるいはこのようなプロセス、方法、品目、または装置に固有の要素を含んでいてもよいように、非排他的包含を網羅することが意図されている。本明細書において使用される「別の」という用語は、「少なくとも第2またはそれ以上の」として定義される。「含む」、「有する」という用語あるいはこれらの変形形態は、「備える」と定義される。電気光学技術に関連して本明細書において使用される「結合される」という用語は、必ずしも直接的ではなく、また必ずしも機械的ではないが、「接続される」と定義される。

40

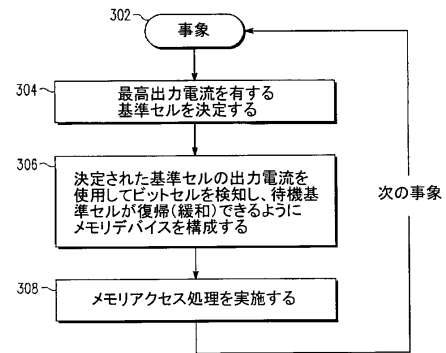
【図 1】



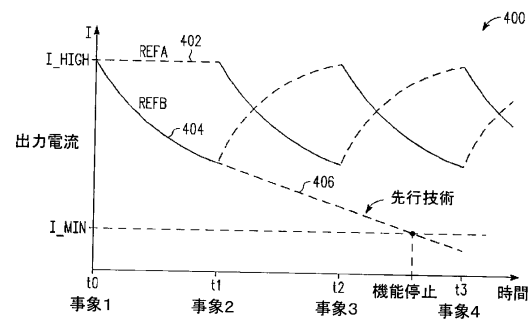
【図 2】



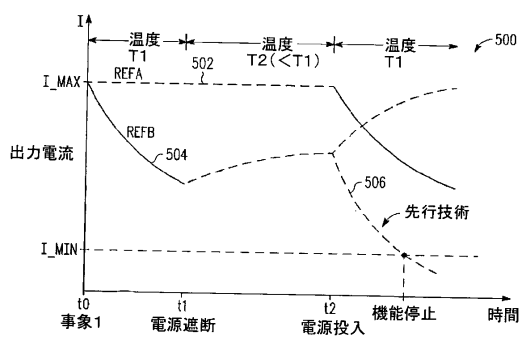
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 カバッシ、マルコ エイ .

アメリカ合衆国 7 8 7 0 3 テキサス州 オースティン レイク オースティン ブルバード
2 6 0 0 ナンバー 7 3 0 3

(72)発明者 スイズデク、ロナルド ジェイ .

アメリカ合衆国 7 8 7 3 9 テキサス州 オースティン ゴーハム グレン レーン 5 7 1 3

審査官 滝谷 亮一

(56)参考文献 特開 2 0 0 4 - 0 6 2 9 2 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 6 / 0 6