



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0102768
(43) 공개일자 2016년08월31일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 29/786 (2013.01)
H01L 21/02398 (2013.01)
(21) 출원번호 10-2015-0025267
(22) 출원일자 2015년02월23일
심사청구일자 2015년02월23일

(71) 출원인
인하대학교 산학협력단
인천광역시 남구 인화로 100, 인하대학교 (용현동)
(72) 발명자
정재경
서울특별시 강서구 화곡로13길 107, 108동 702호 (화곡동, 화곡푸르지오)
김효진
서울특별시 중구 다산로39길 79 (신당동)
백중환
인천광역시 남구 인화로47번길 32, 306호 (용현동, 수봉힐스빌)
(74) 대리인
김권석

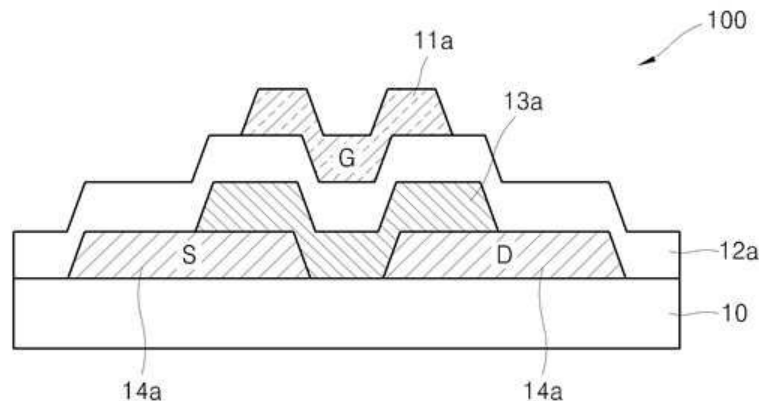
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 박막 트랜지스터, 그 제조 방법 및 이를 포함하는 디스플레이 장치

(57) 요약

본 발명은 박막 트랜지스터, 그 제조 방법 및 이를 포함하는 디스플레이 장치에 관한 것이다. 본 발명의 일 실시예에 따른 박막 트랜지스터는 채널층으로서 In_2O_3 를 포함하는 매트릭스; 및 상기 매트릭스에 안티몬(Sb) 금속이 도핑된 금속 산화물 반도체를 포함한다.

대표도 - 도1a



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 2924/10332 (2013.01)

명세서

청구범위

청구항 1

반도체 채널층 및 게이트 구조를 갖는 박막 트랜지스터로서,
상기 반도체 채널층이 In_2O_3 를 포함하는 매트릭스; 및
상기 매트릭스에 도핑된 안티몬(Sb) 금속을 포함하는 박막 트랜지스터.

청구항 2

제 1 항에 있어서,
상기 매트릭스 내의 인듐(In)과 안티몬(Sb)의 총 몰수에 대한 안티몬의 몰비는 0 % 초과 20 % 이하의 범위 내인 박막 트랜지스터.

청구항 3

제 1 항에 있어서,
상기 매트릭스 내의 인듐(In)과 안티몬(Sb)의 총 몰수에 대한 안티몬의 몰비는 0 % 초과 15 % 이하의 범위 내인 박막 트랜지스터.

청구항 4

기판을 제공하는 단계;
용매 내에 안티몬 전구체 및 인듐 산화물 전구체를 함유하는 혼합 용액을 제공하는 단계; 및
상기 혼합 용액을 상기 기판 상에 코팅하는 단계를 포함하는 금속 산화물 반도체 박막의 제조 방법.

청구항 5

제 4 항에 있어서,
상기 혼합 용액의 상기 용매는, 클로로폼, N-메틸피롤리돈, 아세톤, 시클로펜탄온, 시클로헥산온, 메틸에틸케톤, 에틸셀로솔브아세테이트, 부틸아세테이트, 에틸렌글리콜, 크실렌, 테트라하이드로퓨란, 디메틸포름아미드, 클로로벤젠, 메탄올, 에탄올, 이소프로판올, 테트라히드로푸르푸릴 알코올, 부탄올, 부틸아세테이트, 메톡시에탄올, 1-메톡시-2-프로판올, 톨루엔, 디메틸아세트아미드(DMAc), 디메틸포름아미드(DMF), N-메틸-2-피롤리돈(NMP), 에틸아세테이트 및 아세토니트릴로 이루어진 군으로부터 선택되는 어느 하나 또는 2 이상의 혼합물을 포함하는 박막 트랜지스터의 제조 방법.

청구항 6

제 4 항에 있어서,
상기 코팅하는 단계는, 스핀 코팅법, 잉크젯 프린팅법, 스핀 코팅, 레이저프린팅, 임프린트, 나노임프린트, 나노트랜스퍼, 그라비아, 오프셋, 솔겔법, 또는 딥핑법으로 수행되는 금속 산화물 반도체 박막의 제조 방법.

청구항 7

제 4 항에 있어서,
상기 건조된 코팅막을 200 °C 내지 300 °C의 온도 범위 내에서 열처리하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

청구항 8

제 4 항에 있어서,

상기 안티몬 전구체는 리튬 분말, 산화 안티몬(Sb_2O_3), 안티몬 염(리튬 탄산염, 리튬 황산염, 리튬 질산염, 또는 리튬 수산화염) 중 어느 하나 또는 2 이상의 혼합물을 포함하는 금속 산화물 반도체 박막의 제조 방법.

청구항 9

제 4 항에 있어서,

상기 인듐 전구체는 인듐 질산염(Indium nitrate), 인듐수산화염(Indium hydrate) 또는 인듐질산수산화염(Indium nitrate hydrate; $\text{In}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}$)을 포함하는 박막 트랜지스터의 제조 방법.

청구항 10

제 4 항에 있어서,

상기 매트릭스 내의 인듐(In)과 안티몬(Sb)의 총 몰수에 대한 안티몬의 몰비는 0 초과 20 % 이하의 범위 내인 박막 트랜지스터의 제조 방법.

청구항 11

기관; 및 상기 기관 상에 형성되고 복수의 화소들에 대응되도록 어레이 형태로 배치되는 복수의 스위칭 소자를 포함하는 능동 매트릭스 패널 디스플레이 장치로서,

상기 스위칭 소자는,

In_2O_3 를 포함하는 매트릭스; 및 상기 매트릭스에 도핑된 Sb 금속을 포함하는 활성층;

상기 활성층 상에 배치되는 게이트 절연막을 사이에 두고 상기 활성층의 일부 또는 전부와 중첩되는 게이트 도전막; 및

상기 게이트 도전막에 의해 이격된 상기 활성층의 양 측부에 형성된 소오스 및 드레인 영역을 포함하는 박막 트랜지스터인 디스플레이 장치.

청구항 12

제 11 항에 있어서,

상기 매트릭스 내의 인듐(In)과 리튬(Li)의 총 몰수에 대한 리튬의 몰비는

0 % 초과 20 % 이하의 범위 내인 박막 트랜지스터.

청구항 13

제 11 항에 있어서,

상기 매트릭스 내의 인듐(In)과 리튬(Li)의 총 몰수에 대한 리튬의 몰비는

0 % 초과 15 % 이하의 범위 내인 박막 트랜지스터.

청구항 14

제 11 항에 있어서,

상기 기관은, 유리 또는 가요성의 수지계 재료를 포함하는 박막 트랜지스터.

발명의 설명

기술 분야

본 발명은 반도체 기술에 관한 것으로서, 더욱 상세하게는, 금속 산화물 박막의 채널층을 갖는 박막 트랜지스터, 그 제조 방법 및 이를 포함하는 디스플레이 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 최근, 반도체 제조 기술의 발달에 따라, 액정 디스플레이(LCD), 전계 방출 디스플레이(FED), 전기 영동 디스플레이(EPD), 유기·무기 발광(organic·inorganic electroluminance) 소자 및 자기 발 디스플레이와 같은 전자 디스플레이 장치 또는 디지털 카메라와 같은 촬상 장치의 시장이 확대되고 있다. 일반적으로, 이들 전자 디스플레이 장치 또는 촬상 장치에는, 발광 부재 또는 수광 부재를 구동하기 하기 위한 스위칭 소자로서 능동형 매트릭스 회로가 제공되며, 상기 능동형 매트릭스 회로는 전계 효과 박막 트랜지스터에 의해 구현된다.
- [0003] 전자 디스플레이 장치의 경우, 상기 전계 효과 박막 트랜지스터의 활성층으로서, 비정질 실리콘 박막 또는 다결정질 실리콘 박막이 광범위하게 적용되어 왔다. 전계 효과 박막 트랜지스터에 있어서, 동일한 게이트 전압과 드레인 전압 하에서 높은 구동 전류를 얻기 위해서는, 채널의 폭을 증가시키는 것이 유리하다. 또한, 전자 디스플레이 장치의 고해상도화와 대형화를 위해서는 높은 전하 이동도를 요구한다. 그러나, 채널의 폭을 증가시키는 것은 광투과도가 낮은 실리콘계 박막의 경우에는 유효 개구율에 따른 한계를 갖는다. 전하 이동도 측면에서, 비정질 실리콘 박막의 낮은 이동도를 개선하기 위하여 다결정질 실리콘 박막을 구현하려는 시도가 있다. 그러나, 다결정질 실리콘 박막은 대면적에서 균일한 결정화를 얻기 어렵고 고가의 공정 비용이 소요되어 한계에 직면하고 있다.
- [0004] 최근, 채널의 폭을 증가시키지 않으면서도 고이동도를 갖는 활성층으로서, ZnO 또는 In-Ga-Zn-O과 같은 광학적으로 투명한 산화물 반도체 박막이 제안되었다. 이에 관하여는, 미국 특허 공보 제7067843호 및 미국 특허 공개공보 제2006/0108636호를 참조할 수 있다. 그러나, 이들 산화물 반도체 박막은 실용화 단계에서 실리콘계 박막을 대체할만한 수준이 미치지 못하거나 복잡한 3 성분 이상의 조성으로 인하여 제조가 어려우며, 소자의 장기적인 전기적 안정성을 확보하지 못하는 문제점이 있다.
- [0005] 또한, 향후 폴리머를 소재로 하는 기관을 사용하는 플렉서블의 전자 소자에서는 고온 공정이 불가능하기 때문에 저온 공정에 의해서도 제조될 수 있는 우수한 특성을 갖는 활성층 물질의 선택과 그 박막 형성 기술의 확보가 요구된다.

발명의 내용

해결하려는 과제

- [0006] 본 발명이 이루고자 하는 기술적 과제는, 반도체 활성층이 전자기파 스펙트럼의 가시 광선 영역에서 투명하여 채널 폭에 의한 유효 면적 감소가 작고, 높은 전하 이동도와 낮은 문턱 전압을 가짐으로써 디스플레이 장치의 대면적화와 고해상도화에 적합한 구동 소자로서 적용 가능하고, 전력 소모가 적은 전계 효과 박막 트랜지스터를 제공하는 것이다.
- [0007] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 전술한 이점을 갖는 전계 효과 박막 트랜지스터의 저온 형성이 가능하여 기관 선택의 범위가 크고, 대면적화가 가능한 전계 효과 박막 트랜지스터의 제조 방법을 제공하는 것이다.
- [0008] 또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는 고속 스위칭 소자를 이용한 대면적 및 고해상도를 가지며, 바람직하게는 플렉시블 디스플레이 장치를 제공하는 것이다.

과제의 해결 수단

- [0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전계 효과 박막 트랜지스터는 반도체 채널층 및 게이트 구조를 갖는 박막 트랜지스터이다. 일 실시예에서, 상기 박막 트랜지스터는 상기 반도체 채널층이 In_2O_3 를 포함하는 매트릭스; 및 상기 매트릭스에 도핑된 안티몬(Sb) 금속을 포함할 수 있다.
- [0010] 일 실시예에서, 상기 매트릭스 내의 인듐(In)과 안티몬(Sb)의 총 몰수에 대한 안티몬의 몰비는 0 % 초과 20 % 이하의 범위 내이다. 바람직하게는, 상기 매트릭스 내의 인듐(In)과 안티몬(Sb)의 총 몰수에 대한 안티몬의 몰비는 0 % 초과 15 % 이하의 범위 내일 수 있다.
- [0011] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 금속 산화물 반도체 박막의 제조 방법은, 기관을

제공하는 단계; 용매 내에 안티몬 전구체 및 인듐 산화물 전구체를 함유하는 혼합 용액을 제공하는 단계; 및 상기 혼합 용액을 상기 기판 상에 코팅하는 단계를 포함할 수 있다.

[0012] 일 실시예에서, 상기 혼합 용액의 상기 용매는, 클로로폼, N-메틸피롤리돈, 아세톤, 시클로헥산온, 메틸에틸케톤, 에틸셀로솔브아세테이트, 부틸아세테이트, 에틸렌글리콜, 크실렌, 테트라하이드로퓨란, 디메틸포름아미드, 클로로벤젠, 메탄올, 에탄올, 이소프로판올, 테트라하이드로푸르푸릴 알코올, 부탄올, 부틸 아세테이트, 메톡시에탄올, 1-메톡시-2-프로판올, 톨루엔, 디메틸아세트아미드(DMAc), 디메틸포름아미드(DMF), N-메틸-2-피롤리돈(NMP), 에틸아세테이트 및 아세토니트릴로 이루어진 군으로부터 선택되는 어느 하나 또는 2 이상의 혼합물을 포함할 수 있다.

[0013] 또한, 상기 박막 트랜지스터의 제조 방법은, 상기 건조된 코팅막을 200 °C 내지 300 °C의 온도 범위 내에서 열처리하는 단계를 더 포함한다. 상기 안티몬 전구체는 리튬 분말, 산화 안티몬(Sb_2O_3), 안티몬 염(리튬 탄산염, 리튬 황산염, 리튬 질산염, 또는 리튬 수산화염) 중 어느 하나 또는 2 이상의 혼합물을 포함할 수 있다. 또한, 상기 인듐 전구체는 인듐 질산염(Indium nitrate), 인듐수산화염(Indium hydrate) 또는 인듐질산수산화염(Indium nitrate hydrate; $In(NO_3)_3 \cdot xH_2O$)을 포함할 수 있다. 상기 매트릭스 내의 인듐(In)과 안티몬(Sb)의 총 몰수에 대한 안티몬의 몰비는 0 초과 20 % 이하의 범위 내일 수 있다.

[0014] 상기 또 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 디스플레이 장치는, 기판; 및 상기 기판 상에 형성되고 복수의 화소들에 대응되도록 어레이 형태로 배치되는 복수의 스위칭 소자를 포함하는 능동 매트릭스 패널 디스플레이 장치이다. 일 실시예에서, 상기 스위칭 소자는, In_2O_3 를 포함하는 매트릭스; 및 상기 매트릭스에 도핑된 Sb 금속을 포함하는 활성층; 상기 활성층 상에 배치되는 게이트 절연막을 사이에 두고 상기 활성층의 일부 또는 전부와 중첩되는 게이트 도전막; 및 상기 게이트 도전막에 의해 이격된 상기 활성층의 양 측부에 형성된 소오스 및 드레인 영역을 포함하는 박막 트랜지스터를 포함할 수 있다.

[0015] 일 실시예에서, 상기 매트릭스 내의 인듐(In)과 리튬(Li)의 총 몰수에 대한 리튬의 몰비는 0 % 초과 20 % 이하의 범위 내일 수 있다. 상기 매트릭스 내의 인듐(In)과 리튬(Li)의 총 몰수에 대한 리튬의 몰비는 0 % 초과 15 % 이하의 범위 내일 수 있다. 상기 기판은, 유리 또는 가요성의 수지계 재료를 포함할 수 있다.

발명의 효과

[0016] 전술한 본 발명의 실시예에 따른 박막 트랜지스터는 활성층으로서 높은 광투과도를 갖는 In_2O_3 를 포함하는 매트릭스에 산소와 전기음성도의 차이가 큰 Sb 이온을 도핑하여 저온 형성된 상기 매트릭스의 결정성을 향상시켜서 전하 이동도를 증가시키고, 산소 공공 결합 밀도를 억제하여 In_2O_3 매트릭스 내 자유전자 농도가 트랜지스터의 채널층으로서 적용 가능한 정도로 감소시킬 수 있다. 이로써, 본 발명의 실시예에 따르면, 투명 소자에서 채널 폭에 의한 유효 면적 감소 문제를 개선하고, 높은 전하 이동도와 낮은 문턱 전압을 갖는 디스플레이 장치의 대면적화와 고해상도화에 적합한 구동 소자를 제공하고, 전력 소모가 적은 전계 효과 박막 트랜지스터가 제공될 수 있다.

[0017] 또한, 본 발명의 실시예에 따른 박막 트랜지스터의 제조 방법은 종래의 In 계 산화물인 In-Ga-Zn-O와 비교시, 안티몬을 도핑하는 것만으로도 저온 형성이 가능하고, 이를 용액법에 의해 구현함으로써, 제조가 용이하고, 플렉시블 소자의 구현에 적합한 제조 공정이 제공할 수 있다.

[0018] 또한, 본 발명의 실시예에 따른 디스플레이 장치는 전술한 이점을 갖는 박막 트랜지스터를 구동 소자로 사용함으로써 대면적과 고해상도를 가질 뿐만 아니라, 상기 구동 소자의 저온 형성 공정에 의해 플렉시블 디스플레이 장치를 제공할 수 있다.

도면의 간단한 설명

[0019] 도 1a 및 도 1b는 각각 본 발명의 실시예에 따른 박막 트랜지스터들을 도시하는 단면도이다.

도 2는 본 발명의 일 실시예에 따른 용액법에 의해 제조된 안티몬이 도핑된 In_2O_3 매트릭스층 및 안티몬이 도핑

되지 않은 비교 실시예에 따른 X선 회절 그래프이다.

도 3a 내지 도 3c는 전술한 본 발명의 실시예에 따른 샘플 A, B, 및 C의 원자간력 현미경(Atomic force microscope)의 분석 이미지이며, 도 3d는 비교 실시예에 따른 샘플 R1의 원자간력 현미경의 분석 이미지이다.

도 4a 및 도 4b는 본 발명의 실시예에 따른 안티몬이 도핑된 In_2O_3 매트릭스층과 비교 실시예에 따른 안티몬이 도핑되지 않은 순수 In_2O_3 매트릭스층을 활성층으로서 사용하는 박막 트랜지스터의 전압(V_g)-드레인 전류(I_D)의 측정 결과를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0021] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0022] 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이며, 도면상에서 동일 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0023] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0024] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.
- [0025] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다.
- [0026] 본 명세서에서 사용된 "비정질 구조"라는 용어는 일반적으로 원자들이 분명한 주기적 배열을 결여하고 있는 낮은 정도의 질서도를 갖는 비결정질 구조를 의미하며, 이는 상기 비결정질 구조 내에 마이크로 결정이 형성된 구조도 포함하는 것으로 해석되어야 한다.
- [0027] 도 1a 및 도 1b는 각각 본 발명의 실시예에 따른 박막 트랜지스터들(100, 200)을 도시하는 단면도이다.
- [0028] 도 1a 및 도 1b를 참조하면, 기판(10) 상에 박막 트랜지스터(100, 200)가 형성된다. 기판(10)은 박막 트랜지스터(100, 200)의 형성 공정과 양립할 수 있으며, 박막 트랜지스터(100, 200)가 형성될 절연성 표면을 제공할 수 있는 재료로부터 선택될 수 있다. 예를 들면, 기판(10)은 유리 또는 수지계 재료와 같은 투광성 재료를 포함할 수 있다. 상기 수지계 재료는 가요성(flexibility)을 갖고 유리에 비해 가볍기 때문에 플렉시블 디스플레이 소자를 위해 바람직하다. 예를 들면, 상기 수지계 재료는, 폴리에틸렌 나프탈레이트(polyethylene naphthalate; PEN)와 같은 폴리에스테르 수지; 폴리에틸렌 수지; 염화 폴리비닐 수지; 폴리카보네이트(PC); 폴리에테리 술폰(PES); 폴리에테르 에테르케톤(PEEK); 황화 폴리페닐렌(PPS) 또는 이들의 혼합물 또는 적층 구조일 수 있다. 또 다른 예로서, 기판(10)은 통상의 반도체 제조 공정이 가능한 Si 또는 Ge와 같은 IV족 반도체, SiGe와 같은

혼합 반도체, GaAs과 같은 III-V족 화합물 반도체, 또는 CdS와 같은 II-VI족 반도체 재료로 형성될 수 있다. 그러나, 이들은 예시적인 것, 본 발명은 이에 제한되지 않으며, 예를 들면, 기판(10)은 알루미늄 산화물과 같은 세라믹 재료 또는 절연층으로 코팅된 금속 시트 또는 하지에 집적 회로가 형성된 집적 회로층일 수도 있다.

[0029] 일부 실시예에서는, 기판(10) 상에 박막 트랜지스터(100, 200)를 형성하기 전에, 기판(10) 표면의 불순물을 제거하거나, 불순물의 확산 또는 부착 특성을 개선하기 위한 적절한 표면 처리를 수행할 수 있다. 예를 들면, 기판(10) 표면에 대하여 플라즈마 처리 또는 과산화 수소수, 에탄올 및 아세톤과 같은 약액 또는 탈이온화수를 이용한 세정 공정을 통하여 불순물을 제거할 수 있다. 또한, 기판(10)과 박막 트랜지스터(100, 200) 사이에서 발생하는 불순물의 확산이나 부착 특성을 개선하기 위하여, 기판(10) 상에 실리콘 산화막, 금속 산화막 또는 금속 질화막과 같은 부가층(미도시)의 형성 공정을 수행할 수도 있다.

[0030] 전술한 바와 같이 준비된 기판(10) 상에 형성된 박막 트랜지스터(100, 200)는 활성층(13a, 13b) 및 게이트 절연막(12a, 12b)을 사이에 두고 활성층(13a, 13b)의 적어도 일부와 중첩되는 게이트 도전막(11a, 11b) 및 소오스 및 드레인 전극들(14a, 14b)을 포함할 수 있다. 일부 실시예에서는, 활성층(13a, 13b)과 소오스 및 드레인 전극들(14a, 14b) 사이에 오믹 접촉을 위한 부가층(미도시)이 더 형성될 수도 있다. 또한, 게이트 절연막(12a, 12b)과 게이트 도전막(11a, 11b) 사이에 부착 특성을 개선하기 위하여, Ti, Cr, W, Ta, Mo, Ni 또는 이들의 합금으로부터 선택된 부가층(미도시)을 더 형성할 수도 있다.

[0031] 도 1a에 도시된 박막 트랜지스터(100)는, 활성층(13a) 상에 순차대로 게이트 절연막(12a) 및 게이트 도전막(11a)을 형성하여, 활성층(13a)을 기준으로 게이트 도전막(11a)이 기판(10)의 반대쪽에 배치되는 상부 게이트 구조를 갖는다. 다른 실시예로서, 도 1b에 도시된 박막 트랜지스터(200)는, 게이트 도전막(11b) 상에 순차대로 게이트 절연막(12b) 및 활성층(13b)이 형성되어, 활성층(13b)을 기준으로 게이트 도전막(11b)이 기판(10) 측에 배치되는 하부 게이트 구조를 갖는다. 도 1a 및 도 1b에 도시된 박막 트랜지스터들(100, 200)의 구조는 예시적인 것, 본 발명은 이에 제한되는 것은 아니다. 예를 들면, 본 발명의 실시예에 따른 박막 트랜지스터는 당해 기술분야에 잘 알려진 바와 같이, 활성층(13a, 13b)에 소스 및 드레인 전극들(14a, 14b)이 접합하는 방식에 따라 스테거드 형(Staggered type) 또는 평면형(Coplanar type) 트랜지스터일 수도 있다.

[0032] 활성층(13a, 13b)은 In_2O_3 를 포함하는 매트릭스(이하, In_2O_3 매트릭스라 함) 및 상기 매트릭스에 도핑된 안티몬(Sb) 금속을 포함한다. 상기 매트릭스 내 안티몬(Sb)과 인듐(In)의 총 몰수에 대한 안티몬(Sb)의 몰비는 0 초과 20% 이하의 범위 내이다. 안티몬 함량이 20 %를 초과하면, 상대적으로 크기가 큰 안티몬 이온으로 인해 무질서도(disordering)가 증가되어 이동도를 저하시킬 수 있기 때문에 트랜지스터의 채널층으로 적용하기 어렵다. 바람직하게는, 상기 안티몬 함량은 200 °C 내지 300 °C의 범위의 저온 형성시에도 결정화가 일어나는 0 초과 15% 이하의 범위 내이다.

[0033] 또한, 상기 안티몬이 도핑된 In_2O_3 매트릭스의 두께는 10 nm 내지 200 nm의 범위 내이다. 10 nm 미만의 두께를 갖는 In_2O_3 매트릭스에서는 TFT array에서 균일한 두께를 보장하기 어려워 충분한 전하 농도와 전계 이동도를 얻을 수 없으며, In_2O_3 매트릭스의 두께가 200 nm를 초과하면 벌크 효과가 나타날 수 있으므로 바람직하지 않다.

[0034] In_2O_3 산화물은 In의 5s 오비탈의 등방성과 작은 유효질량으로 인해 우수한 이동도를 가지고 있어 투명 전도막으로서 널리 응용되지만, 활성층으로 사용되기 위해서는 전도성 기구인 산소 공공 결함의 제어가 필요하다. 본 발명의 실시예에 따르면, 산소와 전기음성도의 차이가 적은 안티몬(Sb) 이온이 In_2O_3 매트릭스 내에 첨가되어 산소 공공 결함 밀도를 억제함으로써 트랜지스터의 채널층에 발생하는 트랩(trap)을 감소시킴으로써 신뢰성이 향상되며, 순수한 In_2O_3 매트릭스에 비하여 안티몬 도핑으로 인한 산소공공의 감소로 결함 밀도(defect density)를 감소시킬 수 있으며, 이에 의해 S.S factor가 개선될 수 있다. 이와 같은 본 발명의 실시예에 따른 안티몬이 도핑된 In_2O_3 매트릭스가 트랜지스터의 채널층으로서 갖는 이점에 관한 정량적 특성에 대하여는 후술하도록 한다.

[0035] 활성층(13a, 13b)은 저온 증착 공정이 가능한 용액법, 전자빔 증착법, 레이저 용착법(laser ablation) 또는 스퍼터링법에 의하여 형성될 수 있지만, 바람직하게는 용액법에 의해 형성될 수 있다. 상기 용액법에 의한 안티몬이 도핑된 In_2O_3 매트릭스의 형성은, 용매 내에 안티몬 전구체 및 인듐 전구체가 분산된 혼합 용액을 제공하고, 이후, 상기 혼합 용액을 기판 상에 코팅하여 건조 및 소성함으로써 달성된다.

- [0036] 일 실시예에서, 상기 안티몬 전구체는 안티몬염, 예를 들면, 안티몬 질산염(Antimony nitrate), 안티몬 수산화염(Antimony hydrate), 또는 안티몬질산수산화염(Antimony nitrate hydrate)을 포함할 수 있다. 또한, 상기 인듐 전구체는 인듐염, 예를 들면, 인듐 질산염(Indium nitrate) 또는 인듐수산화염(Indium hydrate) 또는 인듐 질산수산화염(Indium nitrate hydrate; $\text{In}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}$)을 포함할 수 있다. 상기 혼합 용액 내에서, 인듐과 안티몬 전구체의 총 몰수에 대한 안티몬 전구체의 몰비($[\text{Sb}]/([\text{In}]+[\text{Sb}])$)는 0 초과 15 원자% 이하의 범위 내일 수 있다.
- [0037] 상기 혼합 용액의 제조를 위한 상기 용매는, 예를 들면, 클로로폼, N-메틸피롤리돈, 아세톤, 시클로헥산온, 시클로헥산올, 메틸에틸케톤, 에틸셀로솔브아세테이트, 부틸아세테이트, 에틸렌글리콜, 크실렌, 테트라하이드로퓨란, 디메틸포름아미드, 클로로벤젠, 메탄올, 에탄올, 이소프로판올, 테트라히드로푸르푸릴 알코올, 부탄올, 부틸 아세테이트, 메톡시에탄올, 1-메톡시-2-프로판올, 톨루엔, 디메틸아세트아미드(DMAc), 디메틸포름아미드(DMF), N-메틸-2-피롤리돈(NMP), 에틸아세테이트 및 아세토니트릴로 구성되는 군에서 선택되는 용매를 단독으로 사용하거나 2종 이상을 임의의 비율로 혼합된 혼합 용매일 수 있다. 그러나, 상기 용매는 예시적이며, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 상기 용매는 용액법에 의한 박막 형성시 안티몬의 급격한 산화에 의한 폭발 및 연소를 방지할 수 있는 비수계 전해액일 수도 있다. 상기 비수계 전해액은, 예를 들면, 에틸렌카르보네이트, 프로필렌카르보네이트, 디메틸카르보네이트와 같은 카르보네이트와 같은 탄화수소체를 포함할 수도 있다.
- [0038] 상기 혼합 용액을 기판 상에 코팅하는 것은, 드롭 캐스팅, 스핀 코팅, 블레이드 법, 잉크젯 코팅, 스프레이 분사법, 스크린 인쇄법 또는 그라비아 법으로 수행될 수 있다. 이들 코팅법은 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다. 상기 용액법에 의한 활성층의 두께 조절은 상기 용매 내에 첨가되는 안티몬 전구체 및 인듐 전구체의 총 농도에 의해 조절될 수 있다. 상기 용액법은 대면적 공정이 가능할 뿐만 아니라 저온 박막 형성이 가능하여 종래의 유리 기판 이외에도 전술한 바와 같은 경량의 수지계 가요성 기판이 사용될 수 있다. 특히 가요성 기판이 적용되는 경우, 롤투롤(roll-to-roll) 공정과 같은 대면적 증착 공정이 가능한 이점이 있다.
- [0039] 상기 기판 상에 코팅된 박막의 소성은 열처리에 의해 수행될 수 있다. 예를들면, 비활성 분위기 또는 산소 분위기에서 200 °C 내지 300 °C 의 온도 범위 내에서 수행될 수 있다.
- [0040] 활성층(13a, 13b)과 접하는 게이트 절연막(12a, 12b)은 실리콘 활성층의 열산화, 또는 스퍼터링 및 플라즈마강화 화학기상법에 의해 증착된 실리콘 산화물층을 포함할 수 있다. 그러나, 이는 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 게이트 절연막(12a, 12b)은 원자층 증착법에 의해 증착되는 실리콘 산화물보다 높은 유전율을 갖는 예를 들면, 실리콘 질화물(Si_3N_4), 하프늄 산화물(HfO_2), 알루미늄 산화물(Al_2O_3), tantalum 산화물(Ta_2O_5), 티타늄 산화물(TiO_2), 가돌리늄 산화물(Gd_2O_3), 지르코늄 산화물(ZrO_2), 바륨 지르코늄 타이타늄 산화물(BaZrTiO_3), 바륨 스트론튬 타이타늄 산화물(BaSrTiO_3)과 같은 고유전율 재료, 또는 실리콘 산화물을 포함하는 전술한 2 이상의 적층 구조를 포함할 수 있다. 이들 게이트 절연막(12a, 12b) 또한 저온 공정이 가능한 용액법을 사용하여 채널층 위 혹은 아래부분에 성막될 수 있다.
- [0041] 게이트 도전막(11a, 11b)은 스퍼터링 또는 전자빔 증착법 등에 의해 금속층을 증착하고 이를 패터닝함으로써 형성될 수 있다. 상기 금속층은 낮은 저항을 갖고 열적 안정성이 우수한, 예를 들면, Al, Au, Ag, Ti, Cu 또는 이들의 합금 등으로 형성될 수 있다.
- [0042] 소오스 및 드레인 전극들(14a, 14b)은 활성층(13a, 13b)의 양 측부에 각각 접속된다. 이들 소오스 및 드레인 전극들(14a, 14b) 중 적어도 하나는 투명 전극일 수 있다. 상기 투명 전극은, 예를 들면, 인듐-주석-산화물(Indium-Tin-Oxide; ITO), 불화 주석 산화물(Fluorinated Tin Oxide; FTO), 인듐 산화물(Indium Oxide; IO) 및 주석 산화물(Tin Oxide; SnO_2)과 같은 투명 금속 산화물, 폴리아세틸렌(polyacetylene)과 같은 투명 도전성 수지 또는 도전성 금속 미립자를 함유하는 도전성 수지 중 어느 하나 또는 이들의 조합으로 형성될 수 있다. 소오스 및 드레인 전극들(14a, 14b)은 스퍼터링, 전자빔 증착법, 실크스크린법, 또는 잉크젯법에 의해 도전막을 증착하고 이를 패터닝하여 형성되며, 열처리 공정을 더 수행할 수도 있다.
- [0043] 이하에서는, 다양한 분석 결과를 참조하여 전술한 활성층을 포함하는 박막 트랜지스터의 정량적인 특성에 관하여 상술한다.

[0044] 도 2a 내지 도 2b 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 InO_x 와 Sb의 조성비에 따른 박막 트랜지스터의 이동 특성을 보여주는 게이트 전압(V_{GS})-드레인 전류(I_{DS})의 측정 결과를 나타내는 그래프이다. 제조된 박막 트랜지스터의 채널층의 폭과 길이(W/L)는 $1,000 \mu\text{m} / 150 \mu\text{m}$ 이다. 본 발명의 실시예에 따른 매트릭스 층은, 인듐 전구체인 $\text{In}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}$ 과 안티몬 전구체인 Antimony nitrate hydrate를 용매인 2-methoxyethanol에 용해 및/또는 분산된 혼합 용액을 제조한 후, 이를 스핀 코팅 방법으로 코팅하여 제조하였다.

[0045] 표 1은 도 2a 내지 도 2c로부터 도출한 박막 소자의 이동 특성을 나타낸 것이다.

표 1

샘플	화학식	$\mu_{FE, sat} (\text{cm}^2/\text{Vs})$	S.S (V/decade)	$V_{th} (\text{V})$
비교예	In_2O_3	5.00	0.51	3.84
실시예	$\text{In}_{0.91}\text{Sb}_{0.09}\text{O}$	5.93	0.51	2.53
	$\text{In}_{0.88}\text{Sb}_{0.12}\text{O}$	4.80	0.35	1.94

[0047] 도 2a 내지 도 2c 및 표 1을 참조하면, 대조군으로 이용된 InO_x 소자는 전계 효과 이동도 (μ_{sat}), 문턱전압이하 스윙 (Subthreshold swing, SS) 값, 문턱 전압(V_{th}) 및 온/오프 전류 비율값으로, 각각 $5.0 \text{ cm}^2/\text{Vs}$, 0.46 V/decade , 3.8 V 및 5.1×10^6 을 갖는다. InSbO 박막 트랜지스터의 이동 특성은 InO_x 채널에 도핑된 안티몬(Sb)에 크게 영향을 받지 않으며, 표 1에서 보이는 바와 같이 안티몬이 도핑된 박막트랜지스터 소자들은 도핑되지 않은 경우보다 더 높거나 거의 비슷한 값을 보인다. 또한, $\text{In}_{0.88}\text{Sb}_{0.12}\text{O}$ 박막 트랜지스터는 도 2c에 도시된 바와 같이, 문턱전압 및 온/오프 전류 비율이 각각 1.9V 및 3×10^7 로 이에 관한 열화를 보이지 않으며, InO_x 와 유사하게 4.6 의 전계 효과 이동도, 0.29 V/decade 의 낮은 SS의 특성을 보였다. 하프늄(Hf) 및 지르코늄(Zr)과 같은 캐리어 억제 물질의 전기 음성도가 1.4 내지 1.6 을 가지지만, 전기 음성도가 2.1 인 Sb 양이온이 산소와의 결합력이 약하므로 이동도의 변화가 거의 없다. Sb 양이온은 박막 트랜지스터 내에 산소의 공공 결합이 생성되는 것을 억제하여 산화물 박막 트랜지스터의 채널에 발생하는 트랩(trap)을 감소시키며, Sb 양이온의 S-오비탈의 고립전자쌍이 $\text{Sb}^{+3} - \text{O}$ 혼성 오비탈을 만들어 과산화이온(O_2^{2-})peroxide생성을 억제시켜 신뢰성을 개선시킬 수 있다.

[0048] 도 3a 내지 도 3c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 InO_x 와 Sb의 조성비에 따른 박막 트랜지스터의 X선 회절 그래프이다.

[0049] 도 3a를 참조하면, Vo(Oxygen vacancy defect)가 없는 산소 격자, Vo가 있는 산소 격자 및 OH 불순물을 포함했을 때의 산소 격자에 해당하는 530.4 eV , 531.6 eV 및 532.0 eV 에 해당하는 피크를 보인다. 도 3b 내지 도 3c에서, 전술한 산소 격자들의 피크들 외에 Sb의 $3d_{3/2}$ 및 Sb의 $3d_{5/2}$ 에 해당하는 539.7 및 529.8 에서 추가적인 피크를 나타내는 것을 확인할 수 있다. Sb에 관계되는 피크들은 InSbO 박막의 Sb 농도가 증가할수록 증가하며, 이를 통해 Sb 양이온이 InO_x 매트릭스에 잘 도핑된 것을 알 수 있다. 또한, $\text{In}_{0.88}\text{Sb}_{0.12}\text{O}$ 에서 Vo 및 OH 연관된 피크들의 상대적인 면적이 InO_x 박막의 34.5% 및 55.1% 에서 27.8% 및 49.1% 로 줄어든 것을 통해, Sb가 도핑된 박막이 Sb가 도핑되지 않은 InO_x 박막에 비해 낮은 산소 결함(Vo) 및 수산기 불순물 농도를 갖는 것을 알 수 있다. X 선 회절 분석 결과로부터, InO_x 및 InSbO 는 비정질임을 확인할 수 있다.

[0050] 도 4a 내지 도 4c 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 InO_x 와 Sb의 조성비에 따른 박막 트랜지스터의 원자간력 현미경(Atomic force microscope)의 분석 이미지이다.

[0051] 도 4a 내지 도 4c를 참조하면, In_2O_3 , $\text{In}_{0.91}\text{Sb}_{0.09}\text{O}$ 및 $\text{In}_{0.88}\text{Sb}_{0.12}\text{O}$ 의 표면 거칠기의 평균 제곱근은 각각 0.18 nm , 0.17 nm 및 0.14 nm 으로 측정되었다. 이를 통해, X선 회절 분석 결과에서 확인한 바와 같이 Sb 양이온이 InO_x

매트릭스에 균일하게 혼합되었음을 알 수 있다.

[0052] 도 5a 내지 도 5c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 InO_x 와 Sb의 조성비에 따른 박막 트랜지스터의 양 전압 스트레스(positive bias stress, PBS) 조건에서 드레인에 흐르는 전류를 측정한 그래프이다.

[0053] 도 5a 내지 도 5c를 참조하면, 상기 양 전압 스트레스 조건은 게이트 전압(V_{GS})을 문턱 전압에서 +15 V까지 인가하고, 드레인 전압(V_{DS})은 5.1 V로 고정하여, 0 초에서 1800 초까지 상기 게이트 전압 및 상기 드레인 전압을 인가하는 조건이다. 본 발명의 실시예에 따른 산화물 박막 트랜지스터는, Sb가 도핑되지 않은 InO_x 박막 트랜지스터가 양 전압 스트레스 조건에서 문턱 전압이 6.4 V 감소하는데 비해, Sb가 도핑된 박막, 예를 들어, $\text{In}_{0.91}\text{Sb}_{0.09}\text{O}$ 및 $\text{In}_{0.88}\text{Sb}_{0.12}\text{O}$ 박막 트랜지스터의 문턱 전압은 각각 2.8 V 및 2.0 V 감소한다. 따라서, Sb가 도핑됨에 따라 박막 트랜지스터의 신뢰성이 향상될 수 있다.

[0054] 도 6a 내지 도 6c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 InO_x 와 Sb의 조성비에 따른 양 전압 스트레스 조건(PBS), 음 전압 스트레스 조건(NBS) 및 음 전압 광강도 스트레스(NBIS) 특성을 도시하는 그래프들이다.

표 2

샘플	화학식	PBS 열화 후 ΔV_{th} (V)	NBS 열화 후 ΔV_{th} (V)	NBIS 열화 후 ΔV_{th} (V)
비교예	In_2O_3	6.12	-12.48	-14.96
실시예	$\text{In}_{0.91}\text{Sb}_{0.09}\text{O}$	2.84	-7.88	-13.24
	$\text{In}_{0.88}\text{Sb}_{0.12}\text{O}$	1.99	-0.95	-10.28

[0056] 표 2는 본 발명의 실시예에 따른 박막 트랜지스터의 양 전압 스트레스에 따른 문턱전압의 변화량이다. 양 전압 스트레스 조건은 전술한 바와 동일하며, 음 전압 스트레스 (negative bias stress, NBS) 조건은 게이트 전압(V_{GS})을 문턱 전압에서 -15 V까지 인가하고, 드레인 전압(V_{DS})은 5.1 V로 고정하여, 0 초에서 1800 초까지 상기 게이트 전압 및 상기 드레인 전압을 인가하는 조건이다. 음 전압 광강도 스트레스(negative bias illumination stress, NBIS) 조건은 상기 음 전압 스트레스 조건에 0.15 mW의 강도로 녹색광을 조사하는 열화 조건이다.

[0057] 도 6a 내지 도 6c와 함께 표 2에서 보는 바와 같이 본 발명의 실시예에 따른 Sb가 도핑된 산화물 박막 트랜지스터는 양 전압 스트레스 조건, 음 전압 스트레스 조건 및 음 전압 광 강도 스트레스 조건에서 Sb가 도핑되지 않은 박막 트랜지스터에 비해 문턱 전압 변화가 적게 일어나며, Sb의 도핑 농도가 클수록 문턱 전압 감소 폭은 작아지는 것을 확인할 수 있다. 따라서 Sb가 도핑된 박막 트랜지스터를 소자에 응용할 경우, 상기 소자의 신뢰성이 확보될 수 있으며, 전술한 바와 같이 높은 전하 이동도와 낮은 문턱 전압을 갖는 고효율의 소자가 제공될 수 있다.

[0058] 전술한 실시예에 따르면, 안티몬이 도핑된 In_2O_3 매트릭스를 활성층으로서 적용한 박막 트랜지스터는 순수한 In_2O_3 매트릭스층의 문턱 전압, 전계 효과 이동 및 $I_{ON/OFF}$ 를 개선하여 스위칭 소자로서 실제 응용에 적합하다.

상기 박막 트랜지스터를 행 $\times$ 열의 2차원 어레이 형태로 배열하고, 모든 열 방향의 박막 트랜지스터들의 게이트 전극막을 서로 전기적으로 연결하여 게이트 라인을 형성하고, 모든 행 방향의 박막 트랜지스터들의 소오스 및 드레인 전극들 중 어느 하나를 전기적으로 연결하여 데이터 라인을 형성하여 능동형 매트릭스 구동 소자를 구현할 수 있다. 상기 능동형 매트릭스 구동 소자는 액정 디스플레이(LCD), 전계 방출 디스플레이(FED), 전기영동 디스플레이(EPD), 유기·무기 발광(organic·inorganic electroluminescence) 소자 및 자기 발 디스플레이와 같은 전자 디스플레이 장치 또는 디지털 카메라와 같은 촬상 장치의 발광 부재 또는 수광 부재를 구동을 위해 응용될 수 있다.

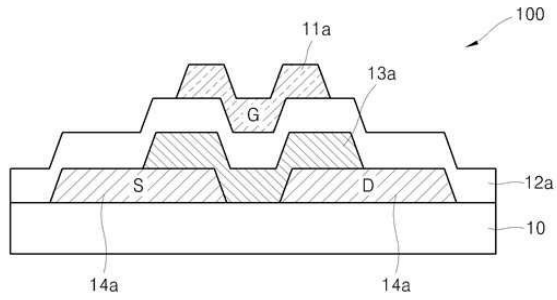
[0059] 또한, 당업자에게 있어서, 본 명세서에 개시된 활성층은 필요에 따라 바이폴라 트랜지스터 또는 소자 집적도를

증가시키기 위한 3차원 반도체 소자를 제조하기 위한 버티컬 소자의 활성층에도 적용될 수 있음은 자명하다.

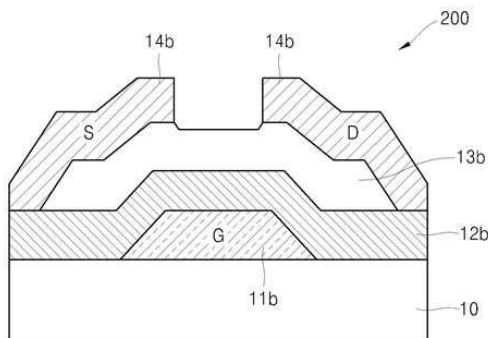
[0060] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

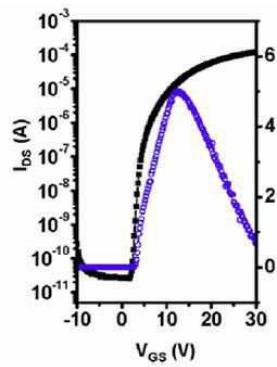
도면1a



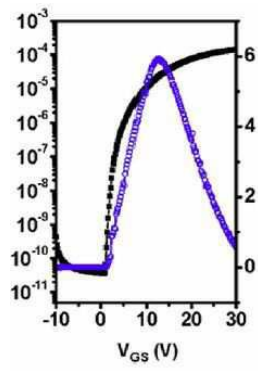
도면1b



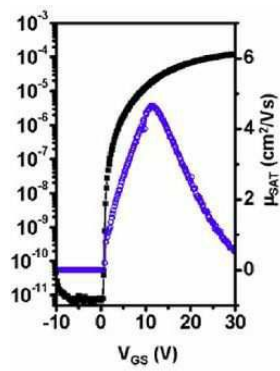
도면2a



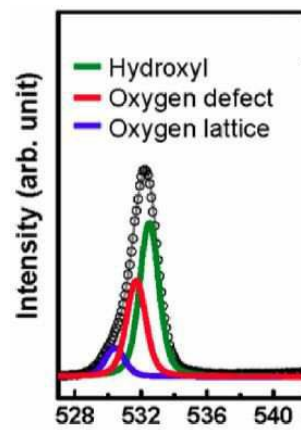
도면2b



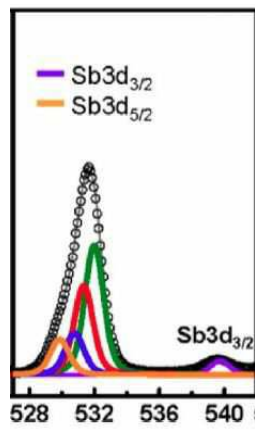
도면2c



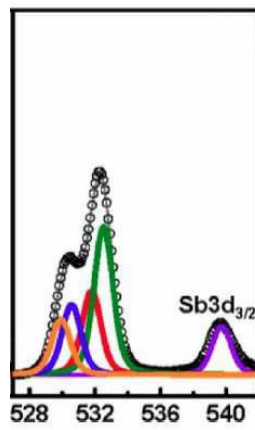
도면3a



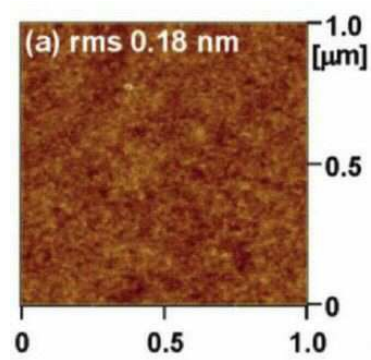
도면3b



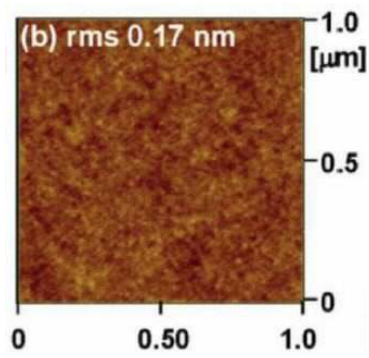
도면3c



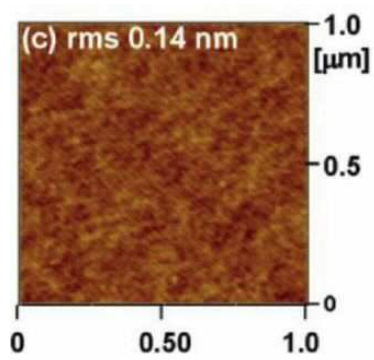
도면4a



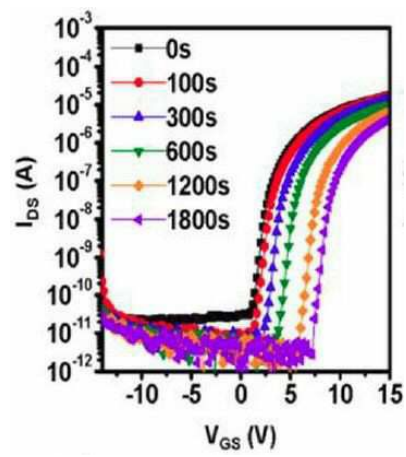
도면4b



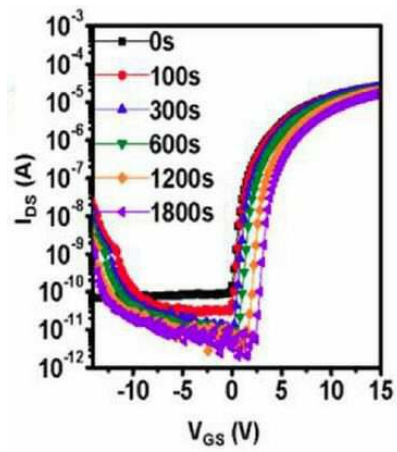
도면4c



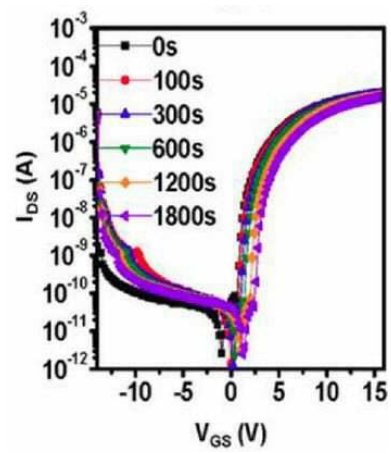
도면5a



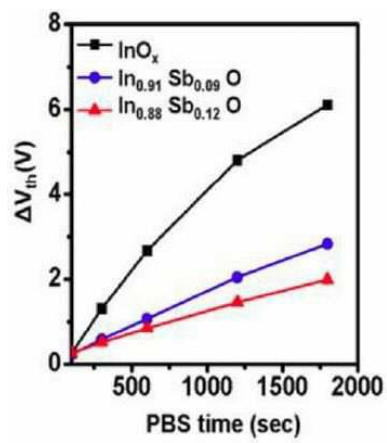
도면5b



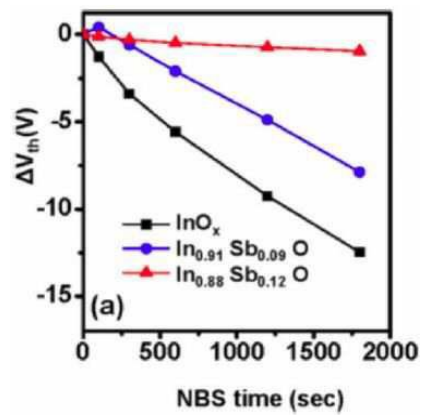
도면5c



도면6a



도면6b



도면6c

