

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3866070号  
(P3866070)

(45) 発行日 平成19年1月10日(2007.1.10)

(24) 登録日 平成18年10月13日(2006.10.13)

(51) Int. Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622E
<b>G11C 19/00 (2006.01)</b>	G09G 3/20 623H
請求項の数 4 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2001-296176 (P2001-296176)	(73) 特許権者	502356528
(22) 出願日	平成13年9月27日(2001.9.27)		株式会社 日立ディスプレイズ
(65) 公開番号	特開2002-215118 (P2002-215118A)		千葉県茂原市早野3300番地
(43) 公開日	平成14年7月31日(2002.7.31)	(74) 代理人	100083552
審査請求日	平成17年3月7日(2005.3.7)		弁理士 秋田 収喜
(31) 優先権主張番号	特願2000-320745 (P2000-320745)	(72) 発明者	宮沢 敏夫
(32) 優先日	平成12年10月20日(2000.10.20)		千葉県茂原市早野3300番地 株式会社
(33) 優先権主張国	日本国(JP)		日立製作所 ディスプレイグループ内
		(72) 発明者	長谷川 篤
			千葉県茂原市早野3300番地 株式会社
			日立製作所 ディスプレイグループ内
		(72) 発明者	竹本 一八男
			千葉県茂原市早野3300番地 株式会社
			日立製作所 ディスプレイグループ内
最終頁に続く			

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とするMISTFTから構成され、

第1のMISTFTの第1の端子には、入力パルスが入力され、

第1のMISTFTのゲート端子には、第1の同期パルスが印加されて、入力部を形成し、

第1のMISTFTの第2の端子は、第4のMISTFTのゲート端子と、第2のMISTFTの第1の端子と、第1の容量の第1の端子とに接続され、

第1の容量の第2の端子は、第4のMISTFTの第2の端子と、第5のMISTFTの第1の端子およびゲート端子とに接続され、

第2のMISTFTの第1の端子は、第7のMISTFTのゲート端子に接続され、

第2のMISTFTのゲート端子と、第3のMISTFTの第1の端子とは、第10のMISTFTの第2の端子に接続され、

第2のMISTFTの第2の端子と、第7のMISTFTの第2の端子と、第3のMISTFTの第2の端子とは、固定電源に接続され、

第4のMISTFTの第1の端子には、第2の同期パルスが入力され、

第5のMISTFTの第2の端子は、第8のMISTFTのゲート端子と、第6のMISTFTの第1の端子と、第2の容量の第1の端子とに接続され、

第2の容量の第2の端子は、第8のMISTFTの第2の端子と、第9のMISTFT

10

20

の第1の端子およびゲート端子と、第10のMISTFTの第1の端子およびゲート端子とに接続され、

第7のMISTFTの第1の端子は、第6のMISTFTのゲート端子に接続され、

第6のMISTFTの第2の端子は、固定電源に接続され、

第8のMISTFTの第1の端子には、第1の同期パルスが入力され、

第1のMISTFTの第1の端子に入力パルスが入力された場合に、第7のMISTFTはオンとなり、第6のMISTFTのゲート端子と固定電源とを接続することを特徴とする表示装置。

【請求項2】

前記第2乃至第10の各MISTFTと、第1および第2の容量から構成される基本回路がn個多段に接続され、 10

第i番目の基本回路の第10のMISTFTに対応するMISTFTの第2の端子が第(i-1)番目の基本回路の第2のMISTFTに対応するMISTFTのゲート端子に接続され、

第i番目の基本回路の第9のMISTFTに対応するMISTFTの第2の端子が第(i+1)番目の基本回路の第1の容量に対応する容量に接続されていることを特徴とする請求項1に記載の表示装置。

【請求項3】

基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とするMISTFTから構成され、 20

第1のMISTFTの第1の端子およびゲート端子には、入力パルスが入力されて、入力部を形成し、

第1のMISTFTの第2の端子は、第4のMISTFTのゲート端子と、第2のMISTFTの第1の端子と、第1の容量の第1の端子とに接続され、

第1の容量の第2の端子は、第4のMISTFTの第2の端子と、第5のMISTFTの第1の端子およびゲート端子とに接続され、

第2のMISTFTの第1の端子は、第7のMISTFTのゲート端子に接続され、

第2のMISTFTのゲート端子と、第3のMISTFTの第1の端子とは、第10のMISTFTの第2の端子に接続され、

第2のMISTFTの第2の端子と、第7のMISTFTの第2の端子と、第3のMISTFTの第2の端子とは、固定電源に接続され、 30

第4のMISTFTの第1の端子には、第2の同期パルスが入力され、

第5のMISTFTの第2の端子は、第8のMISTFTのゲート端子と、第6のMISTFTの第1の端子と、第2の容量の第1の端子とに接続され、

第2の容量の第2の端子は、第8のMISTFTの第2の端子と、第9のMISTFTの第1の端子およびゲート端子と、第10のMISTFTの第1の端子およびゲート端子に接続され、

第7のMISTFTの第1の端子は、第6のMISTFTのゲート端子に接続され、

第6のMISTFTの第2の端子は、固定電源に接続され、

第8のMISTFTの第1の端子には、第1の同期パルスが入力され、 40

第1のMISTFTの第1の端子に入力パルスが入力された場合に、第7のMISTFTはオンとなり、第6のMISTFTのゲート端子と固定電源とを接続することを特徴とする表示装置。

【請求項4】

前記第2乃至第10の各MISTFTと、第1および第2の容量から構成される基本回路がn個多段に接続され、

第i番目の基本回路の第10のMISTFTに対応するMISTFTの第2の端子が第(i-1)番目の基本回路の第2のMISTFTに対応するMISTFTのゲート端子に接続され、

第i番目の基本回路の第9のMISTFTに対応するMISTFTの第2の端子が第(i 50

i + 1) 番目の基本回路の第 1 の容量に対応する容量に接続されていることを特徴とする請求項 3 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に係り、特に、その基板面に表示駆動回路が形成されたアクティブ・マトリクス型の表示装置に関する。

【0002】

【従来の技術】

たとえばアクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される基板のうち一方の基板の液晶側の面に、x 方向に延在し y 方向に並設されるゲート信号線と y 方向に延在し x 方向に並設されるドレイン信号線とで囲まれた領域を画素領域としている。

【0003】

そして、この画素領域には一方のゲート信号線からの走査信号の供給によって作動する薄膜トランジスタと、この薄膜トランジスタを介して一方のドレイン信号線からの映像信号が供給される画素電極とを備えている。

【0004】

この画素電極はたとえば他方の基板側に形成された対向電極との間に電界を生じせしめ、この電界によってこれら電極の間の液晶の光透過率を制御するようになっている。

【0005】

そして、このような液晶表示装置において、各ゲート信号線のそれぞれに走査信号を供給する走査信号駆動回路、および各ドレイン信号線のそれぞれに映像信号を供給する映像信号駆動回路が備えられている。

【0006】

このような走査信号駆動回路および映像信号線駆動回路は、画素領域内に形成される薄膜トランジスタと同様の構成からなる多数の M I S トランジスタからなることに鑑み、これら各トランジスタの半導体層を多結晶のシリコン ( p - S i ) で形成するとともに、走査信号駆動回路および映像信号線駆動回路を前記一方の基板面に前記画素の形成と並行して前記一方の基板面に形成したものが知られている。

【0007】

そして、前記走査信号駆動回路はシフトレジスタを主とする回路であり、また、映像信号線駆動回路においてもその一部にシフトレジスタを用いている。

【0008】

【発明が解決しようとする課題】

しかし、そのシフトレジスタにおいて、近年、より低電圧、低電力で高速動作ができ、しかも貫通電流のないものが要望されるに到り、たとえばダイナミックレシオシフトレジスタと称されるシフトレジスタを用いることが考察された。

【0009】

このダイナミックレシオシフトレジスタは、たとえば特公昭 6 2 - 4 5 6 3 8 に開示されているように、図 9 ( a ) のような構成となっている。

【0010】

また、図 9 ( b ) は図 9 ( a ) に示す回路のタイミングチャートであり、入力パルス I N、同期パルス 1、2 に対してノード N 1 ないし N 6 におけるそれぞれの出力 V N 1 ないし V N 6 を示している。

【0011】

まず、時間 t 1 で、1 が L o w レベル ( 以下 ' L ' と表す ) から H i g h レベル ( 以下 ' H ' と表す ) に変わる際、I N が ' H ' になっているので、N M T 1 を通して、ノード N 1 の電位 V N 1 は ' L ' から ' H ' になる。

【0012】

10

20

30

40

50

入力パルス  $I_N$  および互いに逆相の同期パルス  $\phi_1$ 、 $\phi_2$  の 'L' を接地レベル (GND)、'H' を  $V_{DD} < NMT1$  のしきい値を  $V_{th}$  とすると、この時の  $V_{N1}$  の電位は概ね次式 (1) に示すようになる。

【0013】

【数1】

$$V_{N1} = V_{DD} - V_{th} \dots\dots\dots (1)$$

時間  $t_2$  で、 $\phi_1$  が 'H' から 'L' に立ち下がっても  $I_N$  が H のままなので、 $V_{N1}$  は上式 (1) の電圧を保持する (厳密には、 $\phi_1$  の立ち下がり時、 $NMT1$  のゲートとノード  $N1$  との容量結合等で電位が上式 (1) の電圧より低くなるが、動作説明上本質的でないので無視する)。そして、 $NMT1$  は OFF レベルになるので  $N1$  はフローティングノードとなる。

10

【0014】

次に、時間  $t_2$  で  $\phi_2$  が 'L' から 'H' に変化するとき、次式 (2) が満たされているならば、

【数2】

$$V_{DD} - V_{th} > V_{DD} \dots\dots\dots (2)$$

$NMT2$  は ON 状態になり、パルス  $\phi_2$  がノード  $N2$  に入っていく。

【0015】

この時、 $N1$  と  $N2$  の間に設けられたブートストラップ容量と称される結合容量  $C_{b1}$  により、 $N2$  の点圧上昇がフローティングになっている  $N1$  に伝えられ  $N2$  の電位も上昇する。

20

【0016】

$N2$  の上昇電位を  $V_{N2}$  とすると、 $V_{N1}$  は次式 (3) で与えられる。

【数3】

$$V_{N1} = (V_{DD} - V_{th}) + V_{N2} (C_{b1} / C_{b1} (C_{b1} + C_s)) \dots\dots\dots (3)$$

【0017】

ここで、 $C_b$  は先の  $C_{b1}$  のように回路図に示される容量のほかに、 $NMT2$  のゲートとドレイン、ソース、あるいはゲート下にできる反転層 (チャンネル) が作る容量、さらには  $\phi_2$  の配線と  $N1$  の直接の接続容量といったものも含めた、 $\phi_2$  と  $N1$  のすべての結合容量を含む。また、 $C_s$  は  $N1$  のすべての容量から上記のブートストラップ容量  $C_b$  をひいたもので、いわゆる寄生容量と称されるものである。

30

【0018】

ここで、 $V_{N2} > V_{DD} - V_{th}$  の際に、次式 (4) が満たされるならば、

【数4】

$$(V_{DD} - V_{th}) + V_{DD} (C_{b1} / C_{b1} (C_{b1} + C_s)) > V_{DD} + V_{th} \dots\dots\dots (4)$$

【0019】

$NMT2$  のゲート電圧すなわち  $V_{N1}$  は  $V_{DD} + V_{th}$  より高くなることを意味し、したがって  $V_{N2}$  は  $V_{DD}$  の電位になる。

【0020】

40

設計要素である  $C_{b1}$  を適当に選ぶことにより、上式 (4) を満たすことは容易であり、 $V_{N2}$  を  $V_{DD}$  の電位にすることができる。

【0021】

この際、同時に、ダイオード接続された  $NMT3$  を通じてノード  $N3$  の電位が次式 (5) に示す値となる。

【数5】

$$V_{N3} = V_{DD} - V_{th} \dots\dots\dots (5)$$

$NMT3$  はダイオード接続されているので、時間  $t_3$  で  $\phi_2$  が H から L に変化しても、上式 (5) の状態は保持される。

【0022】

50

時間  $t_3$  で、 $V_1$  が L から H に変化すると、上式 (3) と同様な動作が  $N_3$  および  $NMT_5$  で起こり、 $V_{N3}$ 、 $V_{N4}$  は図 1 (b) で模式的に示される電位変化を起こす。

【0023】

ここで、 $N_2$ 、 $N_4$ 、 $N_6$  を出力ノードとして使用すると、同期パルスの 'H' と同じ電位のシフトパルス ( $V_{N2}$ 、 $V_{N4}$ 、 $V_{N6}$ ) が得られ、且つ上記動作で明らかとなるように貫通電流をとまわらないダイナミック動作となっている。

【0024】

しかしながら、このような構成のダイナミックレシオレジスタを、そのまま、液晶を介して対向配置される基板 (ガラス基板) の表面に半導体層が多結晶シリコン (p-Si) からなる  $MIS$  トランジスタによって形成すると、極めて不安定に動作することが確認され、その対策が必要となった。

10

【0025】

すなわち、上述した  $N_1$ 、 $N_3$  といったフローティングノードが 'L' の際の容量が極めて小さく、図 9 (a) の  $C_{dg1}$ 、 $C_{dg2}$  に示した、同期パルスと  $N_1$ 、 $N_3$  のドレインゲート間結合容量に対し、 $C_{dg1}$ 、 $C_{dg2}$  等を含めた  $N_1$ 、 $N_2$  のその他の容量が非常に小さく、選択されないトランジスタも ON 状態となる可能性が高く、この回路のままであると、OFF 維持のために設計及び使用電圧がかなり制約されてしまうようになる。

【0026】

単結晶の半導体に対し、ガラス基板上に形成する薄膜トランジスタからなるダイナミックレシオレスシフトレジスタでそのフローティングノードが 'L' の際に容量が非常に小さくなる主な原因は以下の通りである。

20

【0027】

図 10 (a) は、単結晶の半導体上に形成した n 型の  $MOS$  トランジスタの断面模式図である。半導体としての基板を有する半導体集積回路は素子分離のため等で、バイアス (接地も含む) されて使用されるのが一般的である。

【0028】

このため、図 10 (a) に示すように、ソース (拡散層) とウェル (または基板) の間の逆バイアスによる空乏層容量  $C_{sw}$ 、ドレイン - ウェル間空乏層容量  $C_{dw}$ 、及びゲート - ウェル間容量  $C_{gw}$  の容量で、ウェルと容量結合している。また、配線も厚い絶縁膜を介してではあるが、直下の基板またはウェルと  $C_{lw}$  で容量結合している。これらは通常寄生容量と称されるたぐいのものである。

30

【0029】

したがって、たとえば図 9 (a) に示すノード  $N_3$  の部分において、 $NMT_3$  の  $C_{sw}$  ( $C_{sw3}$ )、 $NMT_6$  の  $C_{gw}$  ( $C_{gw6}$ )、 $C_{dw}$  ( $C_{dw6}$ )、 $NMT_7$  の  $C_{sw}$  ( $C_{sw7}$ ) およびこのノードを形成する配線の  $C_{lw}$  ( $C_{lw3}$ ) によって、ウェルとの大きな結合容量を持つようになる。

【0030】

さらに、ブートストラップ容量を図 10 (b)、(c) に示すようにエンハンストな  $MOS$  容量構成としておくと、図 10 (b) に示す ON 時には別のノードとなる空乏層から延びた反転層と容量結合し、効率のよいブートストラップ効果 (昇圧効果) が得られる一方で、OFF 時は図 10 (b) に示すようにウェルとの結合容量  $C_{b1}(w)$  となる。

40

【0031】

したがって、 $N_3$  が 'L' の際、図 9 (a) の回路上フローティングの場合も上記の結合容量を介して、ウェルのバイアスとの間に大きな容量をもつことになる。これらの容量に対して、 $NMT_3$  の  $C_{dw}$  ( $C_{dw1}$ ) および  $V_1$  の配線と  $N_3$  の間の空間容量  $C_{l1}$  の和は十分に小さいので、 $V_1$  が 'L' から 'H' に変化したときの  $N_3$  の電位変化  $V_{N3}$  は概略、次式 (6) で表され、

【数 6】

$$V_{N3} = V_1 \times (C_{dw} + C_{l1}) / (C_{dw1} + C_{l1} + C_{sw3} + C_{gw6} +$$

50

$$C_{dw6} + C_{sw7} + C_{b1}(w) \dots\dots\dots (6)$$

【0032】

かつ、上記説明のように、次式(7)の関係があることから、

【数7】

$$C_{dw1} + C_{l2} \quad C_{sw3} + C_{gw6} + C_{dw6} + C_{sw7} + C_{b1}(w) \dots\dots\dots (7)$$

【0033】

次式(8)を満たすのは容易となる。

【数8】

$$V_{N3} < V_{th} \dots\dots\dots (8)$$

10

しかし、ガラス基板上に多結晶の薄膜トランジスタからなる同様の回路を構成する場合には、上述したようには動作しなくなる。

【0034】

すなわち、図10(d)はガラス基板上に形成された多結晶の薄膜トランジスタの断面模式図であるが、基板が絶縁体であると、ソース、ドレインまたはゲート下のp層はひとたびフローティングになると、結合できる容量はソースまたはドレインとゲート下のp層間の空乏層容量 $C_{dp}$ 、 $C_{sp}$ あるいははるかかなたの配線との小さな空間容量 $C_{s1}$ 、 $C_{p1}$ 、 $C_{d1}$ のみになる。

【0035】

上述した場合と同様に図9(a)に示した回路のノードN3の部分为例にとると、NMT3のソース $C_{sp3}$ を介してN2と容量結合するが、N2もフローティングなので、 $C_{b1}$ を介してN1と容量結合する経路と、NMT2のSP2を介して2に容量結合する経路に分かれる。N1もまたフローティングなので、NMT1の $C_{sp1}$ を介してINに容量結合する経路と、NMT1の $C_{sg1}$ を介して1に容量結合する経路NMT4の $C_{sp4}$ を介してVSSに容量結合する経路に分かれる。

20

【0036】

すなわち、いずれの容量も非常に小さくなり、かつ1との結合は1が'L' 'H'時には $V_{N3}$ を上昇させる方向に働く。

【0037】

NMT7のソースは $C_{sp7}$ を介してVSSと容量結合しているが、これも大きなものではない。また、N3は $C_{b2}$ を介してN4と容量結合しているが、N4もまたフローティングである。N3のノードを形成する配線も直下の容量はなく、空間容量を介して、いずれかの配線と弱い容量結合があるだけである。

30

【0038】

N3はNMT5の $C_{dg5}$ を介して1容量結合している。これは外部との直接容量結合であり比較的大きい。この容量が不安定の原因となる。

【0039】

$C_{dg5}$ を除くN3の上記の他の2次的な結合容量の総和を $C_{N3}$ とすると、1が'L' 'H'に変化する時のN3の電位変化 $V_{N3}$ は概ね次式(9)で与えられ、上述のように $C_{N3}$ はさほど大きくないので、 $V_{th}$ や $C_{dg5}$ (NMT5のW寸法設計や1の配線レイアウト)の値によっては、次式(10)に示す条件が容易におこる。

40

【0040】

【数9】

$$V_{N3} = V_{th} \times (C_{dg5} / (C_{dg5} + C_{N3}))$$

..... (9)

【数10】

$$V_{N3} < V_{th} \dots\dots\dots (10)$$

【0041】

ひとたび、上式(10)に示す条件が満たされると、NMT5の $C_{gp}$ (反転層との容量)やブートストラップ容量 $C_{b2}$ は、逆にN3と1との結合容量に変化し、ブートスト

50

ラップ効果で、NMT3を完全にON状態にする可能性が極めて大きくなる。

【0042】

すなわち、制御しているノードとは無関係なノードが'H'になり、出力が発生する、あるいはその部分から、走査が始まるといった、不安定動作が発生することになる。

【0043】

本発明は、このような事情に基づいてなされたものであり、その目的は、安定に動作し、また設計自由度を拡大できるダイナミックレシオレスシフトレジスタを備えた表示装置を提供することにある。

【0044】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

(1) 基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とするMISTFTから構成され、第1のMISTFTの第1の端子には、入力パルスが入力され、第1のMISTFTのゲート端子には、第2の同期パルスが印加されて、入力部を形成し、第1のMISTFTの第2の端子は、第4のMISTFTのゲート端子と、第2のMISTFTの第1の端子と、第1の容量の第1の端子とに接続され、第1の容量の第2の端子は、第4のMISTFTの第2の端子と、第5のMISTFTの第1の端子およびゲート端子とに接続され、第2のMISTFTの第1の端子は、第7のMISTFTのゲート端子に接続され、第2のMISTFTのゲート端子と、第3のMISTFTの第1の端子とは、第10のMISTFTの第2の端子に接続され、第2のMISTFTの第2の端子と、第7のMISTFTの第2の端子と、第3のMISTFTの第2の端子とは、固定電源に接続され、第4のMISTFTの第1の端子には、第2の同期パルスが入力され、第5のMISTFTの第2の端子は、第8のMISTFTのゲート端子と、第6のMISTFTの第1の端子と、第2の容量の第1の端子とに接続され、第2の容量の第2の端子は、第8のMISTFTの第2の端子と、第9のMISTFTの第1の端子およびゲート端子と、第10のMISTFTの第1の端子およびゲート端子とに接続され、第7のMISTFTの第1の端子は、第6のMISTFTのゲート端子に接続され、第6のMISTFTの第2の端子は、固定電源に接続され、第8のMISTFTの第1の端子には、第1の同期パルスが入力され、第1のMISTFTの第1の端子に入力パルスが入力された場合に、第7のMISTFTはオンとなり、第6のMISTFTのゲート端子と固定電源とを接続する。

【0045】

(2) (1)において、前記第2乃至第10の各MISTFTと、第1および第2の容量から構成される基本回路がn個多段に接続され、第i番目の基本回路の第10のMISTFTに対応するMISTFTの第2の端子が第(i-1)番目の基本回路の第2のMISTFTに対応するMISTFTのゲート端子に接続され、第i番目の基本回路の第9のMISTFTに対応するMISTFTの第2の端子が第(i+1)番目の基本回路の第1の容量に対応する容量に接続されている。

【0046】

(3) 基板面にシフトレジスタを含む駆動回路を備え、前記シフトレジスタは多結晶シリコンを半導体層とするMISTFTから構成され、第1のMISTFTの第1の端子およびゲート端子には、入力パルスが入力されて、入力部を形成し、第1のMISTFTの第2の端子は、第4のMISTFTのゲート端子と、第2のMISTFTの第1の端子と、第1の容量の第1の端子とに接続され、第1の容量の第2の端子は、第4のMISTFTの第2の端子と、第5のMISTFTの第1の端子およびゲート端子とに接続され、第2のMISTFTの第1の端子は、第7のMISTFTのゲート端子に接続され、第2のMISTFTのゲート端子と、第3のMISTFTの第1の端子とは、第10のMISTFTの第2の端子に接続され、第2のMISTFTの第2の端子と、第7のMISTFTの第2の端子と、第3のMISTFTの第2の端子とは、固定電源に接続され、第4のMI

10

20

30

40

50

S T F Tの第1の端子には、第2の同期パルスが入力され、第5のM I S T F Tの第2の端子は、第8のM I S T F Tのゲート端子と、第6のM I S T F Tの第1の端子と、第2の容量の第1の端子とに接続され、第2の容量の第2の端子は、第8のM I S T F Tの第2の端子と、第9のM I S T F Tの第1の端子およびゲート端子と、第10のM I S T F Tの第1の端子およびゲート端子に接続され、第7のM I S T F Tの第1の端子は、第6のM I S T F Tのゲート端子に接続され、第6のM I S T F Tの第2の端子は、固定電源に接続され、第8のM I S T F Tの第1の端子には、第1の同期パルスが入力され、第1のM I S T F Tの第1の端子に入力パルスが入力された場合に、第7のM I S T F Tはオンとなり、第6のM I S T F Tのゲート端子と固定電源とを接続する。

【0047】

(4)(3)において、前記第2乃至第10の各M I S T F Tと、第1および第2の容量から構成される基本回路がn個多段に接続され、第i番目の基本回路の第10のM I S T F Tに対応するM I S T F Tの第2の端子が第(i-1)番目の基本回路の第2のM I S T F Tに対応するM I S T F Tのゲート端子に接続され、第i番目の基本回路の第9のM I S T F Tに対応するM I S T F Tの第2の端子が第(i+1)番目の基本回路の第1の容量に対応する容量に接続されている。

【0067】

【発明の実施の形態】

以下、本発明による表示装置の実施例を図面を用いて説明をする。

《全体構成》

図2は本発明による液晶表示装置の全体を示す概略構成図である。同図は実際の幾何学的配置に対応させて描いた平面図となっている。

同図において、液晶を介して互いに対向配置される一対の透明基板のうち一方のたとえばガラス基板からなる透明基板S U B 1がある。

【0068】

そして、この透明基板S U B 1の液晶側の面の周辺を除く中央部(表示部A R)には、図中x方向に延在しy方向に並設されるゲート信号線G Lおよびy方向に延在しx方向に並設されるドレイン信号線D Lが形成されている。

【0069】

隣接されるゲート信号線G Lおよび隣接されるドレイン信号線D Lとで囲まれる各領域は画素領域を構成し、この画素領域には一方の側のゲート信号線G Lからの走査信号の供給によって作動する薄膜トランジスタT F Tと、この薄膜トランジスタT F Tを介して一方の側のドレイン信号線D Lからの映像信号が供給される画素電極P Xとを備えている。

【0070】

すなわち、各ゲート信号線G Lにはたとえば図中上から下に順次走査信号(電圧)が供給され、この走査信号によって薄膜トランジスタT F TがONするようになっている。そして、このタイミングにあわせて各ドレイン信号線D Lから映像信号(電圧)が供給され、ON状態の前記薄膜トランジスタT F Tを介して画素電極P Xに印加されるようになっている。

【0071】

なお、これら各画素電極P Xはたとえば透明基板S U B 1に対向配置される他の透明基板の液晶側の面において各画素領域に共通に形成された対向電極(図示せず)との間に電界を発生せしめ、この電界が液晶の光透過率を制御するようになっている。

【0072】

各ゲート信号線G Lはその一端側(図中左側)において画素駆動用シフトレジスタ1に接続され、この画素駆動用シフトレジスタ1によって前記各ゲート信号線G Lに順次走査信号を供給されるようになっている。

【0073】

各ドレイン信号線D Lはその一端側(図中上側)において、その一端側から順次に、D - A変換回路2、メモリ3、入力データ取り込み回路(I N P u t)4、H側アドレスデコ

10

20

30

40

50



ーダ5が接続され、前記メモリにはV側アドレスデコーダ6、メモリ駆動用シフトレジスタ7が接続されている。

【0074】

そして、このように構成された液晶表示装置には、スタートパルスクロック信号(CLK)、画素データ(Data)、画素アドレス(H-add)、画素アドレス(V-add)を含む情報が入力されるようになっている。

【0075】

スタートパルスクロック信号はメモリ駆動用シフトレジスタ7および画素駆動用シフトレジスタ1に、画素アドレス(H)はH側アドレスデコーダ5に、画素データは入力データ取込み回路4に、画素アドレス(V)はV側アドレスデコーダ6に、それぞれ入力されるようになっている。

10

【0076】

ここで、透明基板SUB1の表面に形成される表示部ARおよびその周辺の各回路は、フォトリソグラフィ技術による選択エッチングで所定のパターンに形成された導電層、半導体層、および絶縁層等が積層されて薄膜トランジスタ(MISFT)、画素電極、信号線等が形成されている。

そして、この場合の半導体層はたとえば多結晶のシリコン(p-Si)で形成されている。

【0077】

《画素駆動用シフトレジスタ》

20

図1(a)は、前記画素駆動用シフトレジスタの一実施例を示す回路図である。また、図1(b)は図1(a)に示す回路のタイミングチャートを示し、入力パルスIN、同期パルス1、2に対してノードN1ないしN6におけるそれぞれの出力VN1ないしVN6を示している。

【0078】

図1において、まず、n型のMOSトランジスタNMT1があり、ソース・ドレイン端子のうち一方の端子は入力パルスINの入力端INに接続され、ゲート端子は同期パルス1の入力端に接続されている。このMOSトランジスタNMT1は入力部を構成している。

【0079】

30

MOSトランジスタNMT1の他方の端子は、n型のMOSトランジスタNMT2のゲート端子、n型のMOSトランジスタNMT4の一方の端子、さらに容量CS1の一方の端子に接続されている。

【0080】

容量CS1の他方の端子は固定電圧VBIASに接続され、MOSトランジスタNMT2の一方の端子は前記同期パルス1と逆相をなす同期パルス2の入力端子に接続されている。

【0081】

MOSトランジスタNMT2の他方の端子はn型のMOSトランジスタNMT3の一方の端子およびゲート端子に接続され、かつ、容量Cb1の一方の端子に接続されている。

40

【0082】

容量Cb1の他方の端子は、MOSトランジスタNMT1の他方の端子、MOSトランジスタNMT2のゲート端子、n型のMOSトランジスタNMT4の一方の端子に接続されている。

【0083】

MOSトランジスタNMT3の他方の端子は、n型のMOSトランジスタNMT5のゲート端子、MOSトランジスタNMT7の一方の端子に接続され、かつ、容量CS2の一方の端子に接続されているとともに、第1の出力端子を構成するようになっている。

【0084】

容量CS2の他方の端子は固定電圧VBIASに接続され、MOSトランジスタNMT5

50

の他方の端子は同期パルス 1 の入力端子に接続されている。

【0085】

MOSトランジスタNMT5の他の端子は、n型のMOSトランジスタNMT6の一方の端子およびゲート端子、MOSトランジスタNMT4のゲート端子に接続され、かつ容量Cb2の一方の端子と接続されているとともに、第2の出力端子を構成するようになっている。

【0086】

容量Cb2の他の端子は、MOSトランジスタNMT3の他の入力端子、MOSトランジスタNMT5のゲート端子、n型のMOSトランジスタNMT7の一方の端子に接続されている。

10

【0087】

MOSトランジスタNMT4の他方の端子およびMOSトランジスタNMT7の他方の端子は、前記同期パルス 1、2の電圧のうちMOSトランジスタのソース電圧となる電圧（n型なら最低電圧、p型なら最高電圧）に等しいか、または少なくともMOSトランジスタNMT4のしきい値電圧以上に前記同期パルス 1、2のソース電圧となる電圧と異なることのない固定電源あるいは接地電位（VSS/VDD）に接続されている。

【0088】

このような接続は次の段およびさらに次の段においても同様になっており、MOSトランジスタNMT7のゲート端子は次段のMOSトランジスタNMT4に対応するMOSトランジスタNMT9のゲート端子に接続されている。

20

【0089】

このような構成からなるシフトレジスタは、図9(a)に示す構成において、フローティングとなりうるノードN1、N3、N5、...に負荷容量CS1、CS2、CS3、...の一端側を接続させ、これら各CS1、CS2、CS3、...の他端側を固定電位VBIASに接続させたものとなっている。

【0090】

このようにすることによって、前記式(9)は次式(11)に書き換えられるようになる。

【0091】

【数11】

$$V_{N3} = V \times (C_{dg5} / (C_{dg5} + C_{N3} + C_{S2}))$$

..... (11)

ここで、CS2は設計パラメータであるとともに、直接的な平行平板容量で形成することができる。

【0092】

CN3を無視しても、VN3は次式(12)となる。

【数12】

$$V_{N3} = V \times (C_{dg5} / (C_{dg5} + C_{S2})) < V_{th}$$

..... (12)

【0093】

かつ前記式(4)にCS(ノードN3からCS2)を加えた次式(13)を満たすようになる。

40

【数13】

$$V_{N1} = (V - V_{th}) + V \times (C_b / (C_b + C_S + c_s)) > V + V_{th}$$

..... (13)

【0094】

このことから、前述した不安定要素を回避した状態での設計裕度が広がり、多結晶シリコンからなる薄膜トランジスタからなる安定したダイナミックレシオレスシフトレジスタを実現できるようになる。

【0095】

50

図3(a)は、上述したダイナミックレシオレスシフトレジスタを透明基板SUB1に形成した場合の、その回路を構成する薄膜トランジスタの断面図を示している。

【0096】

この薄膜トランジスタにおいて負荷容量CSを形成する場合の候補として、ポリシリコン薄膜と配線材料の容量Csl、ゲート形成用薄膜と配線材料の容量Cgl、ゲート形成用薄膜と画素電極の容量Ctg、配線材料と画素電極の容量Ct1等が具体的に挙げられる。

【0097】

上述した構成で、追加する負荷容量CSは回路の安定動作という観点からは重要な役割を果たし、かつ設計自由度を向上させることができる。しかしながら、ブートストラップ効率という観点からはまったくの寄生容量となる。

【0098】

このため、負荷容量CSとして図3(b)、(c)に示すようにMOS容量を形成し、これによりブートストラップ効率を向上させることができる。

【0099】

すなわち、次式(14)に示すようにVBIASを設定し、

【数14】

$$V_{th} < V_{BIAS} < V_{DD} - 2V_{th} \dots\dots\dots (14)$$

【0100】

ソース側をフローティングノード、ゲート側をバイアスに接続すると、フローティングノード(N3、N5、...)が'L'の際は、反転層ができ容量が大きく(CSL)、'H'の際には反転層がなくなり容量が小さく(CSS)なる可変容量とすることができる。

【0101】

すなわち、次式(15)に示す関係を有するようになる。

【数15】

$$C_{SL} > C_{SS} \dots\dots\dots (15)$$

これにより、上式(12)、(13)はそれぞれ、次式(16)、(17)

【数16】

$$V_{N3} = V_{DD} \times (C_{dg5} / (C_{dg5} + C_{SL})) < V_{th}$$

..... (16)

【0102】

【数17】

$$V_{N1} = (V_{DD} - V_{th}) + (C_b / (C_b + C_{SS} + C_s)) > V_{DD} + V_{th} \dots\dots (17)$$

となり、安定化容量は重く、ブートストラップ効率は向上する。

【0103】

図4は、図1の回路をさらに改良した他の実施例を示している。

同図は、入力部の次段の第1の出力を形成する回路とさらに次段の第2の出力を形成する回路を基本回路とした場合、第1段の基本回路に、NMTr2が組み込まれ、次の各段の基本回路にNMTr1およびNMTr2が組み込まれて形成されている。

【0104】

各基本回路において、NMTr2は、その第1の端子が第7のMOSトランジスタNMTr4あるいはそれに対応するMOSトランジスタの第1の端子に接続され、そのゲート端子は入力パルスINの入力端子に接続されている。

【0105】

そして、NMTr2の第2の端子は、各同期パルス1、2の電圧のうちMOSトランジスタのソース電圧となる電圧(n型なら最低電圧、p型なら最高電圧)に等しいか、または少なくとも第4のMOSトランジスタのしきい値電圧以上に各同期パルス1、2のソース電圧となる電圧と異なることのない固定電源あるいは接地電位に接続されている。

10

20

30

40

50

## 【0106】

また、NMTr1は、その第1の端子が第4のMOSトランジスタNM4あるいはそれに対応するMOSトランジスタの第1の端子に接続され、そのゲート端子は入力パルスINの入力端子に接続されている。

## 【0107】

そして、NMTr2の第2の端子は、各同期パルス1、2の電圧のうちMOSトランジスタのソース電圧となる電圧（n型なら最低電圧、p型なら最高電圧）に等しいか、または少なくとも第4のMOSトランジスタのしきい値電圧以上に各同期パルス1、2のソース電圧となる電圧と異なることのない固定電源あるいは接地電位に接続されている。

10

## 【0108】

このように構成されたダイナミックレシオレスシフトレジスタは、電源投入時等の各ノードが不安定な状況の際に状況を揃えるリセットの効果を奏するようになる。

## 【0109】

なお、上述した各回路において、その入力部は図1(a)に示したものに限定されることはなく、図5に示すように、MOSトランジスタNM1の一方の端子とゲート端子に入力パルスINの入力端子に接続させた構成としてもよい。同様の効果が得られるからである。

## 【0110】

実施例2.

20

図6(a)は、本発明による液晶表示装置に形成されるシフトレジスタの他の実施例を示す回路図である。

## 【0111】

本実施例は、実施例1のように負荷容量を付加することによりOFFレベルを維持させる構成のものとは異なり、選択されないシフトレジスタの入力ゲートを'L'にする回路を付加させた構成となっている。

## 【0112】

すなわち、図6(a)に示すように、まず、MOSトランジスタNM1は、その第1の端子およびゲート端子は入力パルスINの入力端子に接続されて、入力部を形成している。

30

## 【0113】

MOSトランジスタNM1の第2の端子は、MOSトランジスタNM4のゲート端子及びMOSトランジスタNM2の第1の端子に接続され、かつ容量CB1の第1の端子に接続され、容量CB2の第2の端子はMOSトランジスタNM4の第2の端子、MOSトランジスタNM5の第1の端子及びゲート端子に接続されている。

## 【0114】

MOSトランジスタNM2の第1の端子はMOSトランジスタNM7のゲート端子に接続され、MOSトランジスタNM2のゲート端子およびMOSトランジスタNM3の第2の端子はMOSトランジスタNM10の第2の端子に接続されている。

## 【0115】

MOSトランジスタNM2の第2の端子は、同期パルス1、2の電圧のうちMOSTFTのソース電圧となる電圧に等しいか、または少なくともMOSトランジスタNM4のしきい値電圧以上に同期パルス1、2のソース電圧となる電圧と異なることのない固定電源VSSまたは接地電位(VDD)に接続され、MOSトランジスタNM3の第2の端子は、同期パルス1、2の電圧のうちMOSTFTのソース電圧となる電圧に等しいか、または少なくともMOSトランジスタNM4のしきい値電圧以上に第1、第2の同期パルスのソース電圧となる電圧と異なることのない固定電源VSSまたは接地電位(VDD)に接続されている。

40

## 【0116】

MOSトランジスタNM4の第1の端子は同期パルス2の入力端子に接続され、

50

M O S トランジスタ N M T 5 の第 2 の端子は M O S トランジスタ N M T 6 のゲート端子及び第 1 の端子に接続するとともに容量 C B 2 の第 1 の端子に接続されている。

【 0 1 1 7 】

容量 C B 2 の第 2 の端子は、M O S トランジスタ N M T 8 の第 2 の端子及び M O S トランジスタ N M T 9 の第 1 の端子及びゲート端子及び M O S トランジスタ N M T 1 0 の第 1 の端子及びゲート端子に接続されているとともに、第 1 の出力端子を形成している。

【 0 1 1 8 】

M O S トランジスタ N M T 6 の第 1 の端子は M O S トランジスタ N M T 1 1 のゲート端子に接続され、

M O S トランジスタ N M T 1 1 の第 2 の端子は、同期パルス 1、2 の電圧のうち M O S T F T のソース電圧となる電圧に等しいか、または少なくとも M O S トランジスタ N M T 4 のしきい値電圧以上に同期パルス 1、2 のソース電圧となる電圧と異なることのない固定電源 V S S または接地電位 ( V D D ) に接続されている。

【 0 1 1 9 】

M O S トランジスタ N M T 8 の第 1 の端子は同期パルス 1 の入力端子に接続され、第 1 0 の M O S トランジスタ N M T 9 の第 2 の端子は第 2 の出力端子を形成している。

【 0 1 2 0 】

そして、M O S トランジスタ N M T 6 のゲート端子及び M O S トランジスタ N M T 7 の第 1 の端子には、上述した回路と同様の構成をとる次段の回路の前記 N O S トランジスタ N M T 1 0 に対応する他の M O S トランジスタの第 2 の端子に接続されている。

【 0 1 2 1 】

このように構成されたシフトレジスタの動作を図 6 ( b ) のタイミングチャートを用いて以下説明をする。

【 0 1 2 2 】

時間  $t_0$  で、 $I_N$  が ' L ' ' H ' に変化すると、N M T 3 が O N になり N 5 と V S S ( = G N D ) が接続し、 $V_{N5} = V_{SS}$  となり、N 5 をゲートとする N M T 2 が O F F 状態となり、N 1 がフローティング状態となる。

【 0 1 2 3 】

この時同時に、N M T 1 のダイオード接続により N 1 の電圧  $V_{N1}$  は  $V_{N1} = V_{DD} - V_{th}$  になる。 $V_{DD} - V_{th} > V_{th}$  となるように設定されていると、 $V_{N1} = V_{DD} - V_{th}$  により、N M T 7 も O N 状態になり N 8 と V S S ( = V S S ) が接続し、 $V_{N8} = V_{SS}$  となり、N 5 をゲートとする N M T 6 が O F F 状態となり、N 3 がフローティング状態になる。

【 0 1 2 4 】

この時点で、ドレインが同期パルス 1、2 に接続される N M T のうち N M T 4 と N M T 8 のゲートのみがフローティング状態になる。

【 0 1 2 5 】

時間  $t_1$  で、 $I_N$  が ' L ' ' H ' に変化すると、N M T 4 が O N 状態なので、N 2 の電位が上昇し、前述の説明と同様にブートストラップ容量 C B 1 により  $V_{N2} = V_{DD}$  となる。

【 0 1 2 6 】

この時、N 1 は昇圧により、電圧が  $V_{N1} = (V_{DD} - V_{th}) + V_{DD} (C_b / (C_b + C_s))$  まで上昇するが、 $I_N$  は ' H ' で、N M T 2 のゲートが V S S ( = G N D ) になっているので、強制 O F F を維持する。

【 0 1 2 7 】

そして、ダイオード接続された N M T 5 により、 $V_{N3} = V_{DD} - V_{th}$  になる。これにより、N 3 をゲートとする N M T 1 1 が O N 状態になり、N 1 1 が ' H ' ' L ' に変化し、N M T 1 5 が O F F 状態になり、N 6 がフローティング状態になる。

【 0 1 2 8 】

時間  $t_2$  で  $I_N$  が L H、 $I_N$  が ' H ' ' L ' に変化する。

10

20

30

40

50

2が'H'、1が'L'により、VN2はH、Lになるが、VN3は'H'が維持される。

1が'L'、2が'H'に変化することにより、ON状態にあるNMT8を通じて、N4の電圧はVN4 = V<sub>DD</sub>になる。

【0129】

これにより、N6をゲートとするNMT16がON状態になり、N14が'H'、L'に変化し、NMT20がOFF状態になり、N9がフローティング状態になる。

【0130】

同時に、ダイオード接続されたNMT10によりVN5 = V<sub>DD</sub> - V<sub>th</sub>になる。これにより、N5をゲートとするNMT2がON状態になりN1とVSSが接続し、NMT4はそのゲートがVSSに接続された強制OFF状態になる。NMT10はダイオード接続されているので、以降VN4 = LとなってもVN5が'H'の状態を維持する（前述の要素は簡単のため省略）。

10

【0131】

すなわち、再度INが'H'になるまで、NMT4のゲートがVSSに接続された強制OFF状態が維持される。

【0132】

時間T3で、2が'L'、1が'H'、2が'H'、1が'L'に変化する。

1が'H'、2が'L'により、VN4は'H'、L'になるが、VN6は'H'が維持される。2が'L'、1が'H'に変化することにより、ON状態にあるNMT12を通じて、N7の電圧はVN7 = V<sub>DD</sub>になる。

20

【0133】

ダイオード接続されたNMT13により、VN9 = V<sub>DD</sub> - V<sub>th</sub>になる。これにより、N9をゲートとするNMT21がON状態になり、N14が'H'、L'に変化し、NMT25がOFF状態になり、N12がフローティング状態になる。

【0134】

同時に、ダイオード接続されたNMT14によりVN8 = V<sub>DD</sub> - V<sub>th</sub>になる。これにより、N8をゲートとするNMT6がON状態になりN3とVSSが接続し、NMT8はそのゲートがVSSに接続された強制OFF状態になる。NMT14はダイオード接続されているので、以降VN7 = LとなってもVN8が'H'の状態を維持する（前述の要素は簡単のため省略）。

30

【0135】

すなわち、再度VINがHになるまで、NMT4のゲートがVSSに接続された強制OFF状態が維持される。

以降、上記の動作が順次繰り返されてシフトレジスタが動作していく。

【0136】

このように構成されたシフトレジスタは、同期パルス1、2に接続されるMOSトランジスタのうち不必要なゲートが全てVSSに接続された構成となっている。このため、該MOSトランジスタは強制OFF状態とすることができるので、動作の不安定の発生を回避することができる。

【0137】

なお、上述した実施例では、その入力部は図6(a)に示したものに限定されることはなく、図8に示すように、MOSトランジスタNMT1の第1の端子を入力パルスINの入力端子に接続させ、ゲート端子に同期パルス1の入力端子に接続させた構成としてもよい。同様の効果が得られるからである。

40

【0138】

実施例3.

図7(a)は、本発明による液晶表示装置に形成されるシフトレジスタの他の実施例を示す回路図である。

【0139】

同図は前記実施例2に示した回路に、そのノードN11、N14、N17、.....をそれぞれ

50

れソースとし、入力パルス信号  $I_N$  をドレインおよびゲートとする、ダイオード接続された薄膜トランジスタ  $NMTR1$ 、 $NMTR2$ 、 $NMTR3$ 、..... を接続した構成となっている。

【0140】

これら各薄膜トランジスタ  $NMTR1$ 、 $NMTR2$ 、 $NMTR3$ 、..... は、入力パルス信号  $I_N$  が 'H' になった際に、フローティング状態の各ノードの 'H' を再補強し、非選択の入力ゲートの強制OFFをより確実なものとする事ができる。

【0141】

また、電源投入時の直後の走査開始等において、通常動作状態と同じ初期化ができる効果も奏する。

上述した各実施例では、シフトレジスタを構成する薄膜トランジスタとしてn型のものを説明したが、p型であってもよいことはもちろんである。

【0142】

各信号の 'H'、'L' の絶対電位を逆転させて用いることにより、本発明の効果が同様に得られるからである。

また、上述した各実施例では、薄膜トランジスタをそのゲート絶縁膜がたとえば  $SiO_2$  からなるMOSトランジスタとして示したものであるが、該ゲート絶縁膜がたとえば  $SiN$  からなるものであってもよいことはいうまでもない。

【0143】

実施例4.

図11は本発明による表示装置に用いられるレシオレス形のダイナミック・シフトレジスタの他の実施例を示す回路図である。すなわち、上述した各実施例に示したダイナミック・シフトレジスタのさらなる改良として示したものである。また、図12は、図11に示す回路の入力パルスタイミングチャートを示している。

【0144】

ここで、本発明による表示装置に用いられるレシオレス形のダイナミック・シフトレジスタの特徴部を明確にするため、その比較の対象となる回路図を図13に示す。また、図14は、図13に示す回路の入力パルスタイミングチャートを示している。

【0145】

このような回路は図13におけるノード3の  $V_{SS}$  (GND) レベルにH1クロックの飛び込みが見られる。図15(a)はこの現象を図示したもので、入力信号  $H_{in}$  の後におけるH1クロックがノード3の  $V_{SS}$  (GND) レベル(同図の下側)に顕れている。

【0146】

図13のノード4からダイオードを通りノード5に入るパルスによりMISトランジスタ  $Mtr1$  がオン状態になり、その状態が次のフレーム時間だけ続けば(ノード5がリークしなければ)問題は生じないが、実際には、図15(d)に示すように、ノード5の信号にリークが生じる。

このため、前記  $Mtr1$  はオフ状態になってしまい、ノード1がフローティング状態となり不安定になり、同様のことがノード2でも起こるからである。

このことから、本実施例に示す本発明による表示装置に用いられるレシオレス形のダイナミック・シフトレジスタは、その各段のそれぞれの出力のグラウンドレベルと接続されるMISトランジスタ  $Mtr2$  にそれとは別個のMISトランジスタ  $Mtr3$  を並列接続させている。

【0147】

すなわち、

ノード2を  $V_{SS}$  (GND) に落とす図13に示すMISトランジスタ  $Mtr1$  を、まず、互いに並列接続されたMISトランジスタ  $Mtr2$  とMISトランジスタ  $Mtr3$  とで構成している。

【0148】

このうち、MISトランジスタ  $Mtr3$  は図13に示したMISトランジスタ  $Mtr1$  と

10

20

30

40

50

同様の機能を有するようになっており、M I SトランジスタM t r 2は図11中に示すノード1にH i g h信号が来ているとき以外は常にV S Sレベルに落とす機能を有するようになっている。

【0149】

具体的には、M I SトランジスタM t r 2のゲートはH 2クロックによりチャージされた電位で常にH i g h状態となるようになっている。

【0150】

なお、ノード7にチャージされた電荷が、ノード6の電位がV S Sより下がることによりダイオード逆流電流としてノード6に漏れるのを回避させるためにM I SトランジスタM t r 9を設けている。

10

【0151】

このように構成されたレシオレス形のダイナミック・シフトレジスタにおいて、ノード7に電荷がチャージされる過程について説明をする。

まず、ノード6はフローティングノード（電源に接続されていないノード）であるため、クロックH 2のタイミングで振れるようになる（図12のノード6の波形図参照）。

ノード7は、ノード1がH i g hになっている間、V S Sレベルに落とされ、その電位のままフローティングになる。

【0152】

その後始めてノード6がクロックH 2によって持ち上げられたとき、ダイオードを通して電流が流れ、ノード6の電位が下がってもダイオード逆方向接続によって電荷は保持される（図12のノード7の波形図参照）。

20

【0153】

仮に、ノード7の電荷が何らかのリーク電流により失われても、ノード6はクロックH 2のタイミングで振れておりすぐにまたチャージがなされる。このために、M t r 9によって $(V S S - (M t r 8のV t h))$ より下がらないように設定されている。

【0154】

ノード7に保持される電位は、ノード6の電位がV S Sとすると $\{(ノード6の振幅のH i g h) - (ダイオードのV t h)\}$ である。また、ノード6の振幅はC 1とその他の浮遊容量C 0で決まり、 $\{(クロックH 2のH i g h) \times C 1 / (C 1 + C 0)\}$ で示される。

30

【0155】

また、図11に示すレシオレス形のダイナミック・シフトレジスタは、その各段の出力においてH i g hレベルの信号以外のグランドレベルにおいて、確実に該グランドレベルに落ちさせる手段が、図中M I SトランジスタM t r 4、M t r 5、M t r 6、M t r 7、M t r 8によって構成されている。

【0156】

まず、M t r 4、M t r 5について説明する。ノード4、ノード5の波形はそれぞれクロックH 1、H 2により、図12のタイミングチャートに示すようになる。

クロックH 1、H 2がH i g hのときオン状態となりゲート信号線へのノードをV S Sレベルに落とし安定させる役割りを果たす。

40

【0157】

この場合、ノード2がH i g hレベルのとき（ゲート信号線へH i g hレベル信号を出力するとき）はM t r 6、M t r 7がオン状態となり、ノード4、ノード5がV S Sレベルに落ちるため、M t r 4、M t r 5はオフとなる。

【0158】

M T r 8は、ノード4の電位が $(V S S - (M T r 8のV t h))$ より小さくならないために接続されている。このノードの電位がV S Sより大きく下がってしまった場合、クロックH 1、H 2の振幅の大きさがM t r 4、M t r 5のV t h（M t r 4、M t r 5をオンさせるためには $V S S + V t h$ 以上の電位が必要）に満たなくなり意味をなさなくなるからである。

50



## 【0159】

また、この実施例では、図11に示すように、各段のそれぞれの出力のグラウンドレベルと接続されるMISトランジスタMtr2と、前段の出力で動作し一端がグラウンドレベルに他端が容量素子C1を介してH2クロックに接続され、前記他端がMISトランジスタMtr2のゲートに接続されるMISトランジスタとを備え、前記MISトランジスタMtr2の他端とグラウンドレベルの間に容量素子C2が設けられている。

## 【0160】

ノード3によりノード1がVSSレベルに落ちてノード7がVSSレベルに接続されていないフローティングノードになると同時に、ノード2はH1クロックにより持ち上げられる。

10

## 【0161】

このとき、MISトランジスタMtr2のゲート-ドレイン間容量CGによりゲート(ノード7)も持ち上げられる可能性がありノード2がVSSと導通してしまう。これを防止するために容量C2を設けている。

これにより、ノード7の電位上昇分は、 $CG / (CG + C2 + \text{他の浮遊容量})$ 倍となりC2をCGに比べて大きくとれば無視できうる値となる。

## 【0162】

上述した各実施例では、たとえば液晶表示装置に備えられるダイナミックレシオレスシフトレジスタについて示したものであるが、これに限定されることなく、たとえばEL表示装置に備えられるダイナミックレシオレスシフトレジスタにも適用できることはいうまでもない。

20

## 【発明の効果】

以上説明したことから明らかなように、本発明による表示装置によれば、安定に動作し、また設計自由度を拡大できるダイナミックレシオレスシフトレジスタを備えたものを得ることができる。

## 【図面の簡単な説明】

【図1】本発明による表示装置の基板上に形成されるシフトレジスタの一実施例を示す回路図とそのタイミングチャートを示す図である。

【図2】本発明による表示装置の全体の一実施例を示す構成図である。

【図3】本発明による表示装置の基板上に形成されるシフトレジスタを構成する薄膜トランジスタの生じる容量等を示した説明図である。

30

【図4】本発明による表示装置の基板上に形成されるシフトレジスタの他の実施例を示す回路図である。

【図5】本発明による表示装置の基板上に形成されるシフトレジスタの他の実施例を示す説明図である。

【図6】本発明による表示装置の基板上に形成されるシフトレジスタの他の実施例を示す回路図とそのタイミングチャートを示す図である。

【図7】本発明による表示装置の基板上に形成されるシフトレジスタの他の実施例を示す回路図とそのタイミングチャートを示す図である。

【図8】本発明による表示装置の基板上に形成されるシフトレジスタの他の実施例を示す説明図である。

40

【図9】単結晶の半導体層上に形成されるダイナミックレシオレスシフトレジスタの一例を示す回路図とそのタイミングチャートを示す図である。

【図10】ガラス基板にダイナミックレシオレスシフトレジスタを形成した場合を単結晶の半導体層上にダイナミックレシオレスシフトレジスタと比較してその違いを示した説明図である。

【図11】本発明による表示装置に用いられるダイナミックレシオレスシフトレジスタの他の実施例を示す回路図である。

【図12】図11に示す回路の入力パルスタイミングチャートである。

【図13】図11に示した回路の特徴部を明らかにするために比較される回路図である。

50

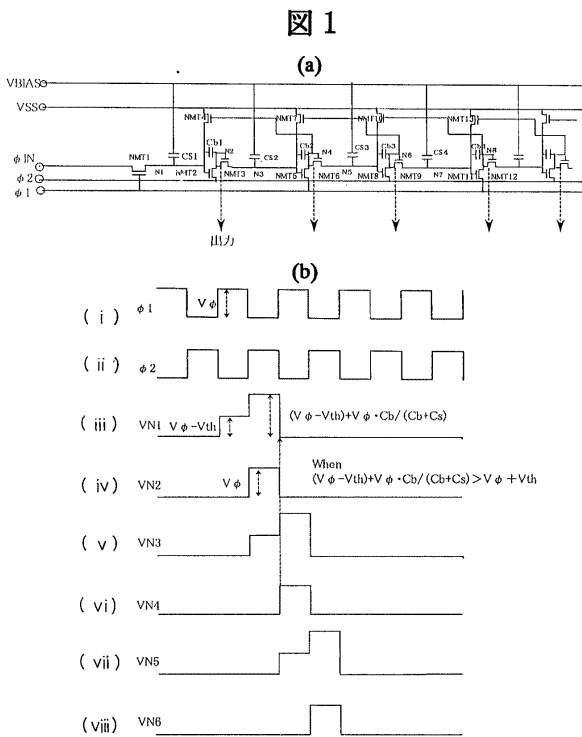
【図14】 図13に示す回路の入力パルスタイミングチャートである。

【図15】 図13に示した回路、および図11に示した回路の説明にあたって、その不都合な点を説明するための波形図である。

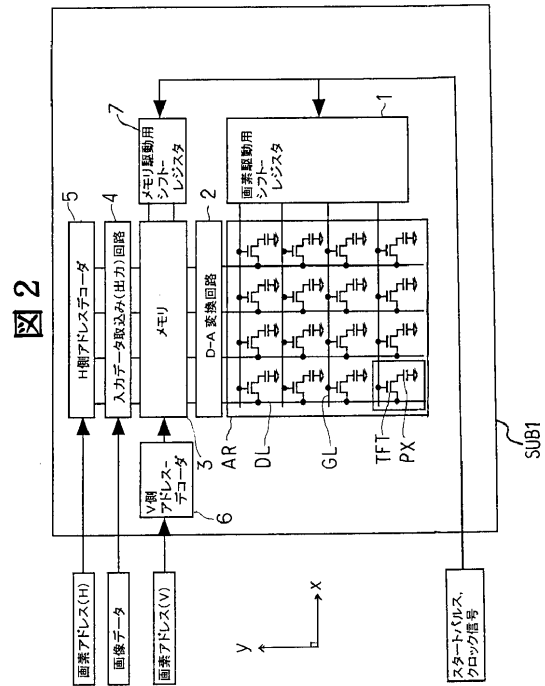
【符号の説明】

1 ..... 画素駆動用シフトレジスタ、7 ..... メモリ駆動用シフトレジスタ、GL ..... ゲート信号線、DL ..... ドレイン信号線、TFT ..... 膜膜トランジスタ。

【図1】

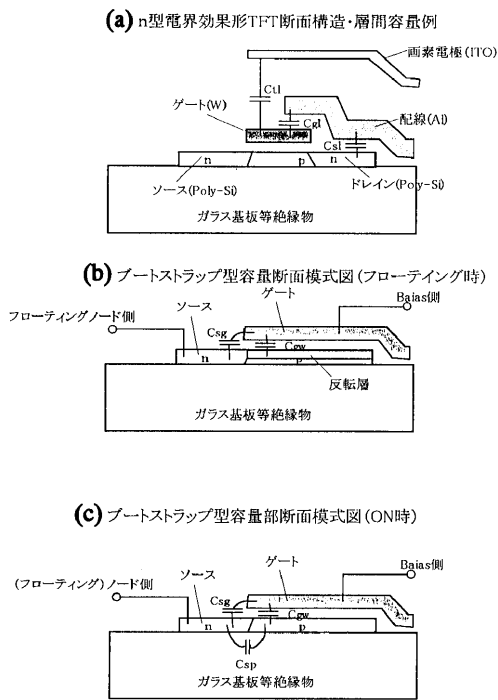


【図2】

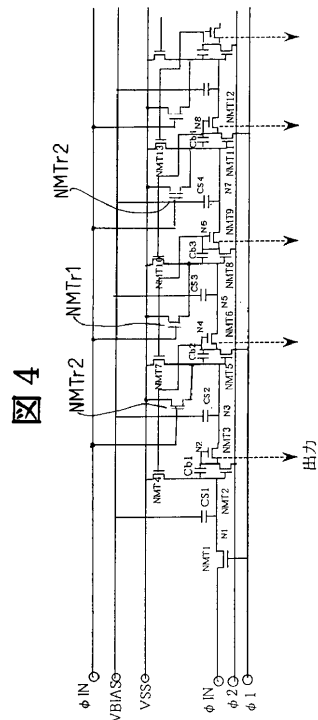


【 図 3 】

図 3

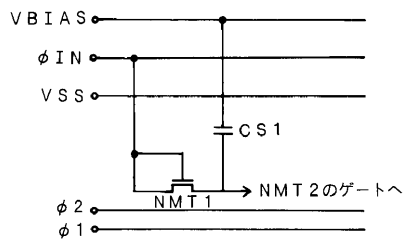


【 図 4 】



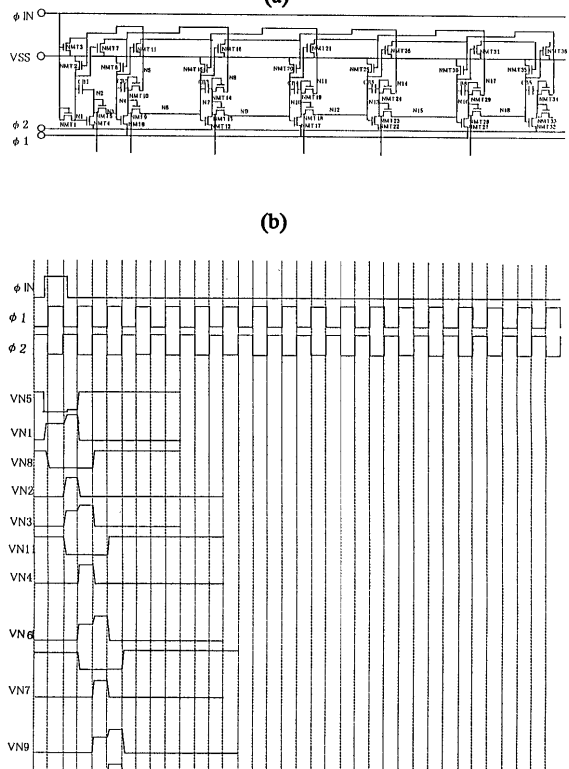
【 図 5 】

図 5

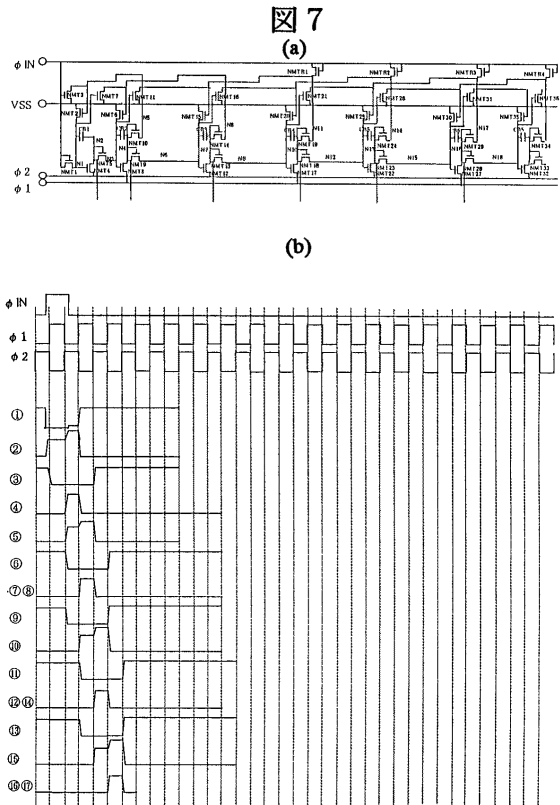


【 図 6 】

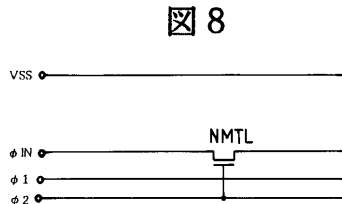
図 6



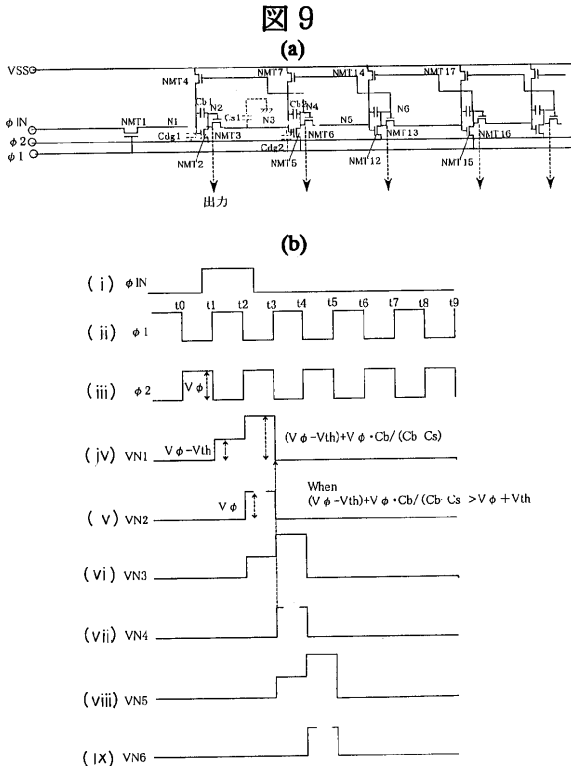
【 図 7 】



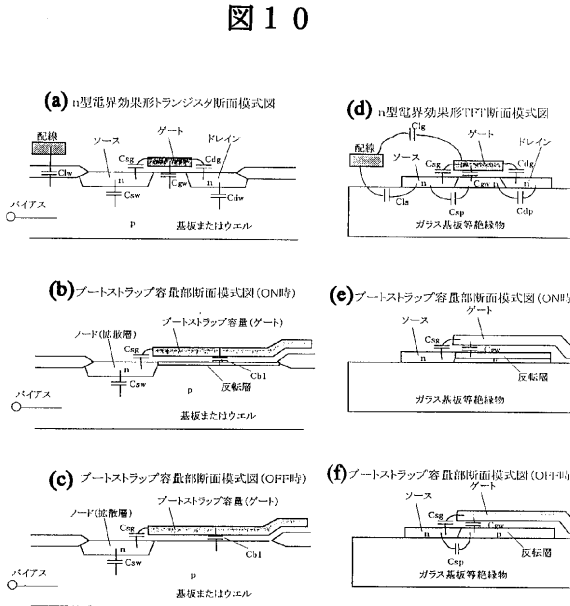
【 図 8 】



【 図 9 】

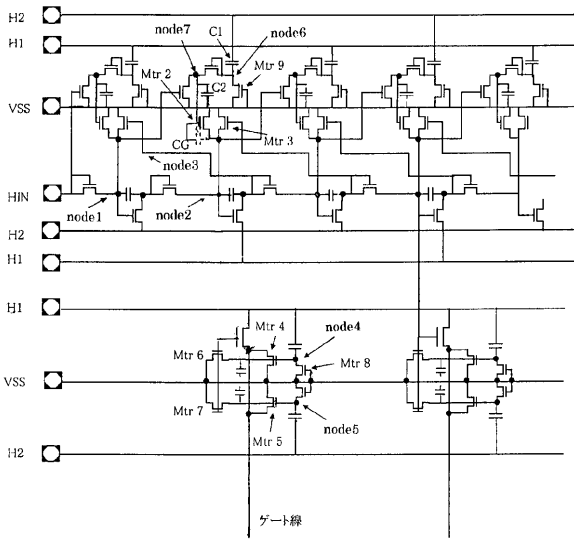


【 図 10 】



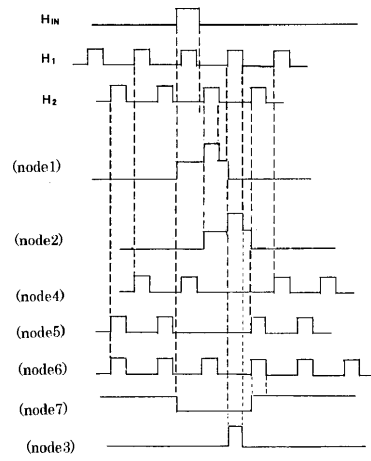
【 図 1 1 】

図 1 1



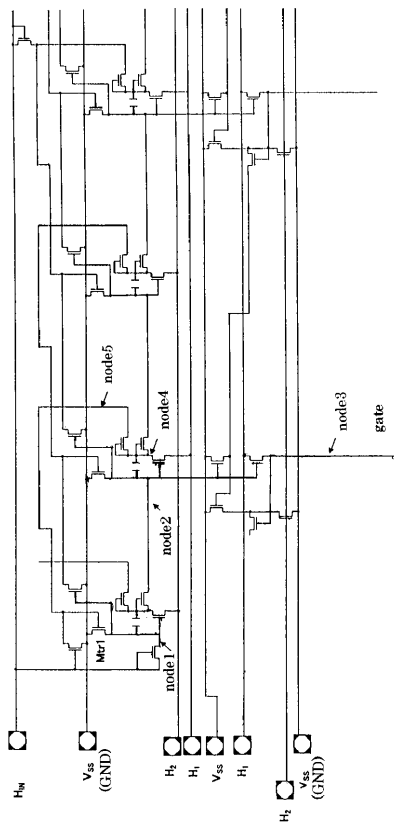
【 図 1 2 】

図 1 2



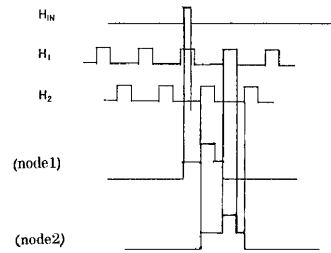
【 図 1 3 】

図 1 3



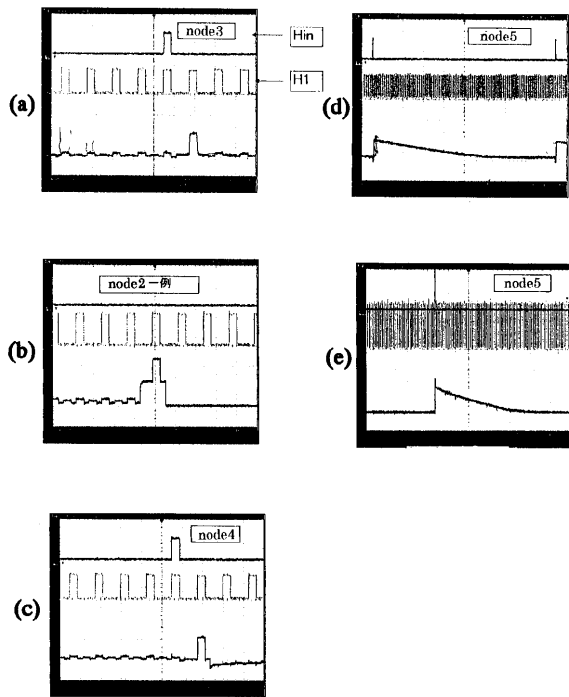
【 図 1 4 】

図 1 4



【 図 15 】

図 15



## フロントページの続き

(51) Int.Cl. F I  
**H 0 3 K 5/15 (2006.01)** G 1 1 C 19/00 J  
**H 0 3 K 23/54 (2006.01)** H 0 3 K 5/15 P  
H 0 3 K 23/54 B

(72)発明者 槇 正博  
千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

(72)発明者 後藤 和貴  
千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内

審査官 福村 拓

(56)参考文献 特開昭 5 2 - 1 4 1 5 4 8 ( J P , A )  
特開昭 5 4 - 1 6 1 2 8 8 ( J P , A )  
特開昭 6 3 - 0 2 3 4 1 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B名)  
G09G 3/00-3/38  
G02F 1/133 505-580