



등록특허 10-2209457



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월29일
(11) 등록번호 10-2209457
(24) 등록일자 2021년01월25일

- (51) 국제특허분류(Int. Cl.)
H02J 7/00 (2006.01)
- (52) CPC특허분류
H02J 7/0031 (2013.01)
H02H 7/18 (2013.01)
- (21) 출원번호 10-2019-0142747
- (22) 출원일자 2019년11월08일
심사청구일자 2019년11월08일
- (65) 공개번호 10-2020-0068570
- (43) 공개일자 2020년06월15일
- (30) 우선권주장
JP-P-2018-227763 2018년12월05일 일본(JP)
- (56) 선행기술조사문현
JP2002358941 A
(뒷면에 계속)
- 전체 청구항 수 : 총 16 항

(73) 특허권자
미쓰미덴기기부시기기이사
일본국 도쿄도 타마시 츠루마키 2쵸메 11반지 2
(72) 발명자
야마구치 타케시
일본 206-8567 도쿄도 타마시 츠루마키 2쵸메 11
반지 2 미쓰미 덴기 가부시기기이사 내
모토이치 요시히로
일본 206-8567 도쿄도 타마시 츠루마키 2쵸메 11
반지 2 미쓰미 덴기 가부시기기이사 내
타케시타 준지
일본 206-8567 도쿄도 타마시 츠루마키 2쵸메 11
반지 2 미쓰미 덴기 가부시기기이사내

(74) 대리인
특허법인와이에스장

심사관 : 이종은

(54) 발명의 명칭 이차전지 보호 회로 및 전지 팩

(57) 요 약

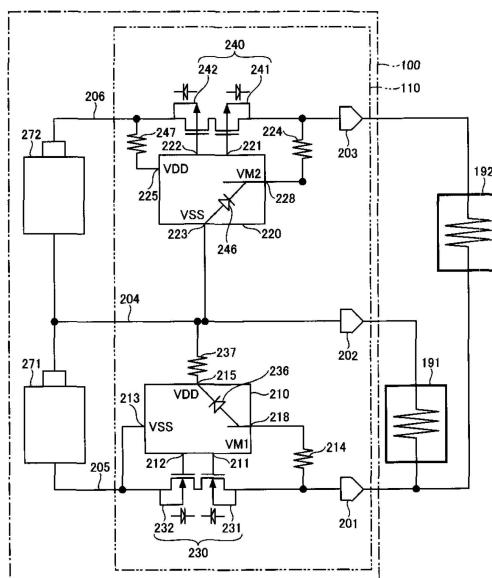
(과제)

부하측에 공급되는 전력의 소비 효율을 높인다.

(해결 수단)

(뒷면에 계속)

대 표 도 - 도1



제1 스위치 회로와 제2 스위치 회로가 온이 된 상태에서, 제1 이차전지의 전압에 대응하는 제1 출력 전압을 제1 단자와 제2 단자 사이로부터 제1 부하에 출력하고, 제1 출력 전압에 제2 이차전지의 전압에 대응하는 제2 출력 전압을 가산한 제3 출력 전압을 제1 단자와 제3 단자 사이로부터 제2 부하에 출력하고, 제1 스위치 회로가 오프가 되고 제2 스위치 회로가 온이 된 상태에서, 제1 출력 전압을 제1 단자와 제2 단자 사이로부터 제1 부하에 출력하는 것을 정지하고, 제3 출력 전압을 제1 단자와 제3 단자 사이로부터 출력하는 것을 정지하고, 제1 스위치 회로가 온이 되고 제2 스위치 회로가 오프가 된 상태에서, 제1 출력 전압을 제1 단자와 제2 단자 사이로부터 제1 부하에 출력하고, 제3 출력 전압을 제1 단자와 제3 단자 사이로부터 출력하는 것을 정지하는 이차전지 보호 회로.

(52) CPC특허분류

H02J 7/0026 (2013.01)

H02J 7/00304 (2020.01)

H02J 7/00306 (2020.01)

(56) 선행기술조사문헌

JP2012009339 A

KR1020180105584 A

WO2018147542 A1

JP2013150521 A

JP2005117780 A

명세서

청구범위

청구항 1

직렬로 접속되는 제1 이차전지 및 제2 이차전지를 각각 보호하는 이차전지 보호 회로로서,

제1 단자;

제2 단자;

제3 단자;

상기 제1 이차전지의 부극(負極)과 상기 제1 단자 사이의 전류 경로에 직렬로 삽입되는 제1 스위치 회로;

상기 제2 이차전지의 부극과 상기 제2 단자 사이의 전류 경로, 또는 상기 제2 이차전지의 정극(正極)과 상기 제3 단자 사이의 전류 경로에 직렬로 삽입되는 제2 스위치 회로;

상기 제1 스위치 회로를 오프로 함으로써, 적어도 상기 제1 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제1 보호 IC; 및

상기 제2 스위치 회로를 오프로 함으로써, 적어도 상기 제2 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제2 보호 IC;

를 구비하고,

상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 온이 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 온이 된 상태일 때, 상기 제1 이차전지의 전압에 대응하는 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 제1 부하에 출력하고, 상기 제1 출력 전압에 상기 제2 이차전지의 전압에 대응하는 제2 출력 전압을 가산한 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 제2 부하에 출력하고,

상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 오프가 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 온이 된 상태일 때, 상기 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 상기 제1 부하에 출력하는 것을 정지하고, 상기 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 출력하는 것을 정지하고, 상기 제2 이차전지로부터 상기 제1 보호 IC를 경유하여 상기 제1 부하 및 상기 제2 부하에 전류 출력하는 것을 정지하고,

상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 온이 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 오프가 된 상태일 때, 상기 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 상기 제1 부하에 출력하고, 상기 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 출력하는 것을 정지하고, 상기 제1 이차전지로부터 상기 제2 보호 IC를 경유하여 상기 제1 부하 및 상기 제2 부하에 전류 출력하는 것을 정지하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 2

제1 항에 있어서, 상기 제1 스위치 회로와 상기 제2 스위치 회로의 적어도 일방의 오프 상태를 검출하는 오프 상태 검출 회로를 구비하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 3

제2 항에 있어서, 상기 제1 스위치 회로는 상기 제1 이차전지의 부극과 상기 제1 단자 사이의 제1 전류 경로에 직렬로 삽입되어 있고,

상기 제2 스위치 회로는 상기 제2 이차전지의 부극과 상기 제2 단자 사이의 제2 전류 경로에 직렬로 삽입되어 있고,

상기 제1 보호 IC는 상기 제1 단자와 상기 제1 스위치 회로 사이에서 상기 제1 전류 경로에 저항을 개재시켜 접속되는 제1 감시 단자와, 상기 제1 이차전지의 정극에 접속되는 제1 전원 단자와, 상기 제1 감시 단자로부터 상

기 제1 전원 단자로의 내부 전류 경로를 형성하는 제1 보호 소자를 가지고,

상기 제2 보호 IC는 상기 제2 단자와 상기 제2 스위치 회로 사이에서 상기 제2 전류 경로에 저항을 개재시켜 접속되는 제2 감시 단자와, 상기 제2 이차전지의 정극에 접속되는 제2 전원 단자와, 상기 제2 감시 단자로부터 상기 제2 전원 단자로의 내부 전류 경로를 형성하는 제2 보호 소자를 가지고,

상기 오프 상태 검출 회로는 상기 제1 스위치 회로의 오프 상태가 검출된 경우, 상기 제1 보호 소자에 흐르는 전류를 차단하고, 상기 제2 스위치 회로의 오프 상태가 검출된 경우, 상기 제2 보호 소자에 흐르는 전류를 차단하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 4

제3 항에 있어서, 상기 오프 상태 검출 회로는

상기 제1 스위치 회로의 오프 상태가 검출된 경우, 상기 제1 감시 단자의 전위를 고정함으로써, 상기 제1 보호 소자에 흐르는 전류를 차단하고,

상기 제2 스위치 회로의 오프 상태가 검출된 경우, 상기 제2 감시 단자의 전위를 고정함으로써, 상기 제2 보호 소자에 흐르는 전류를 차단하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 5

제2 항에 있어서, 상기 제1 스위치 회로는 상기 제1 이차전지의 부극과 상기 제1 단자 사이의 제1 전류 경로에 직렬로 삽입되어 있고,

상기 제2 스위치 회로는 상기 제2 이차전지의 정극과 상기 제3 단자 사이의 제3 전류 경로에 직렬로 삽입되어 있고,

상기 제1 보호 IC는 상기 제1 단자와 상기 제1 스위치 회로 사이에서 상기 제1 전류 경로에 저항을 개재시켜 접속되는 제1 감시 단자와, 상기 제2 이차전지의 정극에 접속되는 제1 전원 단자와, 상기 제1 감시 단자로부터 상기 제1 전원 단자로의 내부 전류 경로를 형성하는 제1 보호 소자를 가지고,

상기 제2 보호 IC는 상기 제3 단자와 상기 제2 스위치 회로 사이에서 상기 제3 전류 경로에 저항을 개재시켜 접속되는 제2 감시 단자와, 상기 제2 이차전지의 부극에 접속되는 그라운드 단자와, 상기 그라운드 단자로부터 상기 제2 감시 단자로의 내부 전류 경로를 형성하는 제2 보호 소자를 가지고,

상기 오프 상태 검출 회로는 상기 제2 스위치 회로의 오프 상태가 검출된 경우, 상기 제2 보호 소자에 흐르는 전류를 차단하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 6

제5 항에 있어서, 상기 오프 상태 검출 회로는

상기 제2 스위치 회로의 오프 상태가 검출된 경우, 상기 제2 감시 단자의 전위를 고정함으로써, 상기 제2 보호 소자에 흐르는 전류를 차단하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 7

제2 항에 있어서, 상기 제1 스위치 회로는 상기 제1 이차전지의 부극과 상기 제1 단자 사이의 제1 전류 경로에 직렬로 삽입되어 있고,

상기 제2 스위치 회로는 상기 제2 이차전지의 부극과 상기 제2 단자 사이의 제2 전류 경로에 직렬로 삽입되어 있고,

상기 제1 보호 IC는 상기 제1 단자와 상기 제1 스위치 회로 사이에서 상기 제1 전류 경로에 저항을 개재시켜 접속되는 제1 감시 단자와, 상기 제2 이차전지의 정극에 접속되는 제1 전원 단자와, 상기 제1 감시 단자로부터 상기 제1 전원 단자로의 내부 전류 경로를 형성하는 제1 보호 소자를 가지고,

상기 제2 보호 IC는 상기 제2 단자와 상기 제2 스위치 회로 사이에서 상기 제2 전류 경로에 저항을 개재시켜 접속되는 제2 감시 단자와, 상기 제2 이차전지의 정극에 접속되는 제2 전원 단자와, 상기 제2 감시 단자로부터 상기 제2 전원 단자로의 내부 전류 경로를 형성하는 제2 보호 소자를 가지고,

상기 오프 상태 검출 회로는 상기 제2 스위치 회로의 오프 상태가 검출된 경우, 상기 제2 보호 소자에 흐르는 전류를 차단하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 8

제7 항에 있어서, 상기 오프 상태 검출 회로는

상기 제2 스위치 회로의 오프 상태가 검출된 경우, 상기 제2 감시 단자의 전위를 고정함으로써, 상기 제2 보호 소자에 흐르는 전류를 차단하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 9

제8 항에 있어서, 상기 오프 상태 검출 회로는 충전기가 상기 제1 단자와 상기 제3 단자에 접속될 때까지, 상기 제2 보호 소자에 흐르는 전류를 차단한 상태를 유지하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 10

제1 항에 있어서, 상기 제1 스위치 회로는 상기 제1 이차전지의 부극과 상기 제1 단자 사이의 제1 전류 경로에 직렬로 삽입되어 있고,

상기 제2 스위치 회로는 상기 제2 이차전지의 정극과 상기 제3 단자 사이의 제3 전류 경로에 직렬로 삽입되어 있고,

상기 제1 보호 IC는 상기 제1 단자와 상기 제1 스위치 회로 사이에서 상기 제1 전류 경로에 저항을 개재시켜 접속되는 제1 감시 단자와, 상기 제2 이차전지의 정극에 접속되는 제1 전원 단자와, 상기 제1 감시 단자로부터 상기 제1 전원 단자로의 내부 전류 경로를 형성하는 제1 보호 소자를 가지고,

상기 제2 보호 IC는 상기 제3 단자와 상기 제2 스위치 회로 사이에서 상기 제3 전류 경로에 저항을 개재시켜 접속되는 제2 감시 단자와, 상기 제1 이차전지의 부극에 접속되는 그라운드 단자와, 상기 그라운드 단자로부터 상기 제2 감시 단자로의 내부 전류 경로를 형성하는 제2 보호 소자를 가지는 것을 특징으로 하는 이차전지 보호 회로.

청구항 11

제1 항 내지 제10 항 중 어느 한 항에 있어서, 상기 제1 보호 IC 및 상기 제2 보호 IC를 복합 접속하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 12

제1 항 내지 제10 항 중 어느 한 항에 있어서, 상기 제1 보호 IC와 상기 제1 스위치 회로의 쌍과, 상기 제2 보호 IC와 상기 제2 스위치 회로의 쌍의 적어도 일방의 쌍을 복합 접속하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 13

직렬로 접속되는 제1 이차전지 및 제2 이차전지의 각각의 전압과, 상기 각각의 전압끼리를 가산한 전압을 출력하는 이차전지 보호 회로로서,

상기 제1 이차전지의 부극에 접속되는 제1 출력 단자;

상기 제1 이차전지의 정극 및 상기 제2 이차전지의 부극에 접속되는 제2 출력 단자;

상기 제2 이차전지의 정극에 접속되는 제3 출력 단자;

방전 경로에 마련되는 제1 스위치에 의해, 상기 제1 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제1 보호 회로; 및

방전 경로에 마련되는 제2 스위치에 의해, 상기 제2 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제2 보호 회로;

를 구비하고,

상기 제1 스위치가 상기 제1 보호 회로에 의해 오프가 되고 또한 상기 제2 스위치가 상기 제2 보호 회로에 의해 온이 된 상태일 때, 상기 제2 이차전지로부터 상기 제1 보호 회로를 경유하여, 상기 제1 출력 단자와 상기 제2 출력 단자 사이의 제1 부하에 전류 출력하는 것을 정지하고,

상기 제2 스위치가 상기 제2 보호 회로에 의해 오프가 되고 또한 상기 제1 스위치가 상기 제1 보호 회로에 의해 온이 된 상태일 때, 상기 제1 이차전지로부터 상기 제2 보호 회로를 경유하여, 상기 제1 출력 단자와 상기 제3 출력 단자 사이의 제2 부하에 전류 출력하는 것을 정지하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 14

제13 항에 있어서, 상기 제1 보호 회로 및 상기 제2 보호 회로를 복합 접속하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 15

제13 항에 있어서, 상기 제1 보호 회로와 상기 제1 스위치의 쌍과, 상기 제2 보호 회로와 상기 제2 스위치의 쌍의 적어도 일방의 쌍을 복합 접속하는 것을 특징으로 하는 이차전지 보호 회로.

청구항 16

직렬로 접속되는 제1 이차전지 및 제2 이차전지;

제1 단자;

제2 단자;

제3 단자;

상기 제1 이차전지의 부극과 상기 제1 단자 사이의 전류 경로, 또는 상기 제1 이차전지의 정극과 상기 제2 단자 사이의 전류 경로에 직렬로 삽입되는 제1 스위치 회로;

상기 제2 이차전지의 부극과 상기 제2 단자 사이의 전류 경로, 또는 상기 제2 이차전지의 정극과 상기 제3 단자 사이의 전류 경로에 직렬로 삽입되는 제2 스위치 회로;

상기 제1 스위치 회로를 오프로 함으로써, 적어도 상기 제1 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제1 보호 IC; 및

상기 제2 스위치 회로를 오프로 함으로써, 적어도 상기 제2 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제2 보호 IC;

를 구비하고,

상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 온이 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 온이 된 상태일 때, 상기 제1 이차전지의 전압에 대응하는 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 제1 부하에 출력하고, 상기 제1 출력 전압에 상기 제2 이차전지의 전압에 대응하는 제2 출력 전압을 가산한 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 제2 부하에 출력하고,

상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 오프가 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 온이 된 상태일 때, 상기 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 상기 제1 부하에 출력하는 것을 정지하고, 상기 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 출력하는 것을 정지하고, 상기 제2 이차전지로부터 상기 제1 보호 IC를 경유하여 상기 제1 부하 및 상기 제2 부하에 전류 출력하는 것을 정지하고,

상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 온이 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 오프가 된 상태일 때, 상기 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 상기 제1 부하에 출력하고, 상기 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 출력하는 것을 정지하고, 상기 제1 이차전지로부터 상기 제2 보호 IC를 경유하여 상기 제1 부하 및 상기 제2 부하에 전류 출력하는 것을 정지하는 것을 특징으로 하는 전지 팩.

발명의 설명

기술 분야

[0001] 본 발명은 이차전지 보호 회로 및 전지 팩에 관한 것이다.

배경 기술

[0002] 종래, 직렬로 접속되는 복수의 이차전지의 이상이 겹출되었을 때, 그들 이차전지의 양단 전압을 하나의 부하에 대하여 출력하는 것을 정지하는 보호 회로를 구비한 전지 팩이 알려져 있다(예를 들면, 특허문현 1 참조).

선행기술문현

특허문현

[0003] (특허문현 0001) 일본 특개 2012-9399호 공보

발명의 내용

해결하려는 과제

[0004] 그러나, 전지 팩으로부터 1종류의 전압값밖에 부하에 출력되지 않는 종래의 기술에서는, 부하가 필요로 하는 전압값이 2종류 있는 경우, 1종류의 전압값을 2종류의 전압값으로 부하측에서 변환하는 것이 요구된다. 그 결과, 부하측에서 전력의 변환 손실이 발생하여, 전지 팩으로부터 부하측에 공급되는 전력의 소비 효율이 저하된다.

[0005] 그래서, 본 개시는 부하측에 공급되는 전력의 소비 효율을 높이는 것이 가능한 이차전지 보호 회로 및 전지 팩을 제공한다.

과제의 해결 수단

[0006] 본 개시는

[0007] 직렬로 접속되는 제1 이차전지 및 제2 이차전지를 각각 보호하는 이차전지 보호 회로로서,

[0008] 제1 단자와,

[0009] 제2 단자와,

[0010] 제3 단자와,

[0011] 상기 제1 이차전지의 부극(負極)과 상기 제1 단자 사이의 전류 경로에 직렬로 삽입되는 제1 스위치 회로와,

[0012] 상기 제2 이차전지의 부극과 상기 제2 단자 사이의 전류 경로, 또는 상기 제2 이차전지의 정극(正極)과 상기 제3 단자 사이의 전류 경로에 직렬로 삽입되는 제2 스위치 회로와,

[0013] 상기 제1 스위치 회로를 오프로 함으로써, 적어도 상기 제1 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제1 보호 IC와,

[0014] 상기 제2 스위치 회로를 오프로 함으로써, 적어도 상기 제2 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제2 보호 IC를 구비하고,

[0015] 상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 온이 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 온이 된 상태일 때, 상기 제1 이차전지의 전압에 대응하는 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 제1 부하에 출력하고, 상기 제1 출력 전압에 상기 제2 이차전지의 전압에 대응하는 제2 출력 전압을 가산한 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 제2 부하에 출력하고,

[0016] 상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 오프가 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 온이 된 상태일 때, 상기 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 상기 제1 부하에 출력하는 것을 정지하고, 상기 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 출력하는 것을 정지하고, 상기 제2 이차전지로부터 상기 제1 보호 IC를 경유하여 상기 제1 부하 및 상기 제2 부하에 전류 출력하는 것을 정지하고,

- [0017] 상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 온이 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 오프가 된 상태일 때, 상기 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 상기 제1 부하에 출력하고, 상기 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 출력하는 것을 정지하고, 상기 제1 이차전지로부터 상기 제2 보호 IC를 경유하여 상기 제1 부하 및 상기 제2 부하에 전류 출력하는 것을 정지하는 이차전지 보호 회로를 제공한다.
- [0018] 또 본 개시는
- [0019] 직렬로 접속되는 제1 이차전지 및 제2 이차전지의 각각의 전압과, 상기 각각의 전압끼리를 가산한 전압을 출력하는 이차전지 보호 회로로서,
- [0020] 상기 제1 이차전지의 부극에 접속되는 제1 출력 단자와,
- [0021] 상기 제1 이차전지의 정극 및 상기 제2 이차전지의 부극에 접속되는 제2 출력 단자와,
- [0022] 상기 제2 이차전지의 정극에 접속되는 제3 출력 단자와,
- [0023] 방전 경로에 마련되는 제1 스위치에 의해, 상기 제1 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제1 보호 회로와,
- [0024] 방전 경로에 마련되는 제2 스위치에 의해, 상기 제2 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제2 보호 회로를 구비하고,
- [0025] 상기 제1 스위치가 상기 제1 보호 회로에 의해 오프가 되고 또한 상기 제2 스위치가 상기 제2 보호 회로에 의해 온이 된 상태일 때, 상기 제2 이차전지로부터 상기 제1 보호 회로를 경유하여, 상기 제1 출력 단자와 상기 제2 출력 단자 사이의 제1 부하에 전류 출력하는 것을 정지하고,
- [0026] 상기 제2 스위치가 상기 제2 보호 회로에 의해 오프가 되고 또한 상기 제1 스위치가 상기 제1 보호 회로에 의해 온이 된 상태일 때, 상기 제1 이차전지로부터 상기 제2 보호 회로를 경유하여, 상기 제1 출력 단자와 상기 제3 출력 단자 사이의 제2 부하에 전류 출력하는 것을 정지하는 이차전지 보호 회로를 제공한다.
- [0027] 또 본 개시는
- [0028] 직렬로 접속되는 제1 이차전지 및 제2 이차전지와,
- [0029] 제1 단자와,
- [0030] 제2 단자와,
- [0031] 제3 단자와,
- [0032] 상기 제1 이차전지의 부극과 상기 제1 단자 사이의 전류 경로, 또는 상기 제1 이차전지의 정극과 상기 제2 단자 사이의 전류 경로에 직렬로 삽입되는 제1 스위치 회로와,
- [0033] 상기 제2 이차전지의 부극과 상기 제2 단자 사이의 전류 경로, 또는 상기 제2 이차전지의 정극과 상기 제3 단자 사이의 전류 경로에 직렬로 삽입되는 제2 스위치 회로와,
- [0034] 상기 제1 스위치 회로를 오프로 함으로써, 적어도 상기 제1 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제1 보호 IC와,
- [0035] 상기 제2 스위치 회로를 오프로 함으로써, 적어도 상기 제2 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제2 보호 IC를 구비하고,
- [0036] 상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 온이 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 온이 된 상태일 때, 상기 제1 이차전지의 전압에 대응하는 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 제1 부하에 출력하고, 상기 제1 출력 전압에 상기 제2 이차전지의 전압에 대응하는 제2 출력 전압을 가산한 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 제2 부하에 출력하고,
- [0037] 상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 오프가 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 온이 된 상태일 때, 상기 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 상기 제1 부하에 출력하는 것을 정지하고, 상기 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 출력하는 것을 정지하고, 상기 제2 이차전지로부터 상기 제1 보호 IC를 경유하여 상기 제1 부하 및 상기 제2 부하에 전류 출력하는

것을 정지하고,

[0038]

상기 제1 스위치 회로가 상기 제1 보호 IC에 의해 온이 되고 또한 상기 제2 스위치 회로가 상기 제2 보호 IC에 의해 오프가 된 상태일 때, 상기 제1 출력 전압을 상기 제1 단자와 상기 제2 단자 사이로부터 상기 제1 부하에 출력하고, 상기 제3 출력 전압을 상기 제1 단자와 상기 제3 단자 사이로부터 출력하는 것을 정지하고, 상기 제1 이차전지로부터 상기 제2 보호 IC를 경유하여 상기 제1 부하 및 상기 제2 부하에 전류 출력하는 것을 정지하는 전지 팩을 제공한다.

발명의 효과

[0039]

본 개시의 기술에 의하면, 부하측에 공급되는 전력의 소비 효율을 높이는 것이 가능한 이차전지 보호 회로 및 전지 팩을 제공할 수 있다.

도면의 간단한 설명

[0040]

도 1은 하나의 비교형태에 있어서의 전지 팩의 구성을 예시하는 도면이다.

도 2는 하나의 비교형태에 있어서의 전지 팩에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 3은 하나의 비교형태에 있어서의 전지 팩에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 4는 하나의 비교형태에 있어서의 전지 팩에 있어서, 저전위측의 이차전지의 과방전이 저전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 5는 하나의 비교형태에 있어서의 전지 팩에 있어서, 고전위측의 이차전지의 과방전이 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 6은 제1 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 7은 제1 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출되는 전후의 상황을 예시하는 타이밍차트이다.

도 8은 제1 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 9는 제1 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출되는 전후의 상황을 예시하는 타이밍차트이다.

도 10은 제2 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 11은 제2 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 12는 제2 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 13은 제2 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출되는 전후의 상황을 예시하는 타이밍차트이다.

도 14는 제3 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 15는 제3 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 16은 제4 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다.

도 17은 제4 실시형태에 있어서의 전지 팩에 있어서, 방전 과전류가 고전위축의 보호 IC에서 검출되는 전후의 상황을 예시하는 타이밍차트이다.

도 18은 제1 실시형태에 있어서의 전지 팩의 제1 변형예를 나타내는 도면이다.

도 19는 제1 실시형태에 있어서의 전지 팩의 제2 변형예를 나타내는 도면이다.

도 20은 제2 실시형태에 있어서의 전지 팩의 제1 변형예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0041]

이하, 본 개시의 실시형태를 도면에 따라 설명한다. 우선, 본 개시의 실시형태와 비교하기 위해서, 하나의 비교형태에 있어서의 전지 팩의 구성에 대해서 설명한다.

[0042]

도 1은 하나의 비교형태에 있어서의 전지 팩의 구성을 예시하는 도면이다. 도 1에 나타내는 전지 팩(100)은 직렬로 접속되는 제1 이차전지(271) 및 제2 이차전지(272)와, 제1 이차전지(271) 및 제2 이차전지(272)를 각각 보호하는 이차전지 보호 회로(110)를 구비한다.

[0043]

이하, 제1 이차전지(271), 제2 이차전지(272)를 각각 제1 셀(271), 제2 셀(272)이라고도 칭한다. 또 제1 이차전지(271) 및 제2 이차전지(272)를 셀(271, 272)이라고도 칭한다.

[0044]

셀(271, 272)은 모두 충방전 가능한 전지이다. 제1 셀(271)은 제1 단자(201)와 제2 단자(202)에 접속되는 제1 부하(191)에 전력을 공급한다. 또 직렬로 접속되는 셀(271, 272)은 제1 단자(201)와 제3 단자(203)에 접속되는 제2 부하(192)에 전력을 공급한다. 셀(271, 272)은 제1 단자(201)와 제3 단자(203)에 접속되는 도시하지 않는 충전기에 의해 충전 가능하다. 셀(271, 272)의 구체예로서 리튬 이온 전지나 리튬 폴리머 전지 등을 들 수 있다.

[0045]

이차전지 보호 회로(110)는 제1 단자(201)와, 제2 단자(202)와, 제3 단자(203)와, 제1 스위치 회로(230)와, 제2 스위치 회로(240)와, 제1 보호 IC(210)와, 제2 보호 IC(220)를 구비한다.

[0046]

제1 셀(271)의 부극과 제1 단자(201) 사이는 제1 전류 경로(205)에 의해 접속되어 있고, 제1 전류 경로(205)에는 제1 스위치 회로(230)가 직렬로 삽입되어 있다. 제1 셀(271)의 정극과 제2 셀(272)의 부극이 접속되는 개소와, 제2 단자(202) 사이는 제2 전류 경로(204)에 의해 접속되어 있다. 제2 셀(272)의 정극과 제3 단자(203) 사이는 제3 전류 경로(206)에 의해 접속되어 있고, 제3 전류 경로(206)에는 제2 스위치 회로(240)가 직렬로 삽입되어 있다.

[0047]

제1 스위치 회로(230)는 예를 들면 게이트가 충전 제어 단자(211)(COUT 단자)에 접속되는 충전 제어 트랜지스터(231)와, 게이트가 방전 제어 단자(212)(DOUT 단자)에 접속되는 방전 제어 트랜지스터(232)를 가진다. 충전 제어 트랜지스터(231)는 제1 셀(271)의 충전 전류가 흐르는 제1 전류 경로(205)를 차단하고, 방전 제어 트랜지스터(232)는 제1 셀(271)의 방전 전류가 흐르는 제1 전류 경로(205)를 차단한다. 충전 제어 트랜지스터(231) 및 방전 제어 트랜지스터(232)는 제1 전류 경로(205)의 도통/차단을 전환하는 스위칭 소자이며, 제1 전류 경로(205)에 직렬로 삽입되어 있다. 예를 들면, 충전 제어 트랜지스터(231)와 방전 제어 트랜지스터(232)는 모두 NMOS 트랜지스터이다. 충전 제어 트랜지스터(231)는 드레인-소스 사이에 기생하는 다이오드를 가진다. 방전 제어 트랜지스터(232)는 드레인-소스 사이에 기생하는 다이오드를 가진다.

[0048]

제2 스위치 회로(240)는 예를 들면 게이트가 충전 제어 단자(221)(COUT 단자)에 접속되는 충전 제어 트랜지스터(241)와, 게이트가 방전 제어 단자(222)(DOUT 단자)에 접속되는 방전 제어 트랜지스터(242)를 가진다. 충전 제어 트랜지스터(241)는 제2 셀(272)의 충전 전류가 흐르는 제3 전류 경로(206)를 차단하고, 방전 제어 트랜지스터(242)는 제2 셀(272)의 방전 전류가 흐르는 제3 전류 경로(206)를 차단한다. 충전 제어 트랜지스터(241) 및 방전 제어 트랜지스터(242)는 제3 전류 경로(206)의 도통/차단을 전환하는 스위칭 소자이며, 제3 전류 경로(206)에 직렬로 삽입되어 있다. 예를 들면, 충전 제어 트랜지스터(241)와 방전 제어 트랜지스터(242)는 모두 PMOS 트랜지스터이다. 충전 제어 트랜지스터(241)는 드레인-소스 사이에 기생하는 다이오드를 가진다. 방전 제어 트랜지스터(242)는 드레인-소스 사이에 기생하는 다이오드를 가진다.

[0049]

제1 보호 IC(210)는 제1 셀(271)의 정극과 부극 사이의 전지 전압("셀 전압"이라고도 칭한다)으로 동작하는 접적 회로이다. 제1 보호 IC(210)는 충전 제어 단자(211)(COUT 단자), 방전 제어 단자(212)(DOUT 단자), 감시 단자(218)(VM1 단자), 전원 단자(215)(VDD 단자) 및 그라운드 단자(213)(VSS 단자)를 구비한다.

- [0050] 충전 제어 단자(211)는 충전 제어 트랜지스터(231)의 게이트에 접속되고, 충전 제어 트랜지스터(231)를 온 또는 오프시키는 신호를 출력한다. 방전 제어 단자(212)는 방전 제어 트랜지스터(232)의 게이트에 접속되고, 방전 제어 트랜지스터(232)를 온 또는 오프시키는 신호를 출력한다.
- [0051] 감시 단자(218)는 제1 단자(201)의 전위의 감시에 사용되고, 제1 단자(201)에 접속되어 있다. 감시 단자(218)는 예를 들면 보호 IC(210)가 부하(191) 또는 도시하지 않는 충전기의 유무를 감시하는데 사용되고, 제1 스위치 회로(230)와 제1 단자(201) 사이에서 제1 전류 경로(205)에 저항(214)을 개재시켜 접속되어 있다.
- [0052] 전원 단자(215)는 제1 보호 IC(210)의 고전위측 전원 단자이며, 제1 셀(271)의 정극 및 제2 전류 경로(204)에 저항(237)을 개재시켜 접속되어 있다. 그라운드 단자(213)는 제1 보호 IC(210)의 저전위측 전원 단자이며, 제1 셀(271)의 부극 및 제1 전류 경로(205)에 접속되어 있다.
- [0053] 제1 보호 IC(210)는 제1 스위치 회로(230)를 오프로 함으로써, 제1 셀(271) 또는 셀(271, 272)의 양쪽을 보호하는 접속 회로이다. 제1 보호 IC(210)는 충전 제어 트랜지스터(231)를 오프로 함으로써, 제1 셀(271)을 과충전 등의 충전 이상으로부터 보호하고, 방전 제어 트랜지스터(232)를 오프로 함으로써, 제1 셀(271)을 과방전 등의 방전 이상이나 단락 이상으로부터 보호한다.
- [0054] 제1 보호 IC(210)는 제1 셀(271)의 상태를 검출한다. 제1 보호 IC(210)는 VDD 단자와 VSS 단자 사이의 전압인 전원 전압(Vd)을 모니터한다. VDD 단자는 제1 셀(271)의 정극에 접속되고, VSS 단자는 제1 셀(271)의 부극에 접속되어 있기 때문에, 전원 전압(Vd)은 제1 셀(271)의 셀 전압(VBAT)에 대략 동일하다. 따라서, 제1 보호 IC(210)는 전원 전압(Vd)을 모니터함으로써, 제1 셀(271)의 셀 전압(VBAT)을 검출할 수 있다. 또 제1 보호 IC(210)는 VSS 단자를 기준 전위로 하는 VM1 단자의 전압인 감시 전압(V-)을 모니터한다.
- [0055] 제1 보호 IC(210)는 예를 들면 소정의 과충전 검출 전압(Vdet1)보다 높은 전원 전압(Vd)이 검출된 경우, 과충전 검출 전압(Vdet1)보다 높은 전원 전압(Vd)이 검출된 것을 나타내는 과충전 검출 신호를 생성한다. 또 제1 보호 IC(210)는 예를 들면 소정의 과방전 복귀 전압(Vrel1)보다 낮은 전원 전압(Vd)이 검출된 경우, 과방전 복귀 전압(Vrel1)보다 낮은 전원 전압(Vd)이 검출된 것을 나타내는 과방전 복귀 검출 신호를 생성한다. 과충전 검출 전압(Vdet1)은 과충전 검출용의 역치이며, 과방전 복귀 전압(Vrel1)은 과방전 복귀 검출용의 역치이다.
- [0056] 제1 보호 IC(210)는 예를 들면 소정의 과방전 검출 전압(Vdet2)보다 낮은 전원 전압(Vd)이 검출된 경우, 과방전 검출 전압(Vdet2)보다 낮은 전원 전압(Vd)이 검출된 것을 나타내는 과방전 검출 신호를 생성한다. 또 제1 보호 IC(210)는 예를 들면 소정의 과방전 복귀 전압(Vrel2)보다 높은 전원 전압(Vd)이 검출된 경우, 과방전 복귀 전압(Vrel2)보다 높은 전원 전압(Vd)이 검출된 것을 나타내는 과방전 복귀 검출 신호를 생성한다. 과방전 검출 전압(Vdet2)은 과방전 검출용의 역치이며, 과방전 복귀 전압(Vrel2)은 과방전 복귀 검출용의 역치이다.
- [0057] 제1 보호 IC(210)는 예를 들면 소정의 방전 과전류 검출 전압(Vdet3)보다 높은 감시 전압(V-)이 검출된 경우, 방전 과전류 검출 전압(Vdet3)보다 높은 감시 전압(V-)이 검출된 것을 나타내는 방전 과전류 검출 신호를 생성한다. 또 제1 보호 IC(210)는 예를 들면 소정의 방전 과전류 복귀 전압(Vrel3)보다 낮은 감시 전압(V-)이 검출된 경우, 방전 과전류 복귀 전압(Vrel3)보다 낮은 감시 전압(V-)이 검출된 것을 나타내는 방전 과전류 복귀 검출 신호를 생성한다. 방전 과전류 검출 전압(Vdet3)은 방전 과전류 검출용의 역치이며, 방전 과전류 복귀 전압(Vrel3)은 방전 과전류 복귀 검출용의 역치이다.
- [0058] 제1 보호 IC(210)는 예를 들면 소정의 충전 과전류 검출 전압(Vdet4)보다 낮은 감시 전압(V-)이 검출된 경우, 충전 과전류 검출 전압(Vdet4)보다 낮은 감시 전압(V-)이 검출된 것을 나타내는 충전 과전류 검출 신호를 생성한다. 또 제1 보호 IC(210)는 예를 들면 소정의 충전 과전류 복귀 전압(Vrel4)보다 높은 감시 전압(V-)이 검출된 경우, 충전 과전류 복귀 전압(Vrel4)보다 높은 감시 전압(V-)이 검출된 것을 나타내는 충전 과전류 복귀 검출 신호를 생성한다. 충전 과전류 검출 전압(Vdet4)은 충전 과전류 검출용의 역치이며, 충전 과전류 복귀 전압(Vrel4)은 충전 과전류 복귀 검출용의 역치이다.
- [0059] 제1 보호 IC(210)는 제1 셀(271)의 과충전 또는 충전 과전류가 검출된 경우, 소정의 지연 시간 경과 후에, COUT 단자의 출력 상태를 하이 레벨로부터 로우 레벨로 한다. COUT 단자의 출력 상태가 로우 레벨이 됨으로써, 충전 제어 트랜지스터(231)는 오프가 되므로, 제1 셀(271)을 충전하는 방향의 전류가 제1 전류 경로(205)에 흐르는 것이 금지된다. 이것에 의해, 제1 셀(271)의 충전이 정지되고, 제1 셀(271)을 과충전 또는 충전 과전류로부터 보호할 수 있다.
- [0060] 한편, 제1 보호 IC(210)는 제1 셀(271)의 과방전 또는 방전 과전류가 검출된 경우, 소정의 지연 시간 경과

후에, DOUT 단자의 출력 상태를 하이 레벨로부터 로우 레벨로 한다. DOUT 단자의 출력 상태가 로우 레벨이 됨으로써, 방전 제어 트랜지스터(232)는 오프가 되므로, 제1 셀(271)을 방전시키는 방향의 전류가 제1 전류 경로(205)에 흐르는 것이 금지된다. 이것에 의해, 제1 셀(271)의 방전이 정지되고, 제1 셀(271)을 과방전 또는 방전 과전류로부터 보호할 수 있다.

[0061] 제1 보호 IC(210)는 예를 들면 CPU(Central Processing Unit)를 사용하지 않고 아날로그의 복수의 논리 회로를 사용하여 형성된다.

[0062] 제2 보호 IC(220)는 제2 셀(272)의 정극과 부극 사이의 전지 전압("셀 전압"이라고도 칭한다)으로 동작하는 집적 회로이다. 제2 보호 IC(220)는 충전 제어 단자(221)(COUT 단자), 방전 제어 단자(222)(DOUT 단자), 감시 단자(228)(VM2 단자), 전원 단자(225)(VDD 단자) 및 그라운드 단자(223)(VSS 단자)를 구비한다.

[0063] 충전 제어 단자(221)는 충전 제어 트랜지스터(241)의 게이트에 접속되고, 충전 제어 트랜지스터(241)를 온 또는 오프시키는 신호를 출력한다. 방전 제어 단자(222)는 방전 제어 트랜지스터(242)의 게이트에 접속되고, 방전 제어 트랜지스터(242)를 온 또는 오프시키는 신호를 출력한다.

[0064] 감시 단자(228)는 제3 단자(203)의 전위의 감시에 사용되고, 제3 단자(203)에 접속되어 있다. 감시 단자(228)는 예를 들면 보호 IC(220)가 부하(192) 또는 도시하지 않는 충전기의 접속의 유무를 감시하는데 사용되고, 제2 스위치 회로(240)와 제3 단자(203) 사이에서 제3 전류 경로(206)에 저항(224)을 개재시켜 접속되어 있다.

[0065] 전원 단자(225)는 제2 보호 IC(220)의 고전위측 전원 단자이며, 제2 셀(272)의 정극 및 제3 전류 경로(206)에 저항(247)을 개재시켜 접속되어 있다. 그라운드 단자(223)는 제2 보호 IC(220)의 저전위측 전원 단자이며, 제2 셀(272)의 부극 및 제2 전류 경로(204)에 접속되어 있다.

[0066] 제2 보호 IC(220)는 제2 스위치 회로(240)를 오프로 함으로써, 제2 셀(272) 또는 셀(271, 272)의 양쪽을 보호하는 집적 회로이다. 제2 보호 IC(220)는 충전 제어 트랜지스터(241)를 오프로 함으로써, 제2 셀(272)을 과충전 등의 충전 이상으로부터 보호하고, 방전 제어 트랜지스터(242)를 오프로 함으로써, 제2 셀(272)을 과방전 등의 방전 이상이나 단락 이상으로부터 보호한다.

[0067] 제2 보호 IC(220)는 제2 셀(272)의 상태를 검출한다. 제2 보호 IC(220)는 VDD 단자와 VSS 단자 사이의 전압인 전원 전압(Vd)을 모니터한다. VDD 단자는 제2 셀(272)의 정극에 접속되고, VSS 단자는 제2 셀(272)의 부극에 접속되어 있기 때문에, 전원 전압(Vd)은 제2 셀(272)의 셀 전압(VBAT)에 대략 동일하다. 따라서, 제2 보호 IC(220)는 전원 전압(Vd)을 모니터함으로써, 제2 셀(272)의 셀 전압(VBAT)을 검출할 수 있다. 또 제2 보호 IC(220)는 VDD 단자를 기준 전위로 하는 VM2 단자의 전압인 감시 전압(V+)을 모니터한다.

[0068] 제2 보호 IC(220)가 과충전 또는 과방전을 검출하는 방식은 제1 보호 IC(210)의 상기 서술한 역치를 사용한 검출 방식과 동일해도 된다.

[0069] 제2 보호 IC(220)는 예를 들면 소정의 방전 과전류 검출 전압(Vdet3)보다 낮은 감시 전압(V+)이 검출된 경우, 방전 과전류 검출 전압(Vdet3)보다 낮은 감시 전압(V+)이 검출된 것을 나타내는 방전 과전류 검출 신호를 생성한다. 또 제2 보호 IC(220)는 예를 들면 소정의 방전 과전류 복귀 전압(Vrel3)보다 높은 감시 전압(V+)이 검출된 경우, 방전 과전류 복귀 전압(Vrel3)보다 높은 감시 전압(V+)이 검출된 것을 나타내는 방전 과전류 복귀 검출 신호를 생성한다.

[0070] 제2 보호 IC(220)는 예를 들면 소정의 충전 과전류 검출 전압(Vdet4)보다 높은 감시 전압(V+)이 검출된 경우, 충전 과전류 검출 전압(Vdet4)보다 높은 감시 전압(V+)이 검출된 것을 나타내는 충전 과전류 검출 신호를 생성한다. 또 제2 보호 IC(220)는 예를 들면 소정의 충전 과전류 복귀 전압(Vrel4)보다 낮은 감시 전압(V+)이 검출된 경우, 충전 과전류 복귀 전압(Vrel4)보다 낮은 감시 전압(V+)이 검출된 것을 나타내는 충전 과전류 복귀 검출 신호를 생성한다.

[0071] 제2 보호 IC(220)는 제2 셀(272)의 과충전 또는 충전 과전류가 검출된 경우, 소정의 지연 시간 경과 후에, COUT 단자의 출력 상태를 하이 레벨로부터 로우 레벨로 한다. COUT 단자의 출력 상태가 로우 레벨이 됨으로써, 충전 제어 트랜지스터(241)는 오프가 되므로, 제2 셀(272)을 충전하는 방향의 전류가 제1 전류 경로(205)에 흐르는 것이 금지된다. 이것에 의해, 제2 셀(272)의 충전이 정지되고, 제2 셀(272)을 과충전 또는 충전 과전류로부터 보호할 수 있다.

[0072] 한편, 제2 보호 IC(220)는 제2 셀(272)의 과방전 또는 방전 과전류가 검출된 경우, 소정의 지연 시간 경과 후에, DOUT 단자의 출력 상태를 하이 레벨로부터 로우 레벨로 한다. DOUT 단자의 출력 상태가 로우 레벨이 됨

으로써, 방전 제어 트랜지스터(242)는 오프가 되므로, 제2 셀(272)을 방전시키는 방향의 전류가 제3 전류 경로(206)에 흐르는 것이 금지된다. 이것에 의해, 제2 셀(272)의 방전이 정지되고, 제2 셀(272)을 과방전 또는 방전 과전류로부터 보호할 수 있다.

[0073] 제2 보호 IC(220)는 예를 들면 CPU(Central Processing Unit)를 사용하지 않고 아날로그의 복수의 논리 회로를 사용하여 형성된다.

[0074] 여기서, 제1 스위치 회로(230)가 제1 보호 IC(210)에 의해 온이 되고 또한 제2 스위치 회로(240)가 제2 보호 IC(220)에 의해 온이 된 상태를 "정상 상태"라고 정의한다. 이차전지 보호 회로(110)는 정상 상태일 때, 제1 셀(271)의 전압에 대응하는 제1 출력 전압(Vo1)을 제1 단자(201)와 제2 단자(202) 사이로부터 제1 부하(191)에 출력한다. 또 이차전지 보호 회로(110)는 정상 상태일 때, 제1 출력 전압(Vo1)에 제2 셀(272)의 전압에 대응하는 제2 출력 전압(Vo2)을 가산한 제3 출력 전압(Vo3)을 제1 단자(201)와 제3 단자(203) 사이로부터 제2 부하(192)에 출력한다.

[0075] 또 제1 스위치 회로(230)가 제1 보호 IC(210)에 의해 오프가 되고 또한 제2 스위치 회로(240)가 제2 보호 IC(220)에 의해 온이 된 상태를 "제1 보호 상태"라고 정의한다. 이차전지 보호 회로(110)는 제1 보호 상태일 때, 제1 출력 전압(Vo1)을 제1 단자(201)와 제2 단자(202) 사이로부터 제1 부하(191)에 출력하는 것을 정지하고, 제3 출력 전압(Vo3)을 제1 단자(201)와 제3 단자(203) 사이로부터 출력하는 것을 정지한다. 정상 상태로부터 제1 보호 상태로 전이하면, 제1 단자(201)의 전위는 제1 셀(271)의 부극의 전위로부터 제2 셀(272)의 정극의 전위로 변화하기 때문이다.

[0076] 또 제1 스위치 회로(230)가 제1 보호 IC(210)에 의해 온이 되고 또한 제2 스위치 회로(240)가 제2 보호 IC(220)에 의해 오프가 된 상태를 "제2 보호 상태"라고 정의한다. 이차전지 보호 회로(110)는 제2 보호 상태일 때, 제1 출력 전압(Vo)을 제1 단자(201)와 제2 단자(202) 사이로부터 제1 부하(191)에 출력하고, 제3 출력 전압(Vo3)을 제1 단자(201)와 제3 단자(203) 사이로부터 출력하는 것을 정지한다. 정상 상태로부터 제2 보호 상태로 전이하면, 제3 단자(203)의 전위는 제2 셀(272)의 정극의 전위로부터 제1 셀(271)의 부극의 전위로 변화하는 한편, 제1 단자(201) 및 제2 단자(202)의 전위는 변화하지 않기 때문이다.

[0077] 이와 같이, 하나의 비교형태에 의하면, 셀(271, 272)의 보호 기능을 구비할 뿐만아니라, 제1 부하(191)에는 제1 출력 전압(Vo)을 출력할 수 있고, 제2 부하(192)에는 제3 출력 전압(Vo3)을 출력할 수 있다. 따라서, 전지 팩(100)으로부터 전력 공급을 받는 기기(제1 부하(191) 및 제2 부하(192)를 구비하는 기기)측에서, 전압 변환의 필요성이 없어지기 때문에, 당해 기기의 전력 효율이 개선된다. 즉, 전지 팩(100)으로부터 당해 기기에 공급되는 전력의 소비 효율을 높일 수 있다.

[0078] 그런데, 제1 보호 IC(210)는 감시 단자(218)로부터 전원 단자(215)로의 내부 전류 경로를 형성하는 제1 보호 소자(236)를 가지는 경우가 있다. 마찬가지로, 제2 보호 IC(220)는 그라운드 단자(223)로부터 감시 단자(228)로의 내부 전류 경로를 형성하는 제2 보호 소자(246)를 가지는 경우가 있다. 보호 소자(236, 246)는 예를 들면 정전기 대책용의 다이오드 소자이다. 이와 같은 보호 소자(236, 246)가 존재하는 형태에서는 제1 보호 상태 또는 제2 보호 상태에 있어서 보호 소자(236) 또는 보호 소자(246)에 순방향 전압이 인가되는 경우가 존재한다. 순방향 전압이 인가된 보호 소자에는 전류의 경로가 형성되고, 그 보호 소자에 전류가 계속해서 흘러버린다.

[0079] 이어서, 제1 보호 상태 또는 제2 보호 상태에 있어서, 보호 소자(236) 또는 보호 소자(246)에 순방향 전압이 인가되는 경우에 대해서, 도 2~5를 참조하여 설명한다. 또한 도 2~5는 정상 상태에 있어서 셀(271, 272)의 전압이 각각 4V인 경우를 예시한다.

[0080] 도 2는 하나의 비교형태에 있어서의 전지 팩(100)에 있어서, 방전 과전류가 저전위측의 제1 보호 IC(210)에서 검출된 상황을 예시하는 도면이다. 제1 보호 IC(210)는 제2 부하(192)의 쇼트 등의 발생에 의해 흐르는 방전 과전류를 검출하면, 방전 제어 트랜지스터(232)를 오프로 한다(제1 보호 상태). 이 제1 보호 상태에서는 제1 단자(201)의 전위가 0V로부터 8V로 변화한다. 그 결과, 도 2에 나타내는 바와 같이, 제1 보호 소자(236)를 경유하는 내부 전류 경로가 형성되기 때문에, 의도치 않은 전류가 흐를 우려가 있다.

[0081] 도 3은 하나의 비교형태에 있어서의 전지 팩(100)에 있어서, 방전 과전류가 고전위측의 제2 보호 IC(220)에서 검출된 상황을 예시하는 도면이다. 제2 보호 IC(220)는 제2 부하(192)의 쇼트 등의 발생에 의해 흐르는 방전 과전류를 검출하면, 방전 제어 트랜지스터(242)를 오프로 한다(제2 보호 상태). 이 제2 보호 상태에서는 제3 단자(203)의 전위가 8V로부터 0V로 변화한다. 그 결과, 도 3에 나타내는 바와 같이, 제2 보호 소자(246)를 경유하는 내부 전류 경로가 형성되기 때문에, 의도치 않은 전류가 흐를 우려가 있다.

- [0082] 도 4는 하나의 비교형태에 있어서의 전지 팩(100)에 있어서, 저전위측의 제1 셀(271)의 과방전이 저전위측의 제1 보호 IC(210)에서 검출된 상황을 예시하는 도면이다. 제1 보호 IC(210)는 제1 셀(271)의 과방전을 검출하면, 방전 제어 트랜지스터(232)를 오프로 한다(제1 보호 상태). 이 제1 보호 상태에서는 제1 단자(201)의 전위가 0V로부터 8V로 변화한다. 그 결과, 도 4에 나타내는 바와 같이, 제1 보호 소자(236)를 경유하는 내부 전류 경로가 형성되기 때문에, 의도치 않은 전류가 흐를 우려가 있다.
- [0083] 도 5는 하나의 비교형태에 있어서의 전지 팩(100)에 있어서, 고전위측의 제2 셀(272)의 과방전이 고전위측의 제2 보호 IC(220)에서 검출된 상황을 예시하는 도면이다. 제2 보호 IC(220)는 제2 셀(272)의 과방전을 검출하면, 방전 제어 트랜지스터(242)를 오프로 한다(제2 보호 상태). 이 제2 보호 상태에서는 제3 단자(203)의 전위가 8V로부터 0V로 변화한다. 그 결과, 도 5에 나타내는 바와 같이, 제2 보호 소자(246)를 경유하는 내부 전류 경로가 형성되기 때문에, 의도치 않은 전류가 흐를 우려가 있다.
- [0084] 이어서, 보호 소자(236, 246)와 같은 보호 소자가 존재하는 경우에도, 상기와 같은 의도치 않은 전류의 흐름을 방지 가능한 실시형태에 대해서, 도 6 등을 참조하여 설명한다.
- [0085] 도 6은 제1 실시형태에 있어서의 전지 팩의 구성을 예시하는 도면이며, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하고 있다. 또한 제1 실시형태에 있어서, 상기 서술한 비교형태와 마찬가지의 구성 및 효과에 대한 설명은 상기 서술한 설명을 원용함으로써 생략 또는 간략한다.
- [0086] 도 6에 나타내는 전지 팩(101)은 직렬로 접속되는 제1 이차전지(71) 및 제2 이차전지(72)와, 제1 이차전지(71) 및 제2 이차전지(72)를 각각 보호하는 이차전지 보호 회로(111)를 구비한다. 이차전지 보호 회로(111)는 직렬로 접속되는 제1 이차전지 및 제2 이차전지의 각각의 전압과, 당해 각각의 전압끼리를 가산한 전압을 출력한다.
- [0087] 이하, 제1 이차전지(71), 제2 이차전지(72)를 각각 제1 셀(71), 제2 셀(72)이라고도 칭한다. 또 제1 이차전지(71) 및 제2 이차전지(72)를 셀(71, 72)이라고도 칭한다.
- [0088] 이차전지 보호 회로(111)는 제1 단자(1)와, 제2 단자(2)와, 제3 단자(3)와, 제1 스위치 회로(30)와, 제2 스위치 회로(40)와, 제1 보호 IC(10)와, 제2 보호 IC(20)를 구비한다. 제1 단자(1)는 제1 이차전지의 부극에 접속되는 제1 출력 단자의 일례이다. 제2 단자(2)는 제1 이차전지의 정극 및 제2 이차전지의 부극에 접속되는 제2 출력 단자의 일례이다. 제3 단자(3)는 제2 이차전지의 정극에 접속되는 제3 출력 단자의 일례이다.
- [0089] 제1 셀(71)의 부극과 제1 단자(1) 사이는 제1 전류 경로(5)에 의해 접속되어 있고, 제1 전류 경로(5)에는 제1 스위치 회로(30)가 직렬로 삽입되어 있다. 제1 셀(71)의 정극과 제2 셀(72)의 부극이 접속되는 개소와, 제2 단자(2) 사이는 제2 전류 경로(4)에 의해 접속되어 있다. 제2 셀(72)의 정극과 제3 단자(3) 사이는 제3 전류 경로(6)에 의해 접속되어 있고, 제3 전류 경로(6)에는 제2 스위치 회로(40)가 직렬로 삽입되어 있다.
- [0090] 제1 스위치 회로(30)는 예를 들면 게이트가 충전 제어 단자(11)(COUT 단자)에 접속되는 스위치인 충전 제어 트랜지스터(31)와, 게이트가 방전 제어 단자(12)(DOUT 단자)에 접속되는 스위치인 방전 제어 트랜지스터(32)를 가진다.
- [0091] 제2 스위치 회로(40)는 예를 들면 게이트가 충전 제어 단자(21)(COUT 단자)에 접속되는 스위치인 충전 제어 트랜지스터(41)와, 게이트가 방전 제어 단자(22)(DOUT 단자)에 접속되는 스위치인 방전 제어 트랜지스터(42)를 가진다. 방전 제어 트랜지스터(42)는 방전 경로에 마련되는 제2 스위치의 일례이다.
- [0092] 제1 보호 IC(10)는 제1 단자(1)와 제1 스위치 회로(30) 사이에서 제1 전류 경로(5)에 저항(14)을 개재시켜 접속되는 제1 감시 단자(18)(VM1 단자)와, 제2 셀(72)의 정극에 저항(37)을 개재시켜 접속되는 제1 전원 단자(15)(VDD 단자)를 구비한다. 또 제1 보호 IC(10)는 충전 제어 단자(11)(COUT 단자), 방전 제어 단자(12)(DOUT 단자), 셀 전압 입력 단자(16)(VH 단자) 및 그라운드 단자(13)(VSS 단자)를 구비한다. 또한 제1 보호 IC(10)는 제1 감시 단자(18)로부터 제1 전원 단자(15)로의 내부 전류 경로를 형성하는 제1 보호 소자(36)를 가진다. 제1 보호 IC(10)는 방전 경로에 마련되는 제1 스위치에 의해, 제1 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제1 보호 회로의 일례이다.
- [0093] 제2 보호 IC(20)는 제3 단자(3)와 제2 스위치 회로(40) 사이에서 제3 전류 경로(6)에 저항(24)을 개재시켜 접속되는 제2 감시 단자(28)(VM2 단자)와, 제2 셀(72)의 부극에 접속되는 그라운드 단자(23)(VSS 단자)를 구비한다. 또 제2 보호 IC(20)는 충전 제어 단자(21)(COUT 단자), 방전 제어 단자(22)(DOUT 단자) 및 제2 셀(72)의 정극에 저항(47)을 개재시켜 접속되는 제2 전원 단자(25)(VDD 단자)를 구비한다. 또한 제2 보호 IC(20)는 그라운드 단자(23)로부터 제2 감시 단자(28)로의 내부 전류 경로를 형성하는 제2 보호 소자(46)를 가진다. 제2 보호

IC(20)는 방전 경로에 마련되는 제2 스위치에 의해, 제2 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제2 보호 회로의 일례이다.

[0094] 오프 상태 검출 회로(80)는 제2 스위치 회로(40)의 오프 상태가 검출된 경우, 제2 감시 단자(28)의 전위를 고정 함으로써, 제2 보호 소자(46)에 흐르는 전류를 차단한다. 오프 상태 검출 회로(80)는 스위치(83)와 스위치(84)와 저항(81)을 가진다. 스위치(83, 84)는 예를 들면 PMOS 트랜지스터이다.

[0095] 스위치(83)는 저항(24)과 제3 단자(3) 사이에 직렬로 삽입되어 있다. 스위치(83)의 게이트는 제2 단자(2)에 접속되어 있다. 저항(81)은 스위치(83)에 병렬로 접속되어 있다. 스위치(83)는 제2 단자(2)와 제3 단자(3)의 전위의 상하 관계를 검출하고, 그 상하 관계가 역전되면 전류를 차단하는(즉, 온으로부터 오프가 되는) 소자이다.

[0096] 스위치(84)는 일단이 감시 단자(28)에 접속되고 타단이 제2 단자(2)에 접속되어 있다. 스위치(84)의 게이트는 제3 단자(3)에 접속되어 있다. 스위치(84)는 스위치(83)와 반전된 움직임을 하는 소자이며, 스위치(83)에 의한 전류 차단시의 VM2 단자의 전위를 고정하기 위한 소자이다.

[0097] 저항(81)은 스위치(83)가 오프됨으로써, 제3 단자(3)가 VM2 단자로부터 분리되므로, 제2 보호 IC(20)가 VM2 단자에 의해 제3 단자(3)의 전위를 모니터할 수 있도록 하기 위한 소자이다.

[0098] 도 6은 제1 실시형태에 있어서의 전지 팩(101)에 있어서, 방전 과전류가 고전위측의 제2 보호 IC(20)에서 검출된 상황을 예시하는 도면이다. 제2 보호 IC(20)는 제2 부하(92)의 쇼트 등의 발생에 의해 흐르는 방전 과전류를 검출하면, 방전 제어 트랜지스터(42)를 오프로 한다(제2 보호 상태). 도 7은 제1 실시형태에 있어서의 전지 팩(101)에 있어서, 방전 과전류가 고전위측의 제2 보호 IC(20)에서 검출되는 전후의 상황을 예시하는 타이밍차트이다. 도 7에 있어서, SW42, SW83, SW84는 각각 방전 제어 트랜지스터(42), 스위치(83), 스위치(84)를 나타내고, Vth는 스위치(83, 84)의 각각의 역치 전압을 나타낸다.

[0099] 상태 1: 방전 가능한 통상 상태(정상 상태)에 있어서, 제2 부하(92)의 쇼트에 의해 방전 과전류가 검출되면, 제2 보호 IC(20)는 과전류 검출 지연 시간 후에, 방전 제어 트랜지스터(42)를 오프로 하고, 방전을 차단한다.

[0100] 상태 2: 방전 제어 트랜지스터(42)의 오프에 의해, 제3 단자(3)의 전위(V3)가 8V로부터 0V로 변화한다. 이것에 의해, 스위치(83)가 온으로부터 오프, 스위치(84)가 오프로부터 온이 된다. 즉, 오프 상태 검출 회로(80)는 제3 단자(3)의 전위(V3)가 8V로부터 0V로 변화하는 것을 검지하여, 제2 스위치 회로(40)의 오프 상태를 검출한다. 스위치(83)가 온으로부터 오프, 스위치(84)가 오프로부터 온이 됨으로써, 보호 IC(20)의 감시 단자(28)의 전위는 그라운드 단자(23)의 전위와 대략 동일하게 되므로, 보호 소자(46)로의 전류는 발생하지 않는다. 한편, 방전 과전류가 검출되면, VM2 단자는 저항(45)을 개재시켜 VDD 단자에 풀업(접속)된다.

[0101] 상태 3: 제2 부하(92)가 제3 단자(3)로부터 해방되면, 제3 단자(3)의 전위는 저항(45, 24, 81)의 존재에 의해, 0V로부터 제2 단자(2)의 전위 부근까지 상승한다. 이 때, VM2 단자를 VSS 단자에 쇼트하고 있던 스위치(84)가 온으로부터 오프가 된다. 또한 제3 단자(3)의 전위가 상승하면, 스위치(83)가 오프로부터 온이 된다. 또한 제3 단자(3)의 전위가 상승하면, VM2 단자의 전위가 저항(45)의 존재에 의해, VSS 단자의 레벨로부터 VDD 단자의 레벨로 변화하는 것이 보호 IC(20)에 의해 검출된다. 그 결과, 제2 보호 IC(20)는 방전 제어 트랜지스터(42)를 오프로부터 온으로 하므로, 보호 회로의 상태는 제2 보호 상태로부터 정상 상태로 복귀된다.

[0102] 이와 같이, 제1 실시형태에서는, 제2 보호 상태일 때, 제1 셀(71)로부터 보호 소자(46)로 전류가 흐르지 않는다. 따라서, 이차전지 보호 회로(111)는 제2 보호 상태일 때, 제1 셀(71)로부터 제2 보호 IC(20)를 경유하여 제2 부하(92) 및 제1 부하(91)에 전류 출력하는 것을 정지한다.

[0103] 도 8은 제1 실시형태에 있어서의 전지 팩(101)에 있어서, 방전 과전류가 저전위측의 제1 보호 IC(10)에서 검출된 상황을 예시하는 도면이다. 제1 보호 IC(10)는 제1 부하(91)의 쇼트 등의 발생에 의해 흐르는 방전 과전류를 검출하면, 방전 제어 트랜지스터(32)를 오프로 한다(제1 보호 상태). 도 9는 제1 실시형태에 있어서의 전지 팩(101)에 있어서, 방전 과전류가 저전위측의 제1 보호 IC(10)에서 검출되는 전후의 상황을 예시하는 타이밍차트이다. 도 8에 있어서, SW32는 방전 제어 트랜지스터(32)를 나타낸다.

[0104] 상태 1 : 방전 가능한 통상 상태(정상 상태)에 있어서, 제1 부하(91)의 쇼트에 의해 방전 과전류가 검출되면, 제1 보호 IC(10)는 과전류 검출 지연 시간 후에, 방전 제어 트랜지스터(32)를 오프로 하고, 방전을 차단한다.

[0105] 상태 2 : 방전 제어 트랜지스터(32)의 오프에 의해, 제1 단자(1) 및 VM1 단자의 전위가 0V로부터 4~8V로 변화한다. 이 경우, 제1 보호 IC(10)의 전원 전압은 제1 셀(71)의 부극과 제2 셀(72)의 정극 사이의 전위차에 대략

동일하므로, VM2 단자의 전위 범위에 관해서는 문제가 되지 않는다.

[0106] 이와 같이, 제1 실시형태에서는, 제1 보호 상태일 때, 제2 셀(72)로부터 보호 소자(36)로 전류가 흐르지 않는다. 따라서, 이차전지 보호 회로(111)는 제1 보호 상태일 때, 제2 셀(72)로부터 제1 보호 IC(10)를 경유하여 제2 부하(92) 및 제1 부하(91)에 전류 출력하는 것을 정지한다.

[0107] 도 10은 제2 실시형태에 있어서의 전지 팩(102)에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다. 도 11은 제2 실시형태에 있어서의 전지 팩(102)에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다. 도 12는 제2 실시형태에 있어서의 전지 팩(102)에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다. 도 13은 제2 실시형태에 있어서의 전지 팩(102)에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출되는 전후의 상황을 예시하는 타이밍차트이다. 또한 제2 실시형태에 있어서, 상기 서술한 실시형태와 마찬가지의 구성 및 효과에 대한 설명은 상기 서술한 설명을 원용함으로써 생략 또는 간략한다.

[0108] 도 10에 나타내는 전지 팩(102)은 직렬로 접속되는 제1 이차전지(71) 및 제2 이차전지(72)와, 제1 이차전지(71) 및 제2 이차전지(72)를 각각 보호하는 이차전지 보호 회로(112)를 구비한다.

[0109] 제1 보호 IC(10)는 제1 단자(1)와 제1 스위치 회로(30) 사이에서 제1 전류 경로(5)에 저항(14)을 개재시켜 접속되는 제1 감시 단자(18)(VM1 단자)와, 제2 셀(72)의 정극에 접속되는 제1 전원 단자(15)(VDD 단자)를 구비한다. 또 제1 보호 IC(10)는 충전 제어 단자(11)(COUT 단자), 방전 제어 단자(12)(DOUT 단자), 셀 전압 입력 단자(16)(VC1 단자) 및 그라운드 단자(13)(VSS 단자)를 구비한다. 또한 제1 보호 IC(10)는 제1 감시 단자(18)로부터 제1 전원 단자(15)로의 내부 전류 경로를 형성하는 제1 보호 소자(36)를 가진다.

[0110] 제2 보호 IC(20)는 제3 단자(3)와 제2 스위치 회로(40) 사이에서 제3 전류 경로(6)에 저항(24)을 개재시켜 접속되는 제2 감시 단자(28)(VM2 단자)와, 제2 셀(72)의 부극에 접속되는 그라운드 단자(23)(VSS 단자)를 구비한다. 또 제2 보호 IC(20)는 충전 제어 단자(21)(COUT 단자), 방전 제어 단자(22)(DOUT 단자), 셀 전압 입력 단자(26)(VC2) 및 제2 전원 단자(25)(VDD 단자)를 구비한다. 또한 제2 보호 IC(20)는 그라운드 단자(23)로부터 제2 감시 단자(28)로의 내부 전류 경로를 형성하는 제2 보호 소자(46)를 가진다.

[0111] 제2 실시형태의 경우, 보호 IC(10, 20)의 전원 전압은 모두 셀(71)의 부극과 셀(72)의 정극 사이의 전위차다. 따라서, 제1 보호 상태 또는 제2 보호 상태로 천이해도, 감시 단자(18, 28)의 전압을 IC의 허용 전압 범위 내에서 사용할 수 있으므로, 감시 단자의 전위 범위에 관해서는 문제가 되지 않는다.

[0112] 도 14는 제3 실시형태에 있어서의 전지 팩(103)에 있어서, 방전 과전류가 저전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다. 도 15는 제3 실시형태에 있어서의 전지 팩(103)에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다. 또한 제3 실시형태에 있어서, 상기 서술한 실시형태와 마찬가지의 구성 및 효과에 대한 설명은 상기 서술한 설명을 원용함으로써 생략 또는 간략한다.

[0113] 도 14에 나타내는 전지 팩(103)은 직렬로 접속되는 제1 이차전지(71) 및 제2 이차전지(72)와, 제1 이차전지(71) 및 제2 이차전지(72)를 각각 보호하는 이차전지 보호 회로(113)를 구비한다.

[0114] 이차전지 보호 회로(113)는 제1 단자(1)와, 제2 단자(2)와, 제3 단자(3)와, 제1 전지 팩부(103A)와, 제2 전지 팩부(103B)를 구비한다. 또 제1 전지 팩부(103A)는 제1 스위치 회로(30)와 제1 보호 IC(10)를 구비하고, 제2 전지 팩부(103B)는 제2 스위치 회로(60)와 제2 보호 IC(50)를 구비한다.

[0115] 제1 셀(71)의 부극과 제1 단자(1) 사이는 제1 전류 경로(5)에 의해 접속되어 있고, 제1 전류 경로(5)에는 제1 스위치 회로(30)가 직렬로 삽입되어 있다. 제1 셀(71)의 정극과 제2 단자(2) 사이는 제2 전류 경로(4A)에 의해 접속되어 있다. 제2 셀(72)의 부극과 제2 단자(2) 사이는 제2 전류 경로(4B)에 의해 접속되어 있고, 제2 전류 경로(4B)에는 제2 스위치 회로(60)가 직렬로 삽입되어 있다. 제2 셀(72)의 정극과 제3 단자(3) 사이는 제3 전류 경로(6)에 의해 접속되어 있다.

[0116] 제1 스위치 회로(30)는 예를 들면 게이트가 충전 제어 단자(11)(COUT 단자)에 접속되는 스위치인 충전 제어 트랜지스터(31)와, 게이트가 방전 제어 단자(12)(DOUT 단자)에 접속되는 스위치인 방전 제어 트랜지스터(32)를 가진다. 방전 제어 트랜지스터(32)는 방전 경로에 마련되는 제1 스위치의 일례이다.

[0117] 제2 스위치 회로(60)는 예를 들면 게이트가 충전 제어 단자(51)(COUT 단자)에 접속되는 스위치인 충전 제어 트랜지스터(61)와, 게이트가 스위치인 방전 제어 단자(52)(DOUT 단자)에 접속되는 방전 제어 트랜지스터(62)를 가

진다. 방전 제어 트랜지스터(62)는 방전 경로에 마련되는 제2 스위치의 일례이다.

[0118] 제1 보호 IC(10)는 제1 단자(1)와 제1 스위치 회로(30) 사이에서 제1 전류 경로(5)에 저항(14)을 개재시켜 접속되는 제1 감시 단자(18)(VM1 단자)와, 제1 셀(71)의 정극에 저항(37)을 개재시켜 접속되는 제1 전원 단자(15)(VDD 단자)를 구비한다. 또 제1 보호 IC(10)는 충전 제어 단자(11)(COUT 단자), 방전 제어 단자(12)(DOUT 단자) 및 그라운드 단자(13)(VSS 단자)를 구비한다. 또한 제1 보호 IC(10)는 제1 감시 단자(18)로부터 제1 전원 단자(15)로의 내부 전류 경로를 형성하는 제1 보호 소자(36)를 가진다. 제1 보호 IC(10) 또는 제1 전지 팩부(103A)는 방전 경로에 마련되는 제1 스위치에 의해, 제1 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제1 보호 회로의 일례이다.

[0119] 제2 보호 IC(50)는 제2 단자(2)와 제2 스위치 회로(60) 사이에서 제2 전류 경로(4B)에 저항(54)을 개재시켜 접속되는 제2 감시 단자(58)(VM2 단자)와, 제2 셀(72)의 정극에 저항(67)을 개재시켜 접속되는 제2 전원 단자(55)(VDD 단자)를 구비한다. 또 제2 보호 IC(50)는 충전 제어 단자(51)(COUT 단자), 방전 제어 단자(52)(DOUT 단자) 및 그라운드 단자(53)(VSS 단자)를 구비한다. 또한 제2 보호 IC(50)는 제2 감시 단자(58)로부터 제2 전원 단자(55)로의 내부 전류 경로를 형성하는 제2 보호 소자(66)를 가진다. 제2 보호 IC(50) 또는 제2 전지 팩부(103B)는 방전 경로에 마련되는 제2 스위치에 의해, 제2 이차전지를 과방전 또는 방전 과전류로부터 보호하는 제2 보호 회로의 일례이다.

[0120] 오프 상태 검출 회로(80A)는 제1 스위치 회로(30)의 오프 상태가 검출된 경우, 제1 감시 단자(18)의 전위를 고정함으로써, 제1 보호 소자(36)에 흐르는 전류를 차단한다. 오프 상태 검출 회로(80A)는 스위치(83A)와 스위치(84A)와 저항(81A)을 가진다. 스위치(83A, 84A)는 예를 들면 NMOS 트랜지스터이다.

[0121] 오프 상태 검출 회로(80B)는 제2 스위치 회로(60)의 오프 상태가 검출된 경우, 제2 감시 단자(58)의 전위를 고정함으로써, 제2 보호 소자(66)에 흐르는 전류를 차단한다. 오프 상태 검출 회로(80B)는 스위치(83B)와 스위치(84B)와 저항(81B)을 가진다. 스위치(83B, 84B)는 예를 들면 NMOS 트랜지스터이다.

[0122] 오프 상태 검출 회로(80A, 80B)는 상기 서술한 제1 실시형태의 오프 상태 검출 회로(80)와 동일한 기능을 가진다. 즉, 오프 상태 검출 회로(80A)는 제1 스위치 회로(30)의 오프 상태가 검출된 경우, 제1 보호 소자(36)에 흐르는 전류를 차단하고, 오프 상태 검출 회로(80B)는 제2 스위치 회로(60)의 오프 상태가 검출된 경우, 제2 보호 소자(66)에 흐르는 전류를 차단한다. 오프 상태 검출 회로(80A, 80B)는 상기 서술한 오프 상태 검출 회로(80)에 대하여, PMOS의 구성이 NMOS의 구성으로 변한 것 뿐이므로, 상세한 설명에 대해서는 상기 서술한 설명을 원용함으로써 생략한다.

[0123] 도 16은 제4 실시형태에 있어서의 전지 팩(104)에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출된 상황을 예시하는 도면이다. 도 17은 제4 실시형태에 있어서의 전지 팩(104)에 있어서, 방전 과전류가 고전위측의 보호 IC에서 검출되는 전후의 상황을 예시하는 타이밍차트이다. 또한 제4 실시형태에 있어서, 상기 서술한 실시형태와 마찬가지의 구성 및 효과에 대한 설명은 상기 서술한 설명을 원용함으로써 생략 또는 간략한다.

[0124] 과전류 검출 후에 보호 상태로부터 복귀하는 방식으로는 부하를 해방함으로써 보호 상태로부터 복귀하는 부하해방 복귀 방식과, 충전기를 접속함으로써 보호 상태로부터 복귀하는 충전기 접속 복귀 방식이 있다. 제4 실시형태에서는 충전기 접속 복귀 방식을 나타낸다.

[0125] 도 16에 나타내는 전지 팩(104)은 직렬로 접속되는 제1 이차전지(71) 및 제2 이차전지(72)와, 제1 이차전지(71) 및 제2 이차전지(72)를 각각 보호하는 이차전지 보호 회로(114)를 구비한다.

[0126] 제1 보호 IC(10)는 제1 단자(1)와 제1 스위치 회로(30) 사이에서 제1 전류 경로(5)에 저항(14)을 개재시켜 접속되는 제1 감시 단자(18)(VM1 단자)와, 제2 셀(72)의 정극에 접속되는 제1 전원 단자(15)(VDD 단자)를 구비한다. 또 제1 보호 IC(10)는 충전 제어 단자(11)(COUT 단자), 방전 제어 단자(12)(DOUT 단자), 셀 전압 입력 단자(16)(VC 단자) 및 그라운드 단자(13)(VSS 단자)를 구비한다. 또한 제1 보호 IC(10)는 제1 감시 단자(18)로부터 제1 전원 단자(15)로의 내부 전류 경로를 형성하는 제1 보호 소자(36)를 가진다.

[0127] 제2 보호 IC(50)는 제2 단자(2)와 제2 스위치 회로(60) 사이에서 제2 전류 경로(4B)에 저항(54)을 개재시켜 접속되는 제2 감시 단자(58)(VM2 단자)와, 제2 셀(72)의 정극에 저항(67)을 개재시켜 접속되는 제2 전원 단자(55)(VDD 단자)를 구비한다. 또 제2 보호 IC(50)는 충전 제어 단자(51)(COUT 단자), 방전 제어 단자(52)(DOUT 단자) 및 그라운드 단자(53)(VSS 단자)를 구비한다. 또한 제2 보호 IC(50)는 제2 감시 단자(58)로부터 제2 전원 단자(55)로의 내부 전류 경로를 형성하는 제2 보호 소자(66)를 가진다.

- [0128] 오프 상태 검출 회로(82)는 제2 스위치 회로(60)의 오프 상태가 검출된 경우, 제2 감시 단자(58)의 전위를 고정 함으로써, 제2 보호 소자(66)에 흐르는 전류를 차단한다. 또 오프 상태 검출 회로(82)는 충전기가 제1 단자(1)와 제3 단자(3)에 접속될 때까지, 제2 보호 소자(66)에 흐르는 전류를 차단한 상태를 유지한다. 오프 상태 검출 회로(82)는 스위치(83, 86, 87)와 저항(85)을 가진다. 스위치(83)는 예를 들면 PMS 트랜지스터이며, 스위치(86, 87)는 예를 들면 NMOS 트랜지스터이다.
- [0129] 스위치(83)는 제3 전류 경로(6)에 직렬로 삽입되어 있다. 저항(85)은 스위치(83)의 게이트와 소스 사이에 접속되어 있다. 스위치(86, 87)는 서로 직렬로 접속되어 있고, 각각의 게이트는 방전 제어 단자(52)에 공통으로 접속되어 있다. 스위치(86)의 소스는 스위치(83)의 게이트에 접속되고, 스위치(87)의 소스는 제2 단자(2)에 접속되어 있다.
- [0130] 제4 실시형태에서는 제2 보호 IC(50)는 제1 부하(91)에 흐르는 방전 과전류가 검출되면, 스위치(64)에 의해, VM2 단자는 저항(65)을 개재시켜 VDD 단자에 풀업(접속)된다. 이것에 의해, 제1 부하(91)가 해방되어도, 제2 보호 상태는 유지된다. 정상 상태로 복귀시키기 위해서는 충전기를 접속함으로써, VM2 단자의 전위를 VSS 단자에 레벨로 끌어내린다. 그 결과, 제2 보호 상태로부터 정상 상태로 복귀할 수 있다.
- [0131] 이상, 이차전지 보호 회로 및 전지 팩을 실시형태에 의해 설명했는데, 본 발명은 상기 실시형태에 한정되는 것은 아니다. 다른 실시형태의 일부 또는 전부와의 조합이나 치환 등의 각종 변형 및 개량이 본 발명의 범위 내에서 가능하다.
- [0132] 예를 들면, 도 14, 16의 구성에 있어서, 제1 스위치 회로(30)는 제1 이차전지(71)의 정극과 제2 단자(2) 사이의 제2 전류 경로(4A)에 직렬로 삽입되어도 된다. 또 도 14, 16의 구성에 있어서, 제2 스위치 회로(60)는 제2 이차전지(72)의 정극과 제3 단자(3) 사이의 제3 전류 경로(6)에 직렬로 삽입되어도 된다.
- [0133] 도 18은 제1 실시형태에 있어서의 전지 팩의 제1 변형예를 나타내는 도면이다. 이차전지 보호 회로(111)는 제1 보호 IC(10)와 제2 보호 IC(20)를 내장(복합 접적)하는 복합 접적 회로(121)를 구비한다. 복합 접적 회로(121)는 제1 보호 IC(10)와 제2 보호 IC(20)가 하나의 패키지 내에 패키지된 멀티 칩이다. 2개의 부품을 하나의 패키지에 넣음으로써, 기판 실장의 용이성이 향상되고, 실장 면적이 저감된다. 복합 접적 회로(121)는 제1 보호 IC(10)와 제1 스위치 회로(30)의 쌍과, 제2 보호 IC(20)와 제2 스위치 회로(40)의 쌍의 적어도 일방의 쌍을 복합 접적해도 된다.
- [0134] 도 19는 제1 실시형태에 있어서의 전지 팩의 제2 변형예를 나타내는 도면이다. 이차전지 보호 회로(111)는 제2 보호 IC(20)와 제2 스위치 회로(40)와 스위치(83)를 내장(복합 접적)하는 복합 접적 회로(122)를 구비한다. 복합 접적 회로(122)는 제2 보호 IC(20)와 제2 스위치 회로(40)와 스위치(83)가 하나의 패키지 내에 패키지된 멀티 칩이다. 3개의 부품을 하나의 패키지에 넣음으로써, 기판 실장의 용이성이 향상되고, 실장 면적이 저감된다.
- [0135] 도 20은 제2 실시형태에 있어서의 전지 팩의 제1 변형예를 나타내는 도면이다. 이차전지 보호 회로(112)는 제1 보호 IC(10)와 제2 보호 IC(20)를 내장(복합 접적)하는 복합 접적 회로(123)를 구비한다. 복합 접적 회로(123)는 제1 보호 IC(10)와 제2 보호 IC(20)가 하나의 패키지 내에 패키지된 멀티 칩이다. 2개의 부품을 하나의 패키지에 넣음으로써, 기판 실장의 용이성이 향상되고, 실장 면적이 저감된다. 복합 접적 회로(123)는 제1 보호 IC(10)와 제1 스위치 회로(30)의 쌍과, 제2 보호 IC(20)와 제2 스위치 회로(40)의 쌍의 적어도 일방의 쌍을 복합 접적해도 된다.
- [0136] 또 각 실시형태에 있어서, 충전 제어 트랜지스터(31)와 방전 제어 트랜지스터(32) 중 적어도 일방은 제1 보호 IC(10)와 동일한 칩 상에 복합 접적되어도 된다. 마찬가지로, 충전 제어 트랜지스터(41)와 방전 제어 트랜지스터(42) 중 적어도 일방은 제2 보호 IC(20)와 동일한 칩 상에 복합 접적되어도 된다. 마찬가지로, 충전 제어 트랜지스터(61)와 방전 제어 트랜지스터(62) 중 적어도 일방은 제2 보호 IC(50)와 동일한 칩 상에 복합 접적되어도 된다.

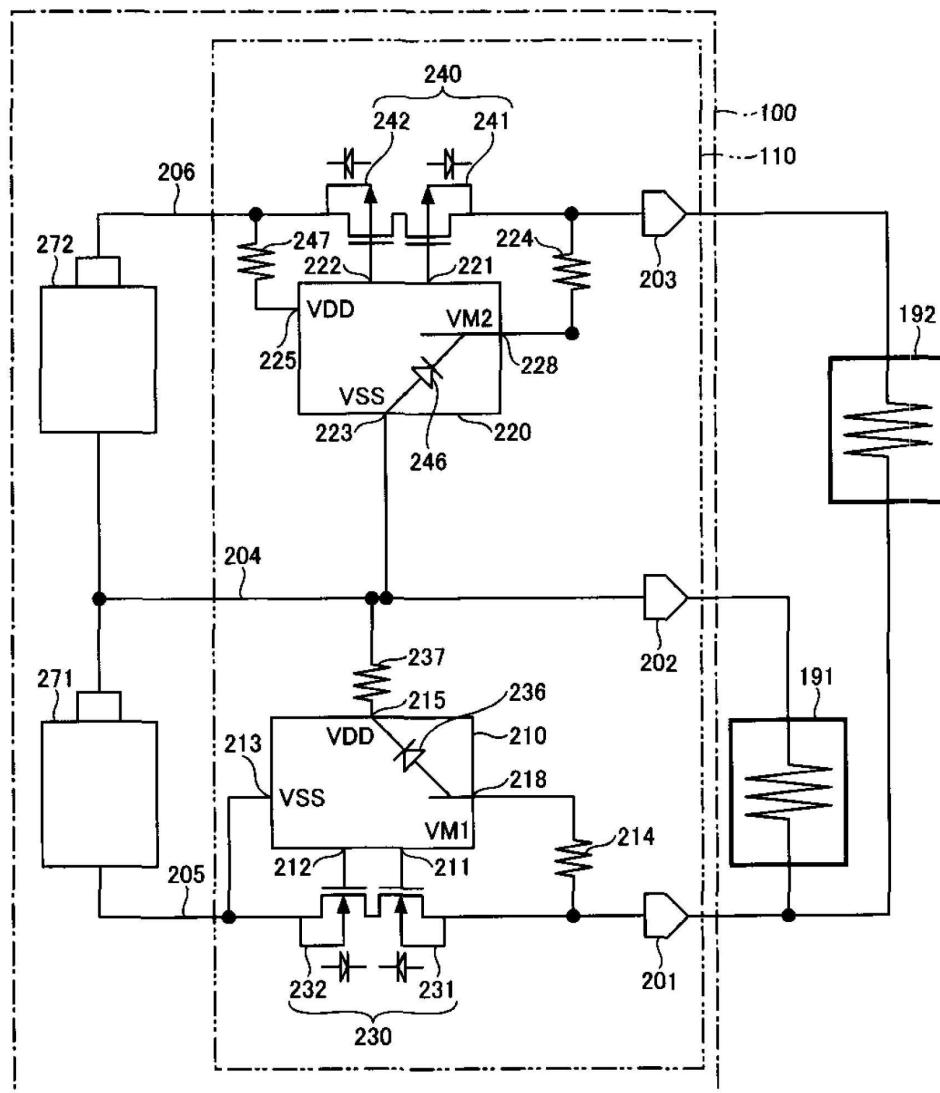
부호의 설명

- [0137] 1…제1 단자
2…제2 단자
3…제3 단자

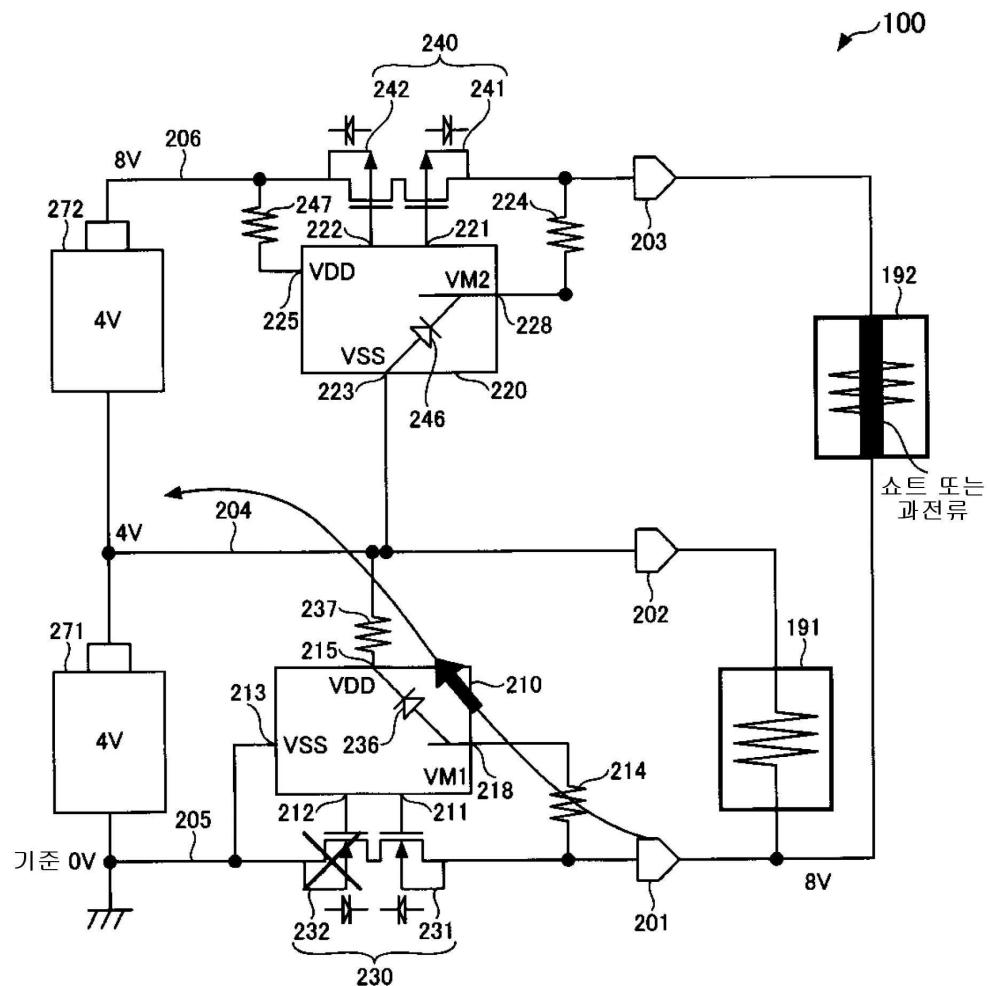
4…제2 전류 경로
5…제1 전류 경로
6…제3 전류 경로
10, 20, 50, 210, 220…보호 IC
30, 230…제1 스위치 회로
36…제1 보호 소자
40, 60, 240…제2 스위치 회로
46, 66…제2 보호 소자
71, 171…제1 이차전지
72, 172…제2 이차전지
80, 80A, 80B, 82…오프 상태 검출 회로
91, 191…제1 부하
92, 192…제2 부하
100~104…전지 팩
110~114…이차전지 보호 회로
121, 122, 123…복합 접적 회로

도면

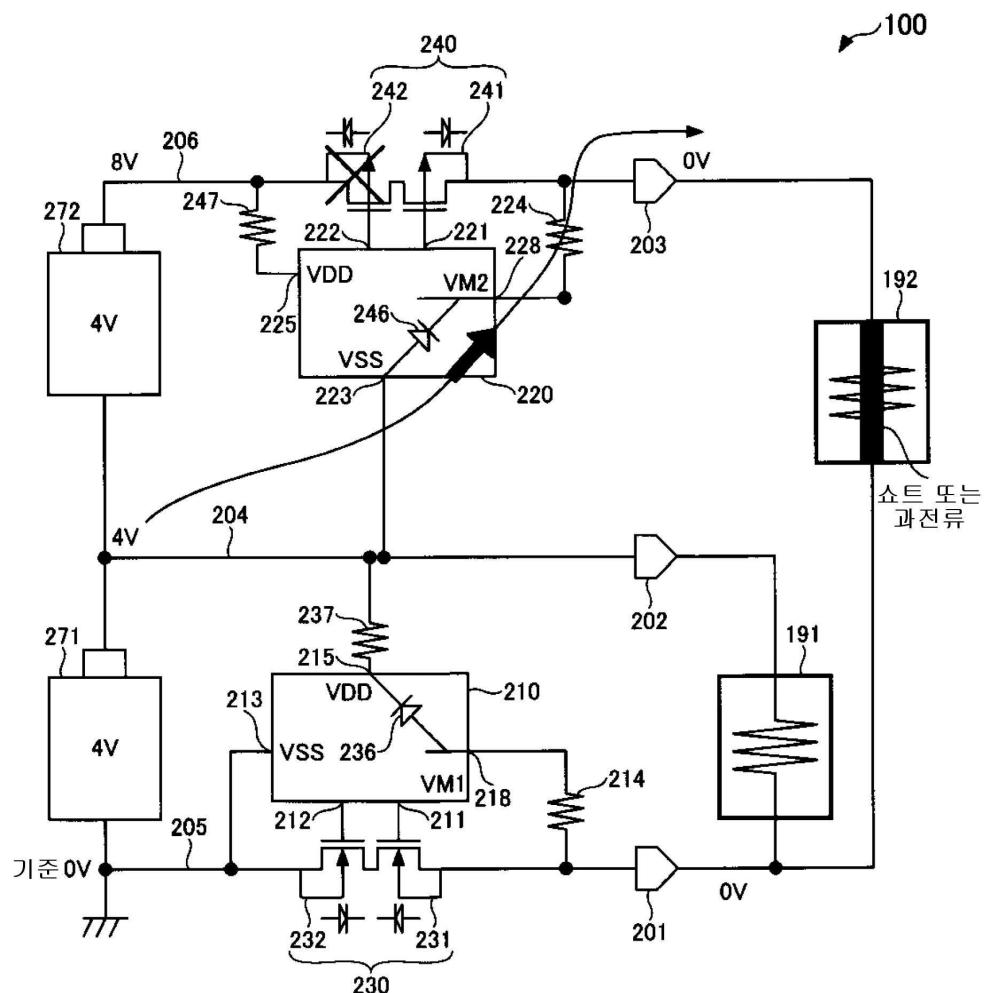
도면1



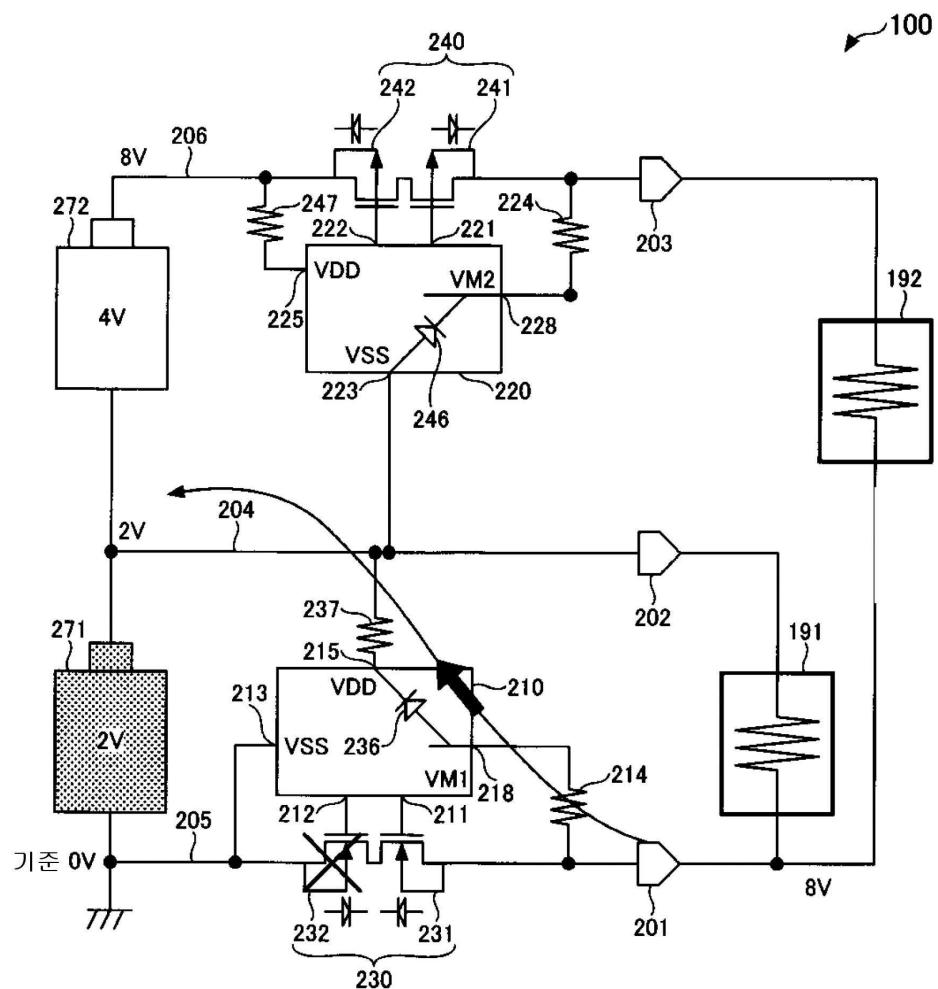
도면2



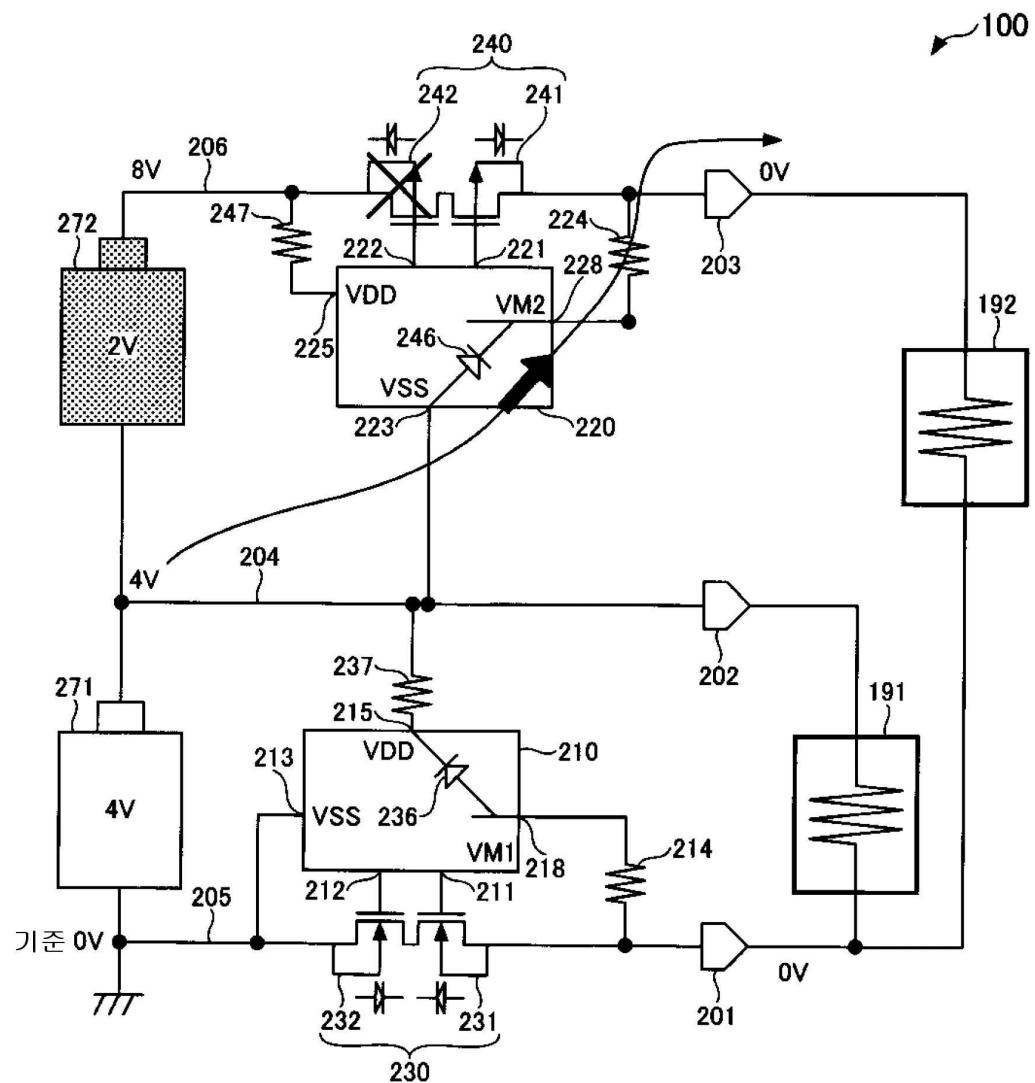
도면3



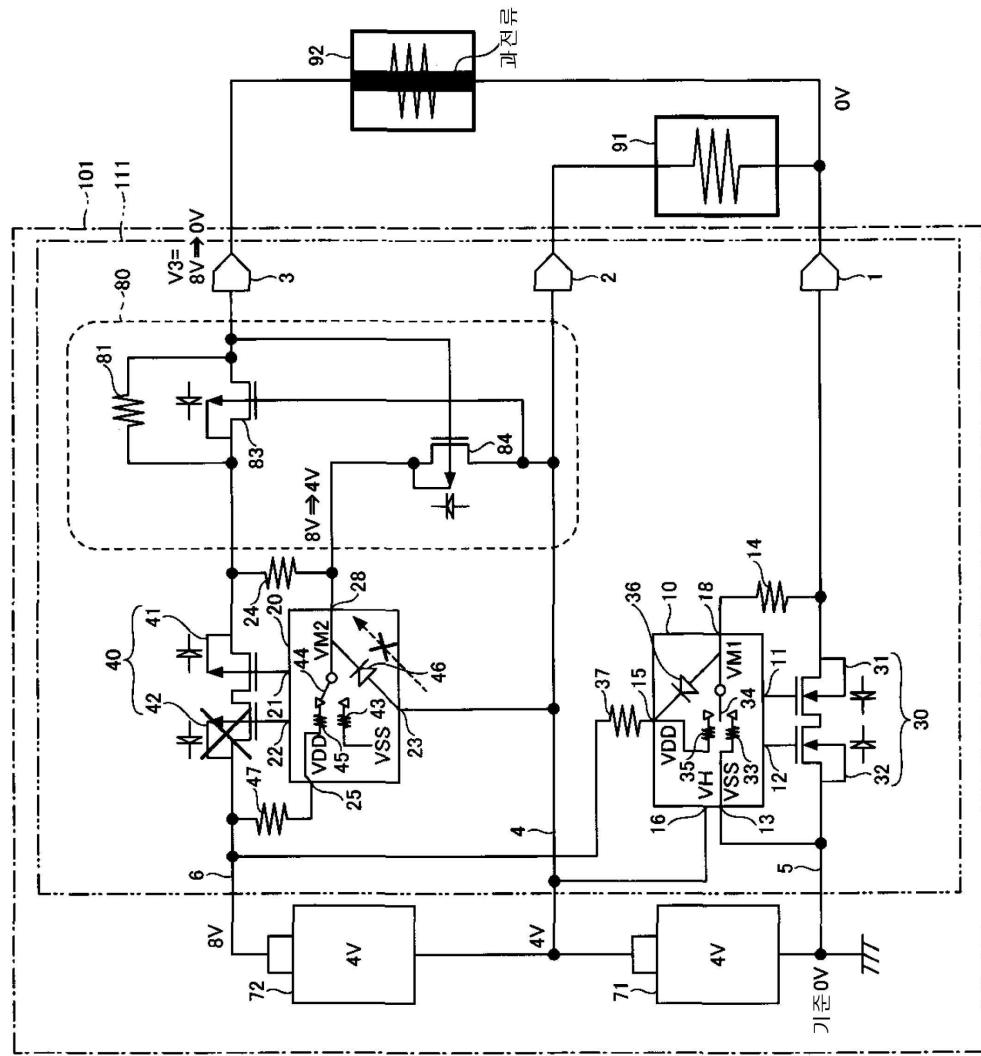
도면4



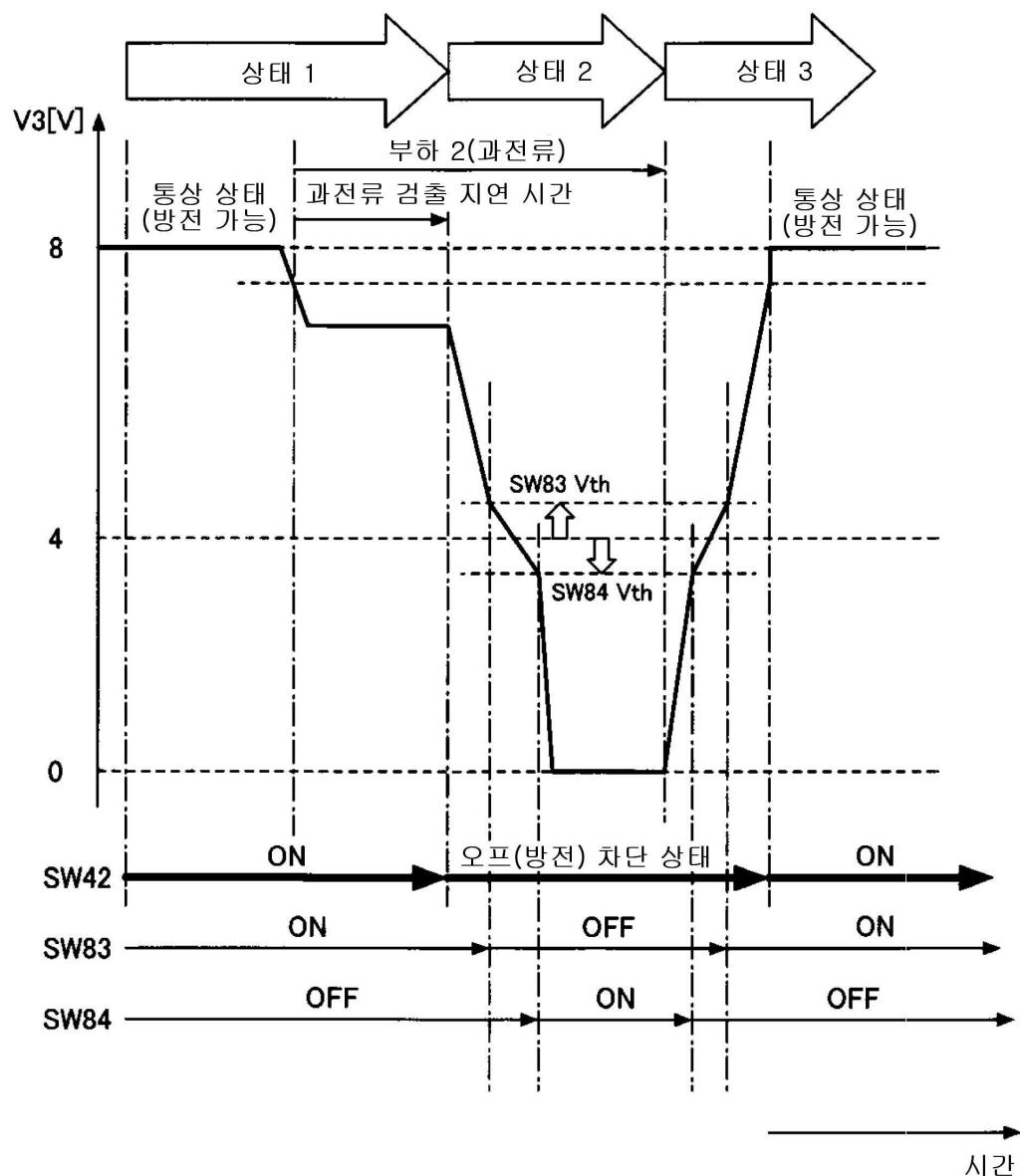
도면5



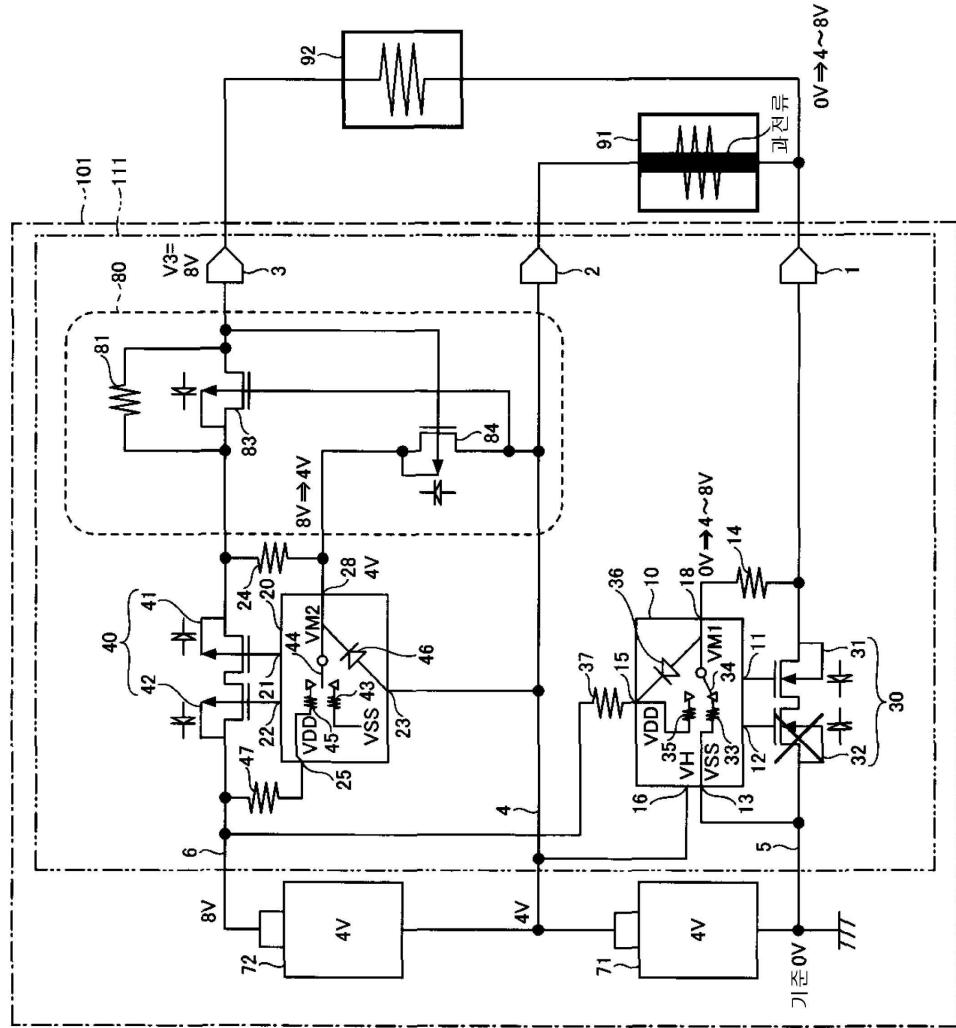
도면6



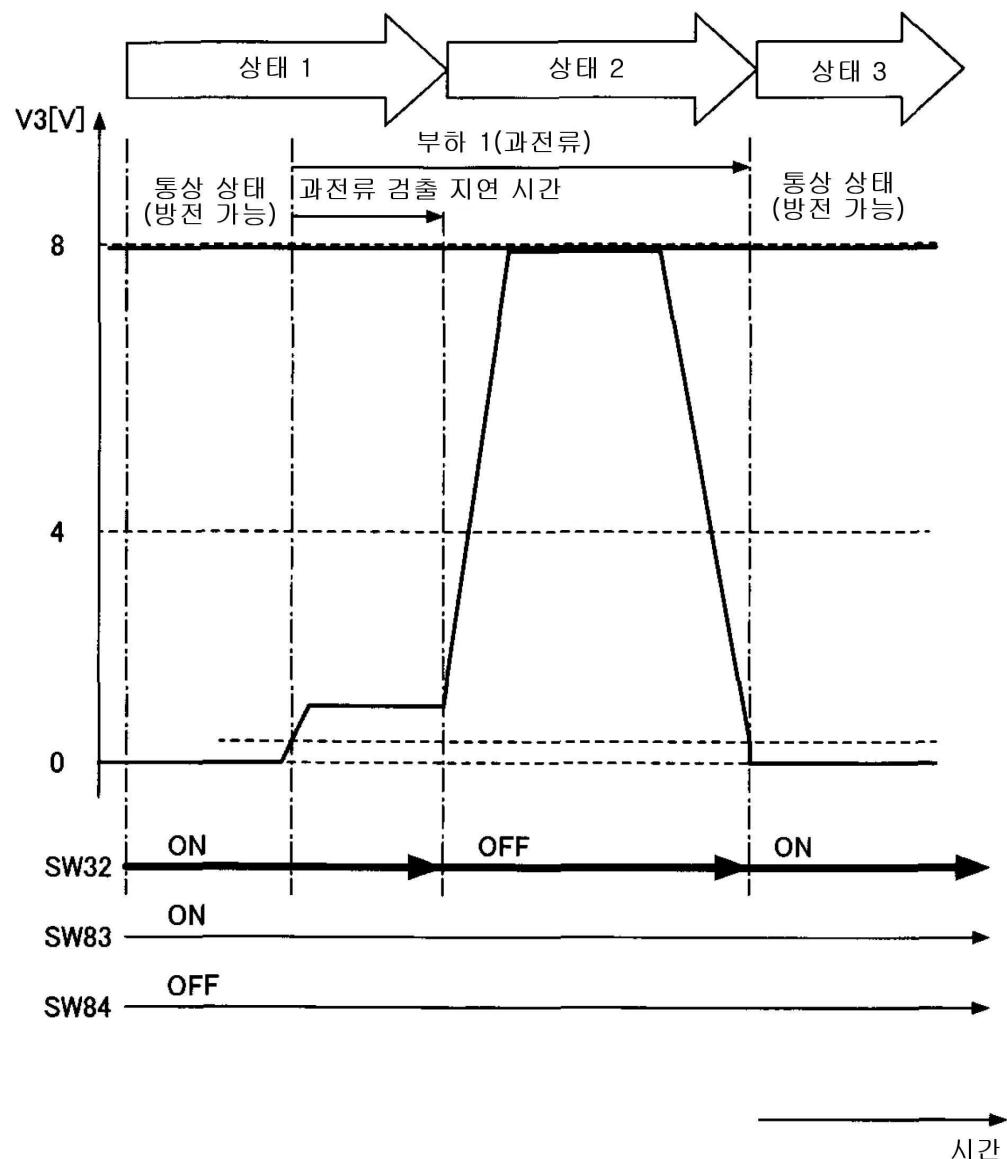
도면7



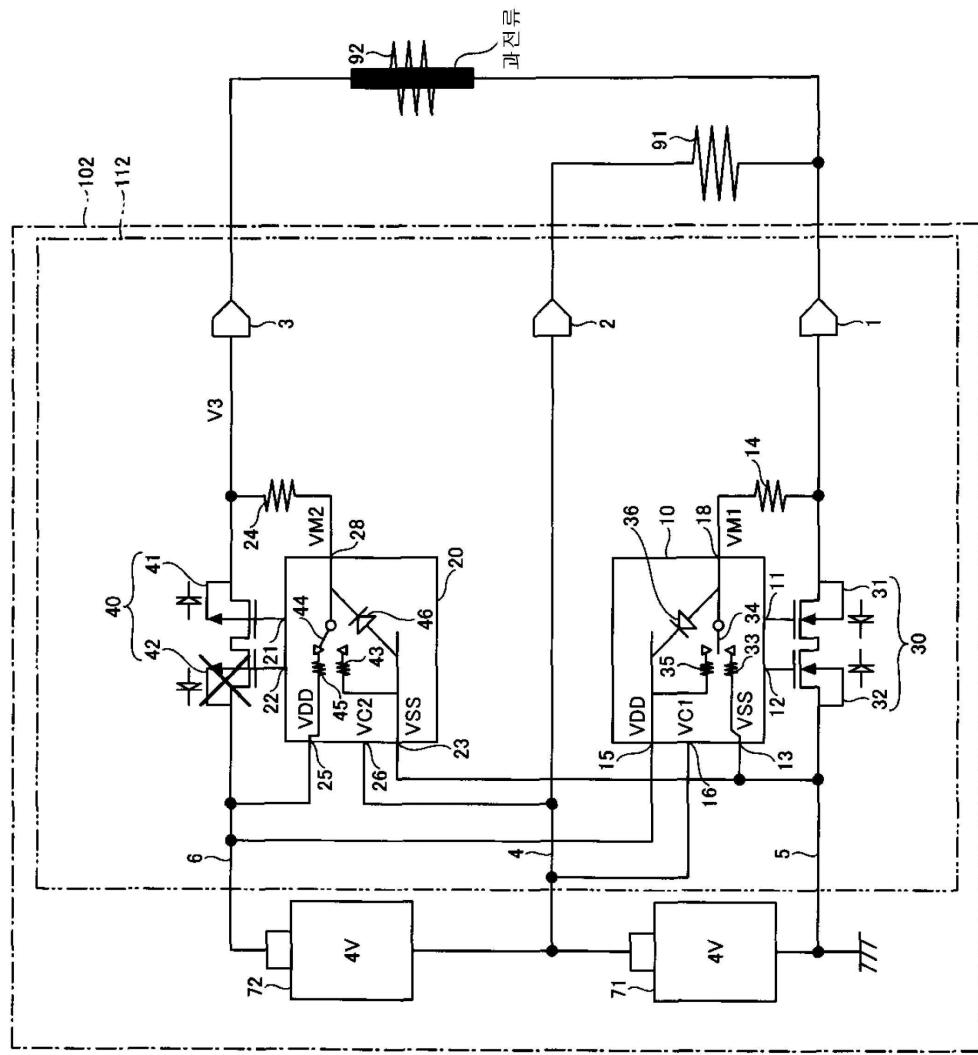
도면8



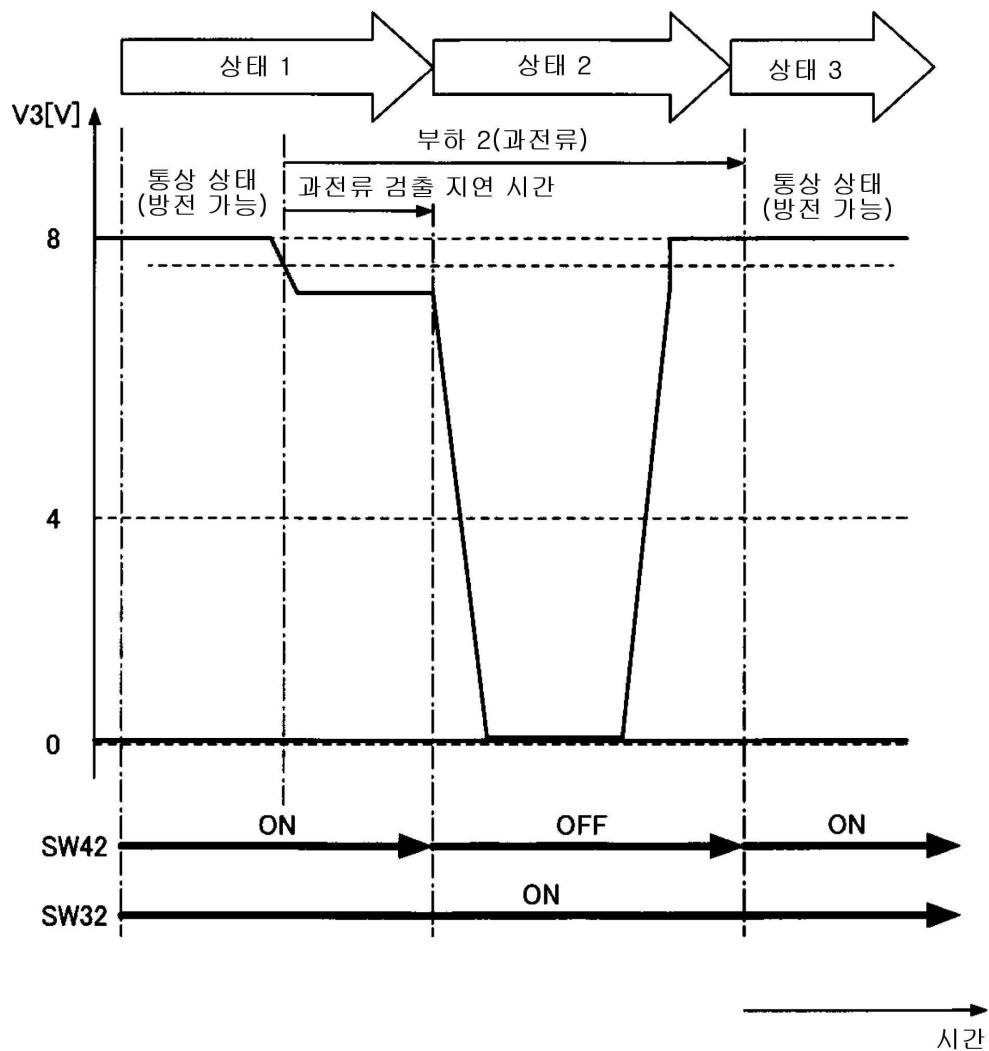
도면9



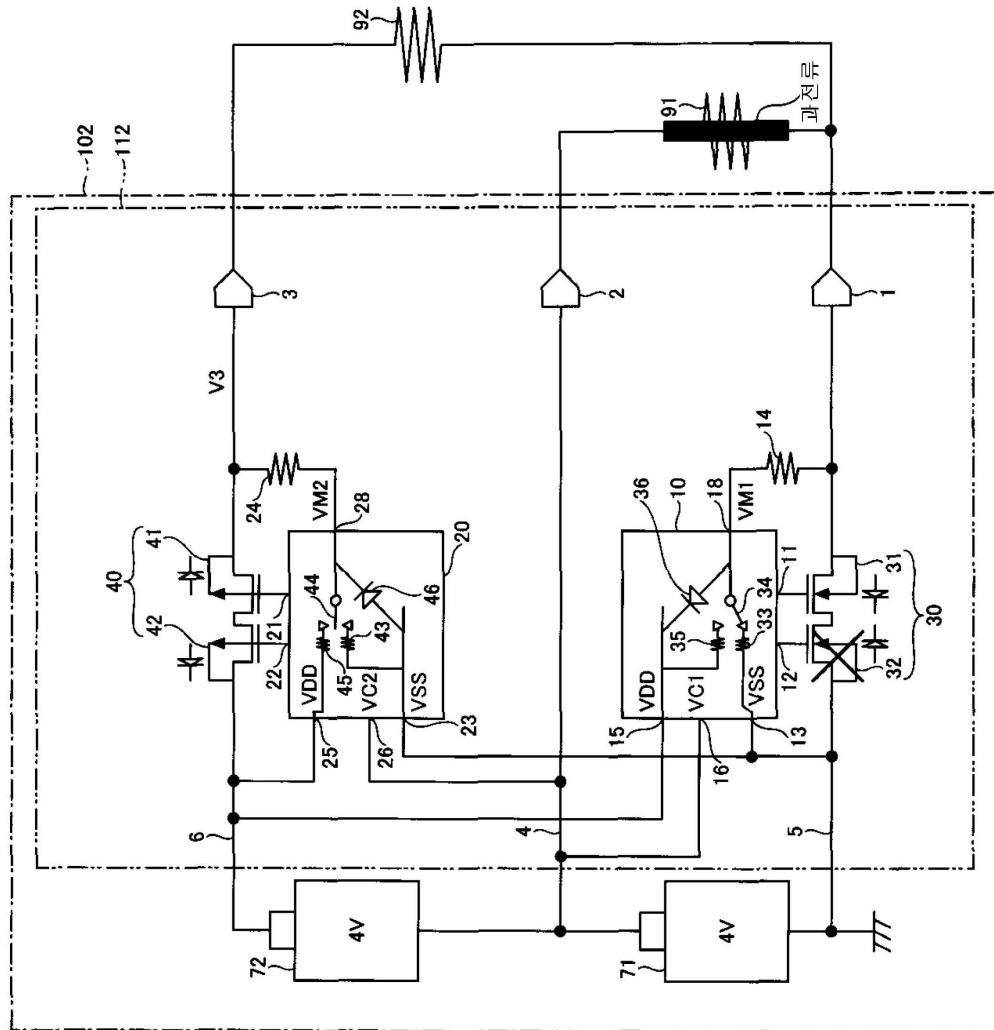
도면10



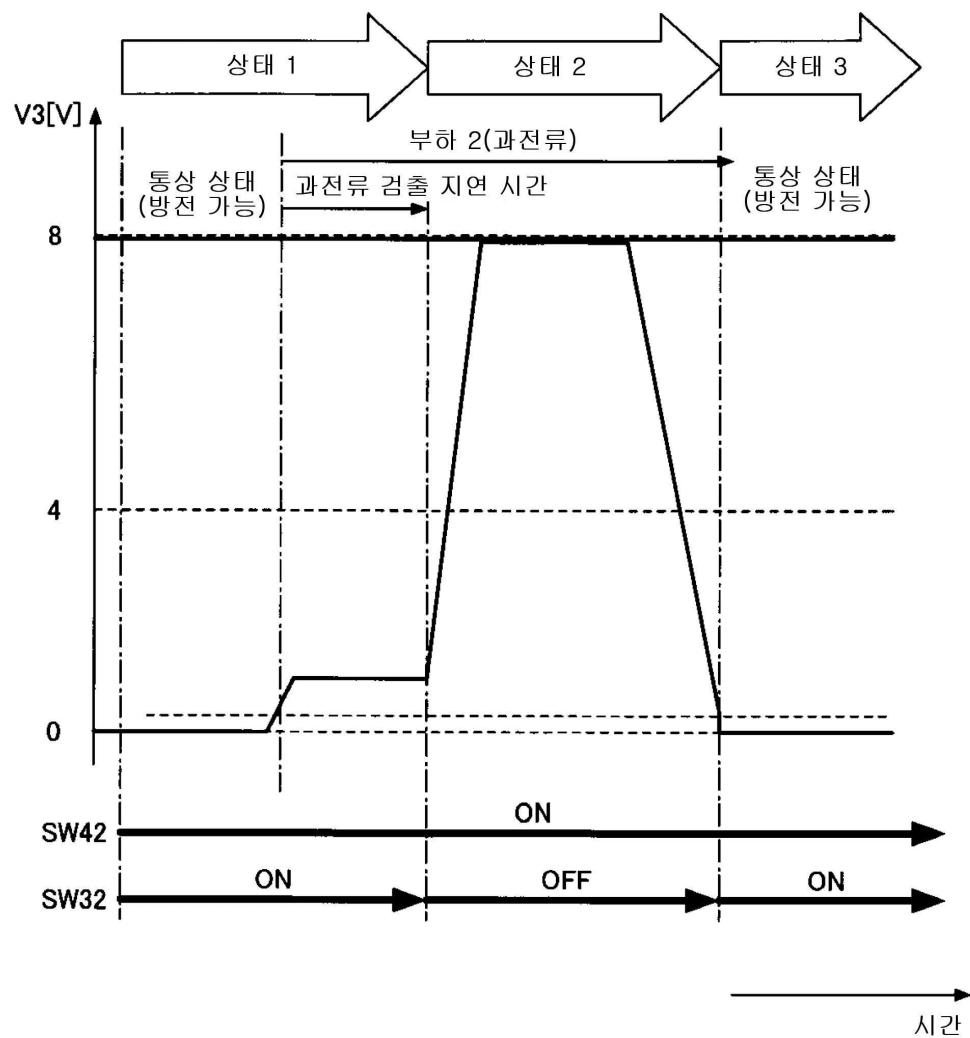
도면11



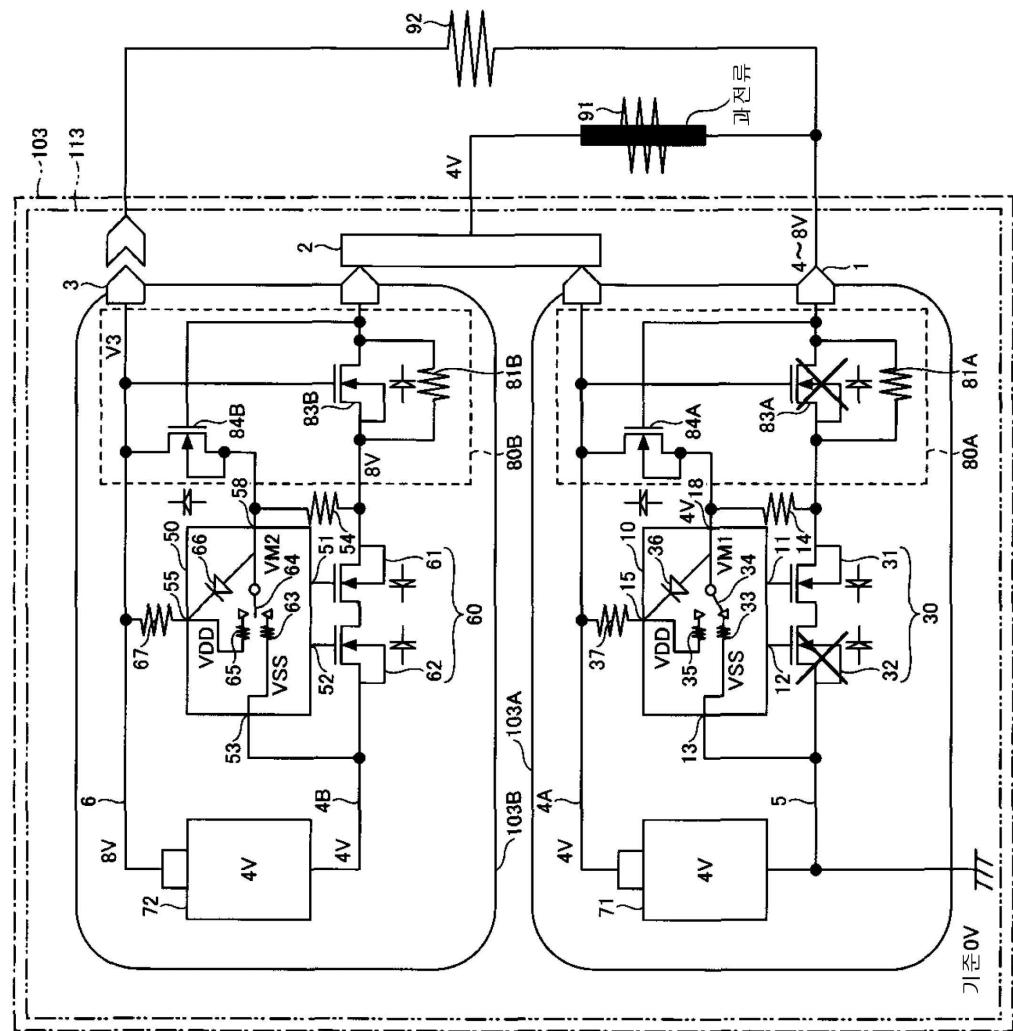
도면12



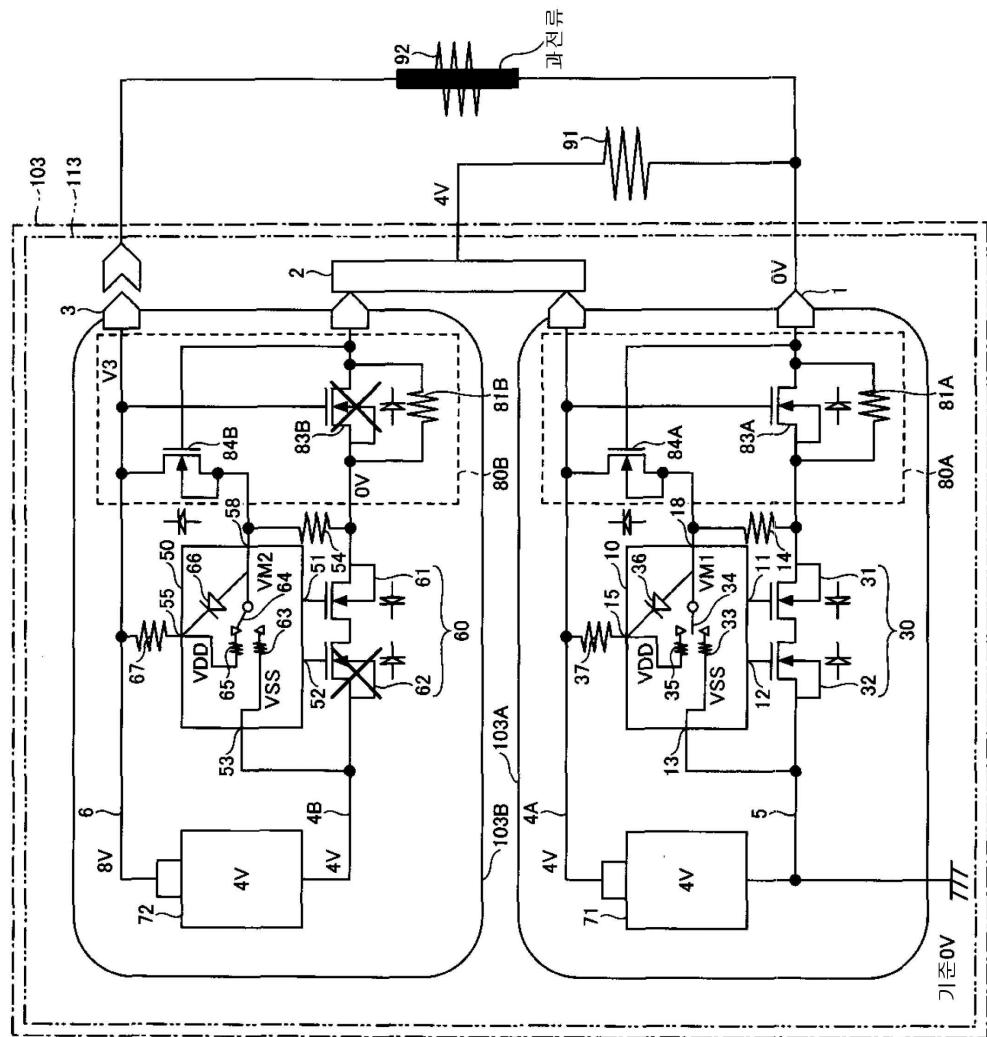
도면13



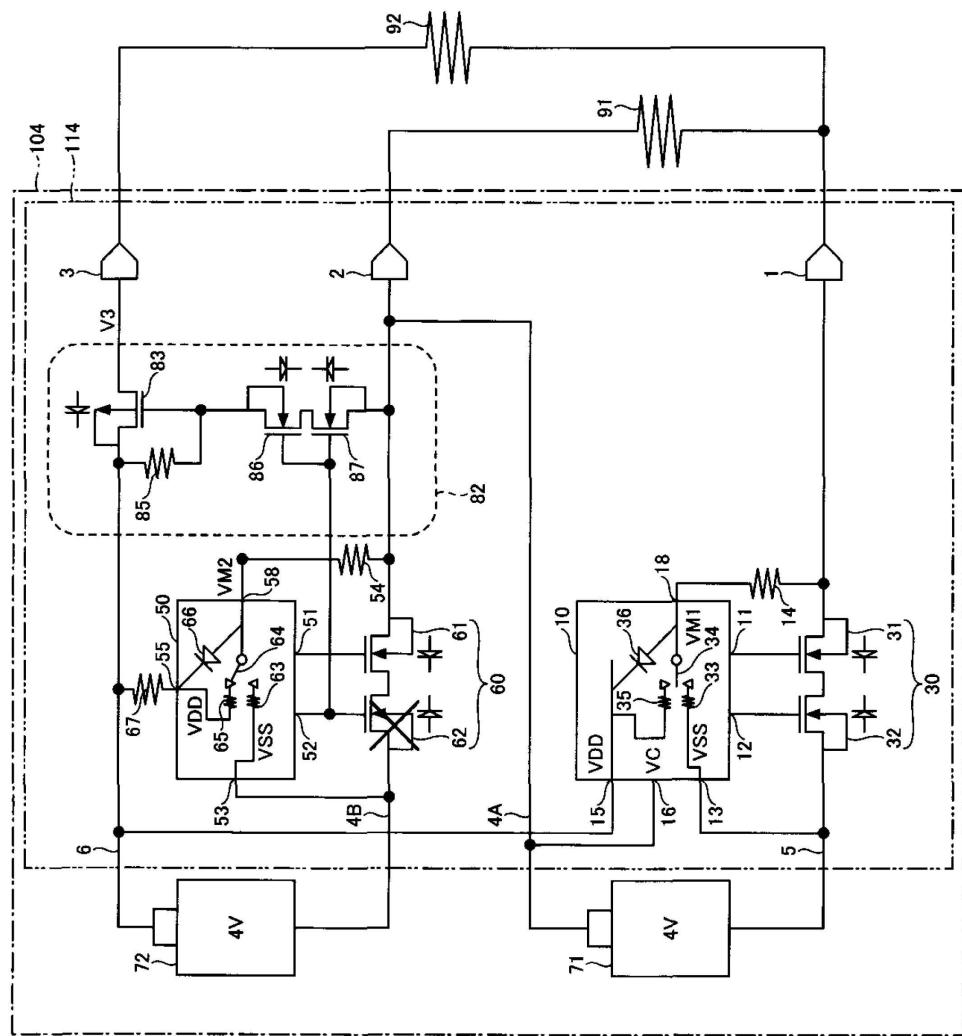
도면14



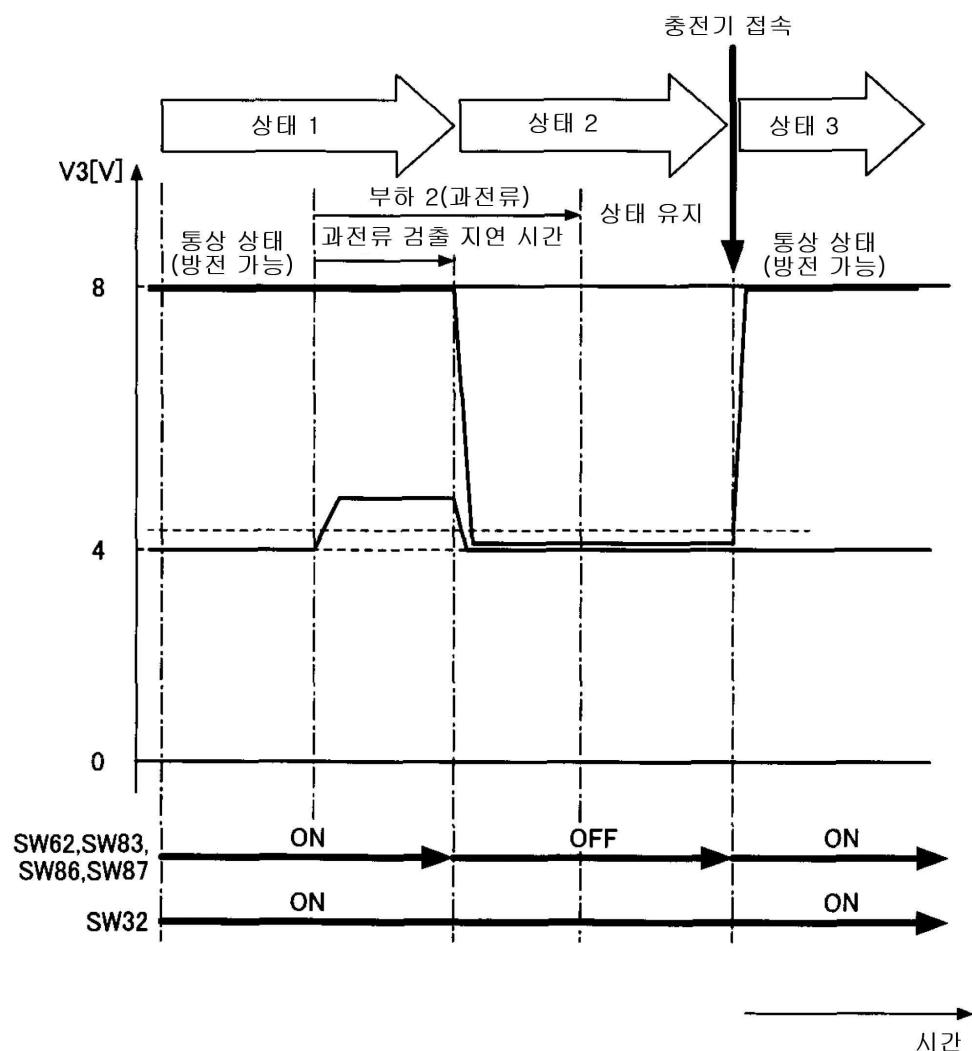
도면 15



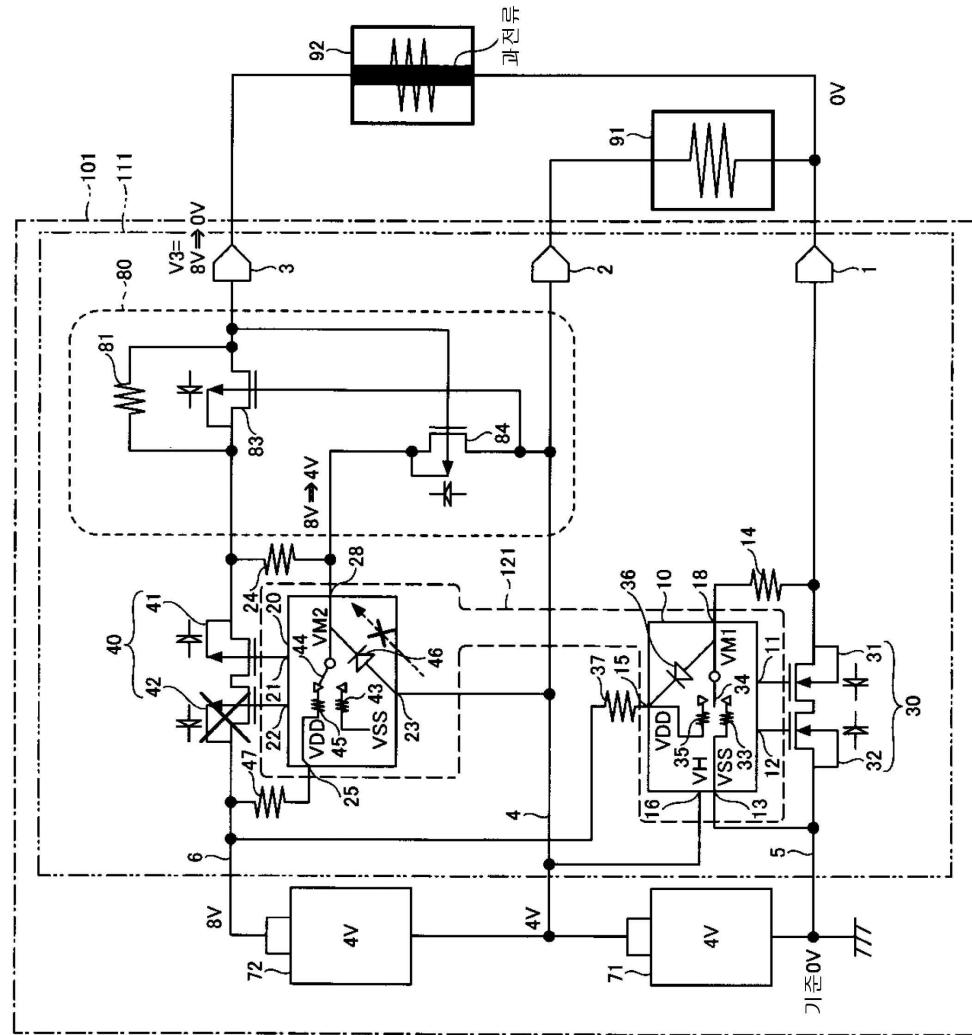
도면 16



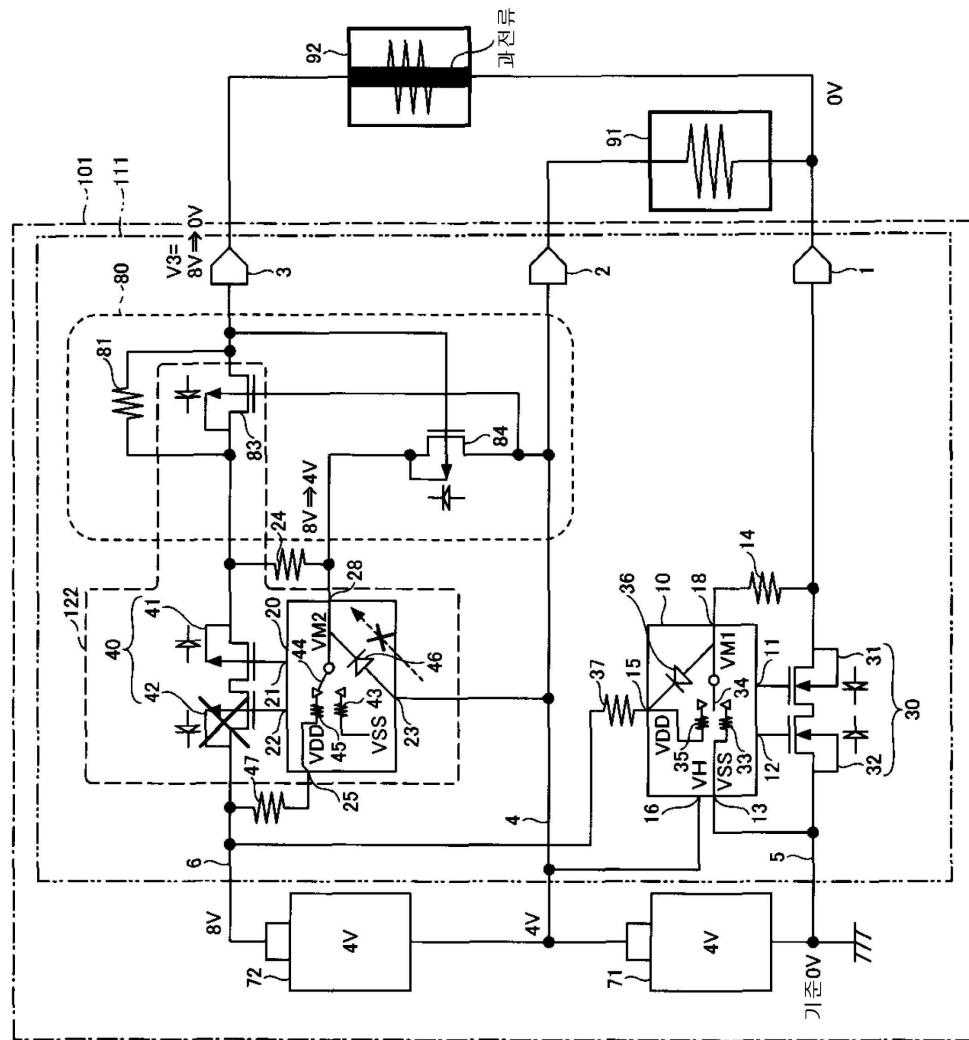
도면17



도면18



도면19



도면20

