

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月9日(09.02.2012)

PCT

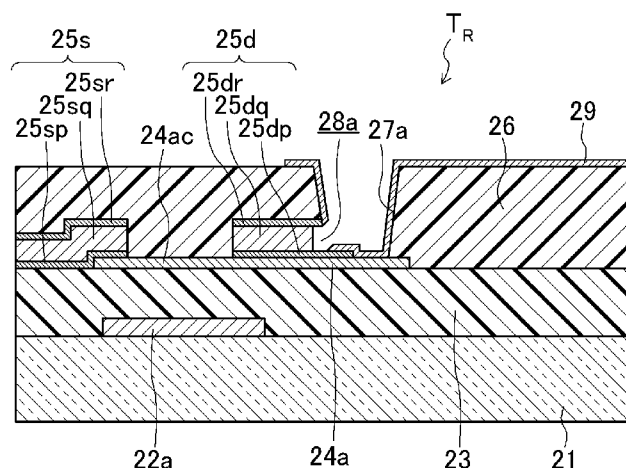
(10) 国際公開番号
WO 2012/017584 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01) H01L 21/768 (2006.01)
H01L 21/306 (2006.01) H01L 23/522 (2006.01)
H01L 21/308 (2006.01)
- (21) 国際出願番号: PCT/JP2011/002931
- (22) 国際出願日: 2011年5月26日(26.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-174792 2010年8月3日(03.08.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 美崎克紀
(MISAKI, Katsunori).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒
5410053 大阪府大阪市中区本町 2 丁目 5 番 7
号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN FILM TRANSISTOR SUBSTRATE

(54) 発明の名称: 薄膜トランジスタ基板

[図4]



(57) Abstract: The purpose of the present invention is to achieve good contact between a drain electrode and a pixel electrode in a thin film transistor substrate. A drain electrode (25d) has a configuration wherein a first conductive film (25dp) and a second conductive film (25dq), which is provided on top of the first conductive film (25dp) and formed of aluminum, are laminated. The second conductive film (25dq) is separated from a first contact hole (27a) so that a gap portion (28a) communicating with the first contact hole (27a) is formed between the second conductive film (25dq) and the first contact hole (27a). A pixel electrode (29) is provided so as not to be in contact with the second conductive film (25dq) of the drain electrode (25d).

(57) 要約:

[続葉有]

WO 2012/017584 A1



本発明は、薄膜トランジスタ基板において、ドレイン電極と画素電極との良好なコンタクトを得ることを目的とするものである。ドレイン電極（２５ｄ）は、第１導電膜（２５ｄｐ）と、第１導電膜（２５ｄｐ）の上層に設けられアルミニウムからなる第２導電膜（２５ｄｑ）と、が積層された構成を有すると共に、第２導電膜（２５ｄｑ）が第１コンタクトホール（２７ａ）と離間することにより両者間に第１コンタクトホール（２７ａ）と連通する空隙部（２８ａ）が形成され、画素電極（２９）は、ドレイン電極（２５ｄ）のうち第２導電膜（２５ｄｑ）とは接触しないように設けられている。

明 細 書

発明の名称： 薄膜トランジスタ基板

技術分野

[0001] 本発明は、薄膜トランジスタ及びそれを備えた液晶表示装置、並びに薄膜トランジスタ基板の製造方法に関し、特に、酸化物半導体からなる半導体層を用いた薄膜トランジスタを有する薄膜トランジスタ基板及び液晶表示装置、並びに薄膜トランジスタ基板の製造方法に関する。

背景技術

[0002] 液晶表示装置を構成する薄膜トランジスタ基板では、画像の最小単位である各画素のスイッチング素子として、薄膜トランジスタ（Thin Film Transistor、以下「TFT」とも称する）が用いられる。従来、TFTとしては、半導体層がアモルファスシリコンからなるものが用いられてきたが、近年、アモルファスシリコン半導体層を備えたTFTに代えて、酸化物半導体からなる半導体層を備えたTFTが提案されている。この酸化物半導体層を備えたTFTは、高移動度、高信頼性及び低オフ電流などの良好な特性を示すため、盛んに研究開発が行われている。

[0003] ボトムゲート構造のTFTは、一般に、ガラス基板上に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上にゲート電極に重なるように設けられた半導体層と、該半導体層に互いに離間して重なるようにゲート絶縁膜上に設けられたソース電極及びドレイン電極と、を備え、これらソース電極とドレイン電極との間で露出した半導体層部分にチャネル部が構成されている。そして、TFTは、ソース電極及びドレイン電極上に設けられた層間絶縁膜により覆われている。層間絶縁膜にはドレイン電極に達するコンタクトホールが設けられ、コンタクトホールの表面が透明導電膜からなる画素電極で被覆されることにより、画素電極

とドレイン電極とが電氣的に接続されている。

[0004] ところで、ドレイン電極は、通常、金属薄膜が複数層積層された構成を有する。ドレイン電極の積層構造としては、例えば、ゲート絶縁膜側から、チタン膜からなる第1導電膜、アルミニウム膜からなる第2導電膜、及び窒化モリブデン膜からなる第3導電膜が順に積層された構成が挙げられる。

[0005] コンタクトホール形成のためのエッチング時には、層間絶縁膜の表面からドレイン電極まで貫通するようにコンタクトホールが設けられるが、このエッチングは、例えば、フッ素系ガスをエッチングガスとして用いたドライエッチングにより行われる。このとき、エッチングガスによりあけられたコンタクトホールがドレイン電極に到達すると、コンタクトホールが第3導電膜を貫通し、第2導電膜（アルミニウム膜）がコンタクトホール表面に露出する。

[0006] コンタクトホール表面に露出したアルミニウム膜がエッチングガスと接触すると、アルミニウム膜表面に、フッ化アルミニウムの膜が形成される。フッ化アルミニウムは、抵抗が大きいため、アルミニウム膜表面が高抵抗被膜で覆われることとなる。さらに、レジストの剥離を酸素アッシングにより行う場合には、フッ化アルミニウム膜の表面が酸化されて、アルミニウム膜の表面が、フッ素を含んだ酸化アルミニウム膜（すなわち、不動態皮膜）で覆われることとなる。

[0007] そのため、コンタクトホール表面に画素電極としてITO膜等を設けても、ITO膜とドレイン電極とは接触はするものの、ドレイン電極の画素電極と接触する部分がフッ化アルミニウムの高抵抗被膜や酸化アルミニウムの不動態皮膜等で覆われているので、導通不良が生じて品質劣化する虞がある。

[0008] 特許文献1には、アクティブマトリクス基板について、低抵抗金属層とゲート絶縁層のエッチングガスで除去可能な耐熱金属層との積層体でソース電極及びドレイン電極を形成し、絶縁ゲート型トランジスタの少なくともチャネル部と信号線を保護する手段を付与した後、その断面形状が逆テーパ形状の感光性樹脂パターンを用いて、ゲート絶縁層を含む絶縁層への開口部を形

成し、開口部内に露出している低抵抗金属層を除去した後、感光性樹脂パターンをリフトオフ剤として画素電極用導電性薄膜層のリフトオフにより画素電極の形成を行うことが開示されている。

先行技術文献

特許文献

[0009] 特許文献1：特開2006-301560号公報

発明の概要

発明が解決しようとする課題

[0010] しかしながら、特許文献1に開示の方法によりアクティブマトリクス基板の形成を行うと、コンタクトホールを形成する際に、ドレイン電極の下層に配されたゲート絶縁層がサイドエッチングされ、ひさし形状となる虞がある。そして、ゲート絶縁層がサイドエッチングされることにより、段切れによりドレイン電極と画素電極とが導通不良となる虞がある。

[0011] 本発明は、薄膜トランジスタ基板において、ドレイン電極と画素電極との良好なコンタクトを得ることを目的とする。

課題を解決するための手段

[0012] 本発明の薄膜トランジスタ基板は、基板と、

基板上に設けられたゲート電極、ゲート電極を覆うように設けられたゲート絶縁膜、ゲート絶縁膜の上層に設けられゲート電極に対向する位置にチャネル部を有する酸化物半導体膜、並びに、酸化物半導体膜上にチャネル部を介して互いに離間して設けられたソース電極及びドレイン電極を有する薄膜トランジスタと、

ゲート絶縁膜の上層に薄膜トランジスタを覆うように設けられ、ドレイン電極に達する第1コンタクトホールを有する層間絶縁膜と、

層間絶縁膜上に設けられ、第1コンタクトホールを介してドレイン電極に電氣的に接続された画素電極と、

を備えたものであって、

ドレイン電極は、第 1 導電膜と、第 1 導電膜の上層に設けられアルミニウムからなる第 2 導電膜と、が積層された構成を有し、第 2 導電膜が第 1 コンタクトホールと離間することにより両者間に第 1 コンタクトホールと連通する空隙部が形成され、

画素電極は、ドレイン電極のうち第 2 導電膜とは接触しないように設けられていることを特徴とする。

[0013] 上記の構成によれば、ドレイン電極の表面に高抵抗被膜や不動態皮膜等が存在せず、画素電極は、ドレイン電極と、第 2 導電膜以外の部分（つまり、第 1 導電膜等の部分）において接触することにより、画素電極とドレイン電極とが電氣的に接続される。従って、ドレイン電極の表面に高抵抗被膜や不動態皮膜等が存在することによる画素電極とドレイン電極とのコンタクト不良が生じることなく、画素電極とドレイン電極との良好なコンタクトが得られる。

[0014] また、第 2 導電膜が第 1 コンタクトホールと離間することにより両者間に第 1 コンタクトホールと連通する空隙部が形成されているので、アルミニウム膜からなる第 2 導電膜と ITO 膜等からなる画素電極とが非接触に形成される。そのため、アルミニウム膜と ITO 膜等が接触することによりアルミニウム膜が劣化して導電性能が低下する虞も生じない。

[0015] 本発明の薄膜トランジスタ基板は、基板上にゲート電極と同一層に設けられた下部電極、ゲート電極及び下部電極を覆うように設けられたゲート絶縁膜、ゲート絶縁膜の上層の下部電極に対向する位置に設けられ酸化物半導体からなるエッチストップ層、及び、エッチストップ層上にドレイン電極と同一層に設けられた上部電極を有する補助容量素子をさらに備え、

補助容量素子は、エッチストップ層及び上部電極に達する第 2 コンタクトホールをさらに有する層間絶縁膜に覆われており、

上部電極は、第 1 導電膜と、第 1 導電膜の上層に設けられアルミニウムからなる第 2 導電膜と、が積層された構成を有し、第 2 導電膜が第 2 コンタクトホールと離間することにより両者間に第 2 コンタクトホールと連通する空

隙部が形成され、

第2コンタクトホール表面には、上部電極のうち第2導電膜とは接触しないで上部電極と電氣的に接続されるように画素電極が設けられていることが好ましい。

[0016] 上記の構成によれば、上部電極の表面に高抵抗被膜や不動態皮膜等が存在せず、画素電極は、上部電極電極と、第2導電膜以外の部分（つまり、第1導電膜等の部分）において接触することにより、画素電極と上部電極とが電氣的に接続される。従って、上部電極の表面に高抵抗被膜や不動態皮膜等が存在することによる画素電極と上部電極とのコンタクト不良が生じることなく、画素電極と上部電極との良好なコンタクトが得られる。

[0017] また、第2導電膜が第2コンタクトホールと離間することにより両者間に第2コンタクトホールと連通する空隙部が形成されているので、アルミニウム膜からなる第2導電膜とITO膜等からなる画素電極とが非接触に形成される。そのため、アルミニウム膜とITO膜等が接触することによりアルミニウム膜が劣化して導電性能が低下する虞も生じない。

[0018] 本発明の薄膜トランジスタ基板は、第1導電膜は高融点金属膜で形成されていてもよい。高融点金属膜としては、例えば、チタン（Ti）膜、モリブデン（Mo）膜、タンタル（Ta）膜、タングステン（W）膜、クロム（Cr）膜、ニッケル（Ni）膜等の金属膜や、それらの金属の合金からなる金属膜等が挙げられる。

[0019] 本発明の薄膜トランジスタ基板は、ドレイン電極が、第1導電膜及び第2導電膜に加え、さらに、第2導電膜の上層に第3導電膜が設けられた構成を有していてもよい。

[0020] また、本発明の薄膜トランジスタ基板は、ドレイン電極が、第1導電膜及び第2導電膜に加え、さらに、第2導電膜の上層に第3導電膜が設けられた構成を有し、

上部電極は、第1導電膜及び第2導電膜に加え、さらに、第2導電膜の上層に第3導電膜が設けられた構成を有していてもよい。

- [0021] 本発明の薄膜トランジスタ基板は、この薄膜トランジスタ基板と、
薄膜トランジスタ基板に対向配置された対向基板と、
薄膜トランジスタ基板と対向基板との間に設けられた液晶層と、
を備えた液晶表示装置に好適に用いられる。
- [0022] 本発明の薄膜トランジスタ基板の製造方法は、基板上に設けられたゲート電極、ゲート電極を覆うように設けられたゲート絶縁膜、ゲート絶縁膜の上層に設けられゲート電極に対向する位置にチャネル部を有する酸化物半導体膜、並びに、酸化物半導体膜上にチャネル部を介して互いに離間するように、第1導電膜、その上層の第2導電膜が下から順に積層して設けられたソース電極及びドレイン電極を有する薄膜トランジスタを形成する薄膜トランジスタ形成工程と、
薄膜トランジスタ形成工程で形成した薄膜トランジスタを覆うようにゲート絶縁膜の上層に層間絶縁膜を形成する層間絶縁膜形成工程と、
層間絶縁膜形成工程の後、層間絶縁膜に対してドライエッチングを行って、第2導電膜が表面に露出するように層間絶縁膜からドレイン電極に達する第1コンタクトホールを形成する第1エッチング工程と、
第1エッチング工程で形成した第1コンタクトホールに対して、アルミニウムの酸化物半導体に対する選択比が高いエッチング液を用いたウェットエッチングを行って、第2導電膜を第1コンタクトホールと離間させることにより両者間に第1コンタクトホールに連通する空隙部を形成する第2エッチング工程と、
第2エッチング工程において空隙部が設けられた層間絶縁膜の表面及び第1コンタクトホールの表面を含む領域に導電膜を成膜して、ドレイン電極のうち第2導電膜とは接触しないでドレイン電極と電氣的に接続されるように画素電極を形成する画素電極形成工程と、
を備えたことを特徴とする。
- [0023] 上記の製造方法によれば、第1エッチング工程において、第1コンタクトホールを形成した後、第2導電膜であるアルミニウム膜表面には、フッ化ア

ルミニウムの高抵抗被膜や、場合によっては酸化アルミニウムの不動態皮膜が形成されるが、第2エッチング工程において、アルミニウムの酸化物半導体に対する選択比が高いエッチング液を用いたウェットエッチングを行って、第2導電膜を第1コンタクトホールと離間させることにより両者間に第1コンタクトホールに連通する空隙部を形成するので、第1エッチング工程で形成された高抵抗被膜や不動態皮膜等が第2エッチング工程で除去される。そして、画素電極形成工程において形成された画素電極は、ドレイン電極と、第2導電膜以外の部分（つまり、第1導電膜等の部分）において接触することにより、画素電極とドレイン電極とが電氣的に接続される。従って、ドレイン電極の表面に高抵抗被膜や不動態皮膜等が存在することによる画素電極とドレイン電極とのコンタクト不良が生じることなく、画素電極とドレイン電極との良好なコンタクトが得られる。

[0024] 本発明の薄膜トランジスタ基板の製造方法は、第2エッチング工程で用いるエッチング液が、アンモニア水であることが好ましい。

発明の効果

[0025] 本発明によれば、第1コンタクトホールを形成した後、第2導電膜であるアルミニウム膜表面には、フッ化アルミニウムの高抵抗被膜やフッ素を含む酸化アルミニウムの不動態皮膜等が形成されるが、その後、第2導電膜を第1コンタクトホールと離間させることにより両者間に第1コンタクトホールに連通する空隙部を形成することにより、高抵抗被膜や不動態皮膜等が除去される。そして、画素電極は、ドレイン電極と、第2導電膜以外の部分（つまり、第1導電膜等の部分）において接触することにより、画素電極とドレイン電極とが電氣的に接続される。従って、ドレイン電極の表面に高抵抗被膜や不動態皮膜等が存在することによるコンタクト不良が生じることなく、画素電極とドレイン電極との良好なコンタクトが得られる。

図面の簡単な説明

[0026] [図1] 本実施形態にかかる液晶表示装置の概略平面図である。

[図2] 図1のI-I'-I-I'線における断面図である。

[図3]本実施形態にかかる薄膜トランジスタ基板の要部を拡大して示す平面図である。

[図4]図3のA－A線における断面図である。

[図5]図3のB－B線における断面図である。

[図6]図3のC－C線における断面図である。

[図7]本実施形態の薄膜トランジスタ基板の製造方法の説明図であり、それぞれ、（a）図3のA－A線における断面図、（b）図3のB－B線における断面図、及び（c）図3のC－C線における断面図に対応する。

[図8]図7に続いて薄膜トランジスタ基板の製造方法を説明する説明図である。

[図9]図8に続いて薄膜トランジスタ基板の製造方法を説明する説明図である。

[図10]図9に続いて薄膜トランジスタ基板の製造方法を説明する説明図である。

[図11]図10に続いて薄膜トランジスタ基板の製造方法を説明する説明図である。

[図12]図11に続いて薄膜トランジスタ基板の製造方法を説明する説明図である。

[図13]図12に続いて薄膜トランジスタ基板の製造方法を説明する説明図である。

[図14]図13に続いて薄膜トランジスタ基板の製造方法を説明する説明図である。

発明を実施するための形態

[0027] 以下、本発明の実施形態を図面に基づいて詳細に説明する。但し、本発明は以下の実施形態に限定されるものではなく、他の構成であってもよい。

[0028] <液晶表示装置の構成>

図1及び2は、本実施形態にかかる液晶表示装置10を示す。液晶表示装置10は、互いに対向して配置されたTFT基板20及び対向基板30を備

えている。両基板 20 及び 30 は、それらの外周縁部に枠状に配置されたシール材 40 により接着されている。そして、両基板 20 及び 30 の間のシール材 40 に包囲された空間には、表示層として液晶層 50 が設けられている。液晶表示装置 10 は、シール材 40 の内側に形成されて複数の画素がマトリクス状に配置された表示領域 D を有し、それを囲む領域が額縁領域 F となっている。

[0029] (TFT 基板)

図 3 は、TFT 基板 20 の平面図である。TFT 基板 20 は、ガラス基板等からなる基板 21 上に、ゲート電極 22a、下部電極 22b、端子 22c やゲート線 22gb、トランスファパッド（不図示）等を含む第 1 メタル、 SiO_2 や SiO_2 と SiN との積層体等からなるゲート絶縁膜 23、IGZO 膜等からなる酸化物半導体膜 24a~b、ソース電極 25s、ドレイン電極 25d、上部電極 25b やソース線 25sb 等を含む第 2 メタル、 SiO_2 、 SiN 、透明絶縁性樹脂等からなる層間絶縁膜 26、ITO (Indium Tin Oxide) 膜等からなる画素電極 29、及びポリイミド膜等からなる配向膜（不図示）が積層形成されている。

[0030] 図 4 は、図 3 の A-A 線における断面図である。

[0031] 図 4 に示すように、ゲート電極 22a はゲート絶縁膜 23 に覆われ、ゲート絶縁膜 23 上にはゲート電極 22a に対向する位置にチャネル部 24ac が形成された酸化物半導体膜 24a が配置され、酸化物半導体膜 24a 上にチャネル部 24ac を介して互いに離間してソース電極 25s 及びドレイン電極 25d が設けられた構成となっており、これらが薄膜トランジスタ T_R を構成している。

[0032] ゲート電極 22a は第 1 メタルで形成され、例えば、アルミニウム膜、チタン膜、及び窒化チタン膜が下から順に積層された構成を有する。

[0033] ソース電極 25s やドレイン電極 25d は第 2 メタルで形成され、第 1 導電膜、第 1 導電膜上の第 2 導電膜、及び第 2 導電膜上の第 3 導電膜が順に積層された構成を有する。つまり、ソース電極 25s は第 1 導電膜 25sp,

第2導電膜25sq及び第3導電膜25srが順に積層された構成を、ドレイン電極25dは第1導電膜25dp、第2導電膜25dq及び第3導電膜25drが順に積層された構成を有する。第1導電膜25sp、25dpは、例えばチタン(Ti)膜からなり、例えば厚さが50nmである。第2導電膜25sq、25dqは、アルミニウム膜からなり、例えば厚さが100nmである。第3導電膜25sr、25drは、例えば窒化モリブデン(MoN)膜等の高融点金属膜からなり、例えば厚さが150nmである。なお、第1導電膜25sp、25dpや、第3導電膜25sr、25drは、上記の金属膜に限られないが、第1導電膜25sp、25dpとしては、高融点金属膜であることが好ましい。第1導電膜25sp、25dpとしては、チタン(Ti)膜の他、例えば、モリブデン(Mo)膜、タンタル(Ta)膜、タングステン(W)膜、クロム(Cr)膜、ニッケル(Ni)膜等の金属膜や、それらの金属の合金からなる金属膜等が挙げられる。

[0034] 層間絶縁膜26には第1コンタクトホール27aが設けられ、層間絶縁膜26表面からドレイン電極25dに達する。第1コンタクトホール27aの表面は画素電極29で被覆されており、画素電極29はドレイン電極25dと電氣的に接続されている。

[0035] 画素電極29は、ドレイン電極25dのうち、第1導電膜25dpや第3導電膜25drの部分と接触するように設けられている。一方、画素電極29は、ドレイン電極25dのうち第2導電膜25dqの部分とは、非接触となっている。これは、第1導電膜25dpと第3導電膜25drとの間には、第1コンタクトホール27aの壁部において、第1コンタクトホール27aと連通するように空隙部28aが形成され、これにより、ドレイン電極25dの第2導電膜25dqと第1コンタクトホール27aとが離間するように配置されているからである。空隙部28aは、第1コンタクトホール27aの表面から50～200nm程度の深さの空隙となるように形成されている。

[0036] 第2導電膜25dqを構成するアルミニウム膜と画素電極29を構成する

I T O膜とは、両者が接触している場合には、アルミニウム膜が酸化されて表面が酸化アルミニウムで覆われると同時に、I T O膜が還元されてインジウムリッチとなる。このとき、アルミニウム膜の表面が酸化アルミニウムで覆われることにより導電性能が低下する問題があるが、画素電極29と第2導電膜25dqとが非接触となるように配置されているため、かかる問題は生じない。

[0037] 図5は、図3のB-B線における断面図である。

[0038] 図5に示すように、下部電極22bはゲート絶縁膜23に覆われ、ゲート絶縁膜23上には下部電極22bに対向する位置にエッチストッパ層24bが配置され、エッチストッパ層24b上には上部電極25bが設けられた構成となっており、これらが補助容量素子Csを構成している。

[0039] 下部電極22bは第1メタルで形成され、例えば、アルミニウム膜、チタン膜、及び窒化チタン膜が下から順に積層された構成を有する。なお、下部電極22bは、端子領域Tに設けられた補助容量端子Tcと接続されている。

[0040] 上部電極25bは第2メタルで形成され、第1導電膜25bp、第1導電膜25bp上の第2導電膜25bq、及び第2導電膜25bq上の第3導電膜25brが順に積層された構成を有する。第1導電膜25bpは、例えばチタン(Ti)膜からなり、例えば厚さが50nmである。第2導電膜25bqは、例えばアルミニウム膜からなり、例えば厚さが100nmである。第3導電膜25brは、例えば窒化モリブデン(MoN)膜等の高融点金属膜からなり、例えば厚さが150nmである。なお、第1導電膜25bpや第3導電膜25brは、上記の金属膜に限られないが、第1導電膜25bpとしては、高融点金属膜であることが好ましい。第1導電膜25bpとしては、チタン(Ti)膜の他、例えば、モリブデン(Mo)膜、タンタル(Ta)膜、タングステン(W)膜、クロム(Cr)膜、ニッケル(Ni)膜等の金属膜や、それらの金属の合金からなる金属膜等が挙げられる。

[0041] 層間絶縁膜26には第2コンタクトホール27bが設けられ、層間絶縁膜

26表面から上部電極25bに達する。第2コンタクトホール27bの表面は画素電極29で被覆されており、画素電極29は上部電極25bと電氣的に接続されている。

[0042] 画素電極29は、上部電極25bのうち、第1導電膜25bpや第3導電膜25brの部分と接触するように設けられている。一方、画素電極29は、上部電極25bのうち第2導電膜25bqの部分とは、非接触となっている。これは、第1導電膜25bpと第3導電膜25brとの間には、第2コンタクトホール27bの壁部において第2コンタクトホール27bと連通するように空隙部28bが形成され、これにより、上部電極25bの第2導電膜25bqと第2コンタクトホール27bとが離間するように配置されているからである。空隙部28bは、第2コンタクトホール27bの表面から50～200nm程度の深さの空隙となるように形成されている。

[0043] 図6は、図3のC-C線における断面図である。

[0044] 図6に示すように、端子22cはゲート絶縁膜23及び層間絶縁膜26に覆われている。端子22cは第1メタルで形成され、例えば、アルミニウム膜、チタン膜、及び窒化チタン膜が下から順に積層された構成を有する。

[0045] ゲート絶縁膜23及び層間絶縁膜26には、層間絶縁膜26表面から端子22cに達するように第3コンタクトホール27cが設けられている。第3コンタクトホール27cの表面は画素電極29で被覆され、画素電極29は端子22cと電氣的に接続され、ゲート端子部T_Gを構成している。

[0046] なお、図6はゲート端子部T_Gにおける断面を示すが、ソース端子部T_Sにおいても同様の断面構造を有する。

[0047] TFT基板20の額縁領域Fの一部は、TFT基板20が対向基板30よりも突出して形成され、実装部品などの外部接続端子（不図示）を取り付けるための端子領域Tとなっている。額縁領域Fには、対向基板30の共通電極に共通電位を与えるためのトランスファパッド（不図示）が形成され、各トランスファパッドは、端子領域Tに配されたトランスファバスライン（不図示）に接続されている。

[0048] TFT基板20の液晶層50とは反対側の表面には偏光板（不図示）が設けられている。

[0049] （対向基板）

対向基板30は、図示しないが、表示領域Dにおいて、基板本体表面に、赤色着色層、緑色着色層、及び青色着色層の各着色層が画素毎に配されている。そして、各着色層22R, G, Bの上層には、例えば厚さ100nm程度のITO等からなる共通電極が設けられ、さらに、共通電極を覆うように配向膜が形成されている。なお、各着色層が赤色、緑色及び青色の3種類の着色層で構成されとしたが、これに限られず、例えば、赤色、緑色、青色及び黄色の4種類の着色層で構成されていてもよい。

[0050] なお、対向基板30の液晶層50とは反対側の表面には偏光板（不図示）が設けられている。

[0051] （シール材）

TFT基板20と対向基板30の間の外周縁部には、額縁領域Fに沿って環状に延びるようにシール材40が配置されている。そして、シール材40がTFT基板20と対向基板30とを互いに接着している。

[0052] シール材40は、流動性を有する熱硬化性樹脂や紫外線硬化樹脂等（例えば、アクリル系樹脂やエポキシ系樹脂）の接着剤を主成分とするシール材原料が、加熱や紫外線の照射により硬化されたものである。シール材40には、例えば導電性ビーズが混入されており、共通電極とトランスファパッドとを電氣的に接続させるための媒体として機能する。

[0053] （液晶層）

液晶層50は、電気光学特性を有するネマチック液晶材料などにより構成されている。

[0054] 上記構成の液晶表示装置10は、各画素電極毎に1つの画素が構成されており、各画素において、ゲート線からゲート信号が送られて薄膜トランジスタ T_R がオン状態になったときに、ソース線からソース信号が送られてソース電極及びドレイン電極を介して、画素電極に所定の電荷を書き込まれ、画素

電極と対向基板 30 の共通電極との間で電位差が生じることになり、液晶層 50 からなる液晶容量に所定の電圧が印加されるように構成されている。そして、液晶表示装置 10 では、その印加電圧の大きさに応じて液晶分子の配向状態が変わることを利用して、外部から入射する光の透過率を調整することにより、画像が表示される。

[0055] なお、上記では、TFT 基板 20 のソース電極 25 s やドレイン電極 25 d、上部電極 25 b 等を構成する第 2 メタルが、第 1 導電膜 25 s p, 25 d p, 25 b p、第 2 導電膜 25 s q, 25 d q, 25 b q 及び第 3 導電膜 25 s r, 25 d r, 25 b r が順に積層された構成を有するとして説明したが、第 3 導電膜 25 s r, 25 d r, 25 b r を備えない構成（つまり、第 1 導電膜 25 s p, 25 d p, 25 b p、及び、第 2 導電膜 25 s q, 25 d q, 25 b q の 2 層が積層された構成）であっても構わない。

[0056] < TFT 基板の製造方法 >

以下、本実施形態の TFT 基板 20 を製造する方法について説明する。本実施形態の TFT 基板 20 の製造方法は、薄膜トランジスタ形成工程、層間絶縁膜形成工程、第 1 エッチング工程、第 2 エッチング工程、及び画素電極形成工程を備えている。

[0057] （薄膜トランジスタ形成工程）

まず、基板 21 上に第 1 メタルを設け、図 7 (a) ~ (c) に示すように、ゲート電極 22 a、下部電極 22 b、端子 22 c、ゲート線 22 g b（図 3 参照）、トランスファパッド（不図示）等を形成する。具体的には、アルミニウム膜、チタン膜、及び窒化チタン膜を例えばスパッタ法を用いて連続して積層形成した後、フォトリソグラフィ法を用いてゲート電極 22 a、下部電極 22 b、端子 22 c 等となる部分にレジストパターンを残存させる。そして、例えば、塩素系のガスを用いたドライエッチング法（RIE 法）を用いてアルミニウム膜、チタン膜、及び窒化チタン膜の導電膜の積層体をエッチングした後、レジスト剥離液にてレジストを剥離する。

[0058] 次に、図 8 (a) ~ (c) に示すように、ゲート絶縁膜 23 として、例え

ばCVD法を用いてSiO₂膜を形成する。

[0059] 次いで、図9(a)～(c)に示すように、酸化物半導体膜24a及びエッチストッパ層24bを形成する。具体的には、例えばスパッタ法等を用いて、IGZO膜等の酸化物半導体膜を形成した後、フォトリソグラフィ法を用いて、酸化物半導体膜24a及びエッチストッパ層24bとなる部分にレジストパターンを残存させる。そして、例えば、エッチング液としてシュウ酸液を用いたウェットエッチング法によりIGZO膜をエッチングした後、レジスト剥離液にてレジストを剥離する。

[0060] 続いて、図10(a)～(c)に示すように、ソース電極25s、ドレイン電極25d、及び上部電極25bを形成する。具体的には、第1導電膜25sp、25dp、25bpとなるチタン膜（厚さ50nm程度）、第2導電膜25sq、25dq、25bqとなるアルミニウム膜（厚さ150nm程度）、及び、第3導電膜25sr、25dr、25brとなる窒化モリブデン膜（厚さ100nm程度）を例えばスパッタ法を用いて連続して積層形成した後、フォトリソグラフィ法を用いてソース電極25s、ドレイン電極25d、及び上部電極25bとなる部分にレジストパターンを残存させる。そして、例えば、エッチング液として燐酸／酢酸／硝酸の混酸液を用いたウェットエッチングにより第2導電膜及び第3導電膜をエッチングし、さらに、塩素系のガスを用いたドライエッチング（RIE法）を用いて第1導電膜であるチタン膜をエッチングした後、レジスト剥離液にてレジストを剥離する。

[0061] (層間絶縁膜形成工程)

次に、図11(a)～(c)に示すように、層間絶縁膜26として、例えばCVD法を用いてSiO₂膜を形成する。

[0062] (第1エッチング工程)

次いで、層間絶縁膜26をドライエッチングすることにより、図12(a)～(c)に示すように、第1コンタクトホール27a、第2コンタクトホール27b、第3コンタクトホール27cを形成する。

- [0063] 具体的には、まず、層間絶縁膜 26 上に感光性のレジストを塗布した後、フォトリソグラフィ法を用いて、第 1～3 コンタクトホール 27 a～c となる部分以外の部分にレジストを残存させる。そして、例えば、六フッ化硫黄 (SF_6)、四フッ化炭素 (CF_4) やトリフルオロメタン (CHF_3) 等のフッ素系のガスを用いたドライエッチング法 (RIE 法) を用いて層間絶縁膜 26 をエッチングすることにより、第 1～3 コンタクトホール 27 a～c が形成される。
- [0064] このとき、薄膜トランジスタ T_R の部分においては、図 12 (a) に示すように、層間絶縁膜 26 と同時に、ドレイン電極 25 d の最上層を構成する第 3 導電膜 25 d r もエッチングされる。また、第 1 コンタクトホール 27 a は、ドレイン電極 25 d と酸化物半導体膜 24 a との境界を含む領域に設けられる。つまり、ドレイン電極 25 d と酸化物半導体膜 24 a の両方が第 1 コンタクトホール 27 a の表面に露出することとなる。このとき、第 1 コンタクトホール 27 a となる領域のうちドレイン電極 25 d が存在しない部分には酸化物半導体膜 25 a が設けられているので、酸化物半導体膜 24 a がエッチングストッパとして機能する。
- [0065] また、このとき、薄膜トランジスタ T_R の部分と同様に、補助容量素子 C_s の部分においては、図 12 (b) に示すように、層間絶縁膜 26 と同時に、上部電極 25 b の最上層を構成する第 3 導電膜 25 b r もエッチングされる。また、第 2 コンタクトホール 27 b は、上部電極 25 b とエッチストッパ層 24 b との境界を含む領域に設けられる (つまり、上部電極 25 b とエッチストッパ層 24 b の両方が第 2 コンタクトホール 27 b の表面に露出することとなる)。このとき、第 2 コンタクトホール 27 b となる領域のうち上部電極 25 b が存在しない部分には上部電極 25 b が設けられているので、エッチストッパ層 24 b がエッチングストッパとして機能する。
- [0066] エッチングにより層間絶縁膜 26 及び第 3 導電膜 25 d r、25 b r が除去されて第 1、第 2 コンタクトホール 27 a、b が形成されることにより、第 1、第 2 コンタクトホール 27 a、b のそれぞれの表面には第 2 導電膜 2

5 d q、2 5 b qが露出するが、第2導電膜2 5 d q、2 5 b qの露出した表面のそれぞれには、フッ素系のガスによりアルミニウムがフッ化され、表面にフッ化アルミニウムの高抵抗被膜が形成される。

[0067] エッチングに続いて、酸素アッシングによりレジストを剥離する。このとき、図12 (a) 及び (b) に示す、第1、第2コンタクトホール2 7 a、bのそれぞれの表面に露出した第2導電膜2 5 d q、2 5 b qのそれぞれは、フッ化アルミニウムとなっているが、酸素アッシングされることにより酸化されて、フッ素を含んだ酸化アルミニウム膜、つまり、不動態皮膜が形成される。

[0068] なお、図12 (c) に示すように、ゲート端子部T_gにおいては第3コンタクトホール2 7 cが形成されるが、エッチング時には、層間絶縁膜2 6 及びゲート絶縁膜2 3 が共に除去され、端子2 2 cがエッチストップパとして機能する。

[0069] (第2エッチング工程)

第1エッチング工程に続いて、図13 (a) 及び (b) に示すように、ウェットエッチングを行う。このとき、エッチング液としては、例えば、アルミニウムの酸化物半導体に対する選択比が高いものを使用する。これにより、第1コンタクトホール2 7 aや第2コンタクトホール2 7 bの表面に露出した構成のうち、アルミニウム膜からなる第2導電膜2 5 d q、2 5 b qだけを選択的にエッチングすることが可能となる。これにより、空隙部2 8 a、2 8 bが形成される。アルミニウムの酸化物半導体に対する選択比としては、5以上であることが好ましい。かかるエッチング液としては、例えば、アルミニウムの酸化物半導体に対する選択比が20以上のアンモニア水等が挙げられる。

[0070] このとき、第2導電膜2 5 d q、2 5 b qの表面がエッチングされるので、表面に形成されていた高抵抗被膜や不動態皮膜は除去される。そのため、第2導電膜2 5 d q、2 5 b qの一部が高抵抗被膜や不動態皮膜であることにより導電性能が劣化する虞がなくなる。

[0071] なお、エッチング液として例えばアンモニア水等のチタン等をエッチングしにくいものを使用するので、ゲート端子部 T_g においては、図13(c)に示すように、端子22c等が第2エッチング工程のウェットエッチングにより損傷を受ける虞がない。

[0072] (画素電極形成工程)

最後に、図14(a)～(c)に示すように、画素電極29を形成する。

[0073] 具体的には、まず、例えばスパッタ法等を用いてITO膜を形成した後、フォトリソグラフィ法を用いて画素電極29となる部分にレジストパターンを残存させる。そして、例えばエッチング液としてシュウ酸液を用いてITO膜をエッチングし、レジスト剥離液にてレジストを剥離することにより画素電極が形成される。

[0074] このとき、薄膜トランジスタ T_R においては、図14(a)に示すように、画素電極29は、ドレイン電極25dの第1導電膜25dp及び第3導電膜25drと接触するように設けられる。ここでは、空隙部28aが存在するので、画素電極29と第3導電膜25dqとは非接触となっている。また、補助容量素子 C_s においては、図14(b)に示すように、画素電極29は、上部電極25bの第1導電膜25bp及び第3導電膜25brと接触するように設けられる。ここでは、空隙部28bが存在するので、画素電極29と第3導電膜25bqとは非接触となっている。ゲート端子部 T_g においては、図14(c)に示すように、画素電極29は、端子22cと電氣的に接続されるように設けられる。

[0075] 以上のようにして、TFT基板20が作製される。上記のTFT基板20の製造方法によれば、第1エッチング工程において第1コンタクトホール27a、第2コンタクトホール27bを形成した後、第2エッチング工程において、第2導電膜25dq、25bqのそれぞれが第1コンタクトホール27a及び第2コンタクトホール27bと離間するように、第1コンタクトホール27a及び第2コンタクトホール27bの壁部において第1導電膜25dp、25bpと第3導電膜25dr、25brとの間に空隙部28a、2

8bを形成するので、第1エッチング工程で形成された高抵抗被膜や不動態皮膜が第2エッチング工程で除去される。そして、薄膜トランジスタ T_R の部分においては、画素電極形成工程において形成された画素電極29は、ドレイン電極25dとは、第2導電膜25dq以外の第1導電膜25dpや第3導電膜25drの部分において接触することにより、画素電極29とドレイン電極25dとが電氣的に接続される。従って、ドレイン電極25dの表面に高抵抗被膜や不動態皮膜が存在することによる画素電極29とドレイン電極25dとのコンタクト不良が生じることなく、画素電極29とドレイン電極25dとの良好なコンタクトが得られる。また、補助容量素子 C_s の部分においては、画素電極形成工程において形成された画素電極29は、上部電極25bとは、第2導電膜25bq以外の第1導電膜25bpや第3導電膜25brの部分において接触することにより、画素電極29と上部電極25bが電氣的に接続される。従って、上部電極25bの表面に高抵抗被膜や不動態皮膜が存在することによる画素電極29と上部電極25bとのコンタクト不良が生じることなく、画素電極29と上部電極25bとの良好なコンタクトが得られる。

[0076] 上記の方法で作成したTFT基板20と、各画素毎にカラーフィルタが形成された対向基板30と、を、対向配置させてシール材40により貼り合わせ、両基板間に液晶材料を充填させて液晶層50とすることにより、液晶表示装置10を得ることができる。

[0077] なお、上記では、第1エッチング工程において、レジストの除去を酸素アッシングにより行うとして説明したが、特にこれに限られず、例えば、レジスト剥離液等を用いてレジストを除去してもよい。レジストの除去をレジスト剥離液を用いて行う場合には、アルミニウム膜が酸化されて第2導電膜25dq、25bpの表面が酸化アルミニウム膜、つまり不動態皮膜で被覆されることはないが、エッチング工程により第2導電膜25dq、25bpの表面がフッ化アルミニウムの高抵抗被膜で覆われているので、第2導電膜25dq、25bpと画素電極29とが接触してもコンタクト不良となる問題

がある。しかしながら、本実施形態の構成の薄膜トランジスタ基板によれば、第1エッチング工程において第1コンタクトホール27a、第2コンタクトホール27bを形成した後、第2エッチング工程において、第2導電膜25dq、25bqのそれぞれが第1コンタクトホール27a及び第2コンタクトホール27bと離間するように、第1コンタクトホール27a及び第2コンタクトホール27bの壁部において第1導電膜25dp、25bpと第3導電膜25dr、25brとの間に空隙部28a、28bを形成するので、第1エッチング工程で形成された高抵抗被膜が第2エッチング工程で除去される。従って、ドレイン電極25dの表面に高抵抗被膜が存在することによる画素電極29とドレイン電極25dや上部電極25bとのコンタクト不良が生じることなく、良好なコンタクトが得られる。

産業上の利用可能性

[0078] 本発明は、薄膜トランジスタ基板及びそれを備えた液晶表示装置、並びに薄膜トランジスタ基板について有用である。

符号の説明

[0079]	Cs	補助容量素子
	TR	薄膜トランジスタ
	10	液晶表示装置
	20	薄膜トランジスタ基板（TFT基板）
	21	基板
	22a	ゲート電極
	22b	下部電極
	23	ゲート絶縁膜
	24a	酸化物半導体膜
	24ac	チャネル部
	24b	エッチストッパ層
	25a	酸化物半導体膜
	25b	上部電極

25 d	ドレイン電極
25 d p、25 b p	第1導電膜
25 d q、25 b q	第2導電膜
25 d r、25 b r	第3導電膜
25 s	ソース電極
26	層間絶縁膜
27 a	第1コンタクトホール
27 b	第2コンタクトホール
28 a, 28 b	空隙部
29	画素電極
30	対向基板
40	シール材
50	液晶層

請求の範囲

[請求項1]

基板と、

上記基板上に設けられたゲート電極、該ゲート電極を覆うように設けられたゲート絶縁膜、該ゲート絶縁膜の上層に設けられ上記ゲート電極に対向する位置にチャネル部を有する酸化物半導体膜、並びに、該酸化物半導体膜上に上記チャネル部を介して互いに離間して設けられたソース電極及びドレイン電極を有する薄膜トランジスタと、

上記ゲート絶縁膜の上層に上記薄膜トランジスタを覆うように設けられ、上記ドレイン電極に達する第1コンタクトホールを有する層間絶縁膜と、

上記層間絶縁膜上に設けられ、上記第1コンタクトホールを介して上記ドレイン電極に電氣的に接続された画素電極と、
を備えた薄膜トランジスタ基板であって、

上記ドレイン電極は、第1導電膜と、該第1導電膜の上層に設けられアルミニウムからなる第2導電膜と、が積層された構成を有し、上記第2導電膜が上記第1コンタクトホールと離間することにより両者間に該第1コンタクトホールと連通する空隙部が形成され、

上記画素電極は、上記ドレイン電極のうち上記第2導電膜とは接触しないように設けられている
ことを特徴とする薄膜トランジスタ基板。

[請求項2]

請求項1に記載された薄膜トランジスタ基板において、

上記基板上に上記ゲート電極と同一層に設けられた下部電極、該ゲート電極及び該下部電極を覆うように設けられた上記ゲート絶縁膜、該ゲート絶縁膜の上層の上記下部電極に対向する位置に設けられ酸化物半導体からなるエッチストップ層、及び、該エッチストップ層上に上記ドレイン電極と同一層に設けられた上部電極を有する補助容量素子をさらに備え、

上記補助容量素子は、上記エッチストップ層及び上記上部電極に達

する第2コンタクトホールをさらに有する上記層間絶縁膜に覆われており、

上記上部電極は、第1導電膜と、該第1導電膜の上層に設けられアルミニウムからなる第2導電膜と、が積層された構成を有し、上記第2導電膜が上記第2コンタクトホールと離間することにより両者間に該第2コンタクトホールと連通する空隙部が形成され、

上記第2コンタクトホール表面には、上記上部電極のうち上記第2導電膜とは接触しないで該上部電極と電氣的に接続されるように上記画素電極が設けられている

ことを特徴とする薄膜トランジスタ基板。

[請求項3] 請求項1または2に記載された薄膜トランジスタ基板において、
 上記第1導電膜は高融点金属膜で形成される

ことを特徴とする薄膜トランジスタ基板。

[請求項4] 請求項1に記載された薄膜トランジスタ基板において、
 上記ドレイン電極は、上記第1導電膜及び第2導電膜に加え、さらに、該第2導電膜の上層に第3導電膜が設けられた構成を有する
ことを特徴とする薄膜トランジスタ基板。

[請求項5] 請求項2に記載された薄膜トランジスタ基板において、
 上記ドレイン電極は、上記第1導電膜及び第2導電膜に加え、さらに、該第2導電膜の上層に第3導電膜が設けられた構成を有し、
 上記上部電極は、上記第1導電膜及び第2導電膜に加え、さらに、
 該第2導電膜の上層に第3導電膜が設けられた構成を有する
ことを特徴とする薄膜トランジスタ基板。

[請求項6] 請求項1～5のいずれかに記載された薄膜トランジスタ基板と、
 上記薄膜トランジスタ基板に対向配置された対向基板と、
 上記薄膜トランジスタ基板と上記対向基板との間に設けられた液晶層と、
 を備えたことを特徴とする液晶表示装置。

[請求項7]

請求項1に記載された薄膜トランジスタ基板の製造方法であって、
基板上に設けられたゲート電極、該ゲート電極を覆うように設けられたゲート絶縁膜、該ゲート絶縁膜の上層に設けられ該ゲート電極に対向する位置にチャネル部を有する酸化物半導体膜、並びに、該酸化物半導体膜上に該チャネル部を介して互いに離間するように、第1導電膜、及びその上層の第2導電膜が積層して設けられたソース電極及びドレイン電極を有する薄膜トランジスタを形成する薄膜トランジスタ形成工程と、

上記薄膜トランジスタ形成工程で形成した薄膜トランジスタを覆うように上記ゲート絶縁膜の上層に層間絶縁膜を形成する層間絶縁膜形成工程と、

上記層間絶縁膜形成工程の後、上記層間絶縁膜に対してドライエッチングを行って、上記第2導電膜が表面に露出するように上記層間絶縁膜から上記ドレイン電極に達する第1コンタクトホールを形成する第1エッチング工程と、

上記第1エッチング工程で形成した上記第1コンタクトホールに対して、アルミニウムの酸化物半導体に対する選択比が高いエッチング液を用いたウェットエッチングを行って、該第2導電膜を上記第2コンタクトホールと離間させることにより両者間に該第1コンタクトホールに連通する空隙部を形成する第2エッチング工程と、

上記第2エッチング工程において上記空隙部が設けられた上記層間絶縁膜の表面及び上記第1コンタクトホールの表面を含む領域に導電膜を成膜して、上記ドレイン電極のうち上記第2導電膜とは接触しないで該ドレイン電極と電氣的に接続されるように画素電極を形成する画素電極形成工程と、

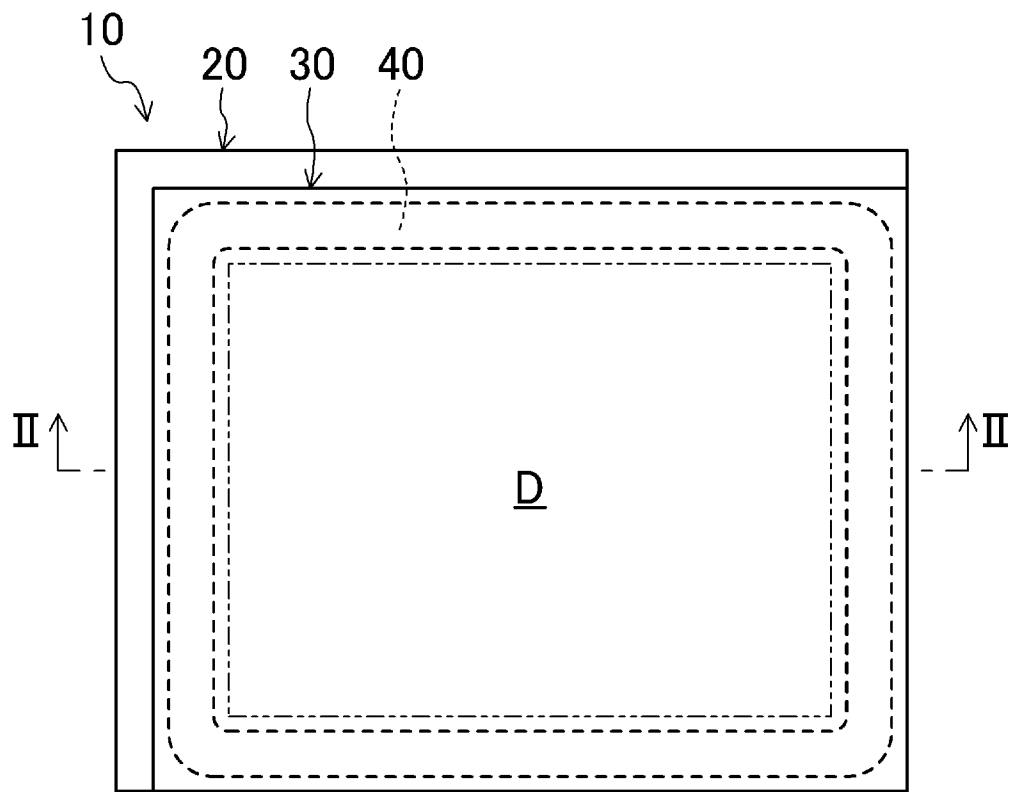
を備えたことを特徴とする薄膜トランジスタ基板の製造方法。

[請求項8]

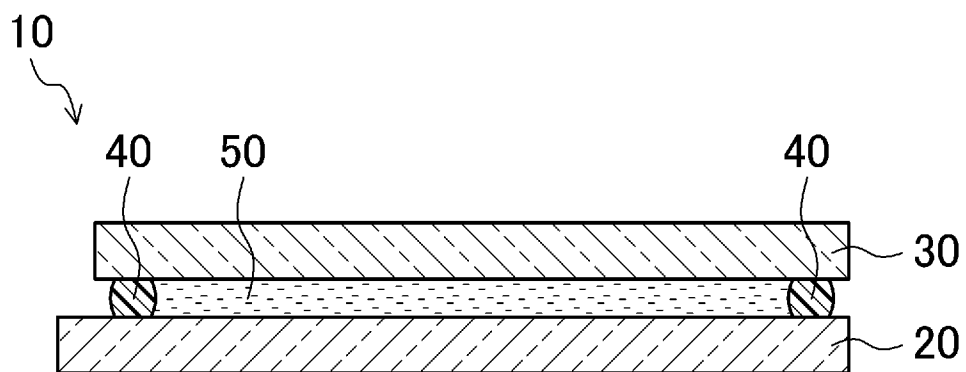
請求項7に記載された薄膜トランジスタ基板の製造方法において、
上記第2エッチング工程で用いるエッチング液は、アンモニア水で

あることを特徴とする薄膜トランジスタ基板の製造方法。

[図1]



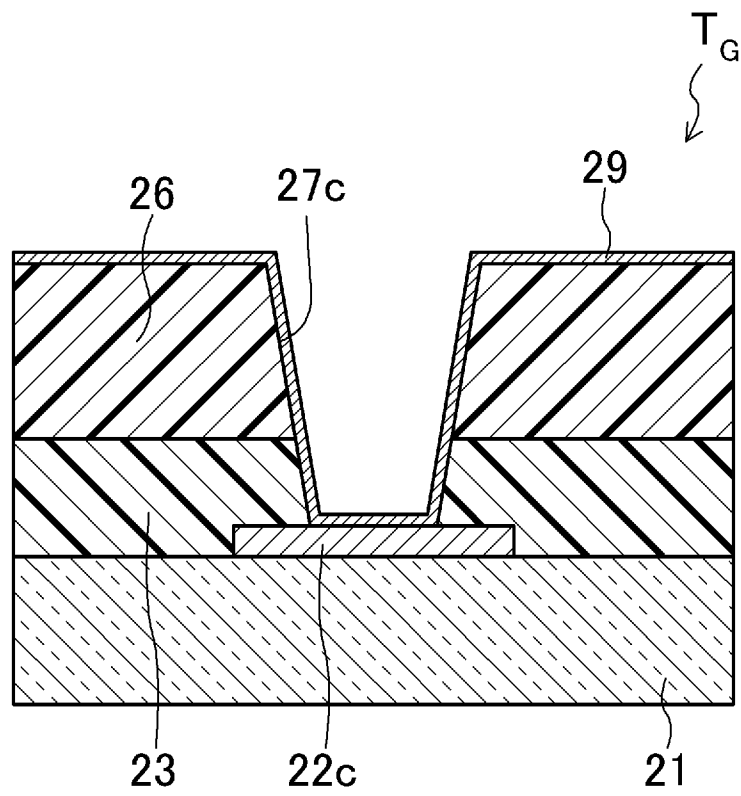
[図2]



[illegible]

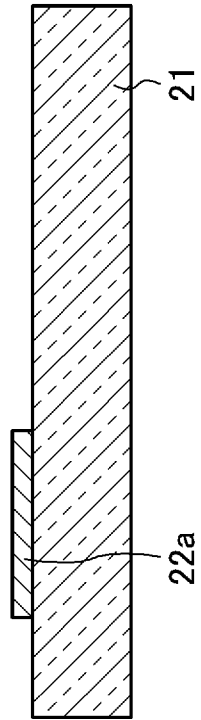
[illegible]

[図6]

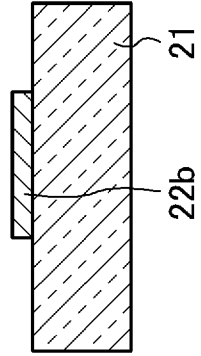


[図7]

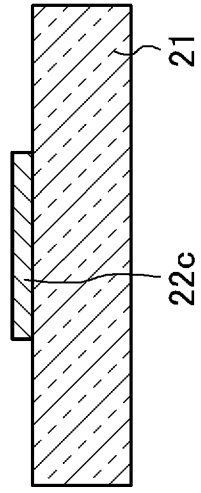
(a)



(b)

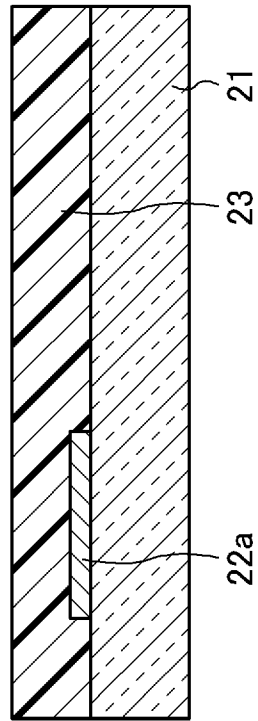


(c)

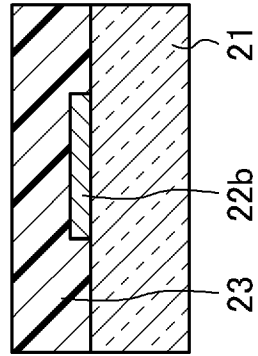


[図8]

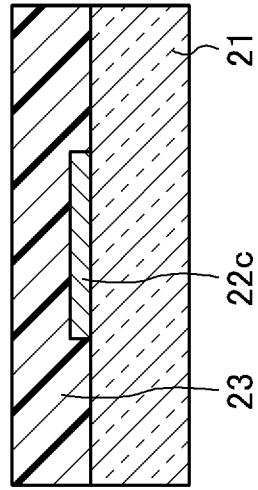
(a)



(b)

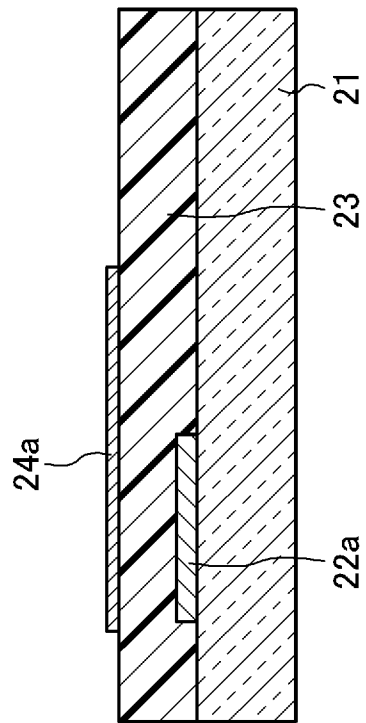


(c)

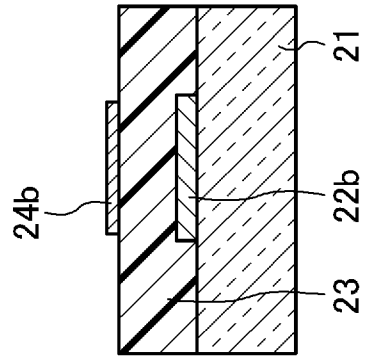


[図9]

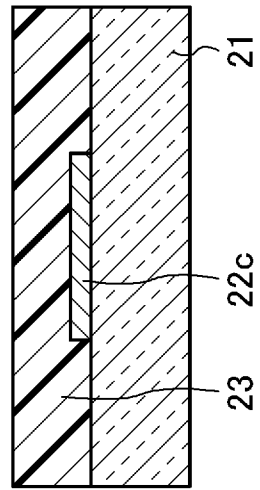
(a)



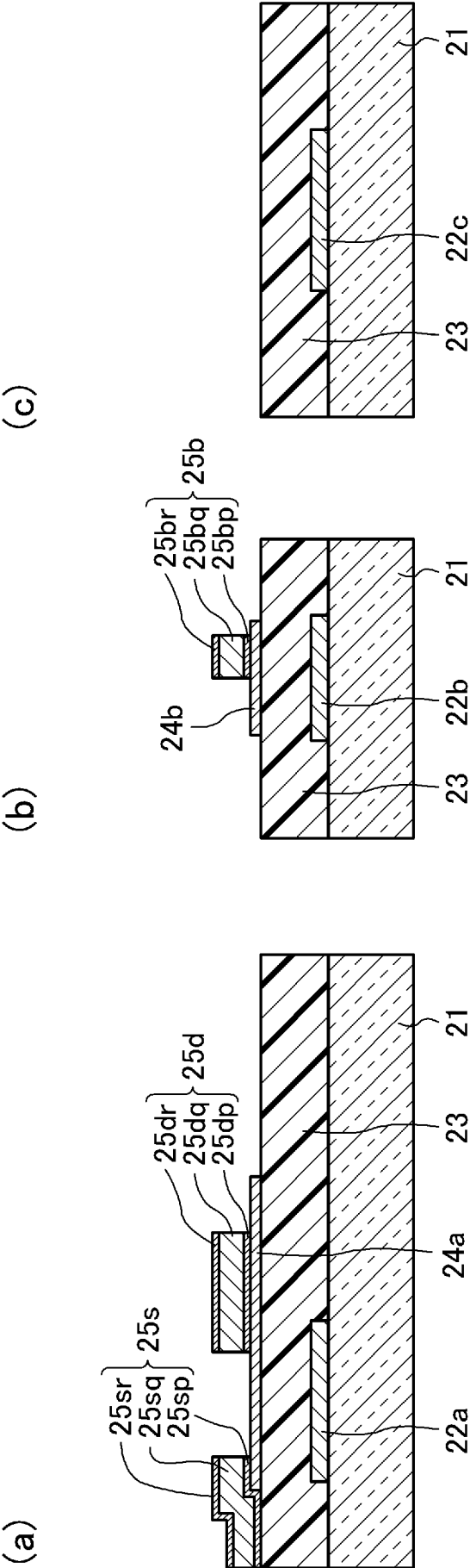
(b)



(c)

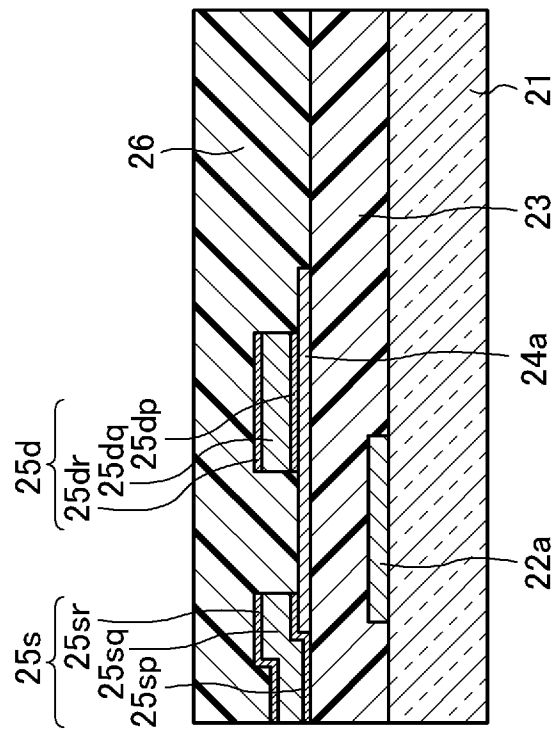


[図10]

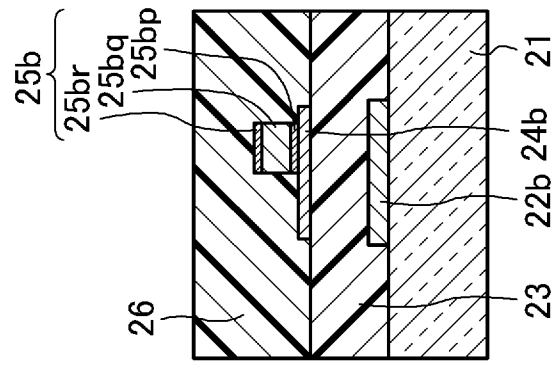


[図11]

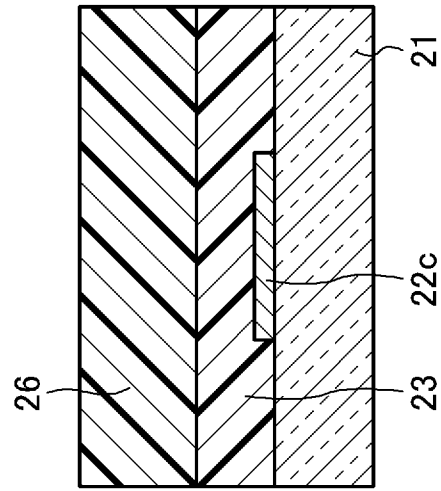
(a)



(b)

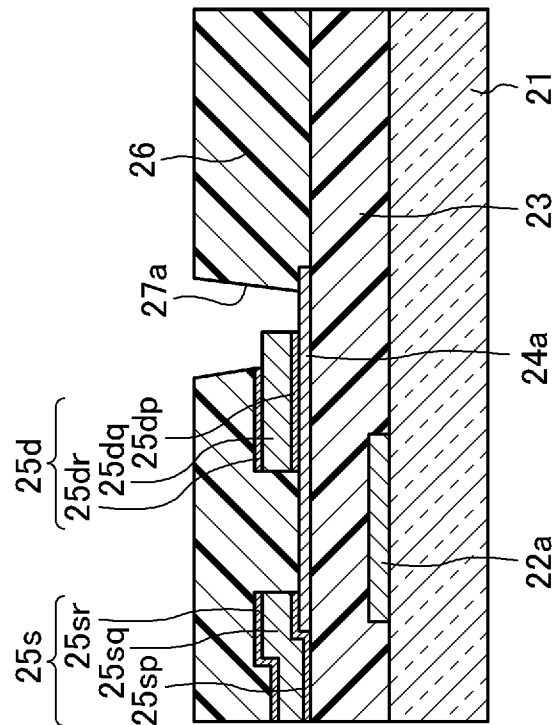


(c)

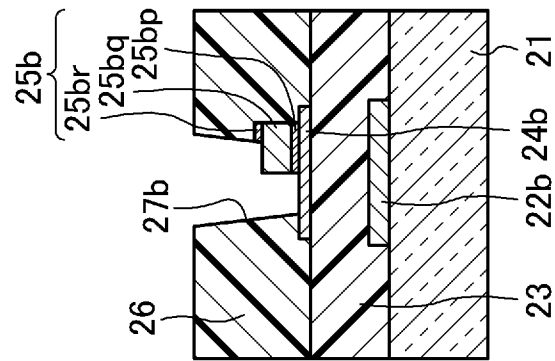


[図12]

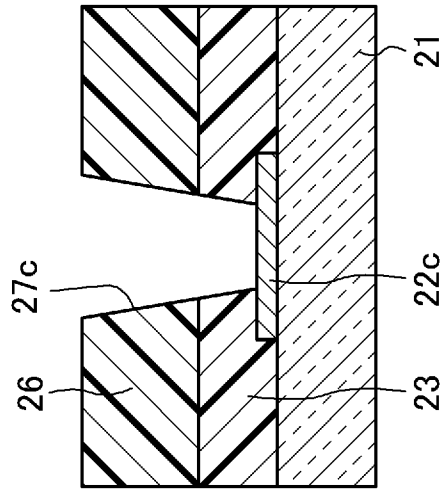
(a)



(b)

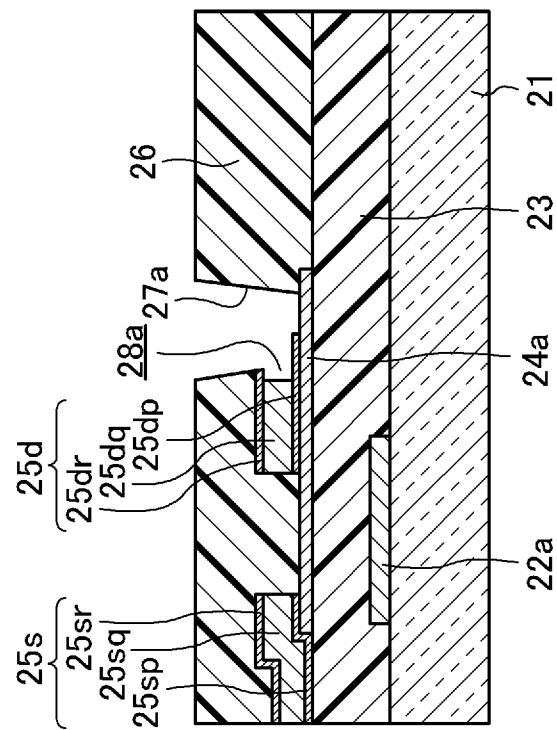


(c)

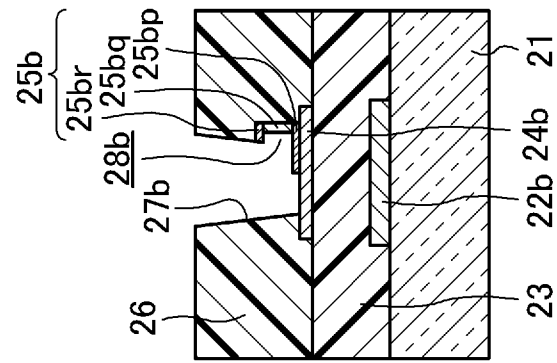


[図13]

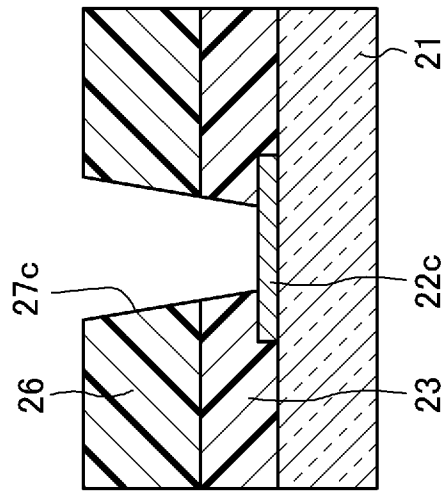
(a)



(b)

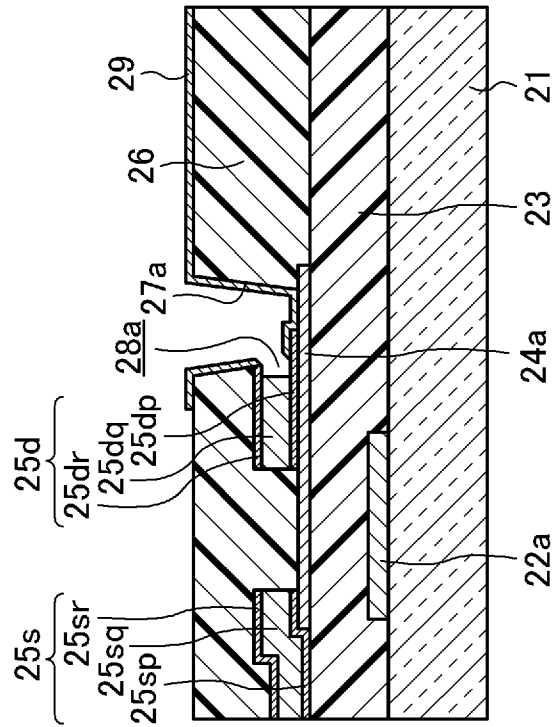


(c)

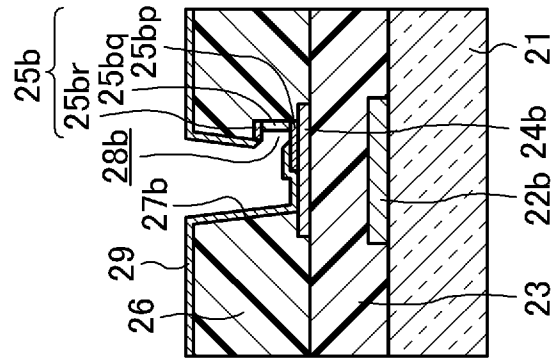


[図14]

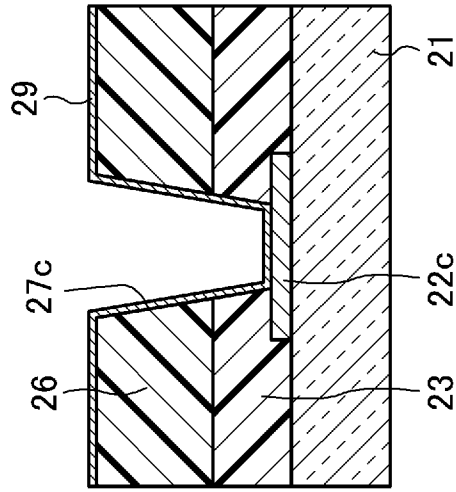
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002931

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/306(2006.01)i,
H01L21/308(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/306, H01L21/308, H01L21/336, H01L21/768,
H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-135773 A (Semiconductor Energy Laboratory Co., Ltd.), 17 June 2010 (17.06.2010), paragraphs [0103], [0169], [0170], [0249] to [0282]; fig. 22 & US 2010/0117074 A1 & KR 10-2010-0051550 A & CN 101740633 A	1, 3, 4, 6, 7 2, 5, 8
Y A	JP 2002-324904 A (Matsushita Electric Industrial Co., Ltd.), 08 November 2002 (08.11.2002), paragraphs [0002] to [0008]; fig. 3 (Family: none)	1, 3, 4, 6, 7 2, 5, 8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 June, 2011 (29.06.11)

Date of mailing of the international search report
12 July, 2011 (12.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/002931

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-201781 A (Samsung Electronics Co., Ltd.), 03 August 2006 (03.08.2006), paragraph [0139] & US 2006/0157836 A1 & US 2009/0085041 A1 & KR 10-2006-0083743 A & CN 1808709 A	4, 6 2, 5, 8
A	WO 2007/097078 A1 (Sharp Corp.), 30 August 2007 (30.08.2007), paragraphs [0030] to [0042]; fig. 1 & US 2009/0091676 A1 & CN 101384950 A	1-8
A	JP 11-312810 A (Matsushita Electric Industrial Co., Ltd.), 09 November 1999 (09.11.1999), entire text; all drawings (Family: none)	1-8
A	JP 2001-42361 A (Sharp Corp.), 16 February 2001 (16.02.2001), entire text; all drawings & US 6714266 B1 & TW 499602 B & KR 10-2001-0021188 A	1-8
A	JP 2000-196092 A (Fujitsu Ltd.), 14 July 2000 (14.07.2000), entire text; all drawings (Family: none)	1-8
A	WO 2009/066750 A1 (Idemitsu Kosan Co., Ltd.), 28 May 2009 (28.05.2009), entire text; all drawings & US 2010/0320457 A & CN 101952485 A & KR 10-2010-0098409 A	1-8

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/306(2006.01)i, H01L21/308(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, G02F1/1368, H01L21/306, H01L21/308, H01L21/336, H01L21/768, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1 9 2 2 - 1 9 9 6 年
 日本国公開実用新案公報 1 9 7 1 - 2 0 1 1 年
 日本国実用新案登録公報 1 9 9 6 - 2 0 1 1 年
 日本国登録実用新案公報 1 9 9 4 - 2 0 1 1 年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-135773 A (株式会社半導体エネルギー研究所) 2010.06.17, 段落【0103】、【0169】、【0170】、【0249】～【0282】、図22 & US 2010/0117074 A1 & KR 10-2010-0051550 A & CN 101740633 A	1, 3, 4, 6, 7 2, 5, 8
Y A	JP 2002-324904 A (松下電器産業株式会社) 2002.11.08, 段落【0002】～【0008】、図3 (ファミリーなし)	1, 3, 4, 6, 7 2, 5, 8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 0 6 . 2 0 1 1

国際調査報告の発送日

1 2 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 聡一郎

4 L

3 8 6 4

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-201781 A (三星電子株式会社) 2006.08.03, 段落【0139】 & US 2006/0157836 A1 & US 2009/0085041 A1 & KR	4, 6
A	10-2006-0083743 A & CN 1808709 A	2, 5, 8
A	WO 2007/097078 A1 (シャープ株式会社) 2007.08.30, 段落【0030】～【0042】、図1 & US 2009/0091676 A1 & CN 101384950 A	1-8
A	JP 11-312810 A (松下電器産業株式会社) 1999.11.09, 全文、全図 (ファミリーなし)	1-8
A	JP 2001-42361 A (シャープ株式会社) 2001.02.16, 全文、全図 & US 6714266 B1 & TW 499602 B & KR 10-2001-0021188 A	1-8
A	JP 2000-196092 A (富士通株式会社) 2000.07.14, 全文、全図 (ファミリーなし)	1-8
A	WO 2009/066750 A1 (出光興産株式会社) 2009.05.28, 全文、全図 & US 2010/0320457 A & CN 101952485 A & KR 10-2010-0098409 A	1-8