

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2011-24004
(P2011-24004A)

(43) 公開日 平成23年2月3日(2011.2.3)

(51) Int.Cl.	F I	テーマコード (参考)
H O 4 N 1/036 (2006.01)	H O 4 N 1/036 A	2 C 1 6 2
B 4 1 J 2/44 (2006.01)	B 4 1 J 3/21 L	5 C 0 5 1
B 4 1 J 2/45 (2006.01)		
B 4 1 J 2/455 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 37 頁)

(21) 出願番号	特願2009-167723 (P2009-167723)	(71) 出願人	591044164 株式会社沖データ 東京都港区芝浦四丁目11番22号
(22) 出願日	平成21年7月16日 (2009.7.16)	(71) 出願人	500002571 株式会社沖デジタルイメージング 群馬県高崎市西横手町1番地1
		(74) 代理人	100086807 弁理士 柿本 恭成
		(74) 代理人	100091362 弁理士 阿仁屋 節雄
		(74) 代理人	100145872 弁理士 福岡 昌浩
		(72) 発明者	南雲 章 東京都八王子市東浅川町550番地の1 株式会社沖デジタルイメージング内 最終頁に続く

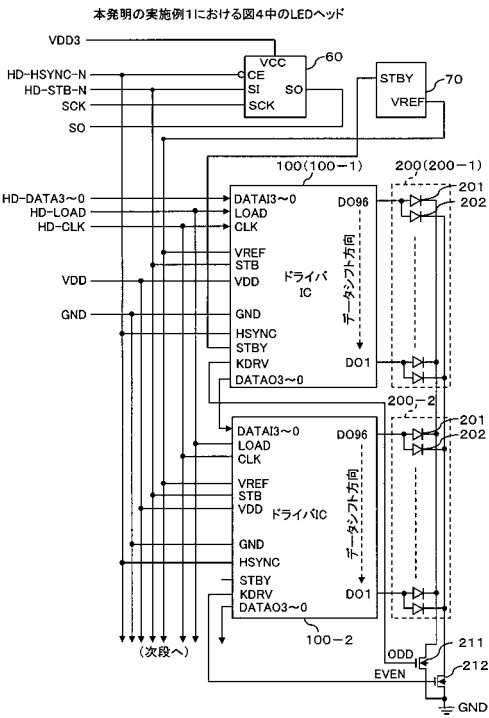
(54) 【発明の名称】 光プリントヘッド及び画像形成装置

(57) 【要約】

【課題】スタンバイ時の低消費電力化を図ると共に、不良品の検出を可能にする。

【解決手段】LEDヘッドは、複数のLEDアレイ200と、印刷駆動信号HD-STB-Nに基づきLEDアレイ200をオン/オフ駆動する複数のドライバIC100と、前記印刷駆動信号HD-STB-Nとは異なる論理状態に設定されたスタンバイ信号STBYに基づき、基準電圧VREFを生成する基準電圧発生回路70等を備えている。ドライバIC100は、スタンバイ信号STBYを生成するモード変換指令手段と、前記スタンバイ信号STBY及び基準電圧VREFに基づき、LEDアレイ200に対する駆動量を指令する制御電圧を出力する制御電圧発生回路と、印刷駆動信号HD-STB-N及び前記制御電圧に基づき、前記LEDアレイ200をオン/オフ駆動するドライバと、前記スタンバイ信号STBYを基準電圧発生回路70へ出力するSTBY端子とを有している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の発光素子と、
駆動オン／オフ指令信号に基づき前記発光素子をオン／オフ駆動する駆動回路と、
前記駆動オン／オフ指令信号とは異なる論理状態に任意に設定されたモード変換指令信号に基づき、基準信号を生成する付帯回路と、
を備えた光プリントヘッドであって、
前記駆動回路は、
前記モード変換指令信号を生成するモード変換指令手段と、
前記モード変換指令手段により生成された前記モード変換指令信号、及び前記付帯回路により生成された前記基準信号に基づき、前記発光素子に対する駆動量を指令する駆動量指令信号を出力する駆動量指令手段と、
前記駆動オン／オフ指令信号、及び前記駆動量指令信号に基づき、前記発光素子をオン／オフ駆動する駆動手段と、
前記モード変換指令手段により生成された前記モード変換指令信号を前記付帯回路へ出力する出力端子と、
を有することを特徴とする光プリントヘッド。

10

【請求項 2】

前記モード変換指令信号は、前記駆動回路の静的消費電流を略ゼロとするスタンバイ信号であり、
前記付帯回路は、
前記スタンバイ信号を入力して前記付帯回路の静的消費電流を切り替え可能とする切り替え回路を有することを特徴とする請求項 1 記載の光プリントヘッド。

20

【請求項 3】

前記付帯回路は、
前記基準信号として基準電圧を生成して前記駆動量指令手段へ与える基準電圧発生回路であることを特徴とする請求項 1 又は 2 記載の光プリントヘッド。

【請求項 4】

複数の発光素子と、
第 1 の電源電圧の印加により動作し、駆動オン／オフ指令信号に基づき前記発光素子をオン／オフ駆動する駆動回路と、
前記第 1 の電源電圧とは異なる第 2 の電源電圧が印加されると動作し、前記第 2 の電源電圧に基づいて基準信号を生成する基準信号生成手段と、
前記第 2 の電源電圧が印加されると動作し、前記駆動オン／オフ指令信号に基づき前記駆動回路に対する付帯的な処理を行う付帯回路と、
を備えた光プリントヘッドであって、
前記駆動回路は、
前記駆動オン／オフ指令信号とは異なる論理状態に任意に設定されたモード変換指令信号を生成するモード変換指令手段と、
前記モード変換指令手段により生成された前記モード変換指令信号、及び前記基準信号生成手段により生成された前記基準信号に基づき、前記発光素子に対する駆動量を指令する駆動量指令信号を出力する駆動量指令手段と、
前記駆動オン／オフ指令信号、及び前記駆動量指令信号に基づき、前記発光素子をオン／オフ駆動する駆動手段と、
を有することを特徴とする光プリントヘッド。

30

40

【請求項 5】

前記付帯回路の第 1 の信号入力端子と前記駆動回路の第 2 の信号入力端子とが接続されて、コネクタ端子ピンが共有化されていることを特徴とする請求項 4 記載の光プリントヘッド。

【請求項 6】

50

前記付帯回路は、

前記第 1 の信号入力端子、前記第 2 の電源電圧が印加される電源端子、及びグランド端子と、

前記第 1 の信号入力端子と前記グランド端子との間に接続された静電気保護素子を有する入力回路と、

を備えたことを特徴とする請求項 5 記載の光プリントヘッド。

【請求項 7】

前記付帯回路は、不揮発性メモリであることを特徴とする請求項 6 記載の光プリントヘッド。

【請求項 8】

前記モード変換指令信号は、前記駆動回路の静的消費電流を略ゼロとするスタンバイ信号であることを特徴とする請求項 4 ～ 7 のいずれか 1 項に記載の光プリントヘッド。

【請求項 9】

前記駆動量指令手段は、

前記駆動量指令信号として制御電圧を生成して出力する制御電圧発生回路であることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の光プリントヘッド。

【請求項 10】

請求項 1 ～ 9 のいずれか 1 項に記載の光プリントヘッドを備えたことを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、被駆動素子の群、例えば、光源に発光素子（発光ダイオード（以下「LED」という。））、発光サイリスタ等）を用いた電子写真プリンタにおける LED の列等を選択的に且つサイクリックに駆動する光プリントヘッドと、これを用いた画像形成装置に関するものである。

【背景技術】

【0002】

従来、例えば、下記の特許文献 1 等に記載されているように、電子写真プリンタ等の画像形成装置には、発光素子を多数配列させて露光部を形成したものがあ

る。発光素子としては、LED 他、有機エレクトロルミネセンス（以下「有機 EL」という。））、発光サイリスタ等が用いられる。

【0003】

LED を用いたものでは、駆動回路と LED とが 1 対 1、もしくは 1 対 N（ $N > 1$ ）に対応するように設けられ、LED のアノード端子（以下単に「アノード」という。）・カソード端子（以下単に「アノード」という。）間に電流を流すか否かにより、発光 / 非発光の状態を切り替えている。発光状態における LED の光出力は、駆動電流値により決まるものであり、この駆動電流値を調整することで、露光部への露光エネルギー量を調整している。

【0004】

前記駆動回路として、MOS トランジスタを飽和領域で動作させることで定電流特性を持たせ、LED の定電流駆動を行うと共に、LED の駆動電流値をドット毎に調整可能とすることで、LED の光量ばらつきを補正する構成が知られている。

【0005】

前記 MOS トランジスタを飽和領域で動作させるため、ゲート端子（以下単に「ゲート」という。）及びソース端子（以下単に「ソース」という。）間に所定の電圧を印加させ、この制御電圧値を演算増幅器（以下「オペアンプ」という。）を含む制御回路により発生させることができる。そのため、制御回路に対する駆動電流値を指令するための基準電圧を与えることを目的として、画像形成装置には基準電圧発生回路を備えている。

【0006】

10

20

30

40

50

更に、基準電圧発生回路からの出力電圧に正の温度係数を与えることで、LEDの温度補償を行う構成も知られている。しかし、この構成では、基準電圧発生回路が駆動回路チップとは別の素子として構成されているので、定常的に静的消費電流が生じる。

【0007】

又、発光素子アレイと、これを駆動するためのモノリシック集積回路（以下「IC」という。）で構成されたドライバIC等とが搭載されたLEDヘッド等の光プリントヘッド内には、前記LED光量補正のための補正データを格納するために、EEPROM（Electrically Erasable and Programmable Read Only Memory）等の不揮発性メモリを備えることが通例である。しかし、この不揮発性メモリにおいても、電気的な状態により静的な消費電流を生ずる。

10

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2000-108407号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、従来の光プリントヘッド及びこれを用いた画像形成装置では、次のような課題があった。

【0010】

20

高密度に配列された発光素子アレイと接続するために、ドライバICは、いわゆるベアチップの状態でプリント配線板に実装されているため、実装時の故障が起きやすい。

【課題を解決するための手段】

【0011】

本発明のうちの第1の発明の光プリントヘッドは、複数の発光素子と、駆動オン/オフ指令信号に基づき前記発光素子をオン/オフ駆動する駆動回路と、前記駆動オン/オフ指令信号とは異なる論理状態に任意に設定されたモード変換指令信号に基づき、基準信号を生成する付帯回路とを備えている。

【0012】

30

ここで、前記駆動回路は、前記モード変換指令信号を生成するモード変換指令手段と、前記モード変換指令手段により生成された前記モード変換指令信号、及び前記付帯回路により生成された前記基準信号に基づき、前記発光素子に対する駆動量を指令する駆動量指令信号を出力する駆動量指令手段と、前記駆動オン/オフ指令信号、及び前記駆動量指令信号に基づき、前記発光素子をオン/オフ駆動する駆動手段と、前記モード変換指令手段により生成された前記モード変換指令信号を前記付帯回路へ出力する出力端子とを有している。

【0013】

40

本発明のうちの第2の発明の光プリントヘッドは、複数の発光素子と、第1の電源電圧の印加により動作し、駆動オン/オフ指令信号に基づき前記発光素子をオン/オフ駆動する駆動回路と、前記第1の電源電圧とは異なる第2の電源電圧が印加されると動作し、前記第2の電源電圧に基づいて基準信号を生成する基準信号生成手段と、前記第2の電源電圧が印加されると動作し、前記駆動オン/オフ指令信号に基づき前記駆動回路に対する付帯的な処理を行う付帯回路とを備えている。

【0014】

ここで、前記駆動回路は、前記駆動オン/オフ指令信号とは異なる論理状態に任意に設定されたモード変換指令信号を生成するモード変換指令手段と、前記モード変換指令手段により生成された前記モード変換指令信号、及び前記基準信号生成手段により生成された前記基準信号に基づき、前記発光素子に対する駆動量を指令する駆動量指令信号を出力する駆動量指令手段と、前記駆動オン/オフ指令信号、及び前記駆動量指令信号に基づき、前記発光素子をオン/オフ駆動する駆動手段とを有している。

50

【 0 0 1 5 】

第 3 の発明の画像形成装置は、前記第 1 又は第 2 の発明の光プリントヘッドを備えている。

【 発明の効果 】

【 0 0 1 6 】

第 1 の発明の光プリントヘッドによれば、駆動回路内で生成したモード変換指令信号等に基づき、駆動量指令手段から駆動量指令信号を出力し、更に、駆動回路内で生成したモード変換指令信号を出力端子から外部へ出力する構成にしたので、駆動回路、及び付帯回路の静的消費電流を遮断することが可能となる。そのため、光プリントヘッドの実装組立て時に、駆動回路に損傷を与えたとしても、損傷された駆動回路を内在した光プリントヘッドを不良として検出することができ、光プリントヘッドの品質レベルを向上させることが可能になる。

10

【 0 0 1 7 】

第 2 の発明の光プリントヘッドによれば、第 2 の電源電圧の印加 / 遮断により付帯回路の動作 / 停止を切り替える構成にし、更に、駆動回路内で生成したモード変換指令信号等に基づき、駆動量指令手段から駆動量指令信号を出力する構成にしたので、第 1 の発明と同様に、駆動回路、及び付帯回路の静的消費電流を遮断することが可能となる。そのため、光プリントヘッドの実装組立て時に、駆動回路に損傷を与えたとしても、損傷された駆動回路を内在した光プリントヘッドを不良として検出することができ、光プリントヘッドの品質レベルを向上させることが可能になる。

20

【 0 0 1 8 】

第 3 の発明の画像形成装置によれば、前記発明の光プリントヘッドを備えているので、待機時消費電力を略ゼロとすることができ、大幅な省エネルギーが実現できる。

【 図面の簡単な説明 】

【 0 0 1 9 】

【 図 1 】 図 1 は本発明の実施例 1 における図 4 中の L E D ヘッド 1 3 を示す構成図である。

【 図 2 】 図 2 は本発明の実施例 1 における画像形成装置を示す概略の構成図である。

【 図 3 】 図 3 は図 2 中の L E D ヘッド 1 3 の構成を示す概略の断面図である。

【 図 4 】 図 4 は図 2 の画像形成装置 1 におけるプリンタ制御回路の構成を示すブロック図である。

30

【 図 5 】 図 5 は図 1 中のドライバ I C 1 0 0 の詳細な構成を示すブロック図である。

【 図 6 】 図 6 は図 5 中のメモリ回路 1 5 1 の構成を示す回路図である。

【 図 7 】 図 7 は図 5 中のマルチプレクサ 1 6 1 の構成を示す回路図である。

【 図 8 】 図 8 は図 5 中のドライバ 1 8 1 の構成を示す回路図である。

【 図 9 】 図 9 は図 5 中の制御回路 1 4 1 の構成を示す回路図である。

【 図 1 0 】 図 1 0 は図 5 中の制御回路 1 4 2 の構成を示す回路図である。

【 図 1 1 】 図 1 1 は図 5 中の制御電圧発生回路 1 7 0 の構成を示す回路図である。

【 図 1 2 】 図 1 2 は図 1 中の基準電圧発生回路 7 0 の構成を示す回路図である。

【 図 1 3 】 図 1 3 は図 3 中の L E D ヘッド基板ユニットを示す構成図である。

40

【 図 1 4 】 図 1 4 は本発明の実施例 1 の L E D ヘッド 1 3 に対して行われる補正データ転送処理と、その後に行われる印刷データ転送の様子を示すタイムチャートである。

【 図 1 5 】 図 1 5 は図 1 4 の A 部と B 部の詳細を示すタイムチャートである。

【 図 1 6 】 図 1 6 は図 1 4 の C 部と D 部の詳細を示すタイムチャートである。

【 図 1 7 】 図 1 7 は図 1 4 の E 部と F 部の詳細を示すタイムチャートである。

【 図 1 8 】 図 1 8 は図 1 4 の G 部と H 部の詳細を示すタイムチャートである。

【 図 1 9 】 図 1 9 は図 1 2 の基準電圧発生回路 7 0 の変形例を示す回路図である。

【 図 2 0 】 図 2 0 は本発明の実施例 2 における L E D ヘッド 1 3 B を示す構成図である。

【 図 2 1 】 図 2 1 は図 2 0 中の E E P R O M 6 0 B の構成を従来構成と対して示す回路図である。

50

【図 2 2】図 2 2 は図 2 0 中の基準電圧発生回路 7 0 B の構成を示す回路図である。

【図 2 3】図 2 3 は本発明の実施例 2 の L E D ヘッド 1 3 B に対して行われる補正データ転送処理とスタンバイ状態の設定シーケンスを示すタイムチャートである。

【発明を実施するための形態】

【 0 0 2 0 】

本発明を実施するための形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

【実施例 1】

【 0 0 2 1 】

10

(実施例 1 の画像形成装置)

図 2 は、本発明の実施例 1 における画像形成装置を示す概略の構成図である。

【 0 0 2 2 】

この画像形成装置 1 は、被駆動素子である発光素子（例えば、L E D）を用いた光ブリントヘッド（例えば、L E D ヘッド）が搭載された電子写真カラープリンタであり、ブラック（K）、イエロー（Y）、マゼンタ（M）及びシアン（C）の各色の画像を各々に形成する 4 個のプロセスユニット 1 0 - 1 ~ 1 0 - 4 を有し、これらが記録媒体（例えば、用紙）2 0 の搬送経路の上流側から順に配置されている。各プロセスユニット 1 0 - 1 ~ 1 0 - 4 の内部構成は共通しているため、例えば、マゼンタのプロセスユニット 1 0 - 3 を例にとり、これらの内部構成を説明する。

20

【 0 0 2 3 】

プロセスユニット 1 0 - 3 には、像担持体としての感光体ドラム 1 1 が図 2 中の矢印方向に回転可能に配置されている。感光体ドラム 1 1 の周囲には、この回転方向上流側から順に、感光体ドラム 1 1 の表面に電荷を供給して帯電させる帯電装置 1 2 と、帯電された感光体ドラム 1 1 の表面に選択的に光を照射して静電潜像を形成する露光装置（例えば、光プリントヘッドである L E D ヘッド）1 3 が配設されている。更に、静電潜像が形成された感光体ドラム 1 1 の表面に、マゼンタ（所定色）のトナーを付着させて顕像を発生させる現像器 1 4 と、感光体ドラム 1 1 上のトナーの顕像を記録媒体 2 0 に転写した後に残留したトナーを除去するクリーニング装置 1 5 が配設されている。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギア等を経由して動力が伝達され回転する。

30

【 0 0 2 4 】

画像形成装置 1 の下部には、用紙 2 0 を堆積した状態で収納する用紙カセット 2 1 が装着され、その上方に、用紙 2 0 を 1 枚ずつ分離させて搬送するためのホッピングローラ 2 2 が配設されている。用紙 2 0 の搬送方向におけるホッピングローラ 2 2 の下流側には、ピンチローラ 2 3 , 2 4 と共に用紙 2 0 を挟持することによってこの用紙 2 0 を搬送する搬送ローラ 2 5 と、用紙 2 0 の斜行を修正し、プロセスユニット 1 0 - 1 に搬送するレジストローラ 2 6 とが配設されている。これらのホッピングローラ 2 2、搬送ローラ 2 5 及びレジストローラ 2 6 は、図示しない駆動源からギア等を経由して動力が伝達され回転する。

40

【 0 0 2 5 】

プロセスユニット 1 0 - 1 ~ 1 0 - 4 の各感光体ドラム 1 1 に対向する位置には、それぞれ半導電性のゴム等によって形成された転写器 2 7 が配設されている。各転写器 2 7 には、感光体ドラム 1 1 上に付着されたトナーによる顕像を用紙 2 0 に転写する転写時に、各感光体ドラム 1 1 の表面電位とこれら各転写器 2 7 の表面電位に電位差を持たせるための電位が印加されている。

【 0 0 2 6 】

プロセスユニット 1 0 - 4 の下流には、定着器 2 8 が配設されている。定着器 2 8 は、ヒータが内蔵された加熱ローラとバックアップローラとを有し、用紙 2 0 上に転写されたトナーを加圧・加熱することによって定着する装置であり、この下流に、排出口ローラ 2 9

50

、 30、排出部のピンチローラ31、32、及び用紙スタッカ部33が設けられている。排出口ローラ29、30は、定着器28から排出された用紙20を、排出部のピンチローラ31、32と共に挟持し、用紙スタッカ部33に搬送する。これら定着器28及び排出口ローラ29等は、図示しない駆動源からギア等を経由して動力が伝達されて回転する。

【0027】

このように構成される画像記録装置1は、次のように動作する。

まず、用紙カセット21に堆積した状態で収納されている用紙20が、ホッピングローラ22によって、上から1枚ずつ分離されて搬送される。続いて、この用紙20は、搬送ローラ25、レジストローラ26及びピンチローラ23、24に挟持されて、プロセスユニット10-1の感光体ドラム11と転写器27の間に搬送される。その後、用紙20は、感光体ドラム61及び転写器27に挟持され、その記録面にトナー像が転写されると同時に感光体ドラム10-1の回転によって搬送される。同様にして、用紙20は、順次プロセスユニット10-2～10-4を通過し、その通過過程で、各LEDヘッド13により形成された静電潜像を各現像器14によって現像した各色のトナー像が、その記録面に順次転写されて重ね合わされる。

【0028】

このようにして記録面上に各色のトナー像が重ね合わされた後、定着器28によってトナー像が定着された用紙20は、排出口ローラ29、30及びピンチローラ31、32に挟持されて、画像形成装置1の外部の用紙スタッカ部33に排出される。以上の過程を経て、カラー画像が用紙20上に形成される。

【0029】

(LEDヘッド)

図3は、図2中のLEDヘッドの構成を示す概略の断面図である。

【0030】

このLEDヘッド13は、ベース部材13aを有し、このベース部材13a上にプリント配線板13bが固定されている。プリント配線板13b上には、駆動回路等が集積された複数個のチップ状のドライバIC100と複数個のチップ状のLEDアレイ200とが熱硬化性樹脂等により固着され、それらの複数個のドライバIC100と複数個のLEDアレイ200とが、図示しないボンディングワイヤ等により相互に接続されている。複数個のLEDアレイ100上には、柱状の光学素子を多数配列してなるロッドレインズアレイ13cが配置され、このロッドレインズアレイ13cがホルダ13dにより固定されている。ベース部材13a、プリント配線板13b及びホルダ13dは、クランプ部材13e、13fにより固定されている。

【0031】

(プリンタ制御回路)

図4は、図2の画像形成装置1におけるプリンタ制御回路の構成を示すブロック図である。

【0032】

このプリンタ制御回路は、画像形成装置1における印字部の内部に配設された印刷制御部40を有している。印刷制御部40は、マイクロプロセッサ、読み出し専用メモリ(ROM)、随時読み書き可能なメモリ(RAM)、信号の入出力を行う入出力ポート、タイマ等によって構成され、図示しない画像処理部からの制御信号SG1、及びビデオ信号(ドットマップデータを一次元的に配列したもの)SG2等によって画像形成装置全体をシーケンス制御して印刷動作を行う機能を有している。印刷制御部40には、プロセスユニット10-1～10-4の4個のLEDヘッド13、定着器28のヒータ28a、ドライバ41、43、用紙吸入口センサ45、用紙排出口センサ46、用紙残量センサ47、用紙サイズセンサ48、定着器用温度センサ49、帯電用高圧電源50、及び転写用高圧電源51等が接続されている。ドライバ41には現像・転写プロセス用モータ(PM)42が、ドライバ43には用紙送りモータ(PM)44G、帯電用高圧電源50には現像器14が、転写用高圧電源51には転写器27が、それぞれ接続されている。

【 0 0 3 3 】

このような構成のプリンタ制御回路では、次のような動作を行う。

印刷制御部 40 は、画像処理部からの制御信号 S G 1 によって印刷指示を受信すると、
先ず、温度センサ 49 によって定着器 28 内のヒータ 28 a が使用可能な温度範囲にある
か否かを検出し、温度範囲になればヒータ 28 a に通電し、使用可能な温度まで定着器
28 を加熱する。次に、ドライバ 41 を介して現像・転写プロセス用モータ 42 を回転さ
せ、同時にチャージ信号 S G C によって帯電用高圧電源 50 をオンにし、現像器 14 の帯
電を行う。

【 0 0 3 4 】

そして、セットされている図 2 中の用紙 20 の有無及び種類が用紙残量センサ 47、用
紙サイズセンサ 48 によって検出され、その用紙 20 に合った用紙送りが開始される。こ
こで、用紙送りモータ 44 はドライバ 43 を介して双方向に回転させることが可能であり
、最初に逆転させて、用紙吸入口センサ 45 が検知するまで、セットされた用紙 20 を予
め設定された量だけ送る。続いて、正回転させて用紙 20 を画像形成装置内部の印刷機構
内に搬送する。

【 0 0 3 5 】

印刷制御部 40 は、用紙 20 が印刷可能な位置まで到達した時点において、図示しない
画像処理部に対してタイミング信号 S G 3 (主走査同期信号、副走査同期信号を含む)を
送信し、ビデオ信号 S G 2 を受信する。画像処理部においてページ毎に編集され、印刷制
御部 40 に受信されたビデオ信号 S G 2 は、印刷データ信号 H D - D A T A 3 ~ H D - D
A T A 0 として各 L E D ヘッド 13 に転送される。各 L E D ヘッド 13 は、それぞれ 1 ド
ット (ピクセル) の印字のために設けられた L E D を複数個線上に配列したものである。

【 0 0 3 6 】

印刷制御部 40 は 1 ライン分のビデオ信号 S G 2 を受信すると、各 L E D ヘッド 13 に
ラッチ信号 H D - L O A D を送信し、印刷データ信号 H D - D A T A を各 L E D ヘッド 1
3 内に保持させる。又、印刷制御部 40 は、画像処理部から次のビデオ信号 S G 2 を受信
している最中においても、各 L E D ヘッド 13 に保持した印刷データ信号 H D - D A T A
3 ~ H D - D A T A 0 について印刷することができる。

【 0 0 3 7 】

なお、印刷制御部 40 から各 L E D ヘッド 13 に送信されるクロック信号 H D - C L K
、主走査同期信号 H D - H S Y N C - N (但し、「- N」は負論理信号を意味する。)、
及び駆動オン / オフ指令信号 (例えば、印刷駆動信号) H D - S T B - N の内、クロック
信号 H D - C L K は、印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 を L E D ヘッ
ド 13 へ送信するための信号である。

【 0 0 3 8 】

ビデオ信号 S G 2 の送受信は、印刷ライン毎に行われる。各 L E D ヘッド 13 によって
印刷される情報は、マイナス電位に帯電された図示しない各感光体ドラム 11 上において
電位の上昇したドットとして潜像化される。そして、現像器 14 において、マイナス電位
に帯電された画像形成用のトナーが、電気的な吸引力によって各ドットに吸引され、トナ
ー像が形成される。

【 0 0 3 9 】

その後、トナー像は転写器 27 へ送られ、一方、転写信号 S G 4 によってプラス電位に
転写用高圧電源 51 がオン状態になり、転写器 27 は感光体ドラム 11 と転写器 27 との
間隔を通過する用紙 20 上にトナー像を転写する。転写されたトナー像を有する用紙 20
は、ヒータ 28 a を内蔵する定着器 28 に当接して搬送され、この定着器 28 の熱によっ
て用紙 20 に定着される。この定着された画像を有する用紙 20 は、更に搬送されて画像
形成装置 1 の印刷機構から用紙排出口センサ 46 を通過して画像形成装置外部へ排出され
る。

【 0 0 4 0 】

印刷制御部 40 は、用紙サイズセンサ 48、及び用紙吸入口 45 の検知に対応して、用

10

20

30

40

50

紙 20 が転写器 27 を通過している間だけ転写用高圧電源 51 からの電圧を転写器 27 に印加する。印刷が終了し、用紙 20 が用紙排出口センサ 46 を通過すると、帯電用高圧電源 50 による現像器 14 への電圧の印加を終了し、同時に現像・転写プロセス用モータ 42 の回転を停止させる。以後、上記の動作を繰り返す。

【0041】

(LEDヘッド)

図1は、本発明の実施例1における図4中のLEDヘッド13を示す構成図である。

【0042】

このLEDヘッド13は、例えば、A4サイズ of 用紙に1インチ当たり600ドットの解像度で印刷可能な構成になっている。

【0043】

LEDヘッド13は、コネクタ端子VDD3に接続された付帯回路である不揮発性メモリ(例えば、EEPROM)60と、付帯回路である基準電圧生成手段(例えば、基準電圧発生回路)70とを有し、これらのEEPROM60及び基準電圧発生回路70に、駆動回路である複数のドライバIC100(=100-1, 100-2, ...)が接続されている。更に、各ドライバIC100には、LEDアレイ200(=200-1, 200-2, ...)がそれぞれ接続されている。なお、EEPROM60の入力端子の一部は、ドライバIC100の入力端子の一部とも接続され、LEDヘッド13とコネクタ端子を共用している。

【0044】

EEPROM60は、LEDヘッド13のコネクタ端子VDD3に接続された電源電圧VCC用のVCC端子、主走査同期信号HD-HSYNC-N端子への入力信号を負論理チップイネーブル信号CEとして入力するCE端子、ストローク信号である印刷駆動信号HD-STB-N端子への信号をシリアルデータSIとして入力するSI端子、シリアルクロック信号SCKを入力するSCK端子、及びシリアルデータSOを出力するSO端子を有し、CE端子から入力される主走査同期信号HD-HSYNC-Nにより活性化され、シリアルクロック信号SCKに同期して印刷駆動信号HD-STB-NをシリアルデータSIとして入力して格納するための半導体メモリである。主走査同期信号HD-HSYNC-Nは、時分割駆動において奇数(ODD)番目のLED駆動であるか偶数(EVEN)番目のLED駆動であるかの初期状態を設定するための信号である。

【0045】

基準電圧発生回路70は、ドライバIC100-1から供給されるモード変換指令信号(例えば、スタンバイ信号)STBYを入力するSTBY端子と、LED駆動のための駆動電流値を指令するための基準信号(例えば、基準電圧)VREFを出力するVREF端子とを有し、STBY端子から入力されるスタンバイ信号STBYにより活性化され(即ち、内部の動作状態がオン/オフ動作され)、基準電圧VREFを発生してVREF端子から出力し、各ドライバIC100へ供給する回路である。

【0046】

本実施例では、被駆動素子であるLED201, 201, ...の総数は4992ドットであり、これを構成するために26個のLEDアレイ200(=200-1, 200-2, ...)が配列されている。各LEDアレイ200は、各々192個のLED201, 202, ...を有し、各LEDアレイ200内の各LED200-1, 200-2, ...において、奇数番目のLED201, ...のカソード同士、偶数番目のLED202, ...のカソード同士が接続され、隣接して配置される2個のLED201, 202, ...のアノード端子同士が接続されており、奇数番目のLED201, ...と偶数番目のLED202, ...とは時分割に駆動される。

【0047】

26個のLEDアレイ200(=200-1, 200-2, ...)に対応して、駆動回路である26個のドライバIC100(=100-1, 100-2, ...)が配列されている。これらの26個のドライバICは、同一の回路により構成され、隣接するドラ

10

20

30

40

50

イバ I C 1 0 0 - 1 , 1 0 0 - 2 , . . . がカスケード接続 (縦続接続) されている。

【 0 0 4 8 】

各ドライバ I C 1 0 0 は、印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 を入力する D A T A I 3 ~ D A T A 0 端子、ラッチ信号 H D - L O A D を入力する L O A D 端子、クロック信号 H D - C L K を入力する C L K 端子、基準電圧発生回路 7 0 から供給される基準電圧 V R E F を入力する V R E F 端子、印刷駆動信号 H D - S T B - N を入力する S T B 端子、第 1 の電源電圧 V D D を入力する V D D 端子、グランド G N D に接続される G N D 端子、主走査同期信号 H D - H S Y N C - N を入力する H S Y N C 端子、スタンバイ信号 S T B Y を基準電圧発生回路 7 0 へ出力する出力端子である S T B Y 端子、制御信号 K D R V を出力する K D R V 端子、データ D A T A O 3 ~ D A T A O 0 を次段のドライバ I C 1 0 0 へ出力する D A T A O 3 ~ D A T A O 0 端子、及び各 L E D アレイ 2 0 0 内の L E D 2 0 1 , 2 0 2 , . . . に対して駆動電流 D O 1 ~ D O 9 6 を供給する D O 1 端子 ~ D O 9 6 端子を有している。

10

【 0 0 4 9 】

ここで、E E P R O M 6 0 の第 1 の信号入力端子である C E 端子及び S I 端子と、各ドライバ I C 1 0 0 の第 2 の信号入力端子である H S Y N C 端子及び S T B 端子とが接続されて、コネクタ端子ピンが共有化されている。このように接続することにより、E E P R O M 6 0 とドライバ I C 1 0 0 とが独立に動作可能となると共に、コネクタ端子ピンの数を削減することができる。

【 0 0 5 0 】

20

L E D アレイ 2 0 0 - 1 , 2 0 0 - 2 , . . . の近傍には、奇数 (O D D) 側と偶数 (E V E N) 側の 2 個のパワー M O S トランジスタ (例えば、N チャネル M O S トランジスタ (以下「N M O S」という。) が設けられている。奇数 (O D D) 側の N M O S 2 1 1 のドレイン端子 (以下単に「ドレイン」という。) は、奇数側の L E D 2 0 1 , . . . のカソードと共通に接続され、偶数 (E V E N) 側の N M O S 2 1 2 のドレインは、偶数側の L E D 2 0 2 , . . . のカソードと共通に接続されている。各 N M O S 2 1 1 , 2 1 2 のソースは、グランド G N D に接続されている。N M O S 2 1 1 のゲートは、ドライバ I C 1 0 0 - 1 の K D R V 端子から供給される制御信号 K D R V によりゲート制御 (即ち、オン / オフ制御) され、N M O S 2 1 2 のゲートは、ドライバ I C 1 0 0 - 2 の K D R V 端子から供給される制御信号 K D R V によりゲート制御 (即ち、オン / オフ制御) される構成になっている。

30

【 0 0 5 1 】

このように構成される図 1 の L E D ヘッド 1 3 における動作を説明する。

図 1 に示す構成においては、印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 は 4 本であり、隣接する L E D 8 個のうち、奇数番目同士あるいは偶数番目同士の 4 画素分のデータをクロック信号 H D - C L K 毎に同時に送出する構成になっている。このため、図 4 の印刷制御部 4 0 から出力される印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 は、クロック端子 C L K に入力されるクロック信号 H D - C L K と共に、全ドライバ I C 1 0 0 の D A T A I 3 端子 ~ D A T A I 0 端子に入力される。ここで印刷データは、前述の総数が 4 9 9 2 の L E D のうち、奇数側の L E D 2 0 1 , . . . に対応する 2 4 9 6 ドット分の印刷データが、印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 として後述する各ドライバ I C 1 0 0 内のフリップフロップ回路 (以下「F F」という。) からなるシフトレジスタ中を順次転送される。

40

【 0 0 5 2 】

次に、ラッチ信号 H D - L O A D が全ドライバ I C 1 0 0 の L O A D 端子に入力され、シフトレジスタ内に格納された前述の 2 4 9 6 ドット分の印刷データが、各ドライバ I C 1 0 0 内のシフトレジスタを構成する各 F F に対応して設けられたラッチ回路にラッチされる。続いて、ラッチ回路にラッチされた印刷データ信号と、印刷駆動信号 H D - S T B - N とによって、2 4 9 6 ドットの奇数側の L E D 2 0 1 , . . . のうち、高レベル (以下「“H”レベル」という。) である D O 1 , D O 2 , . . . 端子に対応するものが点灯

50

される。

【 0 0 5 3 】

偶数側の L E D 2 0 2 , . . . に対応する残り 2 4 9 6 ドット分の印刷データについても、奇数側の L E D 2 0 1 , . . . と同様にして順次、転送、ラッチおよび点灯される。

【 0 0 5 4 】

ここで、前記各ドライバ 1 C 1 0 0 において、V D D 端子に印加される電源電圧は V D D であり、典型的な例では 5 V である。これに対し、前記 E E P R O M 6 0 の V C C 端子に印加される電源電圧は V C C であり、典型的な例では 3 . 3 V が用いられる。このようにする理由は、以下の (1) 、 (2) の通りである。

【 0 0 5 5 】

(1) 各ドライバ 1 C 1 0 0 の電源電圧 V D D

各 L E D 2 0 1 , 2 0 2 , . . . の点灯時の順電圧が略 1 . 6 V であり、この定電流駆動を行う各ドライバ 1 C 1 0 0 の駆動電源電圧 V D D として通常のロジック L S I (大規模集積回路) の多くで採用されている 3 . 3 V では電圧が不足してしまう。そのため、これより高い 5 V が選ばれている。

【 0 0 5 6 】

(2) E E P R O M 6 0 の電源電圧 V C C

不揮発性メモリ (例えば、E E P R O M 6 0) の電源電圧 V C C は、典型例では 3 . 3 V が選ばれており、L E D ヘッド 1 3 を制御する図 4 の印刷制御部 4 0 内の制御回路の電源電圧も、通常のロジック L S I の多くで採用されている電源電圧と同様の 3 . 3 V とされ、同じ電源系統に属するように構成されている。このようにするのは、下記の理由による。

【 0 0 5 7 】

E E P R O M 6 0 においては、この記憶保持されているデータの誤書き込みを防止するため、内部に自身の電源電圧が正常動作範囲内にあるか否かを判定するリセット回路を備えている。

【 0 0 5 8 】

L E D ヘッド搭載装置の電源投入や電源断時におけるこの素子の電源電圧の立ち上がり、立ち下がり時において、電源電圧が正常動作範囲外にある時は、これを制御している図示しない上位装置 (例えば、画像処理部) が誤動作して誤った書き込み指令が入力されるおそれがある。このような場合でも、E E P R O M 6 0 内に前記リセット回路を備えることで、書き込み動作は禁止されており、その記憶内容を保持することができる。又、E E P R O M 6 0 の電源電圧 V C C が正常動作範囲にある時、図 4 の印刷制御部 4 0 内の制御回路の電源電圧も同じ電源系統に属するように構成されているので、その電源電圧 V C C も正常動作範囲にあり、誤った書き込み指令信号が発せられるおそれがない。

【 0 0 5 9 】

このように、図 1 の構成とすることで、L E D ヘッド搭載装置の電源投入や電源断時において、E E P R O M 6 0 の記憶データが破壊されることを防止できるように工夫されている。

【 0 0 6 0 】

(ドライバ I C の全体構成)

図 5 は、図 1 中のドライバ I C 1 0 0 の詳細な構成を示すブロック図である。

【 0 0 6 1 】

このドライバ I C 1 0 0 は、カスケード接続された複数の F F 1 1 1 (= F F 1 1 1 A 1 ~ F F 1 1 1 A 2 5 , F F 1 1 1 B 1 ~ F F 1 1 1 B 2 5 , F F 1 1 1 C 1 ~ F F 1 1 1 C 2 5 , F F 1 1 1 D 1 ~ F F 1 1 1 D 2 5) からなるシフトレジスタ 1 1 0 を有している。シフトレジスタ 1 1 0 は、クロック入力用端子 C L K から入力されるクロック信号 H D - C L K に同期して、データ入力用 D A T A I 3 ~ D A T A I 0 端子から入力される印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 を取り込んでシフトする回路である。

。

10

20

30

40

50

【 0 0 6 2 】

ここで、FF 1 1 1 A 1 ~ FF 1 1 1 A 2 5 は、カスケード接続されており、ドライバ IC 1 0 0 のデータ入力用 DATA I 0 端子は FF 1 1 1 A 1 のデータ入力用 D 端子に接続され、FF 1 1 1 A 2 4 と FF 1 1 1 A 2 5 のデータ出力用 Q 端子はセクタ 1 2 0 のデータ入力用端子 A 0 , B 0 に接続され、セクタ 1 2 0 のデータ出力用 Y 0 端子がドライバ IC 1 0 0 のデータ出力用 DATA O 0 端子に接続されている。同様に、FF 1 1 1 B 1 ~ FF 1 1 1 B 2 5、FF 1 1 1 C 1 ~ FF 1 1 1 C 2 5、及び FF 1 1 1 D 1 ~ FF 1 1 1 D 2 5 も、それぞれカスケード接続されており、ドライバ IC 1 0 0 のデータ入力用 DATA I 1 端子、DATA I 2 端子、DATA I 3 端子が、FF 1 1 1 B 1、FF 1 1 1 C 1、及び FF 1 1 1 D 1 のデータ入力用 D 端子にそれぞれ接続されている。FF 1 1 1 B 2 4 と FF 1 1 1 B 2 5、FF 1 1 1 C 2 4 と FF 1 1 1 C 2 5、FF 1 1 1 D 2 4 と FF 1 1 1 D 2 5 のデータ出力用 Q 端子も、セクタ 1 2 0 のデータ入力用 A 1 端子、A 2 端子、A 3 端子、B 1 端子、B 2 端子、及び B 3 端子にそれぞれ接続され、セクタ 1 2 0 のデータ出力用 Y 1 端子、Y 2 端子、及び Y 3 端子が、ドライバ IC 1 0 0 のデータ出力用 DATA O 1 端子、DATA O 2 端子、及び DATA O 3 端子にそれぞれ接続されている。

10

【 0 0 6 3 】

これにより、FF 1 1 1 A 1 ~ FF 1 1 1 A 2 5、FF 1 1 1 B 1 ~ FF 1 1 1 B 2 5、FF 1 1 1 C 1 ~ FF 1 1 1 C 2 5、及び FF 1 1 1 D 1 ~ FF 1 1 1 D 2 5 は、それぞれ 2 5 段のシフトレジスタ 1 1 0 を構成しており、セクタ 1 2 0 により、シフトレジスタ 1 1 0 のシフト段数を 2 4 段と 2 5 段とに切り替えることが可能な構成になっている。そのため、各ドライバ IC 1 0 0 - 1 , . . . のデータ出力用 DATA O 0 端子 ~ DATA O 3 端子は、次段のドライバ IC 1 0 0 - 2 , . . . のデータ入力用 DATA I 0 端子 ~ DATA I 3 端子にそれぞれ接続されることになる。従って、ドライバ IC 1 0 0 - 1 ~ 1 0 0 - 2 6 の全てで構成されるシフトレジスタ 1 1 0 , . . . は、図 4 の印刷制御部 4 0 から初段のドライバ IC 1 0 0 - 1 中のドライバ 1 8 1 - 1 に入力される印刷データ信号 HD - DATA 3 を、クロック信号 HD - CLK に同期してシフトさせる 2 4 x 2 6 段あるいは 2 5 x 2 6 段のシフトレジスタを構成している。

20

【 0 0 6 4 】

シフトレジスタ 1 1 0 の出力側には、ラッチ回路部 1 3 0 及びメモリ回路部 1 5 0 の入力側が接続されている。ラッチ回路部 1 3 0 の出力側にはドライバ部 1 8 0 が接続され、メモリ回路部 1 5 0 の入力側に制御回路 1 4 1 が接続され、そのメモリ回路部 1 5 0 の出力側にマルチプレクサ部 1 6 0 が接続されている。マルチプレクサ部 1 6 0 の入力側には、制御回路 1 4 2 が接続されている。ドライバ IC 1 0 0 の駆動信号入力用 STB 端子には、プルアップ抵抗 1 4 3 及び論理反転用のインバータ 1 4 4 が接続され、更に、ドライバ IC 1 0 0 のラッチ信号入力用 LOAD 端子に、論理反転用のインバータ 1 4 5 が接続されている。インバータ 1 4 4 , 1 4 5 の出力端子には、2 入力の否定論理積回路 (以下「NAND 回路」という。) 1 4 6 の入力端子が接続され、この NAND 回路 1 4 6 の出力端子に、ドライバ部 1 8 0 の入力側が接続されている。ドライバ部 1 8 0 の入力側には、駆動量指令手段 (例えば、制御電圧発生回路) 1 7 0 も接続されている。

30

40

【 0 0 6 5 】

ここで、ラッチ回路部 1 3 0 は、ラッチ信号入力用 LOAD 端子から入力されるラッチ信号 LOAD - P (但し、「- P」は正論理信号を意味する。) により、シフトレジスタ 1 1 0 の出力信号をラッチする回路であり、複数のラッチ回路 1 3 1 (= 1 3 1 A 1 , 1 3 1 B 1 , 1 3 1 C 1 , 1 3 1 D 1 ~ 1 3 1 A 2 4 , 1 3 1 B 2 4 , 1 3 1 C 2 4 , 1 3 1 D 2 4) により構成されている。各ラッチ回路 1 3 1 は、データ入力用 D 端子、ラッチ信号入力用 G 端子、及び反転データ出力用 QN 端子をそれぞれ有し、これらの出力側に、ドライバ部 1 8 0 が接続されている。

【 0 0 6 6 】

メモリ回路部 1 5 0 は、制御回路 1 4 1 によりアクセス制御され、LED の光量ばらつ

50

き補正のための補正データ（即ち、ドット補正データ）や各ＬＥＤアレイ２００毎の光量補正データ（即ち、チップ補正データ）、もしくは各ドライバ１Ｃ１００毎の固有データを格納するものである。このメモリ回路部１５０は、複数のメモリ回路１５１（＝１５１Ａ１，１５１Ｂ１，１５１Ｃ１，１５１Ｄ１～１５１Ａ２４，１５１Ｂ２４，１５１Ｃ２４，１５１Ｄ２４）とメモリ回路１５２とにより構成されている。各メモリ回路１５１は、データ入力用Ｄ端子、信号入力用Ｗ０端子～Ｗ３、信号入力用Ｅ１端子、Ｅ２端子、データ出力用ＥＶＮ端子、及びＯＤＤ端子をそれぞれ有している。更に、メモリ回路１５２は、データ入力用Ｄ端子、信号入力用Ｗ０端子～Ｗ３、信号入力用Ｅ１端子、データ出力用Ｑ０端子～Ｑ３端子を有している。このメモリ回路部１５０の出力側には、マルチプレクサ部１６０及び制御電圧発生回路１７０が接続されている。

10

【００６７】

メモリ回路部１５０を制御する制御回路１４１は、ラッチ信号入力用ＬＯＡＤ端子、駆動信号入力用ＳＴＢ端子、信号出力用Ｗ０端子～Ｗ３端子、Ｅ１端子、及びＥ２端子を有し、前記補正データを複数のメモリ回路１５１（＝１５１Ａ１，１５１Ｂ１，１５１Ｃ１，１５１Ｄ１～１５１Ａ２４，１５１Ｂ２４，１５１Ｃ２４，１５１Ｄ２４）やメモリ回路１５２に対して書き込みする時の書き込み指令信号をＷ０端子～Ｗ３端子、Ｅ１端子及びＥ２端子から出力する回路である。

【００６８】

更に、制御回路１４１の信号出力用Ｗ３端子及びＥ１端子には、モード変換指令信号であるスタンバイ信号を生成するモード変換指令手段（例えば、２入力の論理積回路（以下「ＡＮＤ回路」という。）１５３とこの出力端子に接続されたラッチ回路１５４）が接続されている。ラッチ回路１５４は、ＦＦ１１１Ｃ２６の出力データを入力するＤ端子、ＡＮＤ回路１５３の出力信号を入力するＧ端子、及びスタンバイ信号ＳＴＢＹを出力するＱ端子を有し、ＡＮＤ回路１５３の出力信号に基づき、ＦＦ１１１Ｃ２６の出力データをラッチしてスタンバイ信号ＳＴＢＹをＱ端子から出力し、制御電圧発生回路１７０及びＳＴＢＹ端子へ供給する回路である。

20

【００６９】

マルチプレクサ部１６０は、制御回路１４２により制御され、メモリ回路部１５０中の複数のメモリ回路１５１（＝１５１Ａ１，１５１Ｂ１，１５１Ｃ１，１５１Ｄ１～１５１Ａ２４，１５１Ｂ２４，１５１Ｃ２４，１５１Ｄ２４）から出力されるドット補正データにおいて、隣接したＬＥＤドットのうち、奇数番目ドットの補正データと偶数番目ドットの補正データとを切り替えるものであり、複数のマルチプレサ１６１（＝１６１Ａ１，１６１Ｂ１，１６１Ｃ１，１６１Ｄ１～１６１Ａ２４，１６１Ｂ２４，１６１Ｃ２４，１６１Ｄ２４）により構成されている。各マルチプレクサ１６１は、データ入力用ＥＶＮ端子、ＯＤＤ端子、信号入力用Ｓ１Ｎ端子、Ｓ２Ｎ端子、及びデータ出力用Ｑ０端子～Ｑ３端子をそれぞれ有し、これらの出力側に、ドライバ部１８０が接続されている。

30

【００７０】

マルチプレクサ部１６０を制御する制御回路１４２は、主走査同期信号入力用ＨＳＹＮＣ端子、ラッチ信号入力用ＬＯＡＤ端子、信号出力用Ｓ１Ｎ端子、及びＳ２Ｎ端子を有し、マルチプレクサ部１６０に対し奇数ドットデータと偶数ドットデータとの切り替え指令信号をＳ１Ｎ端子及びＳ２Ｎ端子から出力する回路である。

40

【００７１】

ドライバ部１８０の入力側に接続された制御電圧発生回路１７０は、データ入力用Ｓ０～Ｓ３端子、基準電圧入力用ＶＲＥＦ端子、スタンバイ信号入力用ＳＴＢＹ端子、及び制御電圧出力用Ｖ端子を備え、例えば、図示しないレギュレータ回路から発生された基準電圧ＶＲＥＦを入力し、ＬＥＤ駆動のための駆動量指令信号（例えば、制御電圧）ＶをＶ端子から発生してドライバ部１８０へ供給する機能と、スタンバイ信号ＳＴＢＹを入力すると、内部の動作状態をオフする機能とを有している。この制御電圧発生回路１７０は、ＬＥＤの全点灯駆動時のように電源電圧ＶＤＤが一瞬降下するような状況においても、基準電圧ＶＲＥＦを所定値のままとでき、ＬＥＤ駆動電流の低下を発生させない構成になって

50

いる。

【 0 0 7 2 】

ドライバ部 1 8 0 は、ラッチ回路部 1 3 0、NAND 回路 1 4 6、マルチプレクサ部 1 6 0、及び制御電圧発生回路 1 7 0 の出力信号に基づき、LED アレイ 2 0 0 を駆動するための駆動電流を複数の D O 1 端子 ~ D O 9 6 端子から出力する回路であり、駆動手段である複数のドライバ 1 8 1 (= 1 8 1 - 1 ~ 1 8 1 - 9 6) により構成されている。各ドライバ 1 8 1 は、データ入力用 Q 0 端子 ~ Q 3 端子、E 端子、信号入力用 S 端子、及び制御電圧入力用 V 端子をそれぞれ有している。

【 0 0 7 3 】

このドライバ部 1 8 0 の各信号入力用 S 端子に接続された NAND 回路 1 4 6 には、S T B 端子に入力される印刷駆動信号 H D - S T B - N と、L O A D 端子に入力されるラッチ信号 L O A D - P とが、インバータ 1 4 4 , 1 4 5 を介して入力され、ドライバ部 1 8 0 に対する駆動のオン / オフを制御する信号を生成する機能を有している。

10

【 0 0 7 4 】

(図 6 中のメモリ回路)

図 6 は、図 5 中のメモリ回路 1 5 1 の構成を示す回路図である。

【 0 0 7 5 】

図 6 のメモリ回路 1 5 1 (例えば、1 5 1 A 1) では、LED 光量補正のためのドット補正データは 4 ビットであり、LED 駆動電流をドット毎に 1 6 段階に調整することで光量補正を行うものとしている。

20

【 0 0 7 6 】

このメモリ回路 1 5 1 A 1 には、隣接する 2 個 (2 ドット) のメモリセル回路 3 0 0 - 1 , 3 0 0 - 2 が示されている。左側のメモリセル回路 3 0 0 - 1 は、奇数番目のドット (例えば、ドット N o . 1) の補正データを格納するものであり、右側のメモリセル回路 3 0 0 - 2 は、偶数番目のドット (例えば、ドット N o . 2) の補正データを格納するためのものである。

【 0 0 7 7 】

メモリ回路 1 5 1 A 1 は、シフトレジスタ 1 1 0 中の F F 1 1 1 A 1 のデータ出力用 Q 端子から出力される補正データを入力する D 端子と、制御手段である制御回路 1 4 1 の端子 E 1 から出力される奇数番目ドットの側のデータ書き込みを許可する書き込みイネーブル信号を入力する E 1 端子と、制御回路 1 4 1 の E 2 端子から出力される偶数番目ドットの側のデータ書き込みを許可する書き込みイネーブル信号を入力する E 2 端子と、制御回路 1 4 1 の W 0 端子 ~ W 3 端子から出力される書き込み制御信号を入力する W 0 端子 ~ W 3 端子と、奇数番目ドットに関する補正データを出力する O D D 0 端子 ~ O D D 3 端子と、偶数番目ドットに関する補正データを出力する E V N 0 端子 ~ E V N 3 端子とを有している。

30

【 0 0 7 8 】

補正データ入力用 D 端子には、入力された補正データを駆動するバッファ 3 0 1 が接続され、このバッファ 3 0 1 に、前記補正データの論理を反転して反転補正データを生成するインバータ 3 0 2 が接続されている。バッファ 3 0 1 の出力端子及びインバータ 3 0 2 の出力端子には、メモリセル回路 3 0 0 - 1 , 3 0 0 - 2 が接続されている。

40

【 0 0 7 9 】

メモリセル回路 3 0 0 - 1 は、メモリ手段 (例えば、メモリセル) 3 1 1 ~ 3 1 4 と、バッファ 3 0 1 の出力データをメモリセル 3 1 1 ~ 3 1 4 へ伝送するスイッチ手段 (例えば、N M O S) 3 2 1 ~ 3 2 8 と、インバータ 3 0 2 の出力データをメモリセル 3 1 1 ~ 3 1 4 へ伝送するスイッチ手段 (例えば、N M O S) 3 3 1 ~ 3 3 8 とを有している。

【 0 0 8 0 】

メモリセル 3 1 1 は、リング状に直列接続された第 1 及び第 2 のインバータ 3 1 1 a , 3 1 1 b により構成されている。同様に、メモリセル 3 1 2 は、リング状に直列接続されたインバータ 3 1 2 a , 3 1 2 b により、メモリセル 3 1 3 は、リング状に直列接続され

50

たインバータ 3 1 3 a , 3 1 3 b により、メモリセル 3 1 4 は、リング状に直列接続されたインバータ 3 1 4 a , 3 1 4 b により、それぞれ構成されている。各インバータ 3 1 1 a , 3 1 1 b , 3 1 2 a , 3 1 2 b , 3 1 3 a , 3 1 3 b , 3 1 4 a , 3 1 4 b の電源端子は、電源電圧 VDD (例えば、一定の略 5 V) が印加される VDD 端子に接続されている。

【 0 0 8 1 】

NMOS 3 2 1 , 3 2 3 , 3 2 5 , 3 2 7 のゲートは、書き込みイネーブル信号入力用端子 E 1 に共通に接続され、NMOS 3 2 2 , 3 2 4 , 3 2 6 , 3 2 8 のゲートは、書き込み制御信号入力用 W 0 端子、W 1 端子、W 2 端子及び W 3 端子にそれぞれ接続されている。バッファ 3 0 1 の出力端子には、NMOS 3 2 1 , 3 2 2、補正データ端子 ODD 0 及びメモリセル 3 1 1 の直列回路と、NMOS 3 2 3 , 3 2 4、補正データ端子 ODD 1 及びメモリセル 3 1 2 の直列回路と、NMOS 3 2 5 , 3 2 6、補正データ端子 ODD 2 及びメモリセル 3 1 3 の直列回路と、NMOS 3 2 7 , 3 2 8、補正データ端子 ODD 3 及びメモリセル 3 1 4 の直列回路とが、共通に接続されている。

10

【 0 0 8 2 】

NMOS 3 3 1 , 3 3 3 , 3 3 5 , 3 3 7 のゲートは、書き込み制御信号入力用 W 0 端子、W 1 端子、W 2 端子及び W 3 端子にそれぞれ接続され、NMOS 3 3 2 , 3 3 4 , 3 3 6 , 3 3 8 のゲートは、書き込みイネーブル信号入力用端子 E 1 に共通に接続されている。インバータ 3 0 2 の出力端子には、NMOS 3 3 2 , 3 3 1 及びメモリセル 3 1 1 の直列回路と、NMOS 3 3 4 , 3 3 3 及びメモリセル 3 1 2 の直列回路と、NMOS 3 3 6 , 3 3 5 及びメモリセル 3 1 3 の直列回路と、NMOS 3 3 8 , 3 3 7 及びメモリセル 3 1 4 の直列回路とが、共通に接続されている。

20

【 0 0 8 3 】

メモリセル回路 3 0 0 - 2 は、メモリセル回路 3 0 0 - 1 の書き込みイネーブル信号入力用端子 E 1 に代えて、書き込みイネーブル信号入力用端子 E 2 に接続され、更に、メモリセル回路 3 0 0 - 1 の補正データ出力用 ODD 0 端子 ~ ODD 3 端子に代えて、補正データ出力用 EVN 0 端子 ~ EVN 3 端子に接続されている他は、メモリセル回路 3 0 0 - 1 と同様の構成である。

【 0 0 8 4 】

(図 6 中のマルチプレクサ)

30

図 7 は、図 5 中のマルチプレクサ 1 6 1 の構成を示す回路図である。

【 0 0 8 5 】

図 7 のマルチプレクサ 1 6 1 (例えば、1 6 1 A 1) は、メモリ回路 1 5 1 A 1 の ODD 0 端子 ~ ODD 3 端子から出力される補正データ ODD 0 ~ ODD 3 を入力する ODD 0 端子 ~ ODD 3 端子と、メモリ回路 1 5 1 A 1 の EVN 0 端子 ~ EVN 3 端子から出力される補正データ EVN 0 ~ EVN 3 を入力する EVN 0 端子 ~ EVN 3 端子と、制御回路 1 4 2 の S 1 N 端子及び S 2 N 端子から出力される奇数ドットデータと偶数ドットデータとの切り替え指令信号 S 1 N , S 2 N を入力する S 1 N 端子及び S 2 N 端子と、補正データ Q 0 ~ Q 3 を出力する Q 0 端子 ~ Q 3 端子と、入力データ切り替え用の P チャンネル MOS トランジスタ (以下「PMOS」という。) 3 4 1 ~ 3 4 8 とを有している。

40

【 0 0 8 6 】

PMOS 3 4 1 , 3 4 3 , 3 4 5 , 3 4 7 は、S 1 N 端子から入力される切り替え指令信号 S 1 N によりゲート制御され、入力側の ODD 0 端子 ~ ODD 3 端子と出力側の Q 0 端子 ~ Q 3 端子との間をそれぞれオン / オフする構成になっている。更に、PMOS 3 4 2 , 3 4 4 , 3 4 6 , 3 4 8 は、S 2 N 端子から入力される切り替え指定信号 S 2 N によりゲート制御され、入力側の EVN 0 端子 ~ EVN 3 端子と出力側の Q 0 端子 ~ Q 3 端子との間をそれぞれオン / オフする構成になっている。

【 0 0 8 7 】

(図 6 中のドライバ)

図 8 は、図 5 中のドライバ 1 8 1 の構成を示す回路図である。

50

【 0 0 8 8 】

図 8 のドライバ 1 8 1 (例えば、 1 8 1 - 9 3) は、ラッチ回路 1 3 1 A 1 の反転出力用端子 Q N から出力される負論理の印刷データ信号を入力する端子 E と、 N A N D 回路 1 4 6 から出力される負論理の L E D 駆動オン / オフ指令信号を入力する S 端子と、マルチプレクサ 1 6 1 A 1 の端子 Q 0 ~ 端子 Q 3 から出力される補正データ Q 0 ~ Q 3 を入力する Q 0 端子 ~ Q 3 端子と、制御電圧発生回路 1 7 0 の V 端子から出力される制御電圧 V c o n t を入力する V 端子と、電源電圧 V D D が入力される V D D 端子と、図示しないボンディングワイヤを介して接続された L E D のアノードに対して駆動電流 D O を供給する D O 端子 (= D O 9 3 端子) とを有している。

【 0 0 8 9 】

E 端子及び S 端子は、 2 入力否定論理和回路 (以下「 N O R 回路」という。) 3 5 0 の入力端子に接続されている。 N O R 回路 3 5 0 は、電源端子が V D D 端子に接続され、グランド端子が V 端子に接続されて制御電圧 V c o n t に保持されている。 N O R 回路 3 5 0 の出力端子と Q 0 端子 ~ Q 3 端子とは、 2 入力 N A N D 回路 3 5 1 ~ 3 5 4 の入力端子にそれぞれ接続されている。各 N A N D 回路 3 5 1 ~ 3 5 4 は、電源端子が V D D 端子に接続され、グランド端子が V 端子に接続されて制御電圧 V c o n t に保持されている。更に、 N O R 回路 3 5 0 の出力端子は、相補形 M O S インバータ (以下「 C M O S インバータ」という。) 3 5 5 を構成する P M O S 3 5 5 a 及び N M O S 3 5 5 b の各ゲートに共通に接続されている。 P M O S 3 5 5 a 及び N M O S 3 5 5 b は、 V D D 端子と V 端子との間に直列に接続されている。

【 0 0 9 0 】

N A N D 回路 3 5 1 ~ 3 5 4 の出力端子には、 P M O S 3 5 6 ~ 3 5 9 のゲートがそれぞれ接続され、更に、 C M O S インバータ 3 5 5 の出力端子に、 P M O S 3 6 0 のゲートが接続されている。各 P M O S 3 5 6 ~ 3 6 0 のソース・ドレインは、 V D D 端子と D O 端子との間に並列に接続されている。 P M O S 3 6 0 は、 L E D に主たる駆動電流 D O を供給する主駆動トランジスタであり、 P M O S 3 5 6 ~ 3 5 9 は、 L E D の駆動電流 D O をドット毎に調整して光量補正するための補助駆動トランジスタである。

【 0 0 9 1 】

ここで、 V D D 端子の電位と、 V 端子から入力される制御電圧 V c o n t の電位との電位差は、 P M O S 3 5 6 ~ 3 6 0 がオンする時のゲート・ソース間電圧に略等しく、この電圧を変化させることで、 P M O S 3 5 6 ~ 3 6 0 のドレイン電流を調整することが可能となる。制御電圧 V c o n t を供給するための図 5 中の制御電圧発生回路 1 7 0 は、基準電圧 V R E F を受けて、 P M O S 3 5 6 ~ 3 6 0 等のドレイン電流が所定値となるように制御電圧 V c o n t を制御するために設けられている。

【 0 0 9 2 】

このように構成されるドライバ 1 8 1 - 9 3 は、次のように動作する。

E 端子に入力される印刷データ信号がオン (= 低レベル、以下「 “ L ” レベル」という。) であり、 S 端子に入力される L E D 駆動オン / オフ指令信号がオン (= “ L ” レベル) の時、 N O R 回路 3 5 0 の出力信号が “ H ” レベルとなる。この時、 Q 3 端子 ~ Q 0 端子の補正データ Q 3 ~ Q 0 に従い、 N A N D 回路 3 5 1 ~ 3 5 4 の出力レベル、及び C M O S インバータ 3 5 5 の出力レベルが、電源電圧 V D D あるいは制御電圧 V c o n t となる。

【 0 0 9 3 】

主駆動用の P M O S 3 6 0 は、 E 端子に入力される印刷データ信号に従って駆動される。図 6 のメモリ回路 1 5 1 A 1 には、 L E D 各ドットの発光ばらつきを補正するための補正データ Q 0 ~ Q 3 が格納されているので、この補正データ Q 0 ~ Q 3 が、マルチプレクサ 1 6 1 A 1 の Q 0 端子 ~ Q 3 端子から出力される。補助駆動用の P M O S 3 5 6 ~ 3 5 9 は、 N O R 回路 3 5 0 の出力レベルが “ H ” レベルである時に、マルチプレクサ 1 6 1 A 1 の Q 0 端子 ~ Q 3 端子から出力される補正データ Q 0 ~ Q 3 に従って選択的に駆動される。

【 0 0 9 4 】

つまり、主駆動用の P M O S 3 6 0 と共に、補正データ Q 0 ~ Q 3 に従って補助駆動用の P M O S 3 5 6 ~ 3 5 9 が選択的に駆動され、P M O S 3 6 0 のドレイン電流に対し、選択された P M O S 3 5 6 ~ 3 5 9 の各ドレイン電流が加算された駆動電流 D O が、D O 9 3 端子から L E D に供給される。

【 0 0 9 5 】

P M O S 3 5 6 ~ 3 5 9 が駆動されている時、N A N D 回路 3 5 1 ~ 3 5 4 の出力レベルは“ H ”レベル(制御電圧 V c o n t)であるので、P M O S 3 5 6 ~ 3 5 9 のゲート電位は、略制御電圧 V c o n t に等しくなる。この時、P M O S 3 5 5 a はオフ状態にあり、N M O S 3 5 5 b はオン状態にあって、P M O S 3 6 0 のゲート電位もまた略制御電圧 V c o n t に等しくなる。そのため、P M O S 3 5 6 ~ 3 6 0 のドレイン電流値を、制御電圧 V c o n t により一括して調整することができる。この際、N A N D 回路 3 5 1 ~ 3 5 4 は、電源端子に電源電圧 V D D 、及びグランド端子に制御電圧 V c o n t が印加されて動作しているので、その入力信号の電位も電源電圧 V D D と制御電圧 V c o n t に即したものであってよく、“ L ”レベルは必ずしも 0 V であることを必要としないという利点を有する。

【 0 0 9 6 】

(図 6 中の制御回路 1 4 1)

図 9 は、図 5 中の制御回路 1 4 1 の構成を示す回路図である。

【 0 0 9 7 】

この制御回路 1 4 1 は、正論理のラッチ信号 L O A D - P を入力する L O A D 端子と、図 5 中のインバータ 1 4 4 から出力される正論理の印刷駆動信号 S T B - P を入力する S T B 端子と、書き込み制御信号 W 0 ~ W 3 を図 5 中のメモリ回路部 1 5 0 へ出力する W 0 端子 ~ W 3 端子と、書き込みイネーブル信号 E 1 , E 2 をメモリ回路部 1 5 0 へ出力する E 1 端子及び E 2 端子と、F F 3 6 1 ~ 3 6 5 と、2 入力 of N O R 回路 3 6 6 と、2 入力 of 論理積回路(以下「 A N D 回路」という。) 3 6 7 , 3 6 8 と、3 入力 of A N D 回路 3 7 0 ~ 3 7 3 とを備えている。

【 0 0 9 8 】

各 F F 3 6 1 , 3 6 2 は、L O A D 端子から入力されるラッチ信号 L O A D - P を入力する負論理リセット用 R 端子と、S T B 端子から入力される印刷駆動信号 S T B - P を入力するクロック入力用 C K 端子と、データ入力用 D 端子と、非反転データ出力用 Q 端子とを有している。各 F F 3 6 3 ~ 3 6 5 は、L O A D 端子から入力されるラッチ信号 L O A D - P を入力する負論理リセット用 R 端子と、クロック入力用 C K 端子と、データ入力用 D 端子と、非反転データ出力用 Q 端子と、反転データ出力用 Q N 端子とを有している。

【 0 0 9 9 】

F F 3 6 1 , 3 6 2 の Q 端子は、N O R 回路 3 6 6 の入力端子と接続され、この N O R 回路 3 6 6 の出力端子が F F 3 6 1 の D 端子に接続されている。F F 3 6 1 の Q 端子は、F F 3 6 3 の C K 端子に接続され、この F F 3 6 3 の Q N 端子が D 端子に接続されている。F F 3 6 3 の Q 端子と L O A D 端子とは、A N D 回路 3 6 7 の入力端子に接続され、この A N D 回路 3 6 7 の出力端子が E 1 端子に接続されている。F F 3 6 3 の Q N 端子と L O A D 端子とは、A N D 回路 3 6 8 の入力端子に接続され、この A N D 回路 3 6 8 の出力端子が E 2 端子に接続されている。

【 0 1 0 0 】

A N D 回路 3 6 7 の出力端子は、F F 3 6 4 , 3 6 5 の C K 端子に接続され、この F F 3 6 4 , 3 6 5 の R 端子が、L O A D 端子に接続されている。F F 3 6 4 の Q N 端子は、F F 3 6 5 の D 端子に接続されている。F F 3 6 4 , 3 6 5 の Q 端子及び Q N 端子と F F 3 6 2 の Q 端子とは、A N D 回路 3 7 0 ~ 3 7 3 の入力端子が接続され、この A N D 回路 3 7 0 ~ 3 7 3 の出力端子が、W 0 端子 ~ W 3 端子に接続されている。

【 0 1 0 1 】

即ち、A N D 回路 3 7 3 の第 1 入力端子は F F 3 6 5 の Q 端子、及び第 2 入力端子は F

F 3 6 4 の Q N 端子にそれぞれ接続され、A N D 回路 3 7 2 の第 1 入力端子は F F 3 6 5 の Q 端子、及び第 2 入力端子は F F 3 6 4 の Q 端子にそれぞれ接続され、A N D 回路 3 7 1 の第 1 入力端子は F F 3 6 5 の Q N 端子、及び第 2 入力端子は F F 3 6 4 の Q 端子にそれぞれ接続され、A N D 回路 3 7 0 の第 1 入力端子は F F 3 6 5 の Q N 端子、及び第 2 入力端子は F F 3 6 4 の Q N 端子にそれぞれ接続されている。

【 0 1 0 2 】

(図 5 中の制御回路 1 4 2)

図 1 0 は、図 5 中の制御回路 1 4 2 の構成を示す回路図である。

【 0 1 0 3 】

この制御回路 1 4 2 は、F F 3 8 1 及びバッファ 3 8 2 , 3 8 3 を有している。F F 3 8 1 は、H S Y N C 端子からの負論理の主走査同期信号 H S Y N C - N を入力する負論理のリセット用 R 端子と、L O A D 端子からの正論理のラッチ信号 L O A D - P を入力するクロック入力用 C K 端子と、相互に接続されたデータ入力用 D 端子及び反転データ出力用 Q N 端子と、非反転データ出力用 Q 端子とを有し、これらの Q 端子及び Q N 端子が、バッファ 3 9 2 , 3 9 3 を介して切り替え指令信号用 S 2 N 端子及び S 1 N 端子にそれぞれ接続されている。

10

【 0 1 0 4 】

この制御回路 1 4 2 では、C K 端子に入力されるラッチ信号 L O A D - P に同期して、“ H ” 又は “ L ” の切り替え指令信号 S 1 N , S 2 N を S 1 N 端子及び S 2 N 端子から出力する構成になっている。

20

【 0 1 0 5 】

(図 6 中の制御電圧発生回路)

図 1 1 は、図 5 中の制御電圧発生回路 1 7 0 の構成を示す回路図である。

【 0 1 0 6 】

この制御電圧発生回路 1 7 0 は、ドライバ I C 1 0 0 毎に 1 回路ずつ設けられ、演算増幅器 (以下「オペアンプ」という。) 3 9 1 と、P M O S 3 9 2 , 3 9 3 と、直列接続された分圧抵抗 R 0 0 ~ R 1 5 からなる分圧回路 3 9 4 と、アナログ形のマルチプレクサ 3 9 5 とにより構成されている。

【 0 1 0 7 】

オペアンプ 3 9 1 は、反転入力端子が基準電圧入力用 V R E F 端子に接続され、非反転入力端子がマルチプレクサ 3 9 5 の出力用 Y 端子に接続され、出力端子が P M O S 3 9 2 のゲート及び制御電圧出力用 V 端子に接続され、スタンバイ端子がスタンバイ信号入力用 S T B Y 端子に接続されている。オペアンプ 3 9 1 は、端子 S T B Y から入力されるスタンバイ信号 S T B Y が “ L ” レベルの時に動作状態になり、スタンバイ信号 S T B Y が “ H ” レベルの時に非動作状態になって消費電流が略ゼロとなる。

30

【 0 1 0 8 】

P M O S 3 9 2 は、図 8 中の各 P M O S 3 5 6 ~ 3 6 0 とゲート長が等しく、ソースが V D D 端子に接続され、ゲートがオペアンプ 3 9 1 の出力端子及び端子 V に接続され、ドレインが P M O S 3 9 3 のソースに接続されている。P M O S 3 9 3 は、ゲートが S T B Y 端子に接続され、ドレインが分圧回路 3 9 4 を介してグランド G N D に接続されている。P M O S 3 9 3 は、S T B Y 端子から入力されるスタンバイ信号 S T B Y が “ L ” レベルの時にオン状態になり、スタンバイ信号 S T B Y が “ H ” レベルの時にオフ状態になるスイッチ素子である。そのため、スタンバイ信号 S T B Y が “ L ” レベルの時には、オペアンプ 3 9 1 が動作状態になると共に P M O S 3 9 3 がオン状態になり、P M O S 3 9 2 , 3 9 3 にドレイン電流 I r e f が流れる。一方、スタンバイ信号 S T B Y が “ H ” レベルとなってスタンバイ状態が指令されると、オペアンプ 3 9 1 が非動作状態、及び P M O S 3 9 3 がオフ状態になり、オペアンプ 3 9 5 の消費電流が略ゼロになると共に、前記ドレイン電流 I r e f も遮断される。

40

【 0 1 0 9 】

マルチプレクサ 3 9 5 は、直列接続された分圧抵抗 R 1 5 ~ R 0 0 における各接続点が

50

らのアナログ電圧が入力される 16 個の入力用 P 0 端子 ~ P 15 端子と、アナログ電圧を出力する出力用 Y 端子と、図 5 中のメモリ回路 152 の出力用 Q 0 端子 ~ Q 3 端子から供給される論理信号 Q 0 ~ Q 3 が入力される 4 個の入力用 S 0 端子 ~ S 3 端子とを有し、この 4 本の論理信号 S 0 ~ S 3 により設定される 16 通りの信号論理の組み合わせによって、入力用 P 0 端子 ~ P 15 端子のうちの何れか 1 つの端子を選択し、この端子に印加されるアナログ電圧を Y 端子からオペアンプ 391 の非反転入力端子へ出力する回路である。換言すれば、マルチプレクサ 395 における入力用 S 3 端子 ~ S 0 端子の論理信号レベルによって、入力用 P 0 端子 ~ P 15 端子のうち何れか 1 つの端子が選択され、出力用 Y 端子との間に電流経路が形成される。

【0110】

オペアンプ 391 と分圧抵抗 R 00 ~ R 15 及び P M O S 392 とで構成される回路により、フィードバック制御回路が構成され、オペアンプ 391 の非反転入力端子の電位が、略基準電圧 V R E F と等しくなるように制御される。このため、P M O S 392 のドレイン電流 I r e f は、分圧抵抗 R 00 ~ R 15 のうち、マルチプレクサ 395 により選択される部位の合成抵抗値と、オペアンプ 391 に入力される基準電圧 V R E F とから決定されることになる。

【0111】

例えば、マルチプレクサ 395 の入力用 S 3 端子 ~ S 0 端子の論理値が “ 1 1 1 1 ” となっていて、補正状態の最大が指令されている時、マルチプレクサ 395 の入力用 P 15 端子と出力用 Y 端子とが導通状態になり、入力用 P 15 端子の電圧が基準電圧 V R E F と

$$I r e f = V R E F / R 00$$

となる。

【0112】

一方、入力用 S 3 端子 ~ S 0 端子の論理値が “ 0 1 1 1 ” となっていて、補正状態の中間が指令されている時、マルチプレクサ 395 の入力用 P 7 端子と出力用 Y 端子とが導通状態になり、入力用 P 7 端子の電圧が基準電圧 V R E F と略等しくなるように制御される。この結果、P M O S 392 のドレイン電流 I r e f は、

$$I r e f = V R E F / (R 00 + R 01 + \dots + R 07 + R 08)$$

となる。

【0113】

更に、入力用 S 3 端子 ~ S 0 端子の論理値が “ 0 0 0 0 ” となっていて、補正状態の最小が指令されている時、マルチプレクサ 395 の入力用 P 0 端子と出力用 Y 端子とが導通状態となり、入力用 P 0 端子の電圧が前記基準電圧 V R E F と略等しくなるように制御される。この結果、P M O S 392 のドレイン電流 I r e f は、

$$I r e f = V R E F / (R 00 + R 01 + \dots + R 14 + R 15)$$

となる。

【0114】

このように、図 8 中の P M O S 356 ~ 360 と図 11 中の P M O S 392 とは、ゲート長が相等しく構成され、これら P M O S が飽和領域で動作するように制御されているので、各 P M O S はカレントミラーの関係となり、P M O S 356 ~ 360 がオン状態となる時、基準電圧 V R E F に比例するドレイン電流 I r e f を生じる。この結果、マルチプレクサ 395 の入力用 S 3 端子 ~ S 0 端子に与える論理値状態により、ドレイン電流 I r e f を 16 段階に調整することができ、図 8 中の P M O S 356 ~ 360 のドレイン電流もまた 16 段階に調整可能とすることができる。

【0115】

(図 1 中の基準電圧発生回路)

図 12 は、図 1 中の基準電圧発生回路 70 の構成を示す回路図である。

【0116】

この基準電圧発生回路 70 は、電源電圧 V D D が印加される V D D 端子、スタンバイ信

10

20

30

40

50

号 S T B Y が入力される S T B Y 端子、基準電圧 V R E F を出力する V R E F 端子、及び G N D 端子を有し、その V D D 端子及び S T B Y 端子に、切り替え回路（例えば、定電圧発生用レギュレータ）4 0 1 が接続されている。レギュレータ 4 0 1 は、略記して示す 4 つの端子 1, 2, 3, 4 を有し、端子 1 は電源端子であって V D D 端子と接続され、端子 2 は G N D 端子との間に所定の出力電圧を出力する出力端子、端子 3 はグランド端子、端子 4 はチップインーブル入力端子であって S T B Y 端子と接続されている。このレギュレータ 4 0 1 は、端子 4 に入力されるスタンバイ信号 S T B Y が “ L ” レベルの時に、端子 2 から定電圧を出力し、スタンバイ信号 S T B Y が “ H ” レベルの時に、端子 2 の出力がオフすると共に、消費電流もまた略ゼロとなる低消費電力モードに移行する切り替え回路である。

10

【 0 1 1 7 】

レギュレータ 4 0 1 の端子 2 には、ダイオード部 4 0 2 が接続されている。ダイオード部 4 0 2 は、2 つのダイオード 4 0 2 a, 4 0 2 b を有し、これらが順方向に直列に接続されている。ダイオード 4 0 2 b のカソードには、V R E F 端子が接続されると共に、抵抗値 R 1 の抵抗 4 0 3 及び抵抗値 R 2 の抵抗 4 0 4 を介して G N D 端子に接続されている。抵抗 4 0 3 及び 4 0 4 の接続点は、レギュレータ 4 0 1 の端子 3 に接続されている。

【 0 1 1 8 】

図 1 2 において、抵抗値 R 1 の抵抗 4 0 3 に流れる電流を I 1、抵抗値 R 2 の抵抗 4 0 4 に流れる電流を I 2、レギュレータ 4 0 1 の端子 3 から流れるグランド電流を I s s とする。更に、レギュレータ 4 0 1 の端子 2, 3 間に生じる出力電圧を V o、抵抗 4 0 3 の両端電圧を V 1、ダイオード 4 0 2 a, 4 0 2 b の順電圧を V f とすると、

20

$$V 1 = V o - 2 \times V f$$

となる。この時、電流 I 1 は、

$$I 1 = V 1 / R 1 = (V o - 2 \times V f) / R 1$$

となる。一方、レギュレータ 4 0 1 のグランド電流 I s s は、電流 I 1, I 2 と比べて無視できる程小さいので、

$$I 2 = I 1 + I s s \quad I 1$$

である。抵抗値 R 2 の抵抗 4 0 3 における両端電圧 V 2 は、

$$V 2 = R 2 \times I 2 \quad R 2 \times I 1 = (V o - 2 \times V f) \times (R 2 / R 1)$$

と求まる。

30

【 0 1 1 9 】

基準電圧発生回路 7 0 の V R E F 端子から出力される基準電圧 V R E F は、(V 1 + V 2) であるので、これより基準電圧 V R E F は、

$$V R E F = (1 + R 2 / R 1) \times (V o - 2 \times V f)$$

として求めることができる。

【 0 1 2 0 】

次に、基準電圧 V R E F の温度係数を求めてみる。抵抗値 R 1 の抵抗 4 0 3 と、抵抗値 R 2 の抵抗 4 0 4 の温度係数は小さく、レギュレータ自体の温度係数も小さいので、これらの温度係数は無視することができる。そのため、基準電圧 V R E F の温度係数 T c は、

40

$$T c = (1 / V R E F) \times V R E F / T = 2 / (V o - 2 \times V f) \times (- V f / T)$$

となる。

【 0 1 2 1 】

ここで、ダイオード 4 0 2 a, 4 0 2 b の順電圧 V f はマイナスの温度係数を持つので、出力する基準電圧 V R E F として正の温度係数のものが得られ、この数値はレギュレータ 4 0 1 の出力電圧 V o の設定により、種々に変えることが可能であることが判る。又、基準電圧 V R E F 値もまた、抵抗 4 0 3, 4 0 4 における抵抗比 R 2 / R 1 を変えることで、前記温度係数 T c の設定とは独立して任意に設定可能である、という設計上の利点を有している。

【 0 1 2 2 】

50

(L E D ヘッド基板ユニット)

図 1 3 (a) ~ (c) は、図 3 中の L E D ヘッド基板ユニットを示す構成図であり、同図 (a) は平面図、同図 (b) はその平面図の一部の拡大図、及び、同図 (c) は同図 (b) に対比するように描かれた断面図である。

【 0 1 2 3 】

図 1 3 (a) において、長方形のプリント配線板 1 3 b の平面 (即ち、上面) 上には、複数 (例えば、26 個) のドライバ I C 1 0 0 (= 1 0 0 - 1 ~ 1 0 0 - 2 6) がそのプリント配線板 1 3 b の長辺方向に沿って配置されると共に、これらのドライバ I C 1 0 0 に隣接して、複数 (例えば、26 個) の L E D アレイ 2 0 0 (= 2 0 0 - 1 ~ 2 0 0 - 2 6) がプリント配線板 1 3 b の長辺方向に沿って配置されている。更に、プリント配線板 1 3 b の両短辺付近には、L E D ヘッド 1 3 を制御する制御信号端子や図 1 中のコネクタ端子 V D D 3 等の電源端子、及び G N D 端子等を含んだコネクタ 2 1 0 と、基準電圧発生回路 7 0 とが搭載されている。

【 0 1 2 4 】

図 1 3 (b) において、プリント配線板 1 3 b の上面上には、ドライバ I C 1 0 0 - 1 , 1 0 0 - 2 , 1 0 0 - 3 , . . . に隣接して、端子パッド列 2 1 1 が形成され、この端子パッド列 2 1 1 における所要所間が、プリント配線板 1 3 b 上に形成された配線パターン 2 1 2 により接続されている。

【 0 1 2 5 】

図 1 3 (c) において、例えば、ドライバ I C 1 0 0 - 1 の D A T A O 3 端子パッド ~ D A T A O 0 端子パッドは、ボンディングワイヤ 2 1 3 を介して、プリント配線板 1 3 b の端子パッド列 2 1 1 に接続され、この端子パッド列 2 1 1 が配線パターン 2 1 2 を介して、他の端子パッド列 2 1 1 に接続され、この他の端子パッド列 2 1 1 が、ボンディングワイヤ 2 1 3 を介して、他のドライバ I C 1 0 0 - 2 の D A T A O 3 端子パッド ~ D A T A O 0 端子パッドに接続されている。各ドライバ I C 1 0 0 - 1 , . . . の L E D 駆動端子パッドと各 L E D アレイ 2 0 0 - 1 , . . . のアノードパッドとが、ボンディングワイヤ 2 1 4 により接続され、各 L E D アレイ 2 0 0 - 1 , . . . の共通カソードとプリント配線板 1 3 b 上の図示しないカソードパッドとが、ボンディングワイヤ 2 1 5 により接続されている。

【 0 1 2 6 】

(L E D ヘッドの全体の動作)

図 1 4 は、本発明の実施例 1 における画像形成装置 1 の電源投入後に、図 1 の L E D ヘッド 1 3 に対して行われる補正データ転送処理と、その後に行われる印刷データ転送の様子を示すタイムチャートである。

【 0 1 2 7 】

補正データの転送開始に先立ち、引き続くデータ転送が補正データであることを示すため、ラッチ信号 H D - L O A D を “ H ” とする (I 部) 。

【 0 1 2 8 】

次いで、奇数番目に属するドットについて 1 ドット当たり 4 ビットからなる補正データのうち、b i t 3 のものを印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 からクロック信号 H D - C L K に同期して入力して、図 5 の F F 1 1 1 A 1 ~ F F 1 1 1 D 2 4 で構成されるシフトレジスタ 1 1 0 中へシフト入力する。シフト入力完了すると、A 部に示すように、印刷駆動信号 H D - S T B - N が 3 パルス入力され、図 9 の制御回路 1 4 1 の動作が行われる。

【 0 1 2 9 】

図 1 4 中の Q 1 , Q 2 , Q 3 , Q 4 , Q 5 は、図 9 の F F 3 6 1 , 3 6 2 , 3 6 3 , 3 6 5 , 3 6 4 の各出力端子、E 1 , E 2 は、A N D 回路 3 6 7 , 3 6 8 から出力される書き込みイネーブル信号、W 3 ~ W 0 は、A N D 回路 3 7 0 ~ 3 7 3 から出力される書き込み制御信号である。更に、S 1 N , S 2 N は、図 1 0 中のバッファ 3 8 2 , 3 8 3 から出力される奇数ドットデータと偶数ドットデータとの切り替え指令信号である。

【 0 1 3 0 】

図 1 4 の A 部において、印刷駆動信号 H D - S T B - N の 1 パルス目が入力されると、J 部に示すように、Q 1 端子の信号が発生し、次いで印刷駆動信号 H D - S T B - N の 2 パルス目で、K 部に示すように、Q 2 端子の信号が発生する。又、Q 1 端子の信号が立ち上がる毎に Q 3 端子の信号が状態反転し、L 部に示すように、Q 3 端子の信号が “ H ” レベルに遷移する。Q 3 端子の信号の遷移に引き続き、書き込みイネーブル信号 E 1 , E 2 が発生する。

【 0 1 3 1 】

書き込みイネーブル信号 E 1 の立ち上がりエッジに引き続き、M 部に示すように、Q 4 端子の信号が立ち上がり、書き込みイネーブル信号 E 1 の次の立ち上がりで、Q 5 端子の信号が立ち上がり、更に、書き込みイネーブル信号 E 1 の次の立ち上がりで、Q 4 端子の信号が立ち下がり、書き込みイネーブル信号 E 1 の次の立ち上がりで、Q 5 端子の信号が立ち下がる。

【 0 1 3 2 】

書き込み制御信号 W 3 ~ W 0 は、Q 2 端子の信号に引き続いて発生するものであるが、O 部、P 部に示すように、書き込み制御信号 W 3 が 2 回に亘って出力され、次いで、各書き込み制御信号 W 2 , W 1 , W 0 においても、それぞれ 2 パルスずつ発生する。

【 0 1 3 3 】

各書き込み制御信号 W 3 ~ W 0 のパルスが発生する毎に、図 6 のメモリ回路 1 5 1 にデータの書き込みが行われ、書き込み制御信号 W 3 ~ W 0 の 1 パルス目で、メモリセル回路 3 0 0 - 1 内の奇数ドット用メモリセル 3 1 1 ~ 3 1 4 へのデータ書き込みが行われ、2 パルス目で、メモリセル回路 3 0 0 - 1 内の偶数ドット用メモリセルへのデータ書き込みが行われる。

【 0 1 3 4 】

前記 1 パルス目の書き込み制御信号 W 3 ~ W 0 (O 部等) は、A 部、C 部、E 部、G 部について入力された印刷駆動信号 H D - S T B - N を基に発生されるものであり、前記 2 パルス目の書き込み制御信号 W 3 ~ W 0 (P 部等) は、B 部、D 部、F 部、H 部について入力された印刷駆動信号 H D - S T B - N を基に発生されるものである。

【 0 1 3 5 】

以上の過程を経て、補正データ b 3 ~ b 0 (O d d = O D D 3 ~ O D D 0 , E v e n = E V N 3 ~ E V N 0) の b i t 3 ~ b i t 0 の全てのデータ書き込みが完了すると、Q 部に示すように、ラッチ信号 H D - L O A D を “ L ” レベルにして、印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 の転送が可能な状態に遷移する。1 ラインの印刷開始に際し、引き続くデータ転送が奇数ドットのものであることを示すため、主走査同期信号 H D - H S Y N C - N が入力される (R 部) 。

【 0 1 3 6 】

次いで、U 部で奇数ドットの印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 が転送され、S 部のラッチ信号 H D - L O A D のパルスにより、シフトレジスタ 1 1 0 にシフト入力された印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 が、ラッチ部 1 3 0 にラッチされる。

【 0 1 3 7 】

更に、W 部に示すように、印刷駆動信号 H D - S T B - N が “ L ” レベルへと遷移して、L E D 2 0 1 , 2 0 2 , . . . の発光駆動が行われる。印刷データ信号 H D - D A T A 3 ~ H D - D A T A 0 がオン状態であると、“ L ” レベルとなる期間、L E D 2 0 1 , 2 0 2 , . . . が発光駆動されることになる。同様に V 部では、偶数ドットのデータ転送が行われ、このデータは T 部のパルスによりラッチされ、同様に X 部において、L E D 2 0 1 , 2 0 2 , . . . が発光駆動される。

【 0 1 3 8 】

(補正データ転送の詳細)

図 1 5 ~ 図 1 8 は、図 1 4 のタイムチャートにおいてドライバ 1 C 1 0 0 (= 1 0 0 -

10

20

30

40

50

1, 100 - 2, ...) を 1 チップのみに簡略化した場合における補正データ転送の詳細波形を示すタイムチャートである。

【0139】

ここで、図 15 は図 14 の A 部と B 部の詳細を示すタイムチャート、図 16 は図 14 の C 部と D 部の詳細を示すタイムチャート、図 17 は図 14 の E 部と F 部の詳細を示すタイムチャート、更に、図 18 は図 14 の G 部と H 部の詳細を示すタイムチャートである。

【0140】

図 15 において、各ドライバ 1C100 毎に設定されるチップ補正データ b3 ~ b0 は、奇数ドット転送（例えば、A 部）と偶数ドット転送（例えば、B 部）の内、1 回のみ行えば十分である。

【0141】

このため、図 15 ~ 図 18 においては、A 部、C 部、E 部、G 部等の奇数ドットの補正データ転送時に、シフトレジスタ 110 の段数を 1 段多くなるように切り替えて、送出データ列の先頭位置にチップ補正データ (Chip - b3, Chip - b2, Chip - b1, Chip - b0 等) を割り当てて送出するように工夫されている。

【0142】

併せて、図 15 に示すように、補正データ列の先頭には、チップ補正データ (Chip - b3, Chip - b2, Chip - b1, Chip - b0 等) の bit3 (Chip - b3) の他、データ入力信号 DATA2 の先頭部にスタンバイ信号 STBY ビットを割り当てており、この信号によって図 5 中のラッチ回路 154 のスタンバイ信号 STBY によるデータを次のシーケンスによって格納することができる。

【0143】

まず、図 15 の A 部で示す補正データ (Chip - b3 等) の書き込み制御信号 ("1" で示す箇所) により、図 5 中の AND 回路 153 の出力端子には正極性のパルス信号を生じて、このパルス信号がラッチ回路 154 の G 端子に入力され、その時、ラッチ回路 154 の D 端子に印加されている FF111C26 の Q 端子の信号レベルをそのラッチ回路 154 の内部に取り込んで、記憶保持する。

【0144】

ここで、図 5 中のラッチ回路 154 の Q 端子から出力されるスタンバイ信号 STBY が "L" レベルであったとする。

【0145】

このスタンバイ信号 STBY の "L" レベルは、制御電圧発生回路 170 に入力され、この制御信号発生回路 170 が動作可能状態になる。又、スタンバイ信号 STBY の "L" レベルは、図 12 の基準電圧発生回路 70 内におけるレギュレータ 401 の端子 4 (負論理のチップインーブル入力端子) にも印加される。そのため、レギュレータ 401 が動作可能状態になり、ダイオード部 402 から所定の基準電圧 VREF が発生する。

【0146】

即ち、スタンバイ信号 STBY の "L" レベルが入力されると、レギュレータ 401 が動作モードになり、この端子 2 からダイオード部 402 及び抵抗 403, 404 を通してグラウンド GND へ至る電流 I2 を生じる。この結果、レギュレータ 401 の端子 1 には、それに応じた電源電流を生じることになる。この電源電流は、主としてダイオード部 402 及び抵抗 403, 404 に流れる電流 I1 に略等しく、典型的な設計例では 10 mA と大きなものとなる。

【0147】

別の場合として、図 5 中のラッチ回路 154 の Q 端子から出力されるスタンバイ信号 STBY が "H" レベルとなる場合を考える。

【0148】

スタンバイ信号 STBY の "H" レベルは、制御信号発生回路 170 に入力される。そのため、制御信号発生回路 170 の動作が停止し、この制御信号発生回路 170 の電源電流は略ゼロになる。又、スタンバイ信号 STBY の "H" レベルは、図 12 の基準電圧発

10

20

30

40

50

生回路 70 内におけるレギュレータ 401 の端子 4 (負論理のチップイネーブル入力端子) にも印加される。そのため、レギュレータ 401 が動作禁止状態になり、このレギュレータ 401 からの電流出力がオフする。そのため、レギュレータ 401 の端子 2 からダイオード部 402 及び抵抗 403, 404 を通してグランド GND へ至る電流 I2 は遮断され、レギュレータ 401 の端子 1 に生じる電流も略ゼロとなる。この結果、制御信号発生回路 170 のみならず、基準電圧発生回路 70 全体としても、電源電流を略ゼロにできる。

【0149】

(実施例 1 の効果)

本実施例 1 によれば、次の (a)、(b) のような効果がある。

10

【0150】

(a) 従来の LED ヘッドにおいては、多数のドライバ IC を搭載して、このドライバ IC の端子パッドとプリント配線板の端子パッドとの間をワイヤボンディングにより接続している。LED ヘッドの基板ユニットに搭載されるドライバ IC は多数であり、ボンディングワイヤの数も多数に及ぶので、この製造過程において、ごく稀にはあるがワイヤボンディングを行うときに実装位置ずれを生じて、ボンディングワイヤの接続部がドライバ IC 側の端子パッドからはみ出してしまい、前記端子パッドに隣接配置されている回路素子を押潰し、損傷を与える可能性がある。

【0151】

このようにして生じる損傷チップの有無を検出するためには、前記損傷箇所を通じて電流が流れることによる電源電流 (IDDq 電流) を測定することが有効であり、特許文献 1 には、そのための好適な構成が開示されている。

20

【0152】

ところが、LED の温度補償のために、基準電圧発生回路を用いようとする、これに用いる三端子レギュレータ IC によって静的な電源電流 (典型的な例では 10 mA) を生じてしまい、前記の損傷により生じる微小な IDDq 電流 (典型例では 1 μ A 以下) の有無により生じる差異を検出することができない。

【0153】

このような不都合を解決するために、本実施例 1 の構成においては、LED ヘッド 13 に用いられる各ドライバ IC 100 内に、外部からの制御信号により論理状態が任意に設定可能な出力用 STBY 端子を設け、この STBY 端子から出力されるスタンバイ信号 STBY により、基準電圧発生回路 70 の動作状態をオン/オフ切り替えることを可能にしている。これにより、基準電圧発生回路 70 により生じていた静的消費電流が遮断され、LED ヘッド全体での消費電流を略ゼロにすることができる。この結果、LED ヘッド 13 の実装組立て後の試験工程において、実装不具合による損傷チップの有無を、電源電流 (IDDq 電流) を測定することで、高精度に判別することが可能となり、LED ヘッド 13 の品質レベルを格段に向上させることができる。

30

【0154】

更に、電源電流を遮断して消費電流を略ゼロにできる構成としたことで、LED ヘッド 13 を用いた画像形成装置 1 の待機時消費電力を低減することも可能となり、大幅な省エネルギーが図れるという効果も得られる。

40

【0155】

(b) 本実施例 1 の画像形成装置 1 によれば、前記 LED ヘッド 13 を採用するため、スペース効率及び光取り出し効率に優れた高品質の画像形成装置 (プリンタ、複写機、ファクシミリ装置、複合機等) を提供することができる。即ち、前記 LED ヘッド 13 を用いることにより、上述したフルカラーの画像形成装置 1 に限らず、モノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に露光装置を数多く必要とするフルカラーの画像形成装置において一層大きな効果が得られる。

【0156】

(実施例 1 の変形例)

50

図 19 は、図 12 の基準電圧発生回路 70 の変形例を示す回路図である。

【0157】

この変形例の基準電圧発生回路 70 A では、図 12 の基準電圧発生回路 70 におけるレギュレータ 401 に代えて、これとは構成の異なるレギュレータ 405、PNP トランジスタ 406、及び抵抗 407 が設けられている。

【0158】

レギュレータ 405 は、略記して示す 3 つの端子 1, 2, 3 を有し、端子 1 は電源端子、端子 2 は所定の出力電圧を出力する出力端子であってダイオード 402 a のアノードに接続され、端子 3 はグランド端子であって抵抗 403 及び 404 の接続点に接続されている。このレギュレータ 405 は、端子 1 に電源電圧 VDD が印加された時に、端子 2 から定電圧を出力し、端子 1 への印加電圧が 0 V の時に、端子 2 の出力がオフすると共に、消費電流もまた略ゼロとなる低消費電力モードに移行する回路である。

【0159】

レギュレータ 405 の端子 1 には、PNP トランジスタ 406 のコレクタ端子（以下単に「コレクタ」という。）が接続され、エミッタ端子（以下単に「エミッタ」という。）に電源電圧 VDD が印加され、ベース端子（以下単に「ベース」という。）に抵抗 407 を介してスタンバイ信号 STBY が入力される。その他の構成は、図 12 の基準電圧発生回路 70 と同様である。

【0160】

このような構成の基準電圧発生回路 70 A では、入力されるスタンバイ信号 STBY が“L”レベルの時に、トランジスタ 406 がオン状態になって電源電圧 VDD がレギュレータ 405 の端子 1 に印加され、このレギュレータ 405 が動作する。入力されるスタンバイ信号 STBY が“H”レベルの時には、トランジスタ 406 がオフ状態になり、レギュレータ 405 の端子 1 が 0 V になるので、このレギュレータ 405 が非動作状態になる。そのため、レギュレータ 405 の端子 2 の出力がオフすると共に、消費電流もまた略ゼロとなる低消費電力モードに移行する。従って、図 12 の基準電圧発生回路 70 とほぼ同様の効果が得られる。

【実施例 2】

【0161】

本発明の実施例 2 における画像形成装置の全体構成は、実施例 1 と同様であるが、この画像形成装置に設けられる LED ヘッドの構成及び動作が実施例 1 と異なるので、この異なる箇所を以下説明する。

【0162】

（LED ヘッド）

図 20 は、本発明の実施例 2 における LED ヘッド 13 B を示す構成図であり、実施例 1 の LED ヘッド 13 を示す図 1 中の要素と共通の要素には共通の符号が付されている。

【0163】

本実施例 2 の LED ヘッド 13 B では、実施例 1 の LED ヘッド 13 における EEPROM 60、基準電圧発生回路 70 及び複数のドライバ IC 100（＝100 - 1, 100 - 2, ...）に代えて、これらとは機能あるいは構成の異なる付帯回路である EEPROM 60 B、基準信号生成手段である基準電圧発生回路 70 B、及び駆動回路である複数のドライバ IC 100 B（＝100 - 1 B, 100 - 2 B, ...）が設けられている。

【0164】

EEPROM 60 B は、実施例 1 の EEPROM 60 に対して内部回路が異なる。即ち、EEPROM 60 は、実施例 1 の EEPROM 60 と同様に、LED ヘッド 13 B のコネクタ端子 VDD 3 に接続された第 2 の電源電圧 VCC 用の VCC 端子、主走査同期信号 HD - HSYNC - N を負論理チップイネーブル信号 CE として入力する CE 端子、印刷駆動信号 HD - STB - N をシリアルデータ SI として入力する SI 端子、シリアルクロック信号 SCK を入力する SCK 端子、及びシリアルデータ SO を出力する SO 端子を有し、CE 端子から入力される主走査同期信号 HD - HSYNC - N により活性化され、シ

リアルクロック信号 S C K に同期して印刷駆動信号 H D - S T B - N をシリアルデータ S I として入力して格納するための半導体メモリであるが、実施例 1 の E E P R O M 6 0 に対して内部回路が異なる。なお、第 2 の電源電圧 V C C は、第 1 の電源電圧 V D D とは異なる電源系統である。

【 0 1 6 5 】

基準電圧発生回路 7 0 B は、コネクタ端子 V D D 3 から供給される電源電圧 V C C を入力する V C C 端子と、 L E D 駆動のための駆動電流値を指令するための基準電圧 V R E F を出力する V R E F 端子とを有し、電源電圧 V C C が V C C 端子に入力されると活性化され（即ち、内部回路が動作し）、基準電圧 V R E F を発生して V R E F 端子から出力し、各ドライバ I C 1 0 0 B へ供給する回路である。電源電圧 V C C が基準電圧発生回路 7 0 B の V C C 端子に入力されないと（即ち、 V C C 端子への電源電圧 V C C の入力が停止されると）、この基準電圧発生回路 7 0 B の内部回路における動作が停止し、基準電圧 V R E F の出力が停止される。

10

【 0 1 6 6 】

このように、本実施例 3 では、コネクタ端子 V D D 3 に印加される電源電圧 V C C を遮断することで、 E E P R O M 6 0 B 及び基準電圧発生回路 7 0 B の電源電流を遮断する構成になっている。

【 0 1 6 7 】

各ドライバ I C 1 0 0 B は、実施例 1 の各ドライバ I C 1 0 0 と同様に、複数の端子を有しているが、スタンバイ信号 S T B Y 出力用の S T B Y 端子のみが削除され、内部回路は、実施例 1 の各ドライバ I C 1 0 0 と同様の構成である。ここで、 E E P R O M 6 0 B の第 1 の信号入力端子である C E 端子及び S I 端子と、各ドライバ I C 1 0 0 B の第 2 の信号入力端子である H S Y N C 端子及び S T B 端子とが接続されて、コネクタ端子ピンが共有化されている。

20

その他の構成は、実施例 1 の L E D ヘッド 1 3 と同様である。

【 0 1 6 8 】

（図 2 0 中の E E P R O M ）

図 2 1 (a)、(b) は、図 2 0 中の E E P R O M 6 0 B の構成を示す概略の回路図であり、同図 (a) は本実施例 2 の E E P R O M 6 0 B の回路図、及び、同図 (b) は同図 (a) と対比するように図示した従来構成の E E P R O M 6 0 C の回路図である。

30

【 0 1 6 9 】

図 2 1 (b) に示す E E P R O M 6 0 C は、電源電圧 V C C を入力する V C C 端子と、図 2 0 中の C E 端子、 S I 端子、及び S C K 端子等を総称した端子 T とを有し、これらの V C C 端子及び T 端子に、 E E P R O M 本体である内部のコア部 4 1 1 と、このコア部 4 1 1 の入力回路を構成する 2 つのダイオード 4 1 1、4 1 2 とが接続されている。

【 0 1 7 0 】

E E P R O M 6 0 C 内のコア部 4 1 1 は、 E E P R O M 6 0 C の V C C 端子及び T 端子に接続された V C C 端子及び T 端子とを有している。ダイオード 4 1 2 は、アノードが端子 T に接続され、カソードが V C C 端子に接続されている。ダイオード 4 1 3 は、アノードがグランド G N D に接続され、カソードが T 端子に接続されている。ダイオード 4 1 2、4 1 3 は、静電気放電 (Electro Static Discharge、以下「 E S D 」という。) 保護のための静電気保護素子であって、 E S D 等により正極性や負極性の過大電圧が T 端子に印加された時に、電源側やグランド G N D 側に放電させ、コア部 4 1 1 の T 端子に過大電圧が印加されるのを防止している。

40

【 0 1 7 1 】

これに対し、図 2 1 (a) に示す E E P R O M 6 0 B は、図 2 1 (b) の E E P R O M 6 0 C と同様のコア部 4 1 1 と、 E E P R O M 6 0 C のダイオード 4 1 3 に対応したダイオード 4 1 4 とを有しているが、 E E P R O M 6 0 C における T 端子から V C C 端子に向かう方向のダイオード 4 1 2 が削除された構成になっている。

【 0 1 7 2 】

50

なお、本実施例 3 の E E P R O M 6 0 B において、前記ダイオード 4 1 2 を削除する代わりに、ダイオード 4 1 4 においては、ブレークダウン電圧を低めに設定して、ツェナーダイオードに類似の電圧 - 電流特性を備えるようにすることで、T 端子に正極性の過大電圧が印加された時には、ダイオード 4 1 4 に逆方向に電圧が印加されるが、前記ブレークダウンによりこのダイオード 4 1 4 のカソードからアノードへ向けて電流が流れることで、コア部 4 1 1 の T 端子に過大な電圧が印加されることを防止することができる。

【 0 1 7 3 】

(図 2 0 中の基準電圧発生回路)

図 2 2 は、図 2 0 中の基準電圧発生回路 7 0 B の構成を示す回路図であり、図 1 9 に示す基準電圧発生回路 7 0 A 中の要素と共通の要素には共通の符号が付されている。

10

【 0 1 7 4 】

本実施例 2 の基準電圧発生回路 7 0 B では、図 1 9 の基準電圧発生回路 7 0 A における P N P トランジスタ 4 0 6 及び S T B Y 端子が削除され、V D D 端子がレギュレータ 4 0 5 の端子 1 に直接接続された構成になっている。その他の構成は、図 1 9 の基準電圧発生回路 7 0 A と同様である。

【 0 1 7 5 】

(L E D ヘッドのスタンバイ状態の動作)

本実施例 2 における図 2 0 の L E D ヘッド 1 3 B において、図 2 1 (a) の E E P R O M 6 0 B を備えることの動作を、図 2 1 (b) の E E P R O M 6 0 C を備える場合と対比しつつ、以下説明する。

20

【 0 1 7 6 】

図 2 0 の L E D ヘッド 1 3 B では、L E D ヘッド組立て後の完成試験において、実装工程不具合による損傷チップの有無を検出するために、複数のドライバ I C 1 0 0 B (= 1 0 0 - 1 B , 1 0 0 - 2 B , . . .) をスタンバイ状態に設定して、消費電流を略ゼロにする。

【 0 1 7 7 】

同時に、基準電圧発生回路 7 0 B の V C C 端子に接続されたコネクタ端子 V D D 3 の電圧を略ゼロに設定することで、この基準電圧発生回路 7 0 B による消費電流を略ゼロとすることができる。またこの時、E E P R O M 6 0 B の C E 端子を “ H ” レベルとすることで、この E E P R O M 6 0 B もまたスタンバイ状態とされ、その消費電流を略ゼロとすることができるはずである。

30

【 0 1 7 8 】

ところが、図 2 0 中の E E P R O M 6 0 B の入力回路が、図 2 1 (b) に示す E E P R O M 6 0 C のような入力回路の構成であったとすると、図 2 1 (b) 中に破線矢印で示す向きの回り込み電流を生じてしまう。

【 0 1 7 9 】

例えば、図 2 1 (b) の E E P R O M 6 0 C において、T 端子がシリアルデータ入力用 S I 端子であったとすると、この S I 端子には主走査同期信号 H D - S T B - N が入力されており、この時の主走査同期信号 H D - S T B - N のレベルは “ H ” であるが、図 2 1 (b) の V C C 端子の電位がゼロであると、ダイオード 4 1 2 のアノード・カソード間に電流が流れてしまい、端子 T (この場合は印刷駆動信号 H D - S T B - N が入力されている。) の “ H ” レベルを低下させる。そのため、図 5 のドライバ I C 内部のプルアップ抵抗 1 4 3 に電流を生じてしまい、本来ゼロとなるように設定していたドライバ I C 1 0 0 B に電源電流を生じることになる。この結果、図 2 1 (b) の構成のままでは、図 2 0 の L E D ヘッド 1 3 B において所望の作用効果を奏することができない。

40

【 0 1 8 0 】

そこで、本実施例 2 では、図 2 1 (a) に示す E E P R O M 6 0 B の構成にすることで、図 2 1 (b) における破線矢印の電流を生じなくすることができる。従って、スタンバイ状態におけるドライバ I C 1 0 0 B の電源電流ゼロの状態を実現することが可能となる。

50

【 0 1 8 1 】

(L E Dヘッドの全体の動作)

図 2 3 は、本発明の実施例 2 における画像形成装置 1 の電源投入後に、図 2 0 の L E Dヘッド 1 3 B に対して行われる補正データ転送処理と、これと同時に行われるスタンバイ状態の設定シーケンスを示すタイムチャートである。この図 2 3 では、実施例 1 の図 1 4 中の要素と共通の要素には共通の符号が付されている。

【 0 1 8 2 】

補正データ $b_3 \sim b_0$ ($O d d = O D D 3 \sim O D D 0$, $E v e n = E V N 3 \sim E V N 0$) の転送開始に先立ち、引き続くデータ転送が補正データ $b_3 \sim b_0$ であることを示すため、ラッチ信号 $H D - L O A D$ を “ H ” にする (I 部)。次いで、奇数番目に属するドットについて 1 ドット当たり 4 ビットからなる補正データ $b_3 \sim b_0$ のうち、 $b i t 3$ の補正データ b_3 を $H D - D A T A 3$ 端子 \sim $H D - D A T A 0$ 端子からクロック信号 $H D - C L K - P$ に同期して入力し、図 5 中のシフトレジスタ 1 1 0 内へシフト入力する。シフト入力が完了すると、A 部に示すように、印刷駆動信号 $H D - S T B - N$ が 3 パルス入力され、図 9 に示す制御回路 1 4 1 の動作が行われる。

【 0 1 8 3 】

図 2 3 の A 部において、印刷駆動信号 $H D - S T B - N$ の 1 パルス目が入力されると、J 部に示すように、図 9 中の $F F 3 6 1$ の Q 端子 (= Q 1 端子) の信号が発生し、次いで、印刷駆動信号 $H D - S T B - N$ の 2 パルス目で、K 部に示すように、図 9 中の $F F 3 6 2$ の Q 端子 (= Q 2 端子) の信号が発生する。又、Q 1 端子の信号が立ち上がる毎に、図 9 中の $F F 3 6 3$ の Q 端子 (= Q 3 端子) の信号が状態反転し、L 部に示すように、Q 3 端子の信号は “ H ” レベルに遷移している。

【 0 1 8 4 】

Q 3 端子の信号の遷移に引き続き、書き込みイネーブル信号 $E 1$, $E 2$ が発生する。書き込みイネーブル信号 $E 1$ の立ち上がりエッジに引き続き、M 部に示すように、図 9 中の $F F 3 6 5$ の Q 端子 (= Q 4 端子) の信号が立ち上がり、書き込みイネーブル信号 $E 1$ の次の立ち上がりで、図 9 中の $F F 3 6 4$ の Q 端子 (= Q 5 端子) の信号が立ち上がり、更に、書き込みイネーブル信号 $E 1$ の次の立ち上がりで、Q 4 端子の信号が立ち下がり、書き込みイネーブル信号 $E 1$ の次の立ち上がりで、Q 5 端子の信号が立ち下がる。

【 0 1 8 5 】

書き込み制御信号 $W 3 \sim W 0$ は Q 2 端子の信号に引き続いて発生するものであるが、O 部、P 部のように、書き込み制御信号 $W 3$ が 2 回に亘って出力され、次いで、書き込み制御信号 $W 2$, $W 1$, $W 0$ の各信号においても、それぞれ 2 パルスずつ発生する。

【 0 1 8 6 】

書き込み制御信号 $W 3 \sim W 0$ の各パルスが発生する毎に、図 6 のメモリ回路 1 5 1 にデータの書き込みが行われ、書き込み制御信号 $W 3 \sim W 0$ の 1 パルス目で奇数ドット用メモリセル回路 3 0 0 - 1 内のメモリセル 3 1 1 \sim 3 1 4 へのデータ書き込みが、2 パルス目で偶数ドット用メモリセル回路 3 0 0 - 2 内のメモリセルへのデータ書き込みが行われる。

【 0 1 8 7 】

前記 1 パルス目の書き込み制御信号 $W 3$ (O 部等) は、A 部、C 部、E 部、G 部において入力された印刷駆動信号 $H D - S T B - N$ を基に発生されるものであり、前記 2 パルス目の書き込み制御信号 $W 3$ (P 部等) は、B 部、D 部、F 部、H 部について入力された印刷駆動信号 $H D - S T B - N$ を基に発生されるものである。

【 0 1 8 8 】

以上の過程を経て、補正データ $b_3 \sim b_0$ の $b i t 3 \sim b i t 0$ の全てのデータ書き込みが完了すると、Q 部に示すように、ラッチ信号 $H D - L O A D$ を “ L ” として、補正データ $b_3 \sim b_0$ の格納処理が完了する。これにより、図 5 の A N D 回路 1 5 3 及びラッチ回路 1 5 4 の動作において説明したように、各ドライバ I C 1 0 0 B のスタンバイ信号 $S T B Y$ を選択的に設定することができ、L E Dヘッド全体としてスタンバイモード (消費

10

20

30

40

50

電流を略ゼロとする状態)に設定することができる。

【0189】

次いで、R部に示すように、コネクタ端子VDD3の電源電圧VCCを立ち下げて、電位を略ゼロにする。これにより、図20中のEEPROM60B及び基準電圧発生回路70Bの電源電流をゼロとすることができる。そのため、図21(a)を用いて説明したように、LEDヘッド13Bに入力されている“H”レベル信号(例えば、印刷駆動信号HDD-STB-N)に生じる電流流入が生じることがなく、その電位状態にも影響を与えることがない。

【0190】

(実施例2の効果)

本実施例2によれば、実施例1の(a)の効果で説明したような従来の課題を解決できる以下のような効果があり、更に、以下のような効果があるので、実施例1の(b)の効果とほぼ同様の効果がある。

【0191】

本実施例2の構成においては、従来の課題を解決するために、LEDヘッド13Bに用いられる各ドライバIC100B内で、外部からの制御信号により静止時消費電流を略ゼロにすると共に、LEDヘッド13Bの付帯回路である基準電圧発生回路70Bの電源を切断可能とすることで、その消費電流を切断可能として、LEDヘッド全体での消費電流を略ゼロにすることができる。この結果、LEDヘッド13Bの実装組立て後の試験工程において、実装不具合による損傷チップの有無を、電源電流(IDDq電流)を測定することで、高精度に判別することが可能となり、LEDヘッド13Bの品質レベルを格段に向上させることができる。

【0192】

更に、電源電流を遮断して消費電流を略ゼロにできる構成としたことで、LEDヘッド13Bを用いた画像形成装置1の待機時消費電力を低減することも可能となり、大幅な省エネルギーが図れるという効果も得られる。

【0193】

(実施例の他の変形例)

本発明は、上記実施例1、2やこれらの変形例に限定されず、その他の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の(a)~(c)のようなものがある。

【0194】

(a) LEDが光源として用いられる発光素子に適用した場合について説明したが、本発明はこれに限らず、他の被駆動素子(例えば、有機EL素子等)への電圧印加制御を行う場合にも適用可能である。例えば、有機EL素子のアレイで構成される有機ELヘッドを供えたプリンタにおいて利用することができる。

【0195】

(b) 本発明は、2端子構造を備えたLED等の被駆動素子に限らず、3端子構造を備えた発光サイリスタの他、第1と第2の2個のゲート端子を備えた4端子サイリスタSCS(Silicon Semiconductor Controlled Switch)を駆動する場合にも適用可能である。又、EEPROM60, 60Bは、他の不揮発性メモリに置換してもよい。

【0196】

(c) 本発明の趣旨及び技術思想を考察して明らかなように、本発明は同一構成要素の連続的配置からなる被駆動素子列のドライバに限定されるものではなく、複数若しくは単数の駆動端子出力を備えた任意形状のICチップや、これらを搭載してなるユニット装置等に広く応用することが可能である。

【符号の説明】

【0197】

- 1 画像形成装置
- 13 LEDヘッド

10

20

30

40

50

60, 60B EEPROM

70, 70A, 70B 基準電圧発生回路

100, 100B, 100-1, 100-1B, 100-2, 100-2B

ドライバIC

110 シフトレジスタ

120 セレクタ

130 ラッチ回路部

141, 142 制御回路

150 メモリ回路部

160 マルチプレクサ部

170 制御電圧発生回路

180 ドライバ部

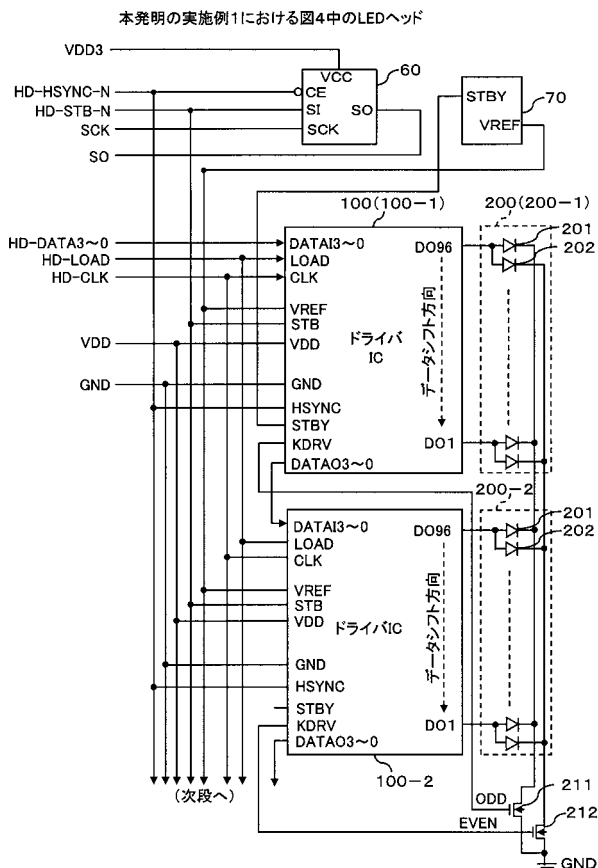
200, 200-1, 200-2 LEDアレイ

300-1, 300-1A~300-1C, 300-2, 300-2A~300-2C

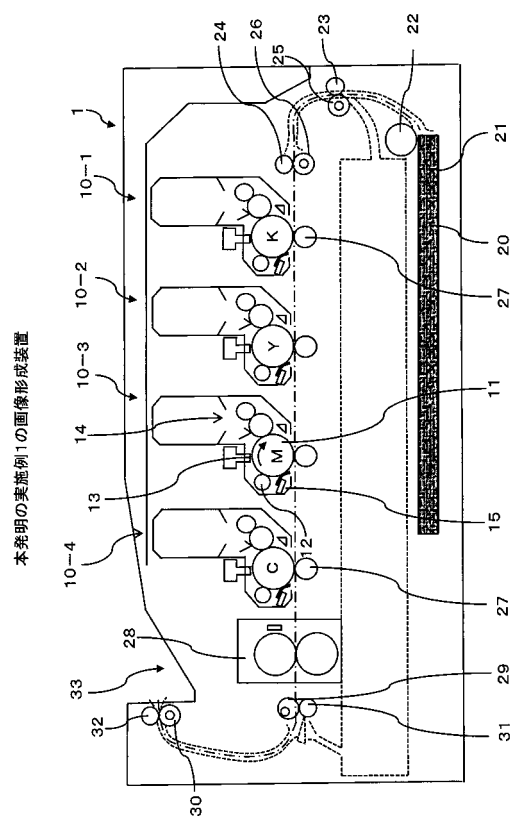
メモリセル回路

10

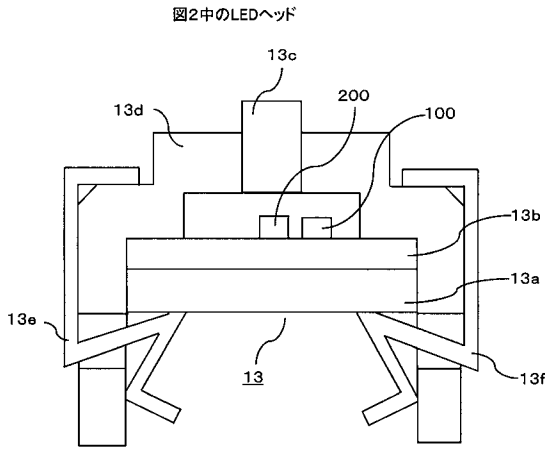
【図1】



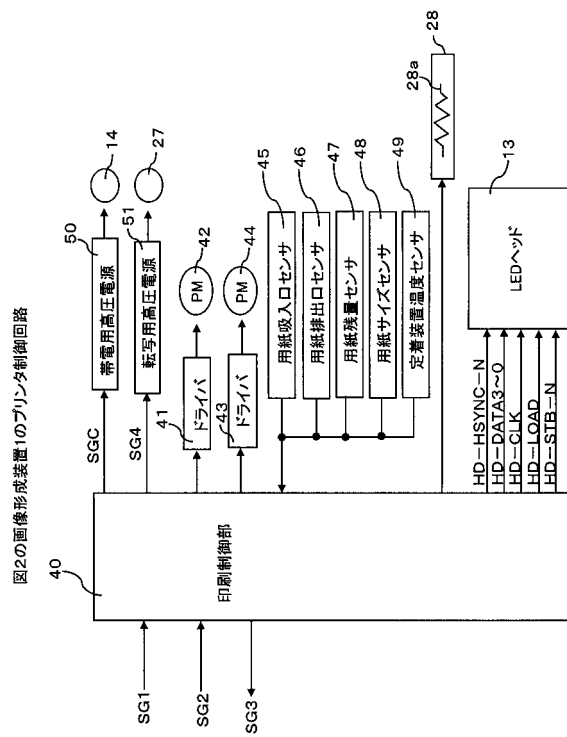
【図2】



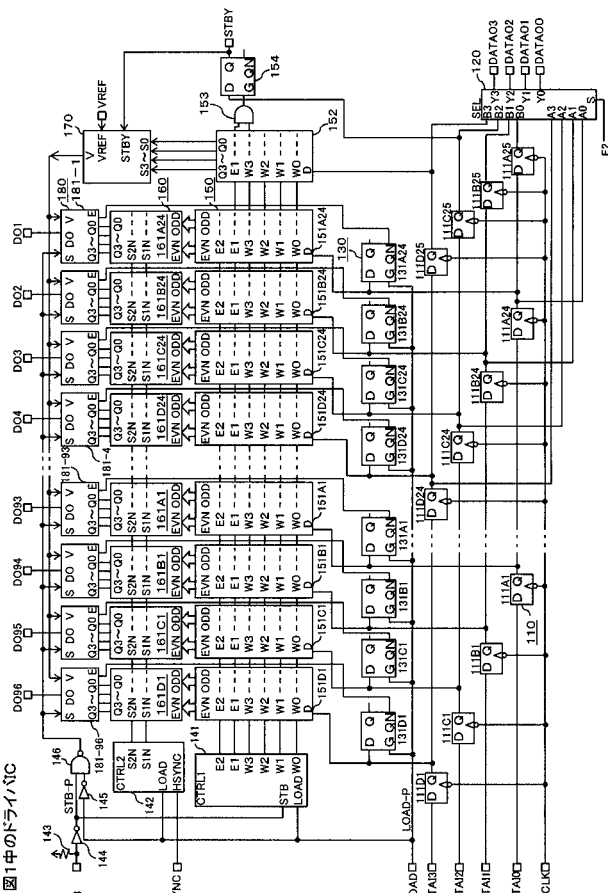
【 図 3 】



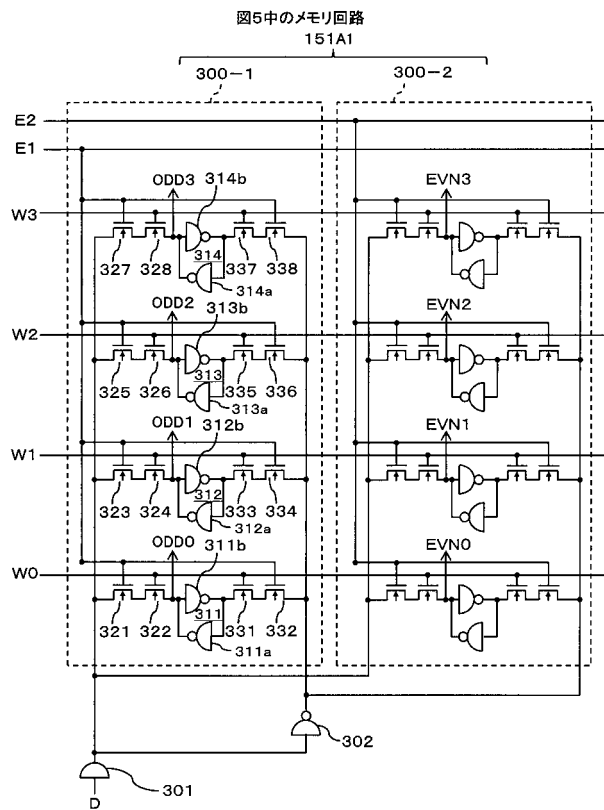
【 図 4 】



【 図 5 】

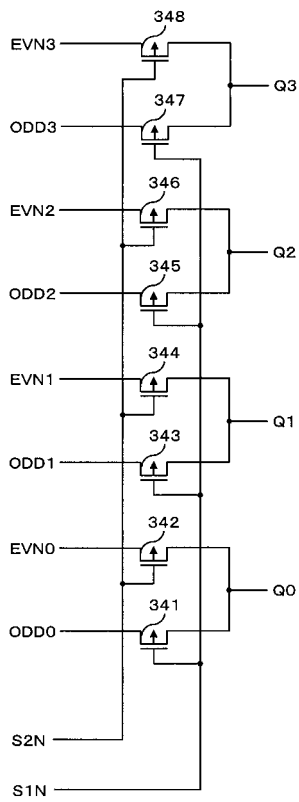


【 図 6 】



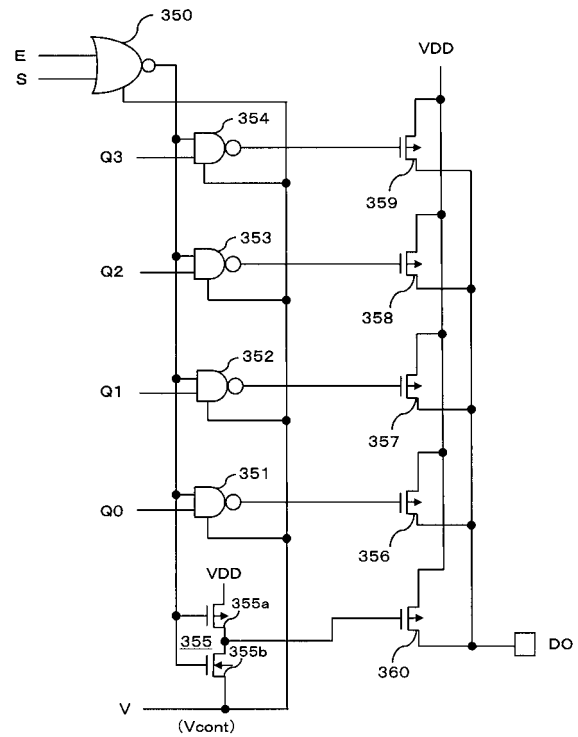
【図 7】

図5中のマルチプレクサ



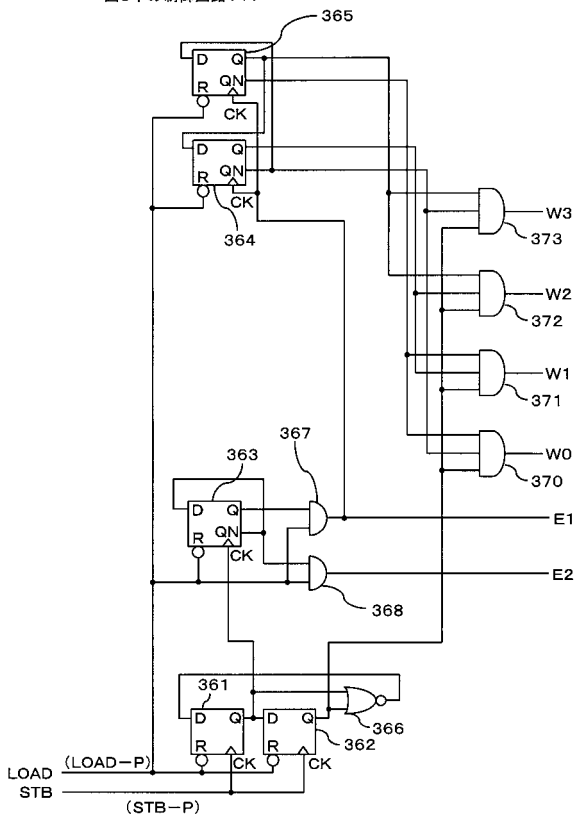
【図 8】

図5中のドライバ



【図 9】

図5中の制御回路141



【図 10】

図5中の制御回路142

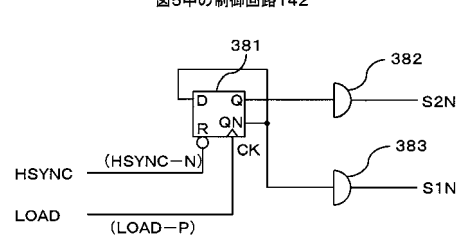


図14のE部とF部の詳細

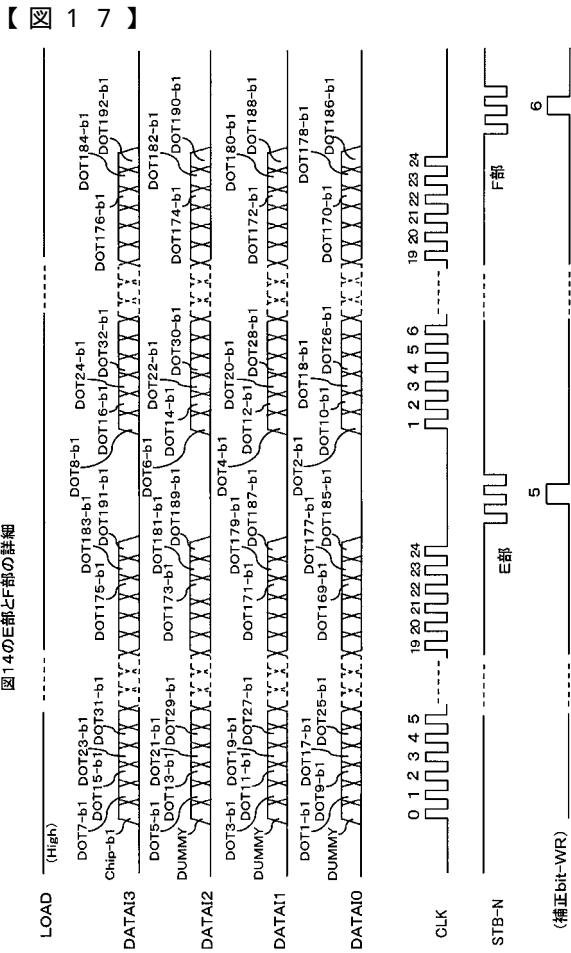


図14のA部とB部の詳細

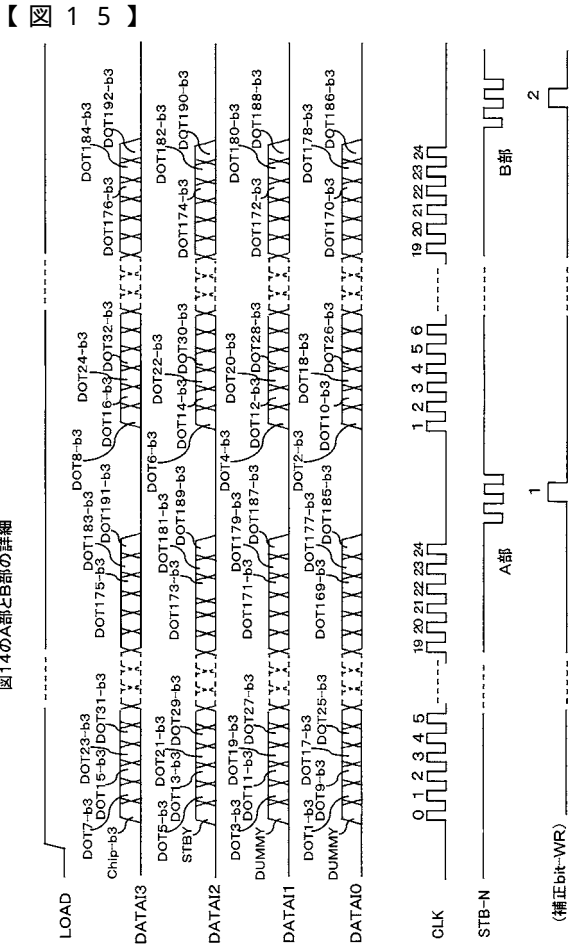


図14のG部とH部の詳細

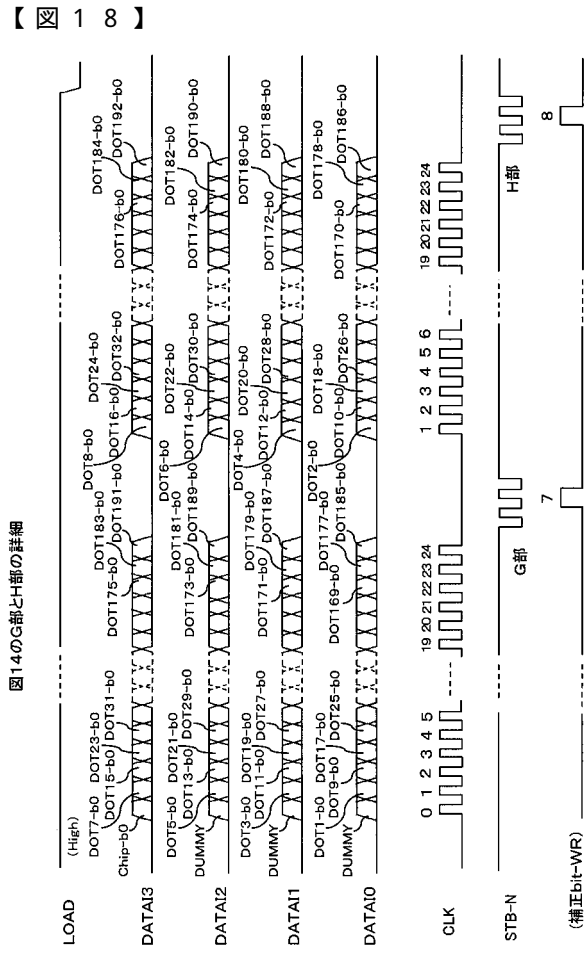
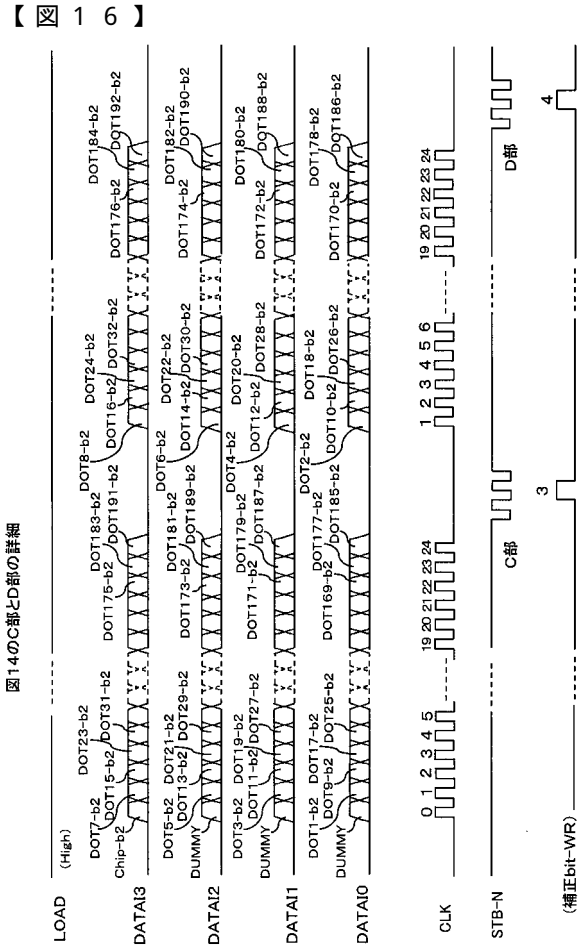
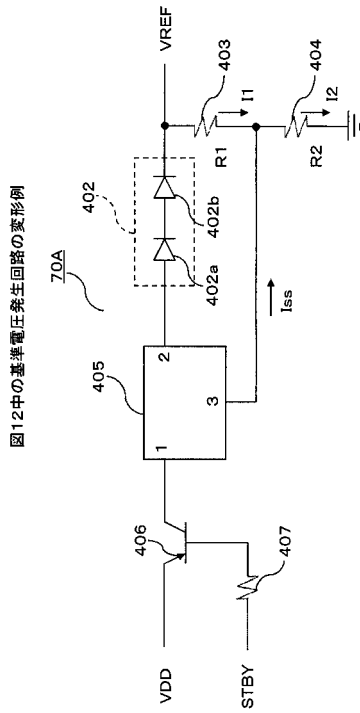


図14のC部とD部の詳細

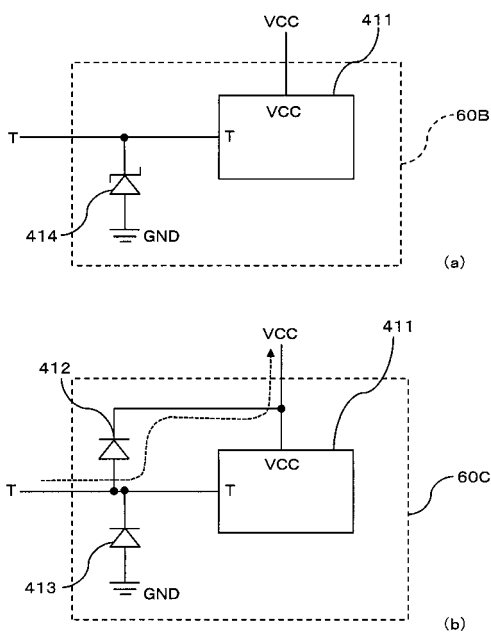


【 図 1 9 】



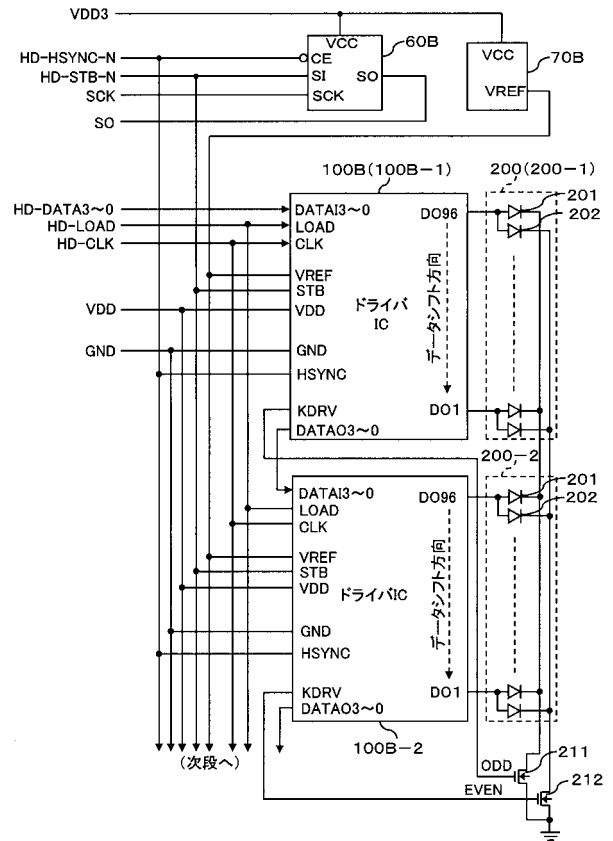
【 図 2 1 】

図20中のEEPROMの構成を従来構成と対して示す回路図



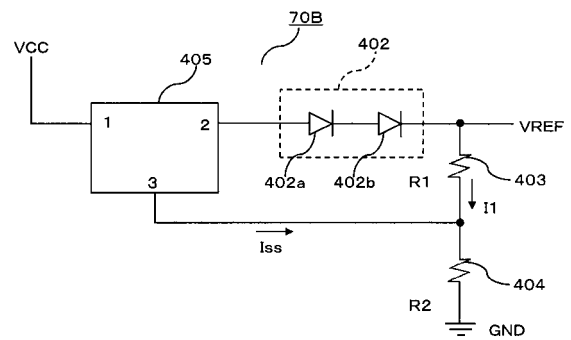
【 図 2 0 】

本発明の実施例2におけるLEDヘッド



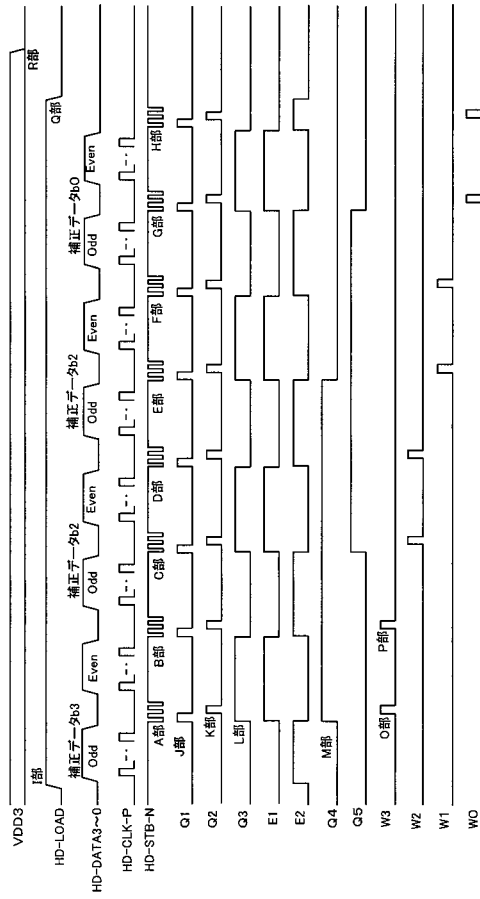
【 図 2 2 】

図20中の基準電圧発生回路



【図 2 3】

本発明の実施例2の補正データ転送処理とスタンバイ状態の設定シーケンス



フロントページの続き

F ターム(参考) 2C162 AE03 AE21 AE28 AE40 AE47 FA04 FA16 FA17
5C051 AA02 CA08 DA03 DB02 DB08 DB29 DC02 DC03 DC05 DE03
DE12 DE30 EA01