(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 2 月 25 日(25.02.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/027682 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 27/088* (2006.01)
H01L 21/8234 (2006.01)

(21) 国際出願番号: PCT/JP2015/072321

(22) 国際出願日: 2015 年 8 月 6 日(06.08.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-166561 2014 年 8 月 19 日(19.08.2014) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 大竹 悠介(OTAKE Yusuke); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 若野 壽史(WAKANO Toshifumi); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 佐野 拓也(SANO Takuya); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 田中 裕介(TANAKA Yusuke); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 田谷 圭司(TATANI Keiji); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 針渕 英男(HARIFUCHI Hideo); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１ ソニーセミコンダクタ株式会社内 Kumamoto (JP). 田内 栄一(TAUCHI Eiichi); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１ ソニーセミコンダクタ株式会社内 Kumamoto (JP). 岩下 博紀(IWASHITA Hiroki); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１ ソニーセミコンダクタ株式会社内 Kumamoto (JP). 松本 晃(MATSUMOTO Akira); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１ ソニーセミコンダクタ株式会社内 Kumamoto (JP).

(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号 西新宿木村屋ビルディング９階 Tokyo (JP).

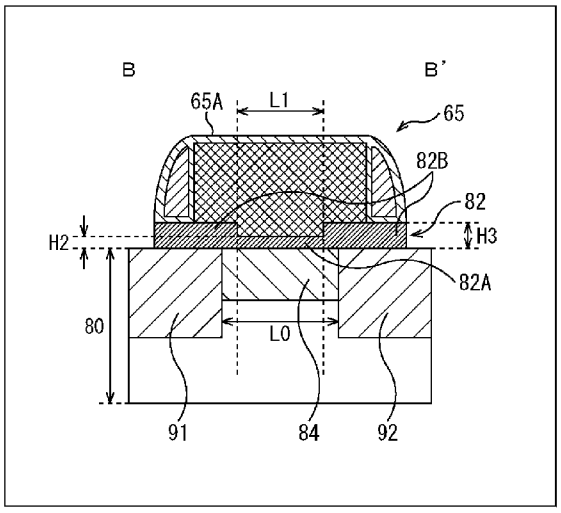
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) **Title**: SOLID-STATE IMAGE CAPTURING ELEMENT AND ELECTRONIC APPARATUS

(54) 発明の名称 : 固体撮像素子および電子機器

[図4]



(57) **Abstract**: This disclosure relates to a solid-state image capturing element and an electronic apparatus capable of inhibiting the occurrence of noise and white flaws due to an amplification transistor having an element isolation region formed by ion implantation. The amplification transistor has the element isolation region formed by ion implantation. A channel-region insulating film, which is at least a partial gate insulating film on a channel region of the amplification transistor, is thinner than a gate insulating film of a select transistor, and an element-isolation-region insulating film, which is at least a partial gate insulating film on the element isolation region of the amplification transistor, is thicker than the channel-region insulating film. This disclosure can be applied to, for example, a CMOS image sensor.

(57) 要約: 本開示は、イオン注入により形成される素子分離領域を有する増幅トランジスタのノイズと白キズの発生を抑制することができるようにする固体撮像素子および電子機器に関する。 増幅トランジスタは、イオン注入により形成される素子分離領域を有する。増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、選択トランジスタのゲート絶縁膜に比べて薄く、増幅トランジスタの素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、チャネル領域絶縁膜に比べて厚い。本開示は、例えば、CMOS イメージセンサ等に適用することができる。

WO 2016/027682 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 固体撮像素子および電子機器

技術分野

[0001] 本開示は、固体撮像素子および電子機器に関し、特に、イオン注入により形成される素子分離領域を有する増幅トランジスタのノイズと白キズの発生を抑制することができるようにした固体撮像素子および電子機器に関する。

背景技術

[0002] CMOSイメージセンサにおいて、画素サイズを微細化する場合、画素トランジスタのサイズを縮小する必要がある。しかしながら、画素トランジスタのサイズを縮小すると、ランダムノイズ（RN）が悪化する。

[0003] また、画素サイズを微細化する場合、フォトダイオード（PD）の面積を確保するため、一般的に、イオン注入により素子分離が形成される。しかしながら、この場合、画素トランジスタのゲート電極が素子分離領域上に形成されることにより、白キズ（白点）が増加する。

[0004] 一方、1/fノイズを抑制する方法としては、増幅トランジスタのゲート酸化膜を薄膜化する方法が考案されている（例えば、特許文献１参照）。しかしながら、素子分離領域上のゲート酸化膜を薄膜化すると暗電流が悪化し、白キズが増加する。

[0005] また、LOCOS（Local Oxidation of Silicon）法で素子分離を行う場合に、エンハンスメント型のトランジスタの固定電荷によるソース/ドレイン間のリークを遮断するため、堆積法で素子分離領域と素子領域の一部の上に酸化膜を形成することが考案されている。（例えば、特許文献２参照）

先行技術文献

特許文献

[0006] 特許文献1：特開2008-124395号公報

特許文献2：特開平2-144968号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、イオン注入により形成される素子分離領域を有する増幅トランジスタのノイズと白キズの発生を抑制することは考えられていなかった。

[0008] 本開示は、このような状況に鑑みてなされたものであり、イオン注入により形成される素子分離領域を有する増幅トランジスタのノイズと白キズの発生を抑制することができるようにするものである。

課題を解決するための手段

[0009] 本開示の第１の側面の固体撮像素子は、イオン注入により形成される素子分離領域を有する増幅トランジスタと、トランジスタとを備え、前記増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、前記増幅トランジスタの前記素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、前記チャネル領域絶縁膜に比べて厚いように構成された固体撮像素子である。

[0010] 本開示の第１の側面においては、イオン注入により形成される素子分離領域を有する増幅トランジスタと、トランジスタとが備えられ、前記増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、前記増幅トランジスタの前記素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、前記チャネル領域絶縁膜に比べて厚い。

[0011] 本開示の第２の側面の電子機器は、イオン注入により形成される素子分離領域を有する増幅トランジスタと、トランジスタとを備え、前記増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、前記増幅トランジスタの前記素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、前記チャネル領域絶縁膜に比べて厚いように構成された電子機器である。

[0012] 本開示の第２の側面においては、イオン注入により形成される素子分離領域を有する増幅トランジスタと、トランジスタとが備えられ、前記増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、前記増幅トランジスタの前記素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、前記チャネル領域絶縁膜に比べて厚い。

発明の効果

[0013] 本開示の第１および第２の側面によれば、画像を撮像することができる。また、本開示の一側面によれば、イオン注入により形成される素子分離領域を有する増幅トランジスタのノイズと白キズの発生を抑制することができる。

[0014] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0015] [図1]本開示を適用したCMOSイメージセンサの一実施の形態の構成例を示すブロック図である。

[図2]２×２画素の第１の構成例を示す上面図である。

[図3]図２のＡ－Ａ´断面図である。

[図4]図２のＢ－Ｂ´断面図である。

[図5]図２のＣ－Ｃ´断面図である。

[図6]増幅トランジスタのゲート絶縁膜の膜厚とランダムノイズの関係を示すグラフである。

[図7]チャネル領域絶縁膜のW方向の幅と白キズの関係を示すグラフである。

[図8]ゲート絶縁膜の膜厚の他の例を示す図２のＡ－Ａ´断面図である。

[図9]ゲート絶縁膜の膜厚の他の例を示す図２のＣ－Ｃ´断面図。

[図10]ゲート絶縁膜の種類の他の例を示す図２のＡ－Ａ´断面図である。

[図11]ゲート絶縁膜の種類の他の例を示す図２のＢ－Ｂ´断面図である。

[図12]ゲート絶縁膜の種類の他の例を示す図２のＣ－Ｃ´断面図である。

[図13]チャネル領域絶縁膜のW方向の幅の他の例を示す図２のＢ－Ｂ´断面図である。

[図14]素子分離領域の他の例を示すＢ－Ｂ´断面図である。

[図15]２×４画素の第２の構成例を示す上面図である。

[図16]２×４画素の第３の構成例を示す上面図である。

[図17]４×４画素の第４の構成例を示す上面図である。

[図18]２×２画素の第５の構成例を示す上面図である。

[図19]２×２画素の第６の構成例を示す上面図である。

[図20]１×２画素の第７の構成例を示す上面図である。

[図21]選択トランジスタの他の例を示す図２のＡ－Ａ´断面図である。

[図22]選択トランジスタの他の例を示す図２のＣ－Ｃ´断面図である。

[図23]本開示を適用した電子機器としての撮像装置の構成例を示すブロック図である。

発明を実施するための形態

[0016] 以下、本開示の前提および本開示を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

１．第１実施の形態：CMOSイメージセンサ（図１乃至図２２）

２．第２実施の形態：撮像装置（図２３）

[0017] ＜第１実施の形態＞

（CMOSイメージセンサの一実施の形態の構成例）

図１は、本開示を適用したCMOSイメージセンサの一実施の形態の構成例を示すブロック図である。

[0018] CMOSイメージセンサ１０は、画素領域１１、画素駆動線１４、垂直信号線１５、垂直駆動部２１、カラム処理部２２、水平駆動部２３、システム制御部２４、信号処理部３１、およびメモリ部３２が、図示せぬシリコン基板等の半導体基板(チップ)に形成されたものである。CMOSイメージセンサ１０は、被写体の画像を撮像し、各画素の画素信号を出力する。

[0019] 具体的には、画素領域１１には、入射光の光量に応じた電荷量の電荷を発

生して内部に蓄積する光電変換素子を有する画素が行列状に２次元配置され、画素領域１１は撮像を行う。また、画素領域１１には、行列状の画素に対して行ごとに画素駆動線１４が形成され、列ごとに垂直信号線１５が形成される。

[0020] 垂直駆動部２１は、シフトレジスタやアドレスデコーダなどによって構成され、画素領域１１の各画素を行単位等で駆動する。垂直駆動部２１の各行に対応した図示せぬ出力端には、画素駆動線１４の一端が接続されている。垂直駆動部２１の具体的な構成について図示は省略するが、垂直駆動部２１は、読み出し走査系および掃き出し走査系の２つの走査系を有する構成となっている。

[0021] 読み出し走査系は、各画素からの画素信号を行単位で順に読み出すように、各行を順に選択し、選択行の画素駆動線１４と接続する出力端から転送パルスと選択パルスを出力する。

[0022] 掃き出し走査系は、光電変換素子から不要な電荷を掃き出す(リセットする)ために、読み出し系の走査よりもシャッタスピードの時間分だけ先行して、各行の画素駆動線１４と接続する出力端から、転送パルスとリセットパルスを出力する。この掃き出し走査系による走査により、いわゆる電子シャッタ動作が行ごとに順に行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことをいう。

[0023] 垂直駆動部２１の読み出し走査系によって選択された行の各画素から出力される画素信号は、垂直信号線１５の各々を通してカラム処理部２２に供給される。

[0024] カラム処理部２２は、画素領域１１の列ごとに信号処理回路を有する。カラム処理部２２の各信号処理回路は、選択行の各画素から垂直信号線１５を通して出力される画素信号に対して、CDS(Correlated Double Sampling)処理等のノイズ除去処理、A/D（Analog/Digital）変換処理等の信号処理を行う。カラム処理部２２は、信号処理後の画素信号を一時的に保持する。

[0025] 水平駆動部２３は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部２２の信号処理回路を順番に選択する。この水平駆動部２３による選択走査により、カラム処理部２２の各信号処理回路で信号処理された画素信号が順番に信号処理部３１に出力される。

[0026] システム制御部２４は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部２１、カラム処理部２２、および水平駆動部２３を制御する。

[0027] 信号処理部３１は、少なくとも加算処理機能を有する。信号処理部３１は、カラム処理部２２から出力される画素信号に対して加算処理等の種々の信号処理を行う。このとき、信号処理部３１は、必要に応じて、信号処理の途中結果などをメモリ部３２に格納し、必要なタイミングで参照する。信号処理部３１は、信号処理後の画素信号を出力する。

[0028] メモリ部３２は、DRAM（Dynamic Random Access Memory）やSRAM（Static Random Access Memory）などにより構成される。

[0029] （画素の第１の構成例）

図２は、図１の画素領域１１に配置される２（列）×２（行）画素の第１の構成例を示す上面図である。

[0030] 図２に示すように、２×２画素には、各画素の光電変換素子としてのフォトダイオード（PD）６１－１乃至６１－４、各画素の転送トランジスタ６２－１乃至６２－４、および各画素のフローティングディフュージョン（FD）からなるＦＤ６３が形成される。また、ＰＤ６１－１およびＰＤ６１－２の図中上部には、２×２画素で共有される選択トランジスタ６６と増幅トランジスタ６５が形成され、ＰＤ６１－３およびＰＤ６１－４の図中下部には、２×２画素で共有されるリセットトランジスタ６４が形成される。

[0031] なお、以下では、ＰＤ６１－１乃至６１－４を特に区別する必要がない場合、それらをまとめてＰＤ６１という。同様に、転送トランジスタ６２－１乃至６２－４をまとめて転送トランジスタ６２という。

[0032] ＰＤ６１は、受光量に応じた電荷を生成し、蓄積する。転送トランジスタ６２は、図１の画素駆動線１４から供給される転送パルスによりオンにされたとき、ＰＤ６１に蓄積された電荷を読み出し、ＦＤ６３に転送する。

[0033] ＦＤ６３は、ＰＤ６１から読み出された電荷を保持する。リセットトランジスタ６４は、デプレッション型のトランジスタであり、画素駆動線１４から供給されるリセットパルスによりオンにされたとき、ＦＤ６３に蓄積されている電荷を定電圧源に排出することで、ＦＤ６３の電位をリセットする。

[0034] 増幅トランジスタ６５は、デプレッション型のトランジスタであり、選択トランジスタ６６と直列に接続される。増幅トランジスタ６５のゲート電極は、ＦＤ６３に接続され、増幅トランジスタ６５は、電源を用いてＦＤ６３の電位に応じた画素信号を選択トランジスタ６６に出力する。選択トランジスタ６６は、デプレッション型のトランジスタであり、画素駆動線１４から供給される選択パルスによりオンにされたとき、増幅トランジスタ６５から出力される画素信号を、垂直信号線１５を介してカラム処理部２２に供給する。

[0035] なお、図２の例では、リセットトランジスタ６４、増幅トランジスタ６５、および選択トランジスタ６６が２×２画素で共有されたが、画素ごとに設けられるようにしてもよい。

[0036] 図３は、図２のＡ－Ａ´断面図であり、図４は、図２のＢ－Ｂ´断面図であり、図５は、図２のＣ－Ｃ´断面図である。

[0037] 図３に示すように、選択トランジスタ６６のゲート電極６６Ａは、半導体基板８０の上に、ゲート絶縁膜８１を介して形成される。また、増幅トランジスタ６５のゲート電極６５Ａは、半導体基板８０の上に、ゲート絶縁膜８２を介して形成される。ゲート絶縁膜８１およびゲート絶縁膜８２としては、酸化膜、酸窒化膜、high-k膜などを採用することができる。

[0038] ゲート電極６６Ａの下部の半導体基板８０の内部には、選択トランジスタ６６のチャネル領域８３が形成され、ゲート電極６５Ａの下部の半導体基板８０の内部には、増幅トランジスタ６５のチャネル領域８４が形成される。

[0039] また、半導体基板８０の内部には、チャネル領域８３を挟むように、ソースドレイン領域８５および８６が形成され、選択トランジスタ６６のソースドレイン領域として機能する。半導体基板８０の内部には、また、チャネル領域８４をソースドレイン領域８６と挟むように、ソースドレイン領域８７が形成される。ソースドレイン領域８６とソースドレイン領域８７は、増幅トランジスタ６５のソースドレイン領域として機能する。

[0040] 図４に示すように、増幅トランジスタ６５は、イオン注入により形成される素子分離領域９１および９２を有する。また、図５に示すように、選択トランジスタ６６は、イオン注入により形成される素子分離領域９３および９４を有する。

[0041] 図４に示すように、ゲート絶縁膜８２のうちの、チャネル領域８４上の中央のゲート絶縁膜であるチャネル領域絶縁膜８２Ａの膜厚Ｈ２は、選択トランジスタ６６のゲート絶縁膜８１の膜厚Ｈ１に比べて薄い。また、ゲート絶縁膜８２のうちの、チャネル領域８４上の素子分離領域９１および９２との境界と素子分離領域９１および９２上の全部のゲート絶縁膜である素子分離領域絶縁膜８２Ｂの膜厚Ｈ３は、膜厚Ｈ２に比べて厚い。

[0042] また、図４に示すように、チャネル領域絶縁膜８２ＡのW方向（チャネル幅方向）の幅Ｌ１は、増幅トランジスタ６５のチャネル幅Ｌ０に比べて狭い。

[0043] 素子分離領域絶縁膜８２Ｂは、例えば、熱酸化により形成される。これにより、素子分離領域絶縁膜８２Ｂが、欠陥準位密度が低い清浄な膜になり、ノイズ源が低減される。

[0044] なお、図２乃至図５の例では、増幅トランジスタ６５と選択トランジスタ６６のソースドレイン領域が共有化され、１つのソースドレイン領域８６が形成されたが、共有化されず、別々にソースドレイン領域が形成されるようにしてもよい。

[0045] また、上述した説明では、増幅トランジスタ６５以外の画素トランジスタのうちの選択トランジスタ６６についてのみ説明したが、転送トランジスタ

６２とリセットトランジスタ６４も、選択トランジスタ６６と同様に構成される。

[0046] （ゲート絶縁膜の膜厚とランダムノイズの関係）

図６は、増幅トランジスタのゲート絶縁膜の膜厚とランダムノイズの関係を示すグラフである。

[0047] 図６において、横軸は、ランダムノイズ量を表し、縦軸は、各ランダムノイズ量の累積度数を表す。また、図６において、点線は、増幅トランジスタ６５における各ランダムノイズ量の累積度数を表し、実線は、ゲート絶縁膜の膜厚が全て膜厚Ｈ３である増幅トランジスタにおける各ランダムノイズ量の累積度数を表す。

[0048] 図６に示すように、チャネル領域絶縁膜８２Ａの膜厚Ｈ２が膜厚Ｈ３に比べて薄い増幅トランジスタ６５では、ゲート絶縁膜の膜厚が全て膜厚Ｈ３である増幅トランジスタに比べて、ランダムノイズが低減する。

[0049] また、図示は省略するが、チャネル領域絶縁膜８２Ａの膜厚Ｈ２が膜厚Ｈ３に比べて薄い増幅トランジスタ６５では、ゲート絶縁膜の膜厚が全て膜厚Ｈ３である増幅トランジスタに比べて、ランダムテレグラフノイズ（RTS）も低減する。

[0050] 以上のように、増幅トランジスタのゲート絶縁膜の膜厚は、薄い方が、ランダムノイズやランダムテレグラフノイズを低減することができる。

[0051] （チャネル領域絶縁膜のW方向の幅と白キズの関係）

図７は、チャネル領域絶縁膜のW方向の幅と白キズの関係を示すグラフである。

[0052] 図７において、横軸は、チャネル領域絶縁膜のW方向の幅を表し、縦軸は、白キズの発生総数を表す。

[0053] 図７に示すように、チャネル領域絶縁膜の幅が大きいほど、白キズの発生総数が多くなる。例えば、チャネル領域８４と素子分離領域９１および９２の境界上のゲート絶縁膜の膜厚が、膜厚Ｈ３に比べて薄い膜厚Ｈ２になる場合、即ち、チャネル領域絶縁膜の幅がチャネル幅Ｌ０より広い場合、暗電流

が多く発生し、白キズが多く発生する。

[0054] 以上のように、増幅トランジスタのゲート絶縁膜の膜厚は、薄い方が、ランダムノイズやランダムテレグラフノイズを低減することができるが、チャネル領域８４と素子分離領域９１および９２の境界上のゲート絶縁膜の膜厚が薄いと、白キズが多く発生する。

[0055] 従って、CMOSイメージセンサ１０は、増幅トランジスタ６５のチャネル領域絶縁膜８２Ａの膜厚Ｈ２を、ゲート酸化膜８１の膜厚Ｈ１に比べて薄くし、素子分離領域絶縁膜８２Ｂの膜厚Ｈ３を、チャネル領域絶縁膜８２Ａの膜厚Ｈ２に比べて厚くする。これにより、増幅トランジスタ６５のランダムノイズやランダムテレグラフノイズと白キズの発生を抑制することができる。

[0056] また、CMOSイメージセンサ１０では、素子分離領域９１乃至９４がイオン注入により形成されるので、画素を微細化することができる。

[0057] さらに、CMOSイメージセンサ１０では、増幅トランジスタ６５のゲート絶縁膜８２のみを薄くするので、リークを抑制することができる。

[0058] 即ち、増幅トランジスタ６５のゲート電極６５Ａに印加されるlow電圧は、転送トランジスタ６２、リセットトランジスタ６４、および選択トランジスタ６６のゲート電極に印加されるlow電圧よりも高い。例えば、選択トランジスタ６６とリセットトランジスタ６４のlow電圧は0V以下であるが、増幅トランジスタのlow電圧は0V以上である。

[0059] そして、ゲート電極に印加されるlow電圧が低いと、ドレイン側のゲート端でリークが発生し、ノイズが悪化する。また、ゲート絶縁膜の膜厚が薄い場合、ドレイン側のゲート端でリークが発生しやすい。CMOSイメージセンサ１０では、リークが発生しにくい増幅トランジスタ６５のゲート絶縁膜８２のみが薄くされ、リークが発生しやすい転送トランジスタ６２、リセットトランジスタ６４、および選択トランジスタ６６のゲート絶縁膜が薄くされない。従って、リークの発生を抑制することができる。

[0060] さらに、チャネル領域絶縁膜８２ＡのW方向の幅Ｌ１は、チャネル幅Ｌ０に比べて狭いので、チャネル領域絶縁膜８２Ａを薄膜化する際にエッチング

マスクの合わせズレが起こった場合でも、チャネル領域絶縁膜８２Ａが素子分離領域９１および９２の上に配置されず、白キズの発生を抑制することができる。即ち、暗電流のマージンを確保することができる。

[0061] （ゲート絶縁膜の膜厚の他の例）

素子分離領域絶縁膜と選択トランジスタ６６のゲート絶縁膜の厚みは、同一であるようにしてもよい。この場合、図２のＡ－Ａ´断面図は、図８に示すようになり、図２のＢ－Ｂ´断面図は、図４と同一であり、図２のＣ－Ｃ´断面図は、図９に示すようになる。即ち、選択トランジスタ６６のゲート絶縁膜１１１の膜厚は、素子分離領域絶縁膜８２Ｂの膜厚Ｈ３になる。

[0062] （ゲート絶縁膜の種類の他の例）

素子分離領域絶縁膜と選択トランジスタ６６のゲート絶縁膜の種類は、同一であるようにしてもよい。この場合、図２のＡ－Ａ´断面図は、図１０に示すようになり、図２のＢ－Ｂ´断面図は、図１１に示すようになり、図２のＣ－Ｃ´断面図は、図１２に示すようになる。

[0063] 即ち、選択トランジスタ６６のゲート絶縁膜１３１と、増幅トランジスタ６５の素子分離領域絶縁膜１３２Ｂの種類は同一である。増幅トランジスタ６５のチャネル領域絶縁膜１３２Ａの種類は、ゲート絶縁膜１３１および素子分離領域絶縁膜１３２Ｂの種類と同一であってもよいし、異なっていてもよい。

[0064] また、ここでは、ゲート絶縁膜１３１と素子分離領域絶縁膜１３２Ｂの膜厚は、同一の膜厚Ｈ３であるが、異なっていても良い。ゲート絶縁膜１３１と素子分離領域絶縁膜１３２Ｂの膜厚が同一である場合、ゲート絶縁膜１３１を形成する工程で、素子分離領域絶縁膜１３２Ｂも形成することができ、製造の工程数が削減される。

[0065] （チャネル領域絶縁膜のW方向の幅の他の例）

チャネル領域絶縁膜のW方向の幅は、増幅トランジスタ６５のチャネル幅Ｌ０に比べて広く、ゲート電極６５ＡのW方向の幅（ゲート幅）に比べて狭くなるようにしてもよい。この場合、図２のＢ－Ｂ´断面図は、図１３に示

すようになる。

[0066] 即ち、チャネル領域絶縁膜１４１ＡのW方向の幅Ｌ３は、増幅トランジスタ６５のチャネル幅Ｌ０に比べて広く、増幅トランジスタのゲート幅Ｌ２に比べて狭い幅Ｌ３である。つまり、チャネル領域絶縁膜１４１Ａは、チャネル領域８４上の全部のゲート絶縁膜と、素子分離領域９１および９２上の一部のゲート絶縁膜であり、素子分離領域絶縁膜１４１Ｂは、素子分離領域９１および９２上の他部のゲート絶縁膜である。

[0067] この場合、チャネル領域絶縁膜１４１Ａを薄膜化する際にエッチングマスクの合わせズレが起こった場合でも、チャネル領域８４の上のゲート絶縁膜の膜厚を確実に薄くし、ランダムノイズやランダムテレグラフノイズの発生を抑制することができる。即ち、ランダムノイズやランダムテレグラフノイズのマージンを確保することができる。

[0068] なお、この場合、素子分離領域絶縁膜１４１Ｂの膜厚Ｈ３は、選択トランジスタ６６のゲート酸化膜の膜厚と同一であってもよいし、異なっていてもよい。また、素子分離領域絶縁膜１４１Ｂと選択トランジスタ６６のゲート絶縁膜の種類は同一であってもよいし、異なっていてもよい。

[0069] （素子分離領域の他の例）

素子分離領域の一部は、絶縁膜により形成されるようにしてもよい。この場合、図２のＢ－Ｂ´断面図は、図１４に示すようになる。即ち、半導体基板８０の内部に形成される素子分離領域１５１の一部が絶縁膜１５１Ａで形成され、素子分離領域１５２の一部が絶縁膜１５２Ａで形成される。

[0070] この場合、半導体基板８０と絶縁膜１５１Ａおよび１５２Ａとの界面がノイズ源となる。しかしながら、絶縁膜１５１Ａおよび１５２Ａ上の素子分離領域絶縁膜８２Ｂは厚いため、半導体基板８０と絶縁膜１５１Ａおよび１５２Ａとの界面に高電界がかかることが防止され、ノイズが低減される。

[0071] （画素の第２の構成例）

図１５は、図１の画素領域１１に配置される２（列）×４（行）画素の第２の構成例を示す上面図である。

[0072] 図１５の構成は、主に、リセットトランジスタ６４、増幅トランジスタ６５、および選択トランジスタ６６が、２（列）×４（行）画素で共有される点が、図２の構成と異なる。

[0073] 具体的には、図１５の２（列）×４（行）画素には、図２で説明した２（列）×２（行）画素のＰＤ６１、転送トランジスタ６２、およびＦＤ６３からなる、２つのＰＤ群１７１－１および１７１－２が形成される。また、ＰＤ群１７１－１とＰＤ群１７１－２の間には、２（列）×４（行）画素で共有される選択トランジスタ６６と増幅トランジスタ６５が形成される。さらに、ＰＤ群１７１－２の図中下部には、リセットトランジスタ６４が形成される。

[0074] なお、リセットトランジスタ６４の図中左側には、他の２（列）×４（行）画素のリセットトランジスタまたはダミーのトランジスタが配置されてもよい。

[0075] 図１５のＡ－Ａ´断面図は、図３のＡ－Ａ´断面図と同一であり、図１５のＢ－Ｂ´断面図は、図４のＢ－Ｂ´断面図と同一であり、図１５のＣ－Ｃ´断面図は、図５のＣ－Ｃ´断面図と同一であるので、説明は省略する。

[0076] （画素の第３の構成例）

図１６は、図１の画素領域１１に配置される２（列）×４（行）画素の第３の構成例を示す上面図である。

[0077] 図１６の構成は、リセットトランジスタ６４、増幅トランジスタ６５、および選択トランジスタ６６が、列方向（縦方向）に位置する点、および、ダミーのトランジスタ１９１が新たに設けられる点が、図１５の構成と異なる。

[0078] 具体的には、リセットトランジスタ６４、増幅トランジスタ６５、および選択トランジスタ６６は、例えば、ＰＤ群１７１－１および１７１－２の図中左側に配置される。また、増幅トランジスタ６５のソースドレイン領域とダミーのトランジスタ１９１のソースドレイン領域は共有される。

[0079] なお、ダミーのトランジスタ１９１の代わりに、他の２（列）×４（行）

画素のリセットトランジスタが配置されていてもよい。また、ダミーのトランジスタ１９１は設けられなくてもよい。

[0080] 図１６のＡ－Ａ´断面図は、図３のＡ－Ａ´断面図と同一であり、図１６のＢ－Ｂ´断面図は、図４のＢ－Ｂ´断面図と同一であり、図１６のＣ－Ｃ´断面図は、図５のＣ－Ｃ´断面図と同一であるので、説明は省略する。

[0081] （画素の第４の構成例）

図１７は、図１の画素領域１１に配置される４（列）×４（行）画素の第４の構成例を示す上面図である。

[0082] 図１７の構成は、リセットトランジスタ６４の行方向（横方向）に隣接してダミーのトランジスタ２０１が設けられる点、水平方向に隣接する２（列）×４（行）画素どうしで、増幅トランジスタ６５のソースドレイン領域、および、ダミーのトランジスタ２０１のソースドレイン領域がそれぞれ共有される点が、図１５の構成と異なる。

[0083] 具体的には、図１７の２（列）×４（行）画素２１１－１では、図中左側から順に選択トランジスタ６６、増幅トランジスタ６５が配置されるが、２（列）×４（行）画素２１１－１の図中右側に隣接する２（列）×４（行）画素２１１－２では、図中左側から順に、増幅トランジスタ６５、選択トランジスタ６６が配置される。そして、２（列）×４（行）画素２１１－１および２１１－２において、増幅トランジスタ６５のソースドレイン領域が共有される。

[0084] また、図１７の２（列）×４（行）画素２１１－１では、図中左側から順にリセットトランジスタ６４、ダミーのトランジスタ２０１が配置されるが、２（列）×４（行）画素２１１－２では、図中左側から順に、ダミーのトランジスタ２０１、リセットトランジスタ６４が配置される。そして、２（列）×４（行）画素２１１－１および２１１－２において、ダミーのトランジスタ２０１のソースドレイン領域が共有される。

[0085] なお、ダミーのトランジスタ２０１の代わりに、他の２（列）×４（行）画素のリセットトランジスタが配置されていてもよいし、何も配置されなく

てもよい。ダミーのトランジスタ２０１の代わりに何も配置されない場合には、２（列）×４（行）画素２１１－１および２１１－２において、リセットトランジスタ６４のソースドレイン領域が共有される。

[0086] 図１７のＡ－Ａ´断面図は、図３のＡ－Ａ´断面図と同一であり、図１７のＢ－Ｂ´断面図は、図４のＢ－Ｂ´断面図と同一であり、図１７のＣ－Ｃ´断面図は、図５のＣ－Ｃ´断面図と同一であるので、説明は省略する。

[0087] （画素の第５の構成例）

図１８は、図１の画素領域１１に配置される２（列）×２（行）画素の第５の構成例を示す上面図である。

[0088] 図１８の構成は、増幅トランジスタ６５とリセットトランジスタ６４のソースドレイン領域が共有される点が、図２の構成と異なる。

[0089] 具体的には、図１８の２（列）×２（行）画素には、ＰＤ６１－３および６１－４の図中下部に、図中左から順に、選択トランジスタ６６、増幅トランジスタ６５、リセットトランジスタ６４が配置される。

[0090] 図１８のＡ－Ａ´断面図は、図３のＡ－Ａ´断面図と同一であり、図１８のＢ－Ｂ´断面図は、図４のＢ－Ｂ´断面図と同一であり、図１８のＣ－Ｃ´断面図は、図５のＣ－Ｃ´断面図と同一であるので、説明は省略する。

[0091] （画素の第６の構成例）

図１９は、図１の画素領域１１に配置される２（列）×２（行）画素の第６の構成例を示す上面図である。

[0092] 図１９の構成は、リセットトランジスタ６４がＦＤ６３の比較的近くに配置される点が、図１８の構成と異なる。

[0093] 具体的には、図１９の２（列）×２（行）画素には、ＰＤ６１－１とＰＤ６１－３の間に、図中左から順に、選択トランジスタ６６、増幅トランジスタ６５、リセットトランジスタ６４が配置される。

[0094] 図１９のＡ－Ａ´断面図は、図３のＡ－Ａ´断面図と同一であり、図１９のＢ－Ｂ´断面図は、図４のＢ－Ｂ´断面図と同一であり、図１９のＣ－Ｃ´断面図は、図５のＣ－Ｃ´断面図と同一であるので、説明は省略する。

[0095] （画素の第７の構成例）

図２０は、図１の画素領域１１に配置される１（列）×２（行）画素の第７の構成例を示す上面図である。

[0096] 図２０の構成は、主に、リセットトランジスタ６４、増幅トランジスタ６５、および選択トランジスタ６６が、１（列）×２（行）画素で共有される点が、図２の構成と異なる。

[0097] 具体的には、図２０の１（列）×２（行）画素には、ＰＤ６１－２の図中下部に、図中左から順に、選択トランジスタ６６、増幅トランジスタ６５が配置される。また、ＰＤ６１－１とＰＤ６１－２の間に、リセットトランジスタ６４が配置される。

[0098] 図２０のＡ－Ａ´断面図は、図３のＡ－Ａ´断面図と同一であり、図２０のＢ－Ｂ´断面図は、図４のＢ－Ｂ´断面図と同一であり、図２０のＣ－Ｃ´断面図は、図５のＣ－Ｃ´断面図と同一であるので、説明は省略する。

[0099] （選択トランジスタの他の例）

図２１は、選択トランジスタの他の例を示す、図２のＡ－Ａ´断面図であり、図２２は、選択トランジスタの他の例を示す、図２のＣ－Ｃ´断面図である。

[0100] なお、図２１および図２２において、図３や図５と同一のものには同一の符号を付してあり、説明は繰り返しになるので、適宜省略する。

[0101] 図２１および図２２では、選択トランジスタ６６のゲート絶縁膜２３１が、増幅トランジスタ６５のゲート絶縁膜８２と同様に構成される。

[0102] 具体的には、半導体基板８０上の選択トランジスタ６６のゲート電極６６Ａの下部には、ゲート絶縁膜８１の代わりにゲート絶縁膜２３１が形成される。ゲート絶縁膜２３１のうちの、チャネル領域８３上の中央のゲート絶縁膜であるチャネル領域絶縁膜２３１Ａの膜厚Ｈ２は、増幅トランジスタ６５と選択トランジスタ６６以外の画素トランジスタ（転送トランジスタ６２やリセットトランジスタ６４）のゲート絶縁膜の膜厚Ｈ１に比べて薄い。また、ゲート絶縁膜２３１のうちの、チャネル領域８３上の素子分離領域９３お

よび９４との境界と素子分離領域９３および９４上の全部のゲート絶縁膜である素子分離領域絶縁膜２３１Ｂの膜厚Ｈ３は、膜厚Ｈ２に比べて厚い。これにより、選択トランジスタ６６の駆動能力を向上させることができる。

[0103] なお、増幅トランジスタ６５以外の画素トランジスタである、転送トランジスタ６２、リセットトランジスタ６４、および選択トランジスタ６６のうちの２以上のゲート絶縁膜、転送トランジスタ６２のゲート絶縁膜のみ、およびリセットトランジスタ６４のゲート絶縁膜のみが、ゲート絶縁膜８２と同様に構成されるようにすることもできる。即ち、転送トランジスタ６２、リセットトランジスタ６４、および選択トランジスタ６６のうちの一部のゲート絶縁膜を、ゲート絶縁膜８１と同様に構成し、他部のゲート絶縁膜を、ゲート絶縁膜８２と同様に構成されるようにすることができる。

[0104] リセットトランジスタ６４のゲート絶縁膜のみが、ゲート絶縁膜８２と同様に構成された場合、リセットトランジスタ６４の駆動能力が向上する。また、選択トランジスタ６６とリセットトランジスタ６４の両方のゲート絶縁膜が、ゲート絶縁膜８２と同様に構成された場合、選択トランジスタ６６とリセットトランジスタ６４の駆動能力が向上する。

[0105] また、転送トランジスタ６２とリセットトランジスタ６４の両方のゲート絶縁膜が、ゲート絶縁膜８２と同様に構成された場合、転送動作時にＰＤ６１のポテンシャルが変調しやすくなり、電荷転送を容易に行うことができる。

[0106] 同様に、転送トランジスタ６２、リセットトランジスタ６４、および選択トランジスタ６６のうちの一部のゲート絶縁膜が、ゲート絶縁膜８２（１３２，１４１）と同様に構成され、他部のゲート絶縁膜が、ゲート絶縁膜１１１（１３１，８１）と同様に構成されるようにすることもできる。

[0107] ＜第２実施の形態＞

（撮像装置の一実施の形態の構成例）

図２３は、本開示を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0108] 図２３の撮像装置１０００は、ビデオカメラやデジタルスチルカメラ等である。撮像装置１０００は、レンズ群１００１、固体撮像素子１００２、ＤＳＰ回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６、操作部１００７、および電源部１００８からなる。ＤＳＰ回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６、操作部１００７、および電源部１００８は、バスライン１００９を介して相互に接続されている。

[0109] レンズ群１００１は、被写体からの入射光（像光）を取り込んで固体撮像素子１００２の撮像面上に結像する。固体撮像素子１００２は、上述したCMOSイメージセンサ１０からなる。固体撮像素子１００２は、レンズ群１００１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてＤＳＰ回路１００３に供給する。

[0110] ＤＳＰ回路１００３は、固体撮像素子１００２から供給される画素信号に対して所定の画像処理を行い、画像処理後の画像信号をフレーム単位でフレームメモリ１００４に供給し、一時的に記憶させる。

[0111] 表示部１００５は、例えば、液晶パネルや有機ＥＬ(Electro Luminescence)パネル等のパネル型表示装置からなり、フレームメモリ１００４に一時的に記憶されたフレーム単位の画素信号に基づいて、画像を表示する。

[0112] 記録部１００６は、ＤＶＤ(Digital Versatile Disk)、フラッシュメモリ等からなり、フレームメモリ１００４に一時的に記憶されたフレーム単位の画素信号を読み出し、記録する。

[0113] 操作部１００７は、ユーザによる操作の下に、撮像装置１０００が持つ様々な機能について操作指令を発する。電源部１００８は、電源を、ＤＳＰ回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６、および操作部１００７に対して適宜供給する。

[0114] 本技術を適用する電子機器は、画像取込部（光電変換部）にCMOSイメージセンサを用いる装置であればよく、撮像装置１０００のほか、撮像機能を有する携帯端末装置、画像読取部にCMOSイメージセンサを用いる複写機などが

ある。

[0115] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0116] また、本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0117] 例えば、画素領域１１の画素の構造が図１５乃至図２０の構造である場合にも、図８および図９に示したように、素子分離領域絶縁膜と選択トランジスタ６６のゲート絶縁膜の厚みが同一であってもよい。また、図１０乃至図１２に示したように、素子分離領域絶縁膜と選択トランジスタ６６のゲート絶縁膜の種類は、同一であるようにしてもよい。

[0118] また、図１３に示したように、チャネル領域絶縁膜のW方向の幅は、増幅トランジスタ６５のチャネル幅Ｌ０に比べて広く、ゲート電極６５ＡのW方向の幅（ゲート幅）に比べて狭くなるようにしてもよい。また、図１４に示したように、素子分離領域の一部は、絶縁膜により形成されるようにしてもよい。

[0119] なお、本開示は、以下のような構成もとることができる。

[0120] （１）

イオン注入により形成される素子分離領域を有する増幅トランジスタと、

トランジスタと

を備え、

前記増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、前記増幅トランジスタの前記素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、前記チャネル領域絶縁膜に比べて厚いように構成された

固体撮像素子。

（２）

前記素子分離領域絶縁膜と前記トランジスタのゲート絶縁膜の膜厚は、同

一である

ように構成された

前記（１）に記載の固体撮像素子。

（３）

前記素子分離領域絶縁膜と前記トランジスタのゲート絶縁膜の種類は、同一である

ように構成された

前記（１）または（２）に記載の固体撮像素子。

（４）

前記チャネル領域絶縁膜のW方向の幅は、前記増幅トランジスタのチャネル幅に比べて狭い

ように構成された

前記（１）乃至（３）のいずれかに記載の固体撮像素子。

（５）

前記チャネル領域絶縁膜のW方向の幅は、前記増幅トランジスタのチャネル幅に比べて広く、前記増幅トランジスタのゲート幅に比べて狭い

ように構成された

前記（１）乃至（３）のいずれかに記載の固体撮像素子。

（６）

前記素子分離領域の一部は、絶縁膜により形成される

ように構成された

前記（１）乃至（５）のいずれかに記載の固体撮像素子。

（７）

前記素子分離領域絶縁膜は、熱酸化により形成される

ように構成された

前記（１）乃至（６）のいずれかに記載の固体撮像素子。

（８）

前記増幅トランジスタは、デプレッション型のトランジスタである

ように構成された

前記（１）乃至（７）のいずれかに記載の固体撮像素子。

（９）

イオン注入により形成される素子分離領域を有する選択トランジスタ、リセットトランジスタ、および転送トランジスタのうちの、前記トランジスタではないトランジスタ

をさらに備え、

前記トランジスタではないトランジスタのチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、素子分離領域絶縁膜は、そのチャネル領域絶縁膜に比べて厚い

ように構成された

前記（１）乃至（８）のいずれかに記載の固体撮像素子。

（１０）

イオン注入により形成される素子分離領域を有する増幅トランジスタと、

トランジスタと

を備え、

前記増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、前記増幅トランジスタの前記素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、前記チャネル領域絶縁膜に比べて厚い

ように構成された

電子機器。

符号の説明

[0121] ６５　増幅トランジスタ，　６２－１乃至６２－４　転送トランジスタ，６４　リセットトランジスタ，　６６　選択トランジスタ，　８１　ゲート絶縁膜，　８２Ａ　チャネル領域絶縁膜，　８２Ｂ　素子分離領域絶縁膜，　８４　チャネル領域，　９１乃至９４　素子分離領域，　１５１Ａ，１５１Ｂ　絶縁膜，　２３１Ａ　チャネル領域絶縁膜，　２３１Ｂ　素子分離

領域絶縁膜

請求の範囲

[請求項1] イオン注入により形成される素子分離領域を有する増幅トランジスタと、

トランジスタと

を備え、

前記増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、前記増幅トランジスタの前記素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、前記チャネル領域絶縁膜に比べて厚い

ように構成された

固体撮像素子。

[請求項2] 前記素子分離領域絶縁膜と前記トランジスタのゲート絶縁膜の膜厚は、同一である

ように構成された

請求項１に記載の固体撮像素子。

[請求項3] 前記素子分離領域絶縁膜と前記トランジスタのゲート絶縁膜の種類は、同一である

ように構成された

請求項１に記載の固体撮像素子。

[請求項4] 前記チャネル領域絶縁膜のW方向の幅は、前記増幅トランジスタのチャネル幅に比べて狭い

ように構成された

請求項１に記載の固体撮像素子。

[請求項5] 前記チャネル領域絶縁膜のW方向の幅は、前記増幅トランジスタのチャネル幅に比べて広く、前記増幅トランジスタのゲート幅に比べて狭い

ように構成された

請求項１に記載の固体撮像素子。

[請求項6] 前記素子分離領域の一部は、絶縁膜により形成される
ように構成された
請求項１に記載の固体撮像素子。

[請求項7] 前記素子分離領域絶縁膜は、熱酸化により形成される
ように構成された
請求項１に記載の固体撮像素子。

[請求項8] 前記増幅トランジスタは、デプレッション型のトランジスタである
ように構成された
請求項１に記載の固体撮像素子。

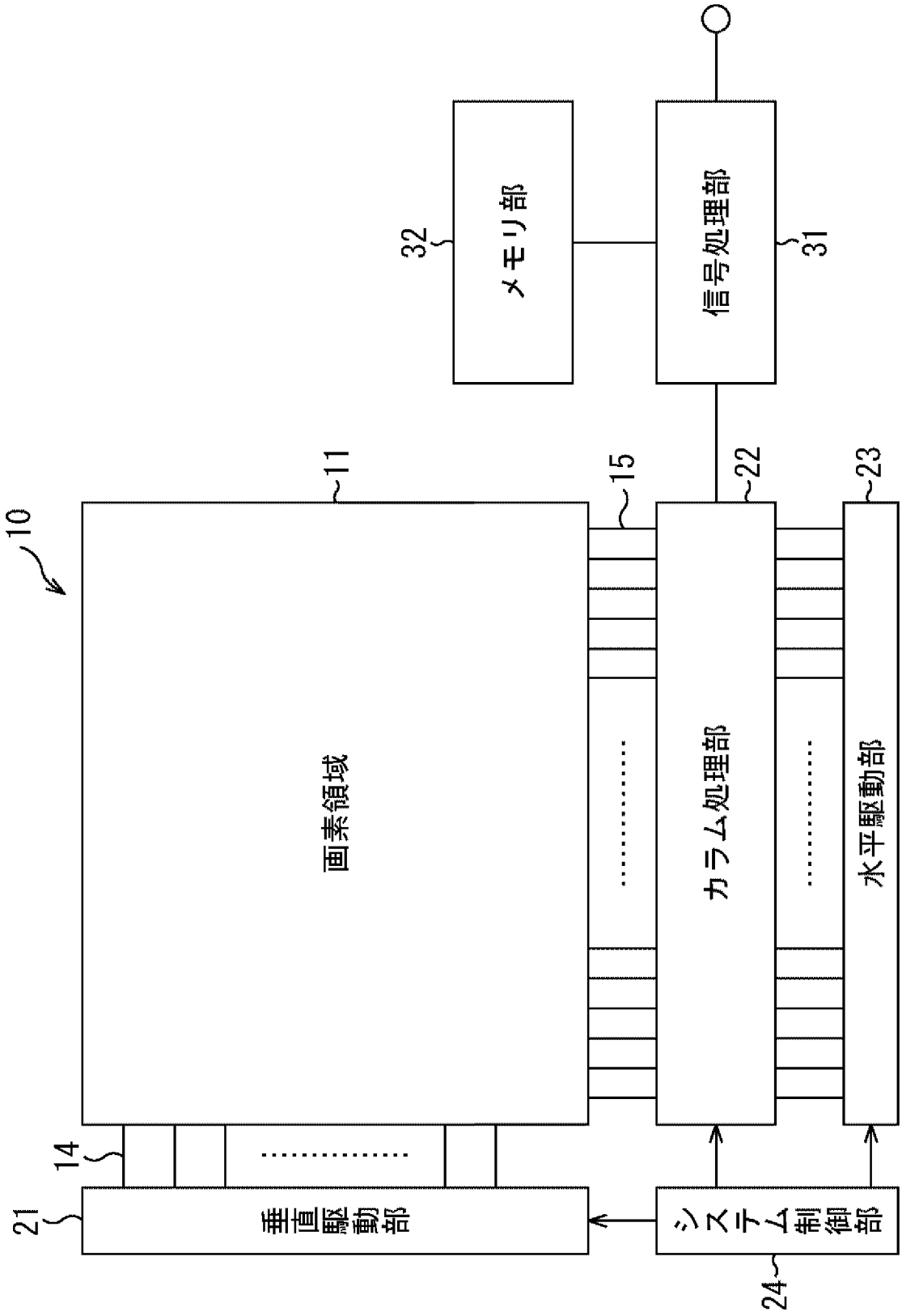
[請求項9] イオン注入により形成される素子分離領域を有する選択トランジスタ、リセットトランジスタ、および転送トランジスタのうちの、前記トランジスタではないトランジスタ
をさらに備え、
前記トランジスタではないトランジスタのチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、素子分離領域絶縁膜は、そのチャネル領域絶縁膜に比べて厚い
ように構成された
請求項１に記載の固体撮像素子。

[請求項10] イオン注入により形成される素子分離領域を有する増幅トランジスタと、
トランジスタと
を備え、
前記増幅トランジスタのチャネル領域上の少なくとも一部のゲート絶縁膜であるチャネル領域絶縁膜は、前記トランジスタのゲート絶縁膜に比べて薄く、前記増幅トランジスタの前記素子分離領域上の少なくとも一部のゲート絶縁膜である素子分離領域絶縁膜は、前記チャネル領域絶縁膜に比べて厚い

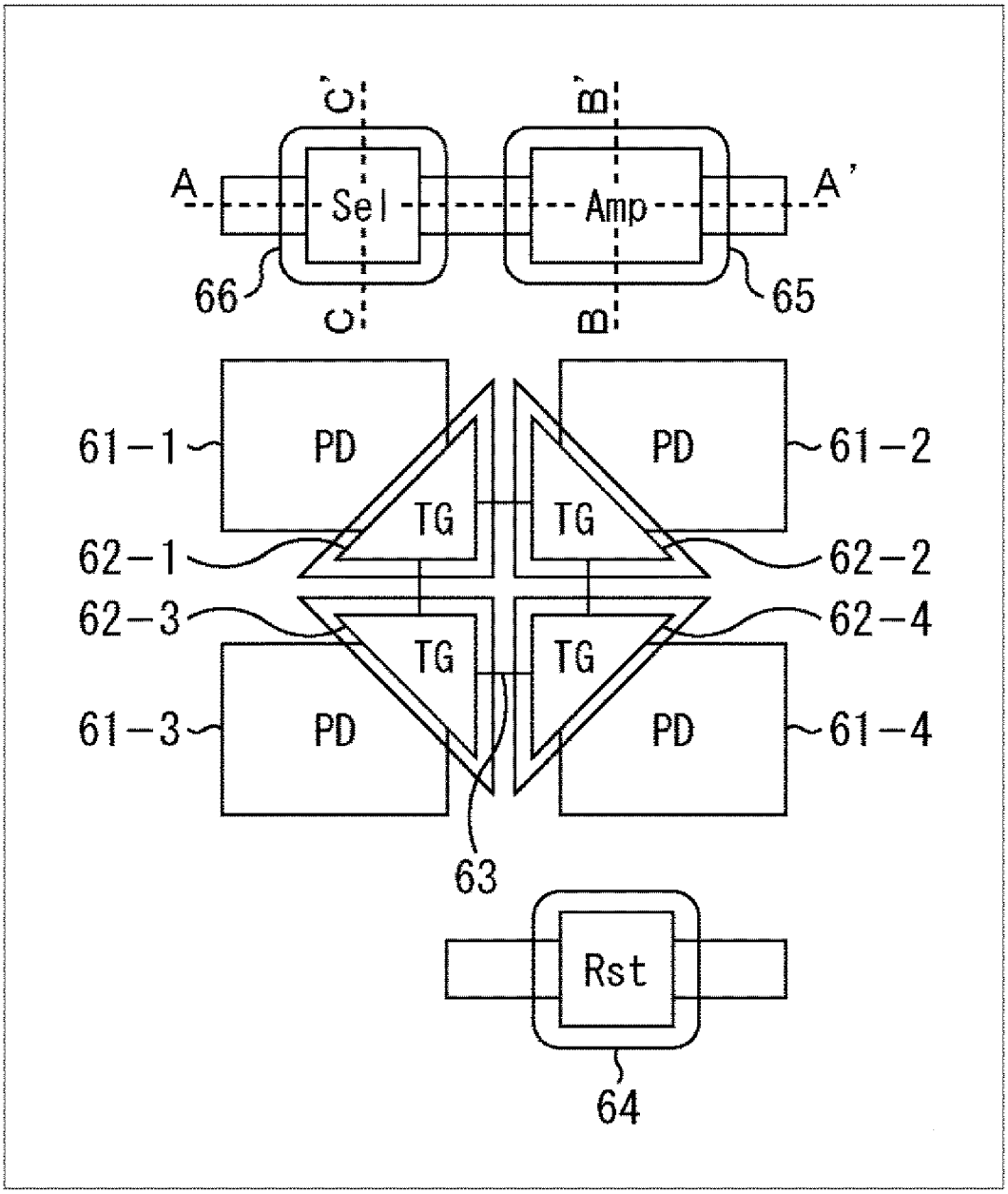
ように構成された

電子機器。

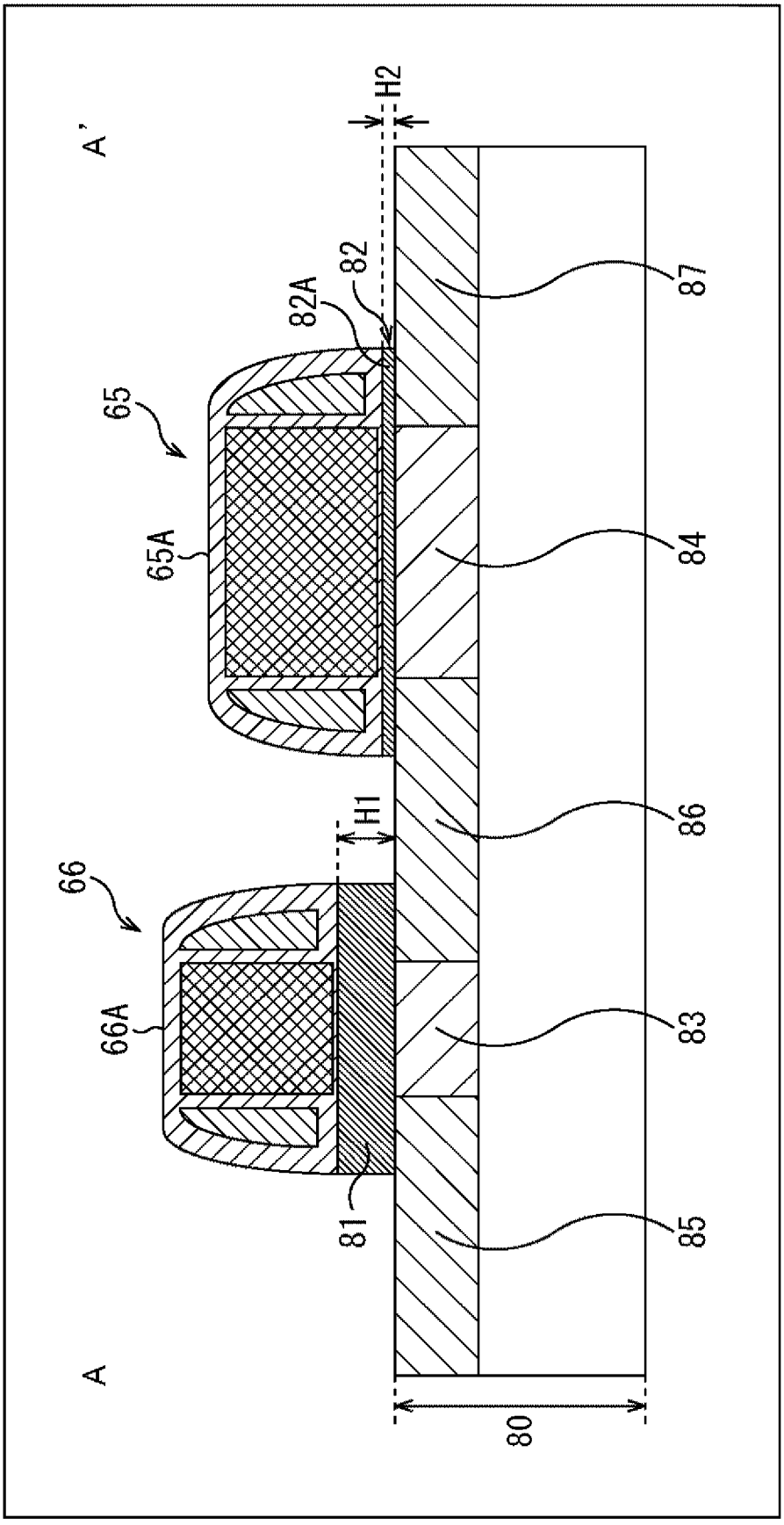
[図1]
図1


10
11
画素領域
14
15
21
垂直駆動部
22
カラム処理部
23
水平駆動部
24
システム制御部
31
信号処理部
32
メモリ部

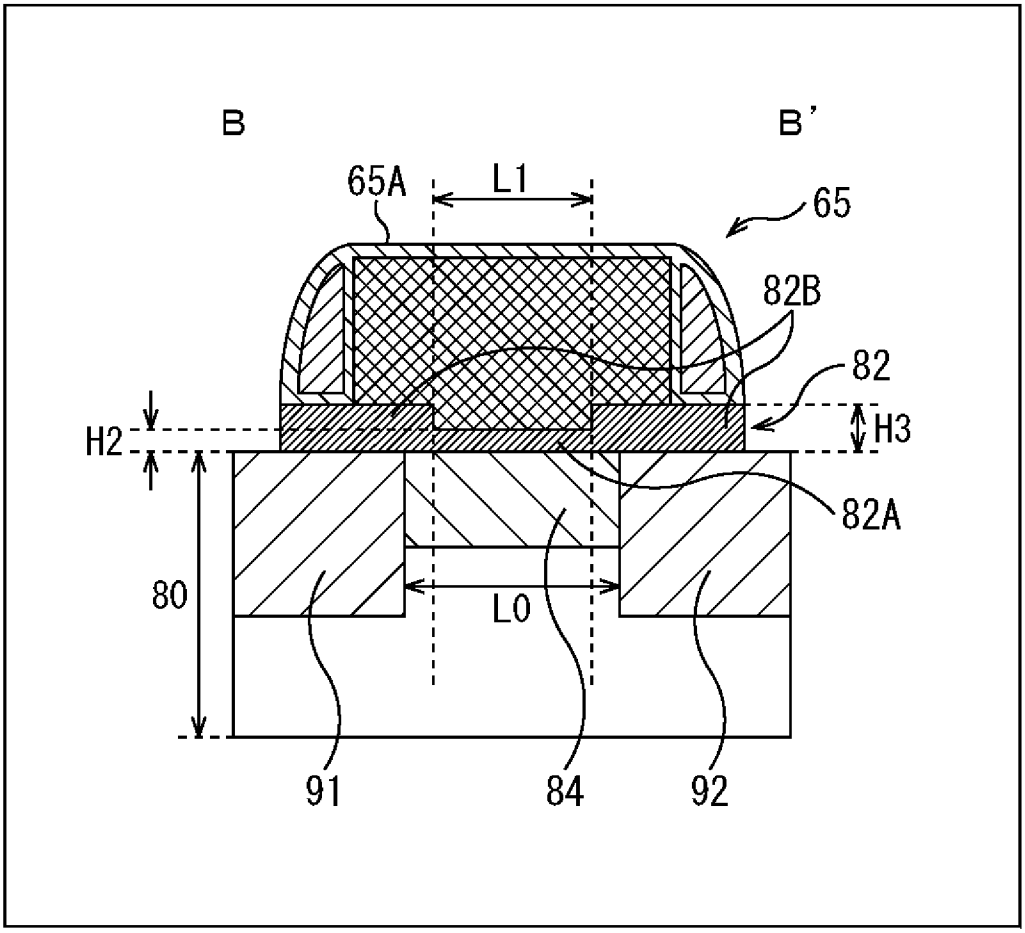
[図2]
図2


c
m
A
Sel
Amp
A'
66
65
c
m
61-1
PD
PD
61-2
TG
TG
62-1
62-2
62-3
62-4
TG
TG
61-3
PD
PD
61-4
63
Rst
64

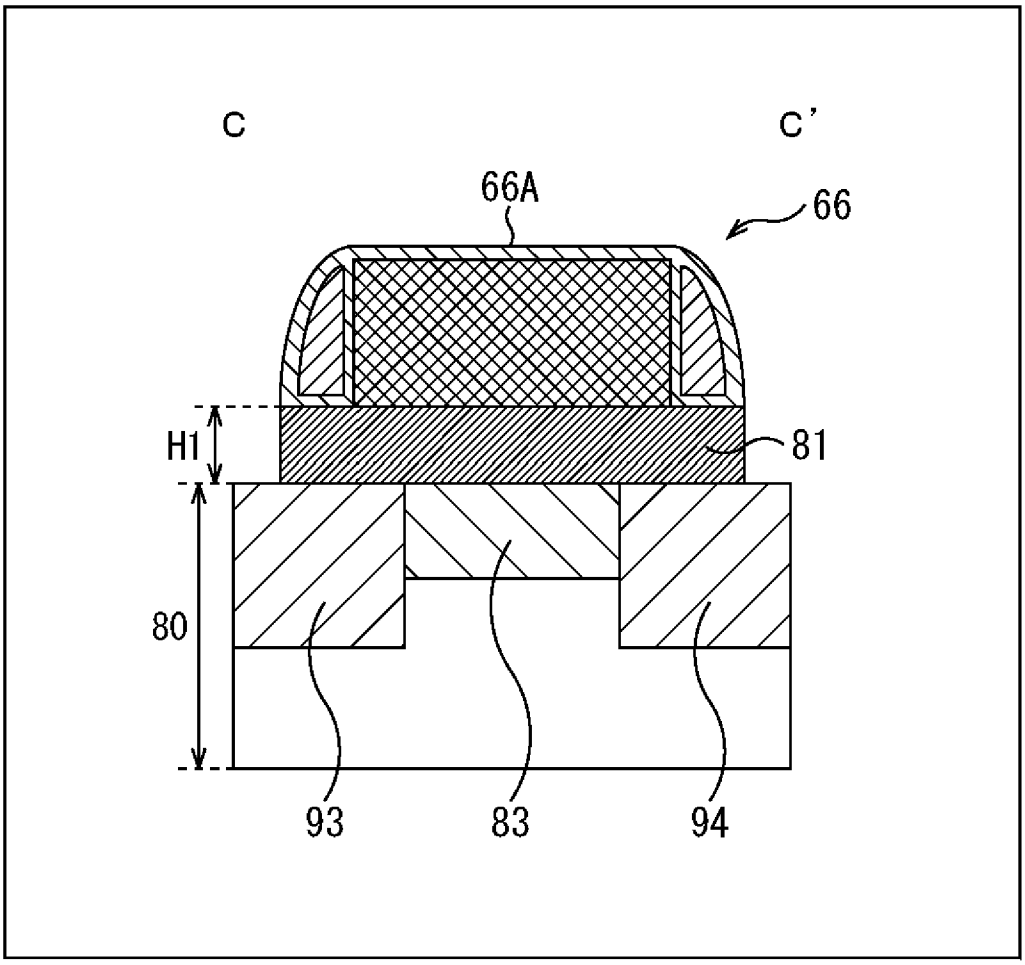
[図3]
図3



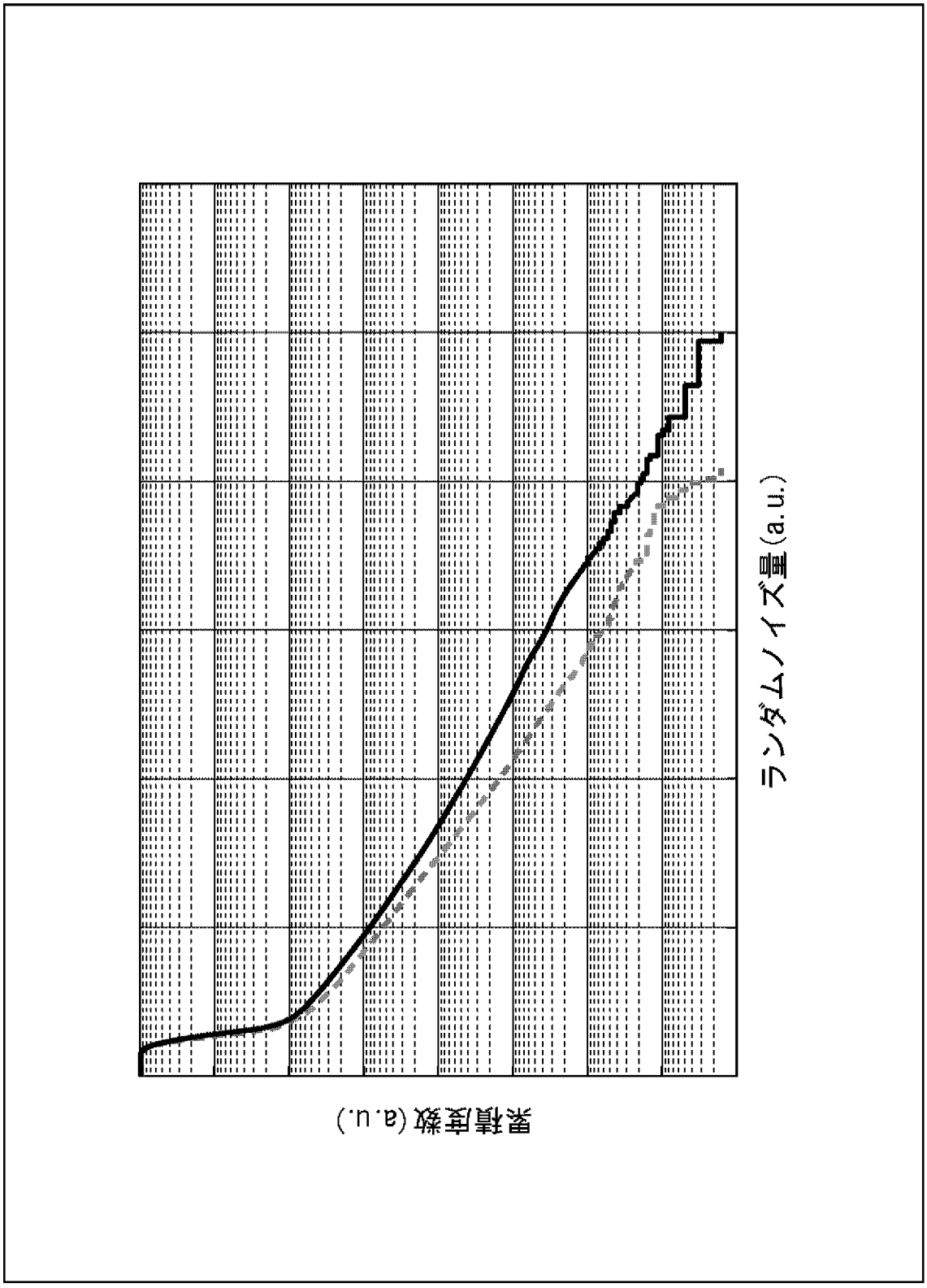
[図4]
図4



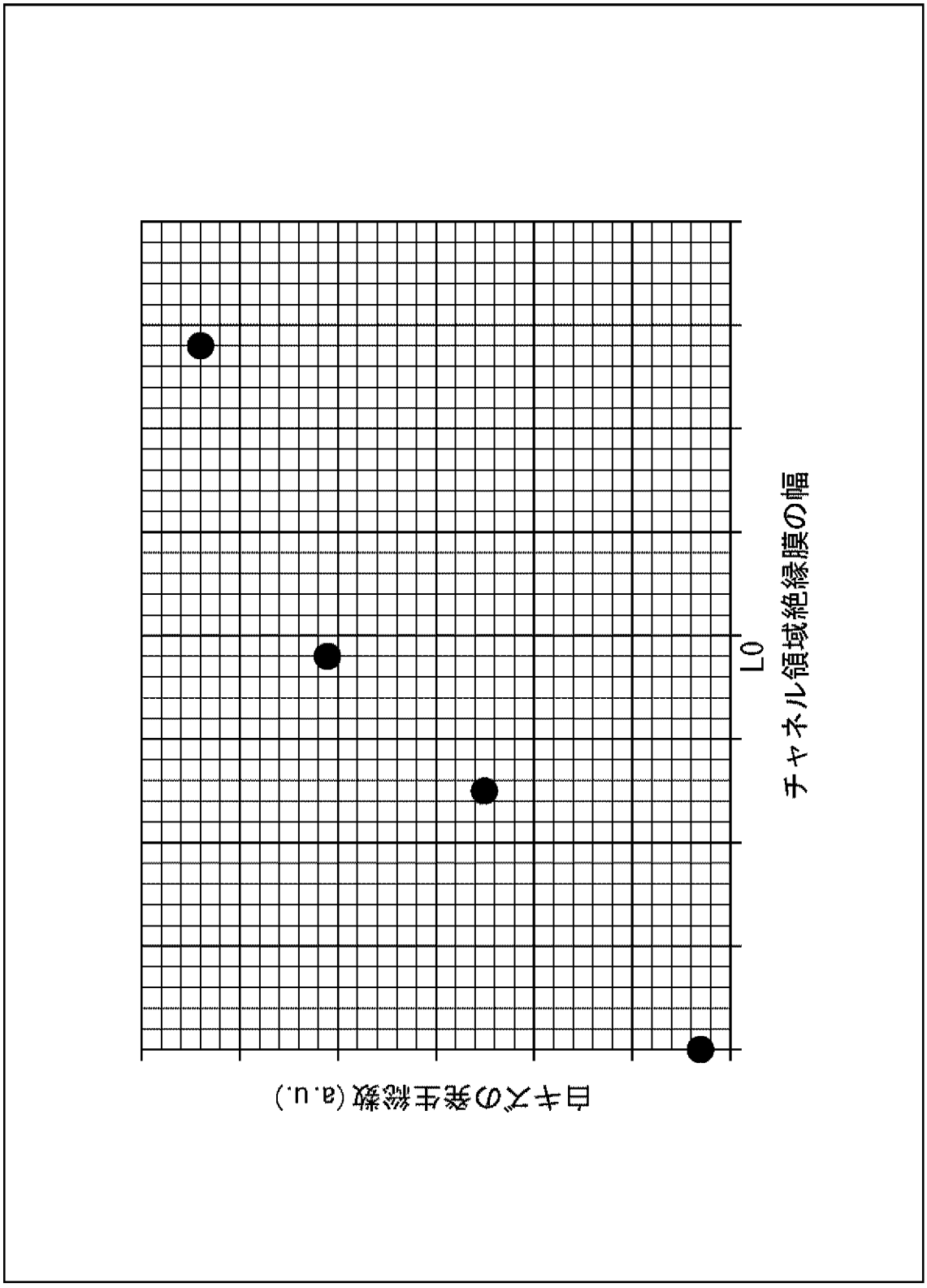
[図5]
図5



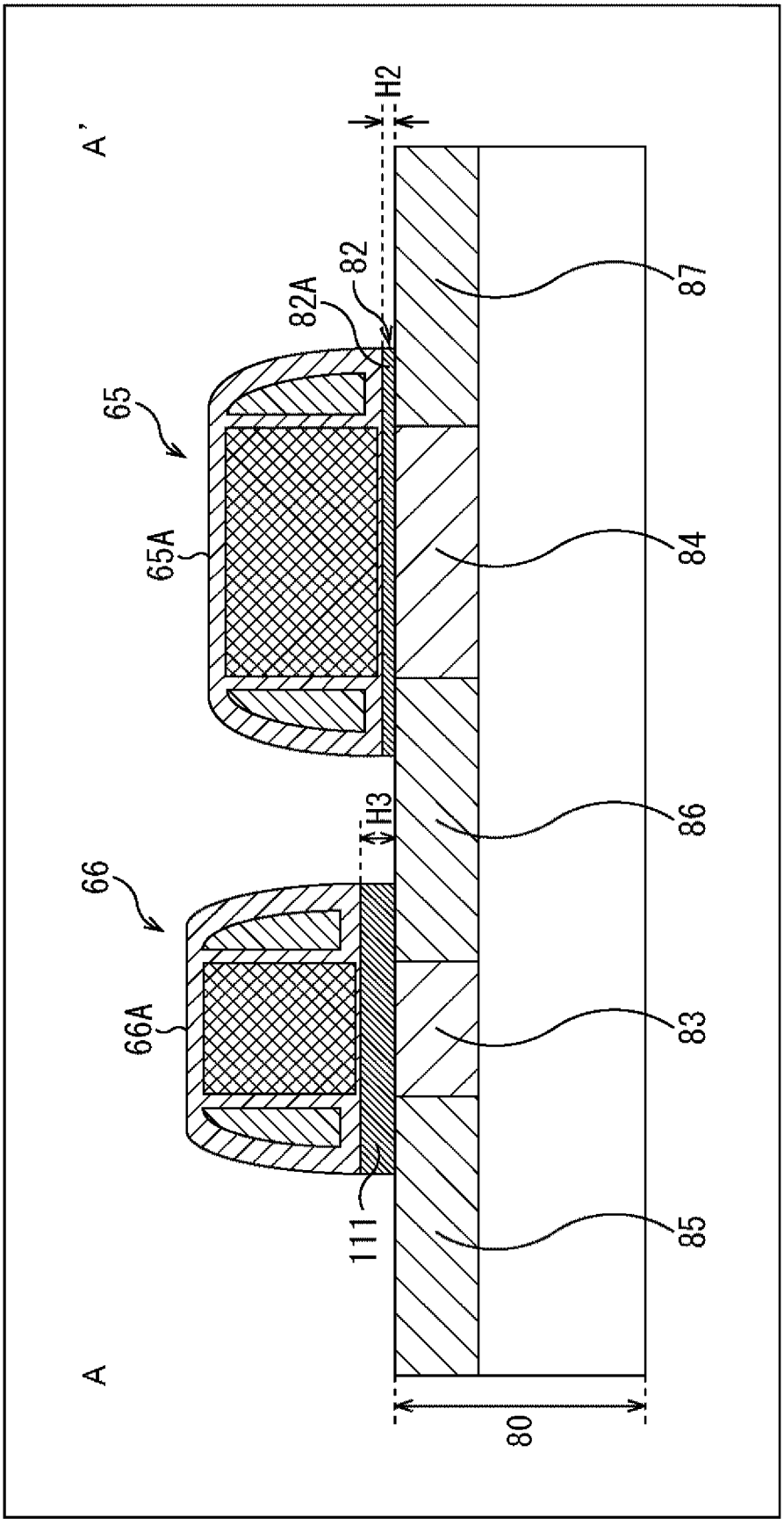
[図6]
図6



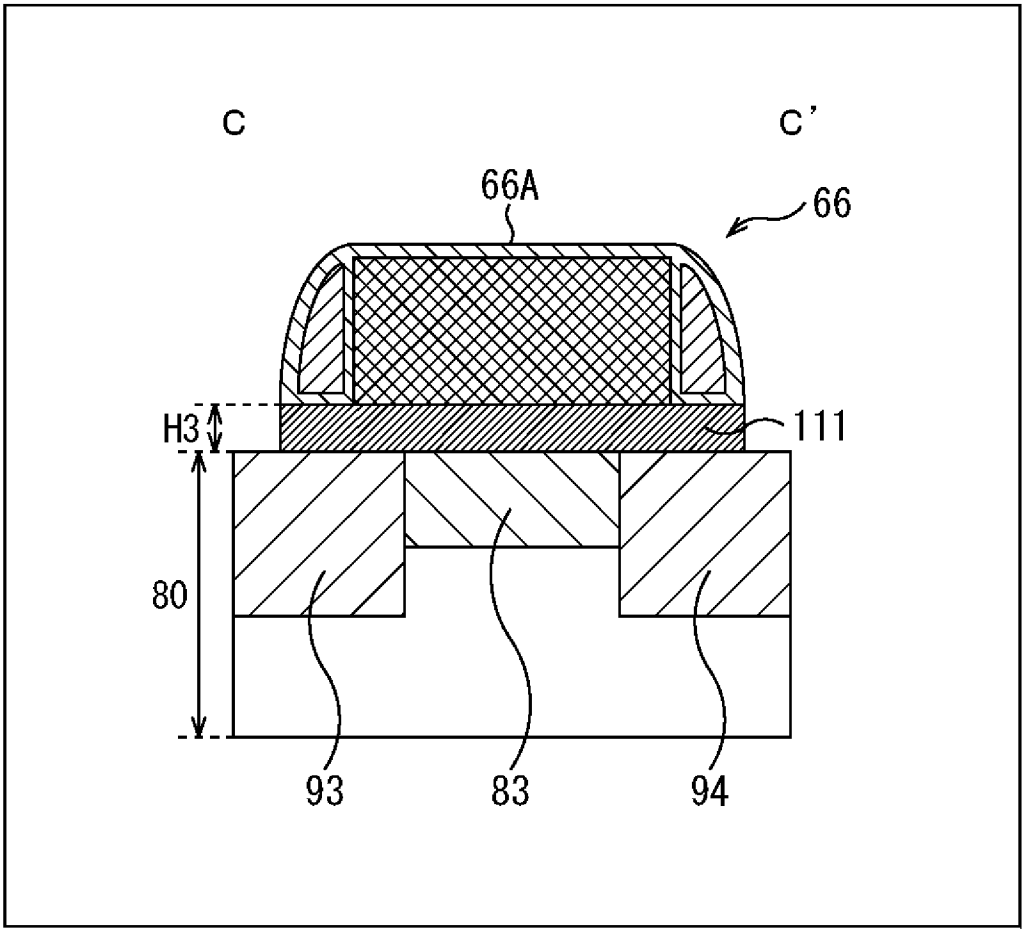
[図7]
図7



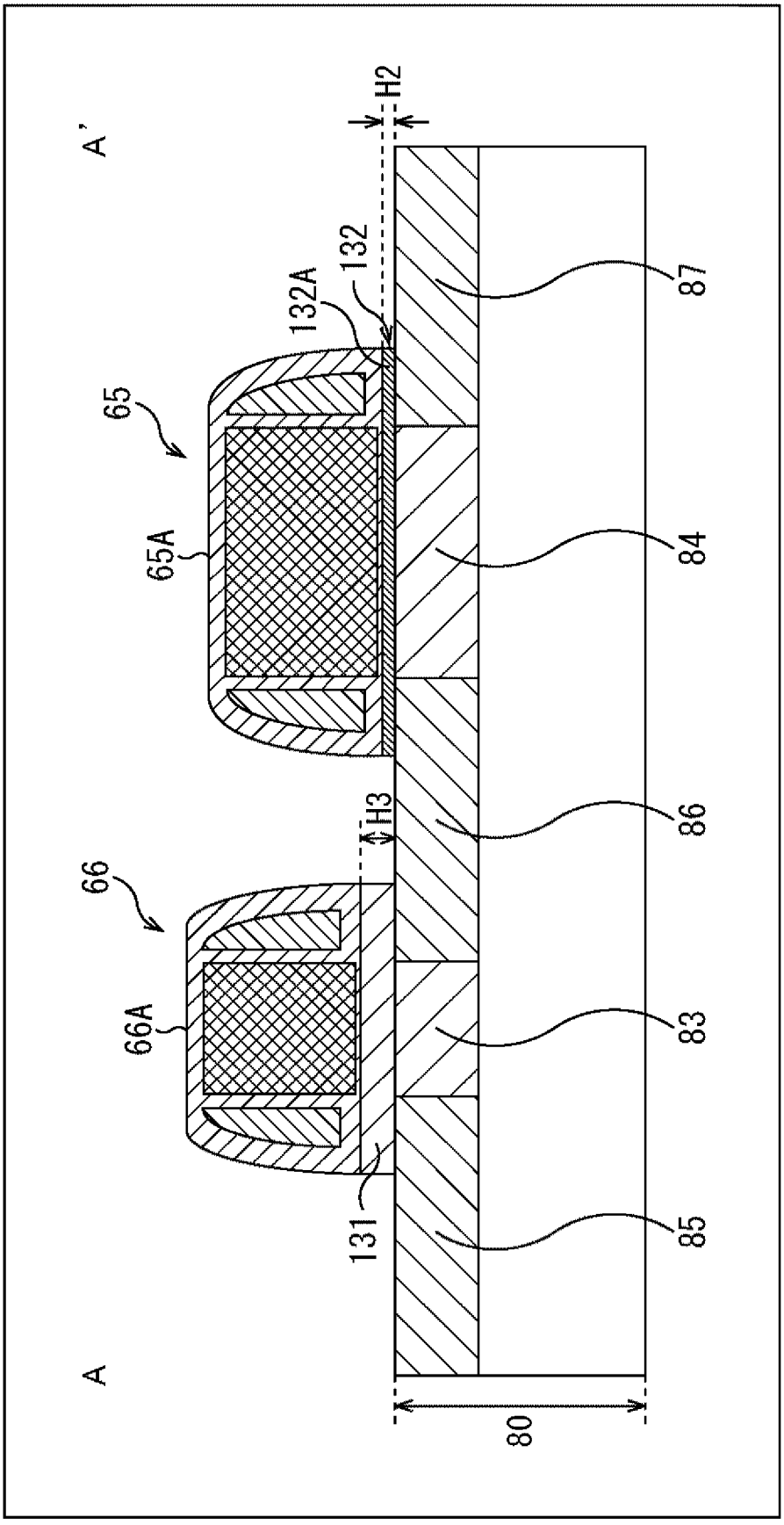
[図8]
図8



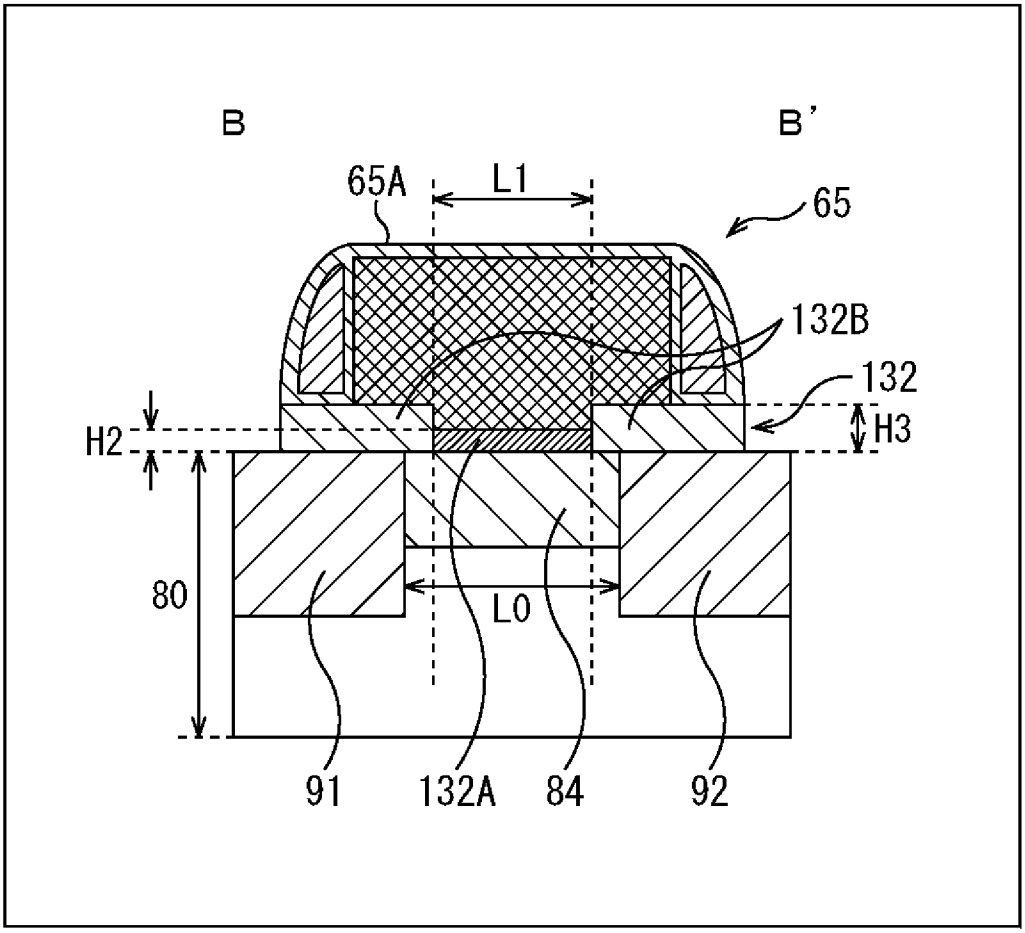
[図9]
図9



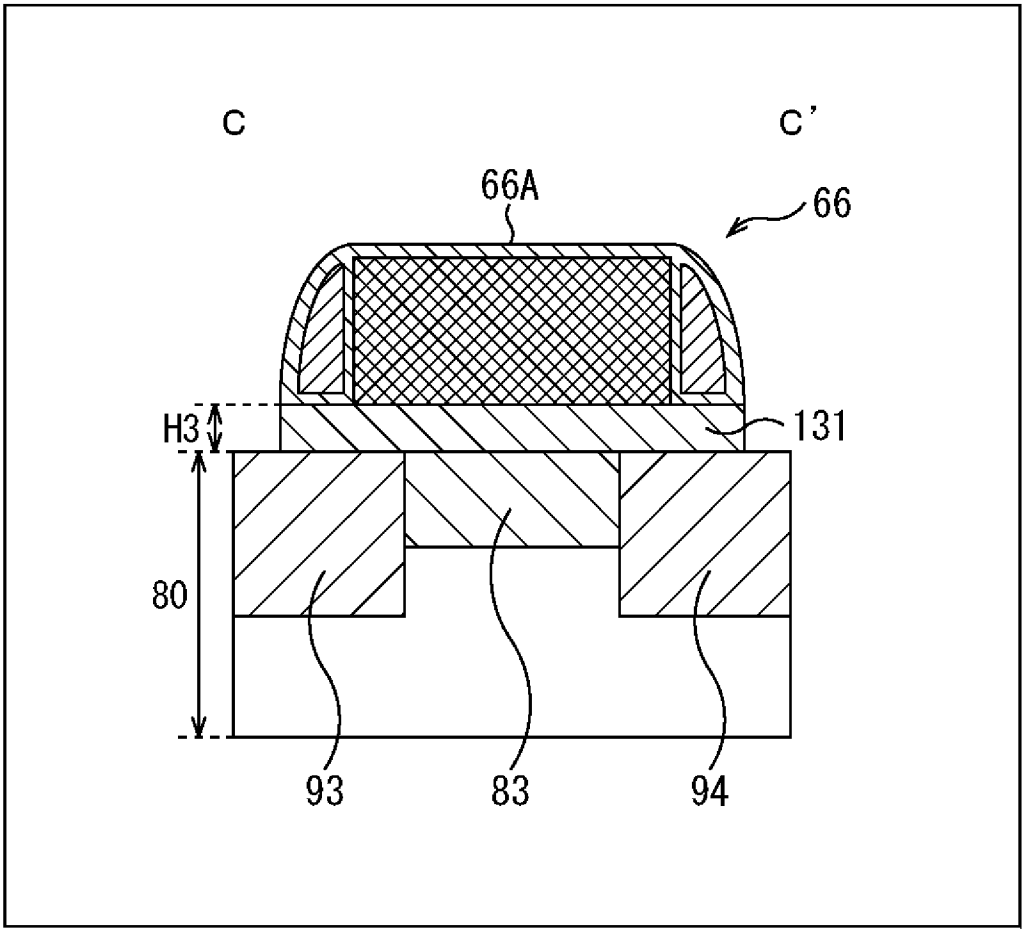
[図10]
図10



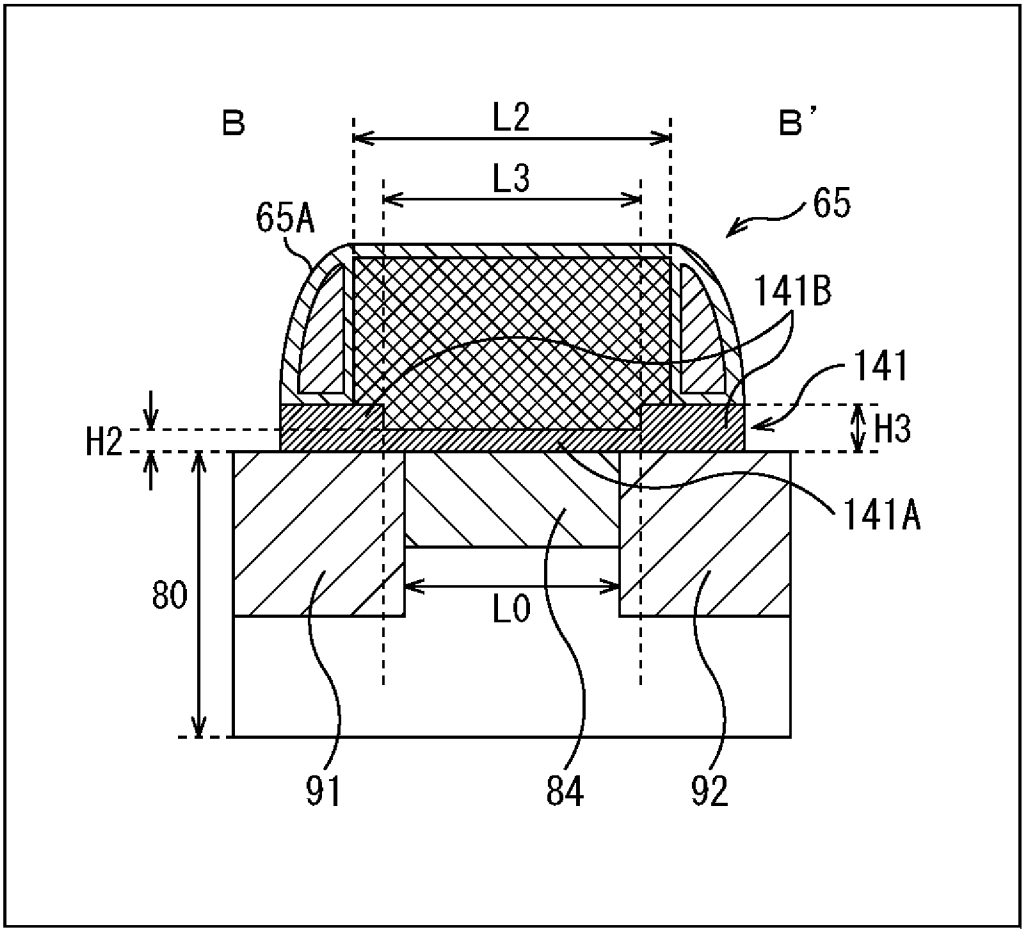
[図11]
図11



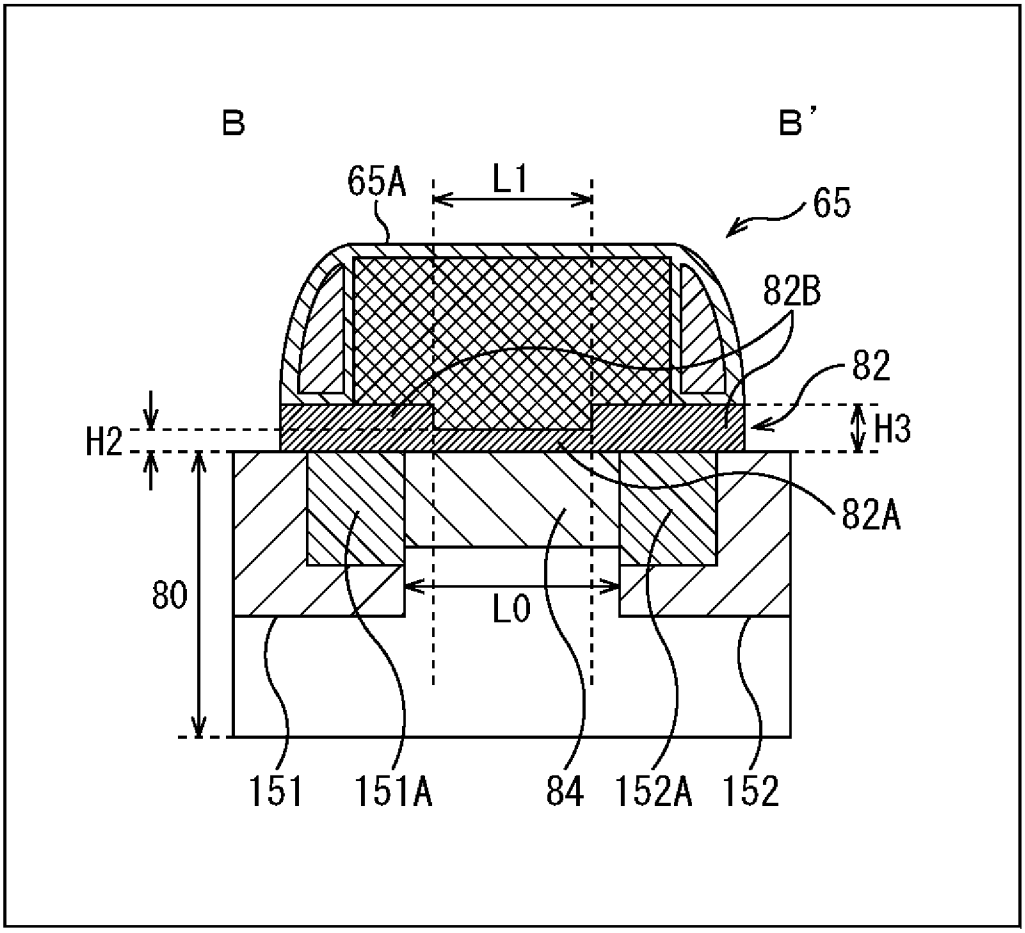
[図12]
図12



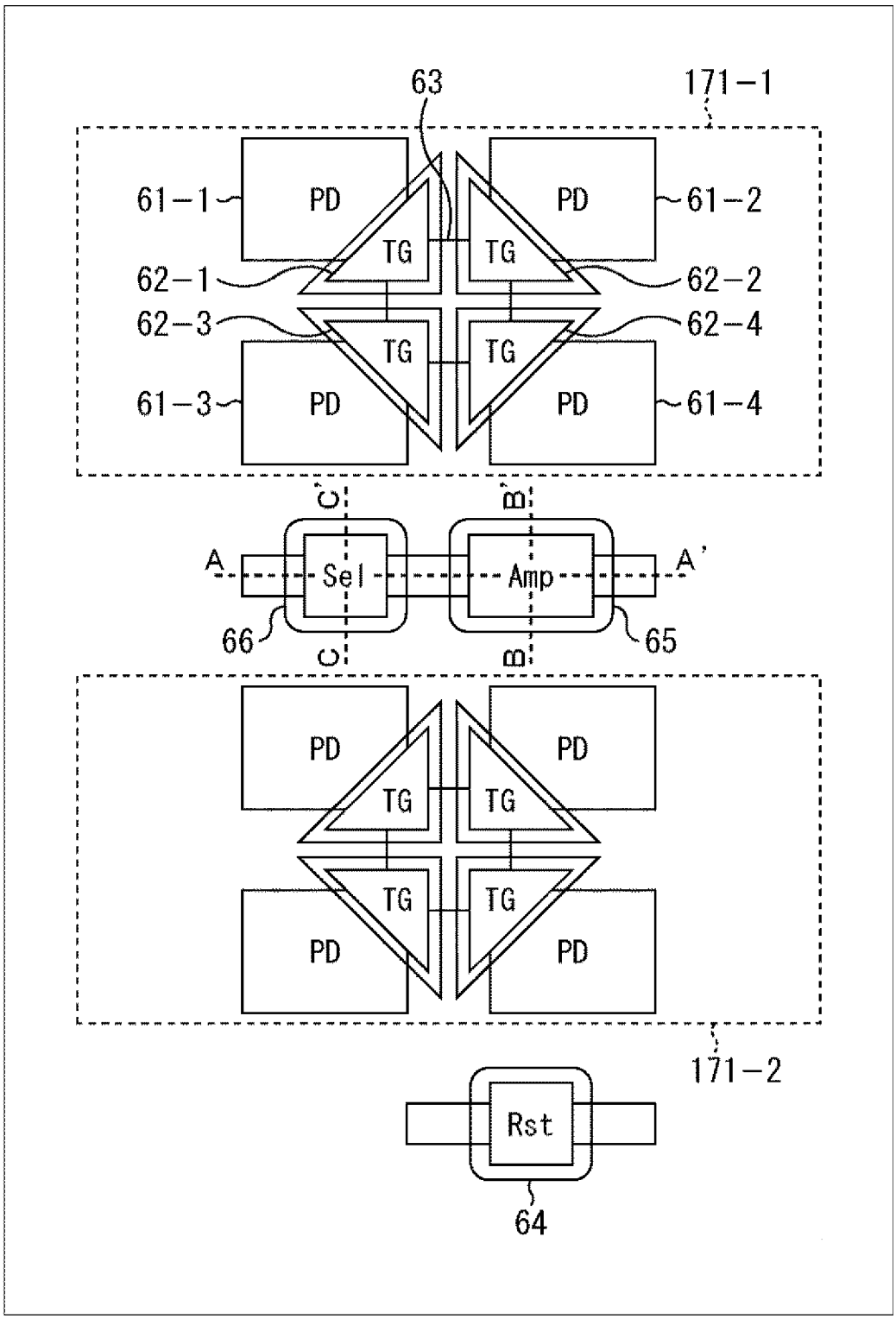
[図13]
図13



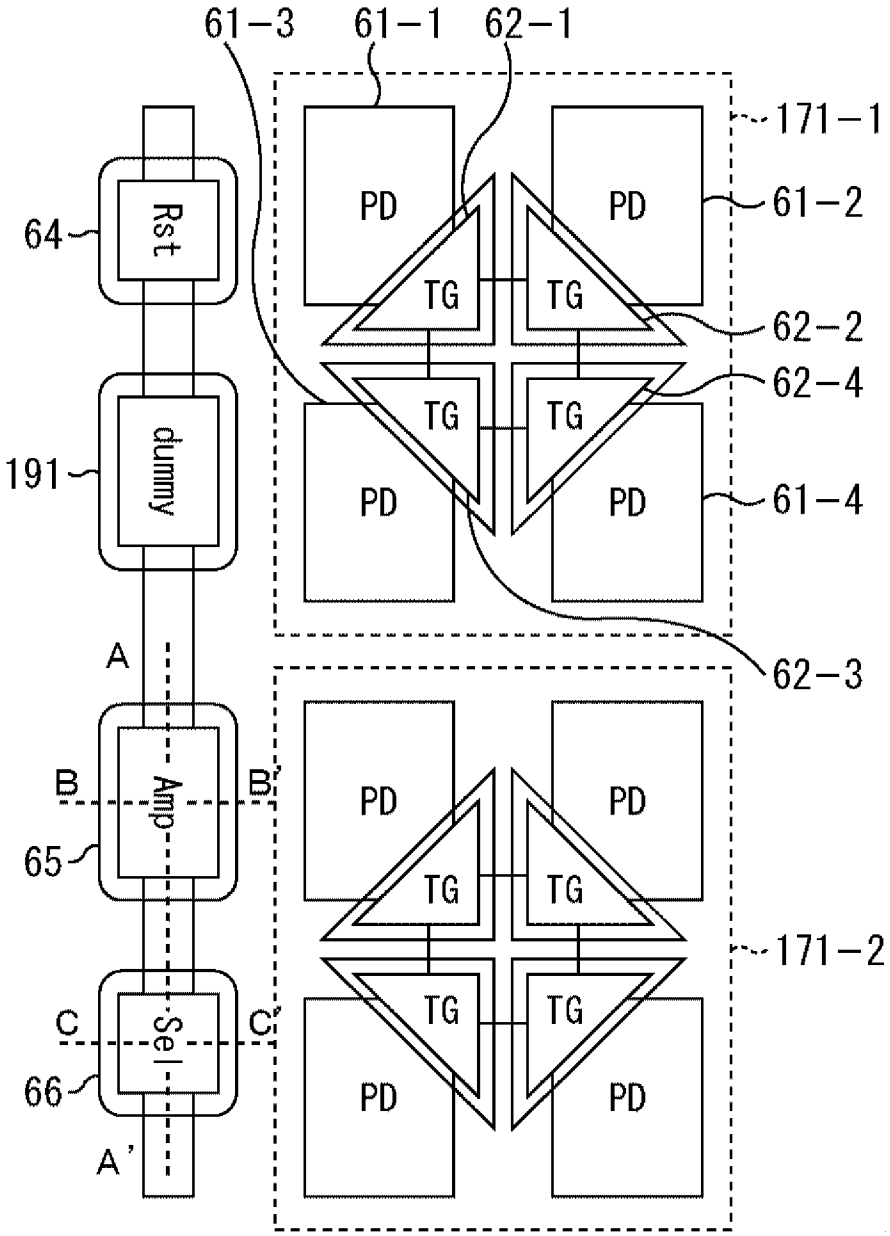
[図14]
図14



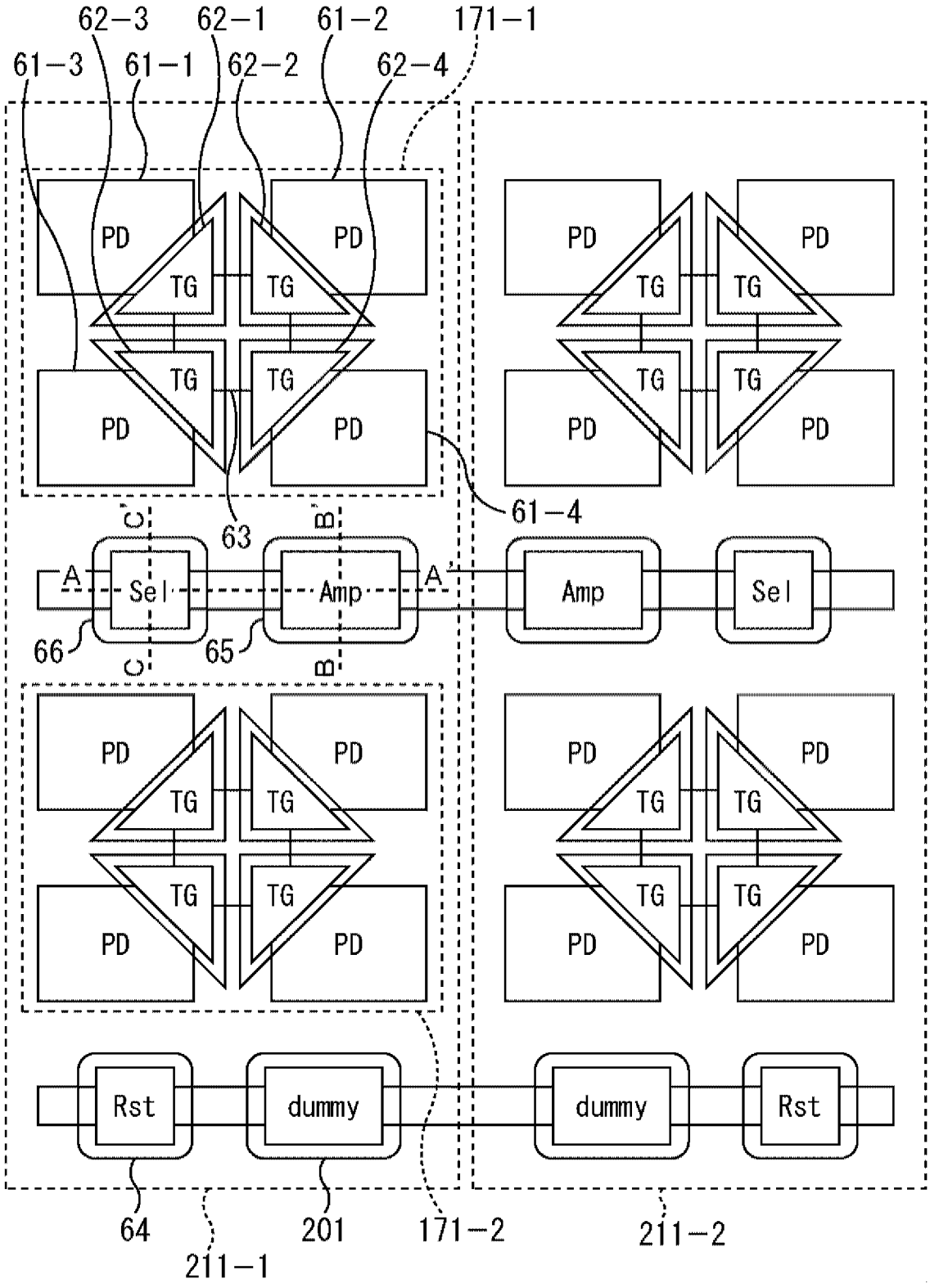
[図15]
図15


63
171-1
61-1
PD
PD
61-2
TG
TG
62-1
62-2
62-3
62-4
TG
TG
61-3
PD
PD
61-4
C
B
A
Sel
Amp
A'
66
65
C
B
PD
PD
TG
TG
TG
TG
PD
PD
171-2
Rst
64

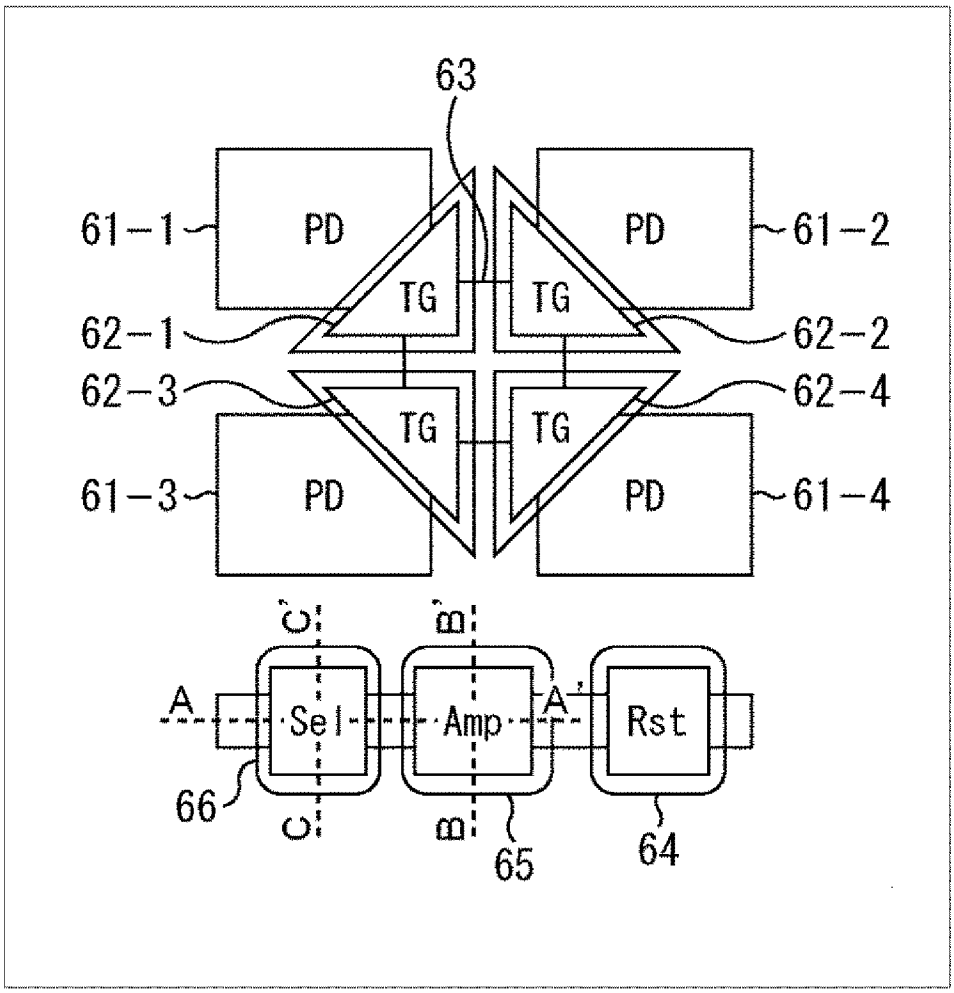
[図16]
図16


61−3
61−1
62−1
171−1
PD
PD
61−2
64
Rst
TG
TG
62−2
62−4
TG
TG
191
dummy
PD
PD
61−4
A
62−3
B
Amp
B'
65
PD
PD
TG
TG
171−2
TG
TG
C
Sel
C'
66
PD
PD
A'

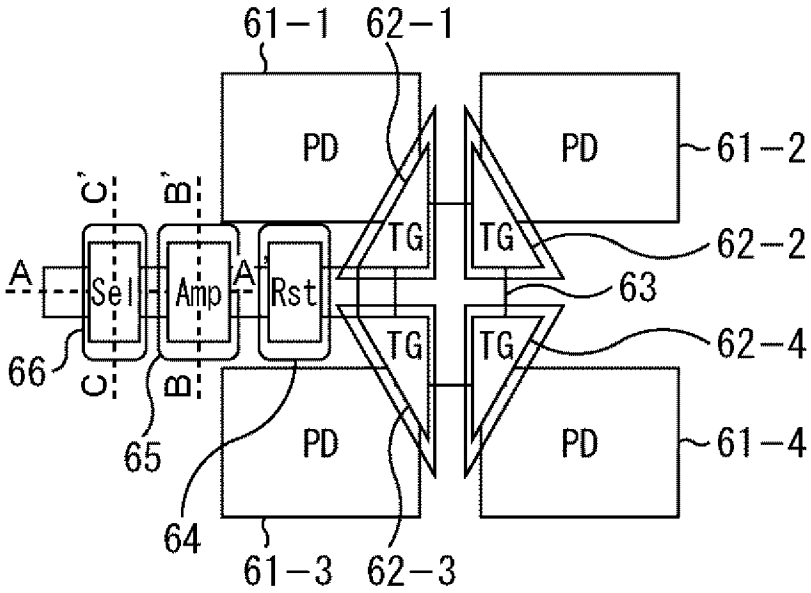
[図17]
図17


62−3
62−1
61−2
171−1
61−3
61−1
62−2
62−4
PD
TG
61−4
63
C
B
A
A'
Sel
Amp
66
65
Rst
dummy
64
211−1
201
171−2
211−2

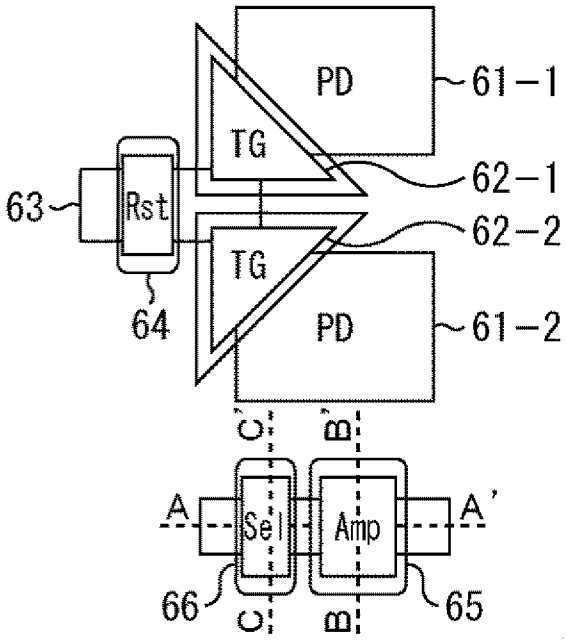
[図18]
図18


63
61-1
PD
PD
61-2
TG
TG
62-1
62-2
62-3
62-4
TG
TG
61-3
PD
PD
61-4
C'
m'
A
Sel
Amp
A'
Rst
66
C
m
65
64

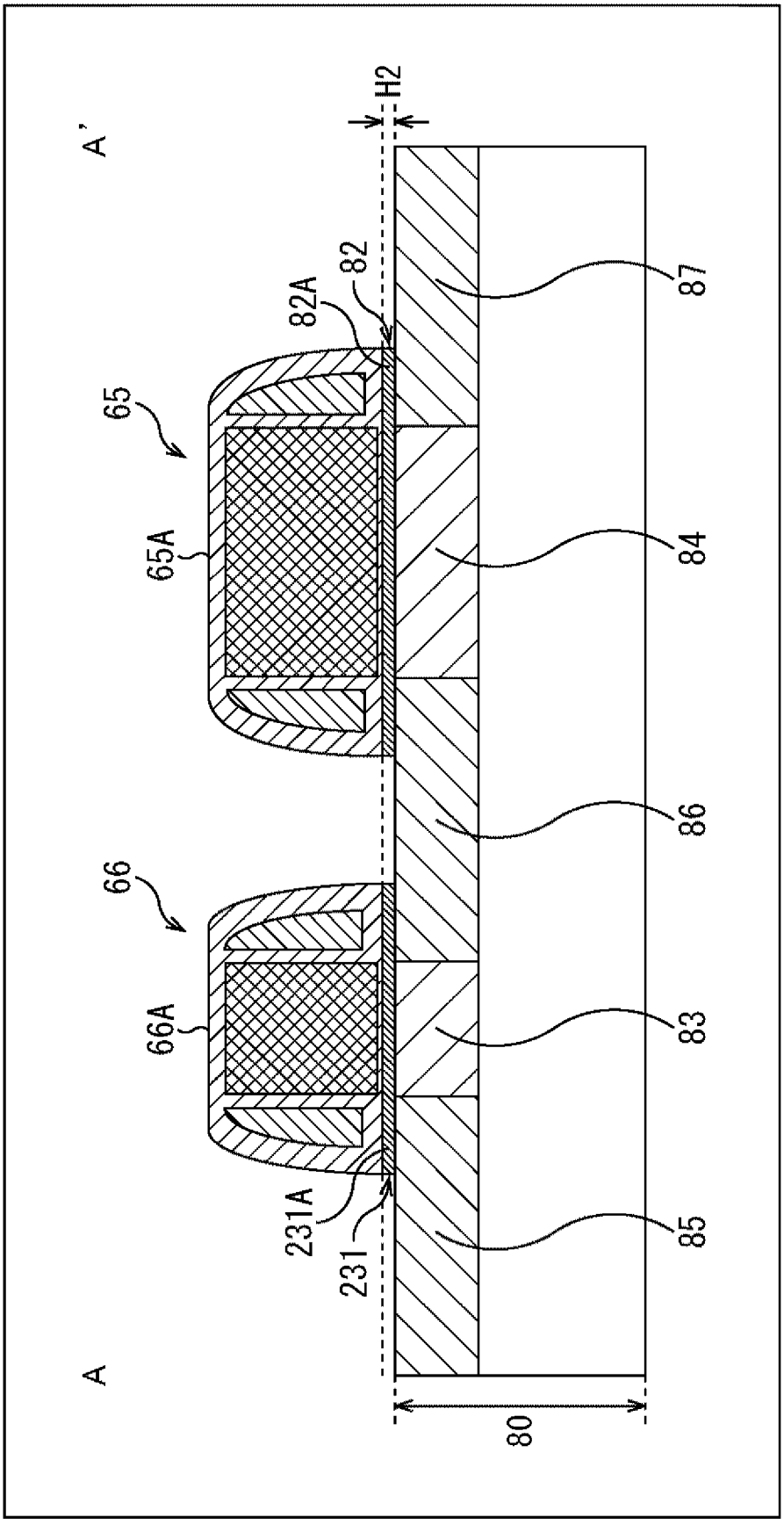
[図19]
図19



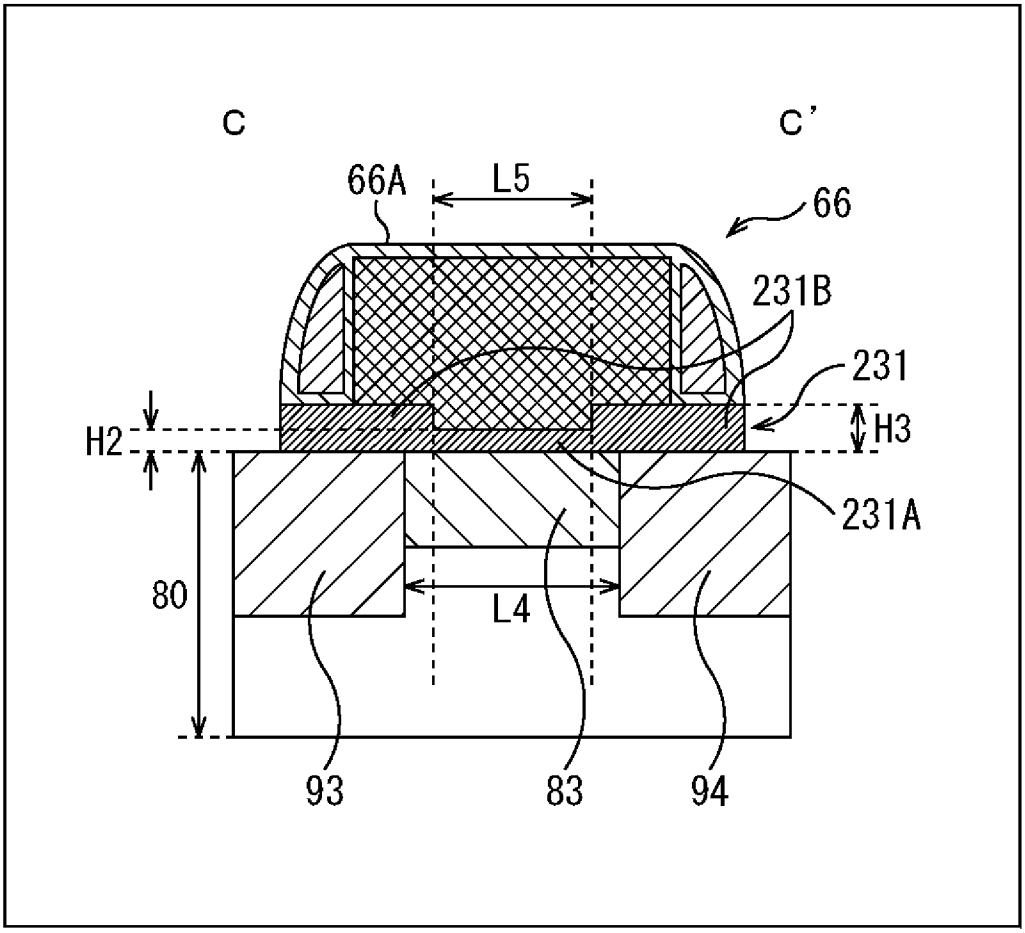
[図20]
図20



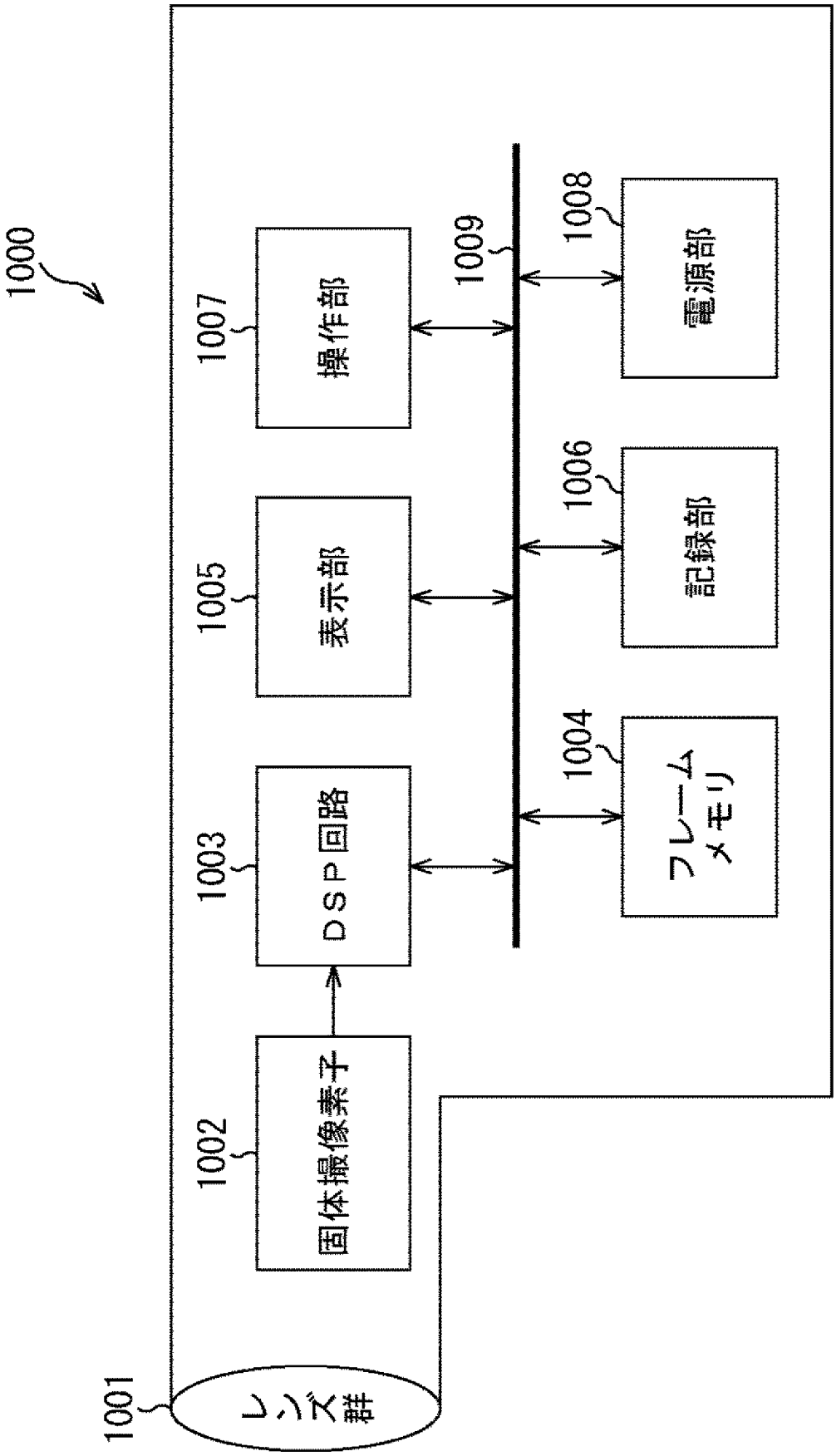
[図21]
図21



[図22]
図22



[図23]
図23


1000
1001
レンズ群
1002
固体撮像素子
1003
DSP回路
1004
フレーム
メモリ
1005
表示部
1006
記録部
1007
操作部
1008
電源部
1009

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/072321

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01)i, *H01L21/8234*(2006.01)i, *H01L27/088*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146, H01L21/8234, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/027524 A1 (Sharp Corp.), 28 February 2013 (28.02.2013), paragraphs [0039] to [0109]; fig. 1 to 12 & US 2014/0191290 A1 paragraphs [0058] to [0134]; fig. 1 to 12 & TW 201312740 A	1-4,6-10 5
Y A	JP 2009-283552 A (Panasonic Corp.), 03 December 2009 (03.12.2009), paragraphs [0006] to [0016], [0023] to [0049]; fig. 1 to 7 & US 2009/0290058 A1 paragraphs [0008] to [0018], [0034] to [0060]; fig. 1 to 7	1-4,6-10 5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 October 2015 (19.10.15)	27 October 2015 (27.10.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/072321

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-49671 A (Renesas Electronics Corp.), 17 March 2014 (17.03.2014), paragraphs [0067] to [0084]; fig. 14 to 21 (Family: none)	1-4,6-10 5
Y A	JP 2008-124395 A (Matsushita Electric Industrial Co., Ltd.), 29 May 2008 (29.05.2008), paragraphs [0033] to [0058]; fig. 1 to 3 (Family: none)	1-4,6-10 5
Y A	JP 2011-71347 A (Sony Corp.), 07 April 2011 (07.04.2011), paragraphs [0046] to [0068]; fig. 1 to 9 & US 2011/0073923 A1 paragraphs [0077] to [0100]; fig. 1 to 9 & CN 102034835 A & KR 10-2011-0033780 A & TW 201138077 A	1-4,6-10 5
Y A	JP 2006-41056 A (Sony Corp.), 09 February 2006 (09.02.2006), paragraphs [0002] to [0008]; fig. 12 to 14 (Family: none)	1-4,6-10 5

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０７２３２１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, H01L21/8234, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	WO 2013/027524 A1（シャープ株式会社）2013.02.28, 段落[0039]－[0109]及び図１－１２ & US 2014/0191290 A1, 段落[0058]－[0134] 及びFigs. １－１２ & TW 201312740 A	1-4, 6-10 5
Y A	JP 2009-283552 A（パナソニック株式会社）2009.12.03, 段落[0006]－[0016], [0023]－[0049]及び図１－７ & US 2009/0290058 A1, [0008]－[0018], [0034]－[0060] 及びFIGS. １－７	1-4, 6-10 5

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．１０．２０１５	２７．１０．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　９４４７
安田　雅彦
電話番号　０３－３５８１－１１０１　内線　３５１４

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ Ａ	JP 2014-49671 A (ルネサスエレクトロニクス株式会社) 2014.03.17, 段落[0067]－[0084]及び図１４－２１（ファミリーなし）	１－４，６－10 ５
Ｙ Ａ	JP 2008-124395 A (松下電器産業株式会社) 2008.05.29, 段落[0033]－[0058]及び図１－３（ファミリーなし）	１－４，６－10 ５
Ｙ Ａ	JP 2011-71347 A (ソニー株式会社) 2011.04.07, 段落[0046]－[0068]及び図１－９ & US 2011/0073923 A1, 段落[0077]－[0100]及びFIGS. １－９ & CN 102034835 A & KR 10-2011-0033780 A & TW 201138077 A	１－４，６－10 ５
Ｙ Ａ	JP 2006-41056 A (ソニー株式会社) 2006.02.09, 段落[0002]－[0008]及び図１２－１４（ファミリーなし）	１－４，６－10 ５