



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년09월13일
(11) 등록번호 10-1182403
(24) 등록일자 2012년09월06일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0131647

(22) 출원일자 2008년12월22일

심사청구일자 2008년12월22일

(65) 공개번호 10-2010-0073064

(43) 공개일자 2010년07월01일

(56) 선행기술조사문헌

KR100653467 B1

KR1020080093709 A

KR1020080096214 A

기술이전 희망 : 기술양도, 실시권허여, 기술지도

(73) 특허권자

한국전자통신연구원

대전광역시 유성구 가정로 218 (가정동)

(72) 발명자

유민기

서울특별시 노원구 한글비석로 396, 109동 910호
(상계동, 벽산아파트)

황치선

대전광역시 유성구 전민로 71, 113동 1003호 (전민동, 삼성푸른아파트)

(뒷면에 계속)

(74) 대리인

신영무

전체 청구항 수 : 총 14 항

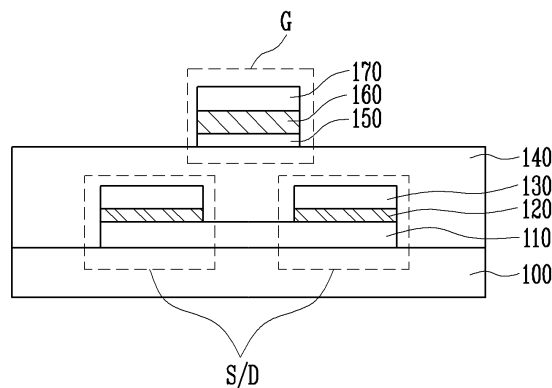
심사관 : 설관식

(54) 발명의 명칭 투명 트랜지스터 및 그의 제조 방법

(57) 요약

본 발명에 따른 투명 트랜지스터는 기판, 하부 투명층, 금속층 및 상부 투명층의 다층 구조를 가지며, 상기 기판 위에 형성되어 있는 소스 전극 및 드레인 전극, 상기 소스 전극 및 드레인 전극 사이에 형성되어 있는 채널, 그리고 상기 채널과 정렬되어 있는 게이트 전극을 포함하며, 상기 하부 투명층 또는 상부 투명층이 상기 채널과 동일한 투명 반도체층으로 형성되어 있다. 따라서, 다층 투명전도막을 활용하여 투명도 및 전도도를 확보하면서, 소스/드레인 전극과 반도체의 접촉 저항 문제를 해결하고, 박막 증착 시에 추가되는 공정에 비하여 패터닝 공정의 감소로 공정의 효율성이 높아질 수 있다.

대표도 - 도1



(72) 발명자

변춘원

대전광역시 유성구 가정로 218, 기숙사 신관 222호
(가정동, 한국전자통신연구원)

추혜용

대전광역시 유성구 엑스포로 501, 107동 801호 (전
민동, 나래아파트)

조경익

대전광역시 유성구 어은로 57, 136동 802호 (어은
동, 한빛아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 2006-S-079-03

부처명 지식경제부 및 정보통신연구진흥원

연구사업명 IT원천기술개발

연구과제명 투명전자 소자를 이용한 스마트 창

주관기관 한국전자통신연구원

연구기간 2006년 10월 01일 ~ 2011년 02월 28일

특허청구의 범위

청구항 1

기관,

하부 투명층, 금속층 및 상부 투명층의 다층 구조를 가지며, 상기 기관 위에 형성되어 있는 소스 전극 및 드레인 전극,

상기 소스 전극 및 드레인 전극 사이에 형성되어 있는 채널, 그리고

상기 채널과 정렬되어 있는 게이트 전극

을 포함하며,

상기 하부 투명층 또는 상부 투명층이 상기 채널과 동일한 투명 반도체층으로 형성되어 있는

투명 트랜지스터.

청구항 2

제1항에 있어서,

상기 게이트 전극은 상기 하부 투명층, 상기 금속층 및 상기 상부 투명층의 다층 구조를 가지는

투명 트랜지스터.

청구항 3

제2항에 있어서,

상기 소스 전극, 드레인 전극 또는 상기 게이트 전극의 상부 투명층 또는 하부 투명층은 질화막으로 형성되어 있는

투명 트랜지스터.

청구항 4

제2항 또는 제3항에 있어서,

상기 게이트 전극의 상기 하부 투명층은 상기 기관과 상기 게이트 전극을 전기적으로 절연하는 절연막으로 형성되는

투명 트랜지스터.

청구항 5

제2항에 있어서,

상기 소스 전극 및 드레인 전극의 나머지 상부 투명층 또는 하부 투명층은 투명 전도막 또는 투명 절연막으로 형성되는

투명 트랜지스터.

청구항 6

제3항에 있어서,

상기 하부 투명층 또는 상부 투명층을 형성하는 상기 질화막은 굴절율이 2.0 이상인

투명 트랜지스터.

청구항 7

기관 위에 투명 반도체층, 금속층 및 투명층을 차례로 적층하고 패터닝하여 소스/드레인 영역 및 채널 영역을

정의하는 단계, 그리고

상기 채널 영역의 상기 투명층 및 상기 금속층을 식각하여 상기 투명 반도체를 노출시키는 단계, 그리고

노출된 상기 투명 반도체층을 덮도록 절연막을 형성하는 단계

를 포함하는 트랜지스터의 제조 방법.

청구항 8

기관 위에 투명층 및 금속층을 적층하고 채널 영역의 상기 금속층을 식각하여 하부의 상기 투명층을 노출시키는 단계,

노출된 상기 투명층 및 금속층을 덮도록 투명 반도체층을 적층하고, 식각하여 소스 전극, 드레인 전극 및 채널을 형성하는 단계, 그리고

상기 소스 전극, 드레인 전극 및 채널을 덮도록 절연막을 형성하는 단계

를 포함하는 트랜지스터의 제조 방법.

청구항 9

제7항 또는 제8항에 있어서,

상기 절연막 위에 게이트 전극을 형성하는 단계

를 더 포함하는

트랜지스터의 제조 방법.

청구항 10

제9항에 있어서,

상기 게이트 전극을 형성하는 단계는

상기 절연막 위에 하부 투명층을 형성하는 단계,

상기 하부 투명층 위에 금속층을 형성하는 단계,

상기 금속층 위에 상부 투명층을 형성하는 단계, 그리고

상기 하부 투명층, 금속층 및 상부 투명층을 상기 채널과 정렬하여 식각하여 상기 게이트 전극을 형성하는 단계

를 포함하는

트랜지스터의 제조 방법.

청구항 11

제10항에 있어서,

상기 소스 전극, 드레인 전극의 투명층 또는 투명 반도체층 및 상기 게이트 전극의 하부 또는 상부 투명층은 질화막을 포함하는

트랜지스터의 제조 방법.

청구항 12

기관 위에 투명 반도체, 금속층, 투명층을 적층하여 소스 전극 및 드레인 전극을 형성하는 단계,

상기 소스 전극 및 드레인 전극 위에 제1 게이트 절연막을 형성하는 단계,

상기 제1 게이트 절연막 위에 포토 레지스트를 도포하고, 마스크를 통하여 상기 투명층 및 금속층을 식각하여 채널을 형성하는 단계,

상기 포토 레지스트 및 채널 위에 제2 게이트 절연막을 형성하는 단계,
상기 제2 게이트 절연막 위에 게이트 전극을 형성하는 단계, 그리고
상기 포토 레지스트를 제거하는 단계
를 포함하는 트랜지스터의 제조 방법.

청구항 13

제12항에 있어서,
상기 투명 반도체 또는 상기 투명층은 질화막으로 형성하는
트랜지스터의 제조 방법.

청구항 14

제12항에 있어서,
상기 제1 게이트 절연막은 상기 제2 게이트 절연막보다 두껍게 형성되는
트랜지스터의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

- [0001] 본 발명은 투명 트랜지스터에 관한 것이다. 특히 본 발명은 높은 투과율을 가지는 투명 트랜지스터의 구조에 관한 것이다.
- [0002] 본 발명은 지식경제부 및 정보통신연구진흥원의 IT원천기술개발사업의 일환으로 수행한 연구로부터 도출된 것이다[과제관리번호: 2006-S-079-03, 과제명: 투명전자소자를 이용한 스마트 창].

배경 기술

- [0003] 투명 트랜지스터를 제작하기 위해서는 트랜지스터를 구성하고 있는 물질인 반도체, 절연체, 금속이 모두 투명하여야 한다. 절연체의 경우 일반적으로 가시광영역에서 투명하며, 반도체의 경우는 최근 산화물 반도체가 트랜지스터에 적용되면서 투명화 할 수 있다. 금속의 경우는 ITO가 투명 전극 중에서 가장 낮은 저항을 가지고 있어 일반적으로 적용될 수 있다.
- [0004] 그러나 디스플레이가 대면적화 되어 배선의 길이가 길어지고 또한 고성능의 투명한 회로에 적용하기에 ITO의 전기 전도도가 모자란 측면이 있다. 그래서 배선의 전기저항을 감소시키기 위하여 금속을 보조배선으로 사용하기도 한다. 그러나 금속을 보조배선으로 사용하는 경우, 공정이 추가되고 또한 불투명한 금속배선으로 인하여 전체의 투과율이 감소한다.
- [0005] 또한, 다층 투명전도막을 박막 트랜지스터에 적용할 때 일반적인 박막 트랜지스터의 제조공정을 적용하면 다층 박막의 식각 문제, 소스/드레인 전극과 반도체와의 접촉 저항 문제, 다층 박막을 증착할 때 추가되는 공정 등 어려움이 있다.

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명이 이루고자 하는 기술적 과제는 투명도 및 전도도를 향상시킬 수 있는 적층 구조를 가짐으로써 최적화된 투명 트랜지스터를 제공하는 것이다.

과제 해결수단

- [0007] 본 발명에 따른 투명 트랜지스터는 기판, 하부 투명층, 금속층 및 상부 투명층의 다층 구조를 가지며, 상기 기

판 위에 형성되어 있는 소스 전극 및 드레인 전극, 상기 소스 전극 및 드레인 전극 사이에 형성되어 있는 채널, 그리고 상기 채널과 정렬되어 있는 게이트 전극을 포함하며, 상기 하부 투명층 또는 상부 투명층이 상기 채널과 동일한 투명 반도체층으로 형성되어 있다.

- [0008] 상기 게이트 전극은 상기 하부 투명층, 상기 금속층 및 상기 상부 투명층의 다층 구조를 가질 수 있다.
- [0009] 상기 소스 전극, 드레인 전극 또는 상기 게이트 전극의 상부 투명층 또는 하부 투명층은 질화막으로 형성될 수 있다.
- [0010] 상기 게이트 전극의 상기 하부 투명층은 상기 기판과 상기 게이트 전극을 전기적으로 절연하는 절연막으로 형성될 수 있다.
- [0011] 상기 소스 전극 및 드레인 전극의 나머지 상부 투명층 또는 하부 투명층은 투명 전도막 또는 투명 절연막으로 형성될 수 있다.
- [0012] 상기 하부 투명층 또는 상부 투명층을 형성하는 상기 질화막은 굴절율이 2.0 이상일 수 있다.
- [0013] 한편, 본 발명에 따른 트랜지스터의 제조 방법은 기판 위에 투명 반도체층, 금속층 및 투명층을 차례로 적층하고 패터닝하여 소스/드레인 영역 및 채널 영역을 정의하는 단계, 그리고 상기 채널 영역의 상기 투명층 및 상기 금속층을 식각하여 상기 투명 반도체를 노출시키는 단계, 그리고 노출된 상기 투명 반도체층을 덮도록 절연막을 형성하는 단계를 포함한다.
- [0014] 또한, 본 발명에 따른 트랜지스터의 제조 방법은 기판 위에 투명층 및 금속층을 적층하고 채널 영역의 상기 금속층을 식각하여 하부의 상기 투명층을 노출시키는 단계, 노출된 상기 투명층 및 금속층을 덮도록 투명 반도체층을 적층하고, 식각하여 소스 전극, 드레인 전극 및 채널을 형성하는 단계, 그리고 상기 소스 전극, 드레인 전극 및 채널을 덮도록 절연막을 형성하는 단계를 포함할 수 있다.
- [0015] 상기 절연막 위에 게이트 전극을 형성하는 단계를 더 포함할 수 있다.
- [0016] 상기 게이트 전극을 형성하는 단계는 상기 절연막 위에 하부 투명층을 형성하는 단계, 상기 하부 투명층 위에 금속층을 형성하는 단계, 상기 금속층 위에 상부 투명층을 형성하는 단계, 그리고 상기 하부 투명층, 금속층 및 상부 투명층을 상기 채널과 정렬하여 식각하여 상기 게이트 전극을 형성하는 단계를 포함할 수 있다.
- [0017] 상기 소스 전극, 드레인 전극의 투명층 또는 투명 반도체층 및 상기 게이트 전극의 하부 또는 상부 투명층은 질화막을 포함할 수 있다.
- [0018] 또한, 본 발명에 따른 트랜지스터의 제조 방법은 기판 위에 투명 반도체, 금속층, 투명층을 적층하여 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 드레인 전극 위에 제1 게이트 절연막을 형성하는 단계, 상기 제1 게이트 절연막 위에 포토 레지스트를 도포하고, 마스크를 통하여 상기 투명층 및 금속층을 식각하여 채널을 형성하는 단계, 상기 포토 레지스트 및 채널 위에 제2 게이트 절연막을 형성하는 단계, 상기 제2 게이트 절연막 위에 게이트 전극을 형성하는 단계, 그리고 상기 포토 레지스트를 제거하는 단계를 포함한다.
- [0019] 상기 투명 반도체 또는 상기 투명층은 질화막으로 형성할 수 있다.
- [0020] 상기 제1 게이트 절연막은 상기 제2 게이트 절연막보다 두껍게 형성할 수 있다.

효 과

- [0021] 본 발명에 따르면, 다층 투명전도막을 활용하여 투명도 및 전도도를 확보하면서, 소스/드레인 전극과 반도체의 접촉 저항 문제를 해결하고, 박막 증착 시에 추가되는 공정에 비하여 패터닝 공정의 감소로 공정의 효율성이 높아질 수 있다.

발명의 실시를 위한 구체적인 내용

- [0022] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

- [0023] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0024] 이하에서는 도 1을 참고하여, 본 발명에 따른 투명 박막 트랜지스터를 설명한다.
- [0025] 도 1은 본 발명의 제1 실시예에 따른 트랜지스터의 단면도이다.
- [0026] 도 1을 참고하면, 본 발명의 제1 실시예에 따른 트랜지스터는, 코플래너(coplanar) 구조의 박막 트랜지스터로서, 절연 기판(100) 위에 반도체층(110)이 형성되어 있다. 이러한 반도체층(110) 옆으로 서로 마주보는 소스/드레인 전극(S/D)이 형성되어 있다.
- [0027] 소스/드레인 전극(S/D) 및 반도체층(110)을 덮으며 절연막(140)이 형성되어 있으며, 절연막(140) 위로 소스/드레인 전극(S/D) 사이의 반도체층(110)과 정렬하여 게이트 전극(G)이 형성되어 있다.
- [0028] 소스/드레인 전극(S/D)은 반도체층(110), 금속층(120) 및 투명 전도층/투명절연층(130)이 차례로 적층되어 있는 적층 구조를 가진다.
- [0029] 즉, 반도체층(110)의 일부는 소스/드레인 전극(S/D)의 일부로 사용되고, 반도체층(110)의 가운데 영역은 트랜지스터의 채널을 형성하는 활성화 영역으로 사용된다.
- [0030] 게이트 전극(G)도 소스/드레인 전극(S/D)과 같이 투명층(150), 금속층(160) 및 투명층(170)의 적층 구조를 가지며, 금속층(160) 상하부의 투명층(150, 170)은 투명 절연층 또는 투명 전도층으로 이루어질 수 있다.
- [0031] 즉, 게이트 전극(G) 및 소스/드레인 전극(S/D)은 종래에 많이 사용되는 ITO보다 낮은 전기저항을 구현할 수 있는 얇은 금속층(160, 120)을 삽입한 다층박막 투명전도막으로 형성되어 있다.
- [0032] 이와 같이, 얇은 금속층(160, 120)을 삽입한 다층박막 투명 전도막은 단일 금속층보다 가시광선영역에서 더욱 투명하게 만들 수 있다. 굴절율이 약 2이상의 값을 가지는 물질이 비교적 낮은 굴절율을 가지는 물질과 접합되어 있으며, 빛이 투과할 때 물질의 경계면에서 큰 전기장이 형성된다. 이때, 가시광선영역의 빛의 파장이 반파장이 되도록 두께를 조절하면 그 두께의 가운데 지점에서의 빛의 전기장의 세기는 최소값을 가진다. 이와 같이 빛의 전기장이 최소인 지점에 금속이 위치하고 있으면 투과되는 빛이 금속의 전자와 상호작용이 매우 작아지면서 전체의 얇은 금속박막을 삽입한 다층박막 투명전도막의 투과율이 증가하게 된다.
- [0033] 여기에서 요구되는 금속은 높은 전기전도도를 가져서 얇은 두께에서도 충분히 낮은 저항값을 가져야 하고 동시에 광 흡수율이 낮은 Ag가 가장 적합하다. 또한 Ag에 Cu와 Pd 등 다양한 합금을 사용할 수도 있다.
- [0034] 그리고 금속층(160, 120)과 접촉하는 투명한 박막에 요구되는 특성은 가시광선 영역에서 높은 투과도를 가지고 굴절율이 적어도 1.9 이상의 값을 가지는 것이 적당하다. 산화물의 굴절율이 1.9~2.0정도일 때 전도막 전체의 두께의 범위는 60nm~130nm이고 약 100nm가 가장 적당하다. 금속층(160, 120)은 Ag일 경우 1nm~15nm의 두께범위이고, 10nm~12nm가 가장 적합하다.
- [0035] 금속층(160, 120) 주변의 큰굴절율을 가지는 물질은 다양한 전기적 성질을 가지는 물질들의 사용할 수 있다.
- [0036] 또한, 소스/드레인 전극(S/D)의 한 층은 트랜지스터의 반도체층(110)으로 사용하는 투명 반도체를 사용하며, 반도체는 ZnO(굴절율=1.93), SnO₂(2.0), ZnSnOx, InGaZnOx, GaN(2.5), AlN(2.05), InN와 이들의 조합인 AlGaIn, GaInN, AlInN, AlGaInN, ZnS(2.4) 등이 있다. 즉, 반도체를 사용하여 투명 전도층/금속/반도체, 절연체/금속/반도체를 형성하면 그 자체로 투명 전극으로 사용할 수 있다.
- [0037] 이러한, 게이트 전극(G), 소스/드레인 전극(S/D)에서 금속층(160, 120) 상하부의 투명층 중 적어도 하나는 굴절율이 높은 질화막으로 형성함으로써, 투과성 및 전도성을 향상시킬 수 있다.
- [0038] 이하에서는 도 2a 내지 도 2e를 참고하여 도 1의 트랜지스터의 제조 방법을 설명한다.
- [0039] 먼저, 도 2a와 같이, 절연 기판(100) 위에 다층의 투명 전도막(115)을 형성한다.
- [0040] 이러한 투명 전도막(115)은 최하부에 투명 반도체층(110)을 형성하고, 투명 반도체층(110) 위에 금속층(120) 및 투명 전도층/투명 절연층(130)을 적층하고, 소스/드레인 전극 및 소스/드레인 전극 사이의 채널 영역만을 남기도록 식각함으로써 형성한다.
- [0041] 이러한 3중층의 투명 전도막(115)은 투명 반도체층(110) 또는 최상부의 투명 전도층/투명 절연층(130)을 질화막으로 형성하고, 금속층(120)으로 전도성이 좋은 Ag 등을 사용함으로써 투과율 및 전도성을 확보한다.

- [0042] 다음으로, 도 2b와 같이 채널 영역의 금속층(120) 및 투명 전도층/투명 절연층(130)을 식각하여 채널 영역에 최하부의 투명 반도체층(110)을 노출하여 소스/드레인 전극 및 채널을 정의한다.
- [0043] 도 2c와 같이, 소스/드레인 전극 및 채널 위에 절연층(140)을 형성하고, 도 2d와 같이 절연층(140) 위에 다시 투명 전도층/투명 절연층(150), 금속층(160) 및 투명 전도층/투명 절연층(170)의 다층 구조를 가지는 투명 전도막(155)을 형성한다.
- [0044] 마지막으로, 채널을 식각할 때 사용한 마스크를 이용하여 채널과 정렬하여 투명 전도막(155)을 식각함으로써 도 2e의 게이트 전극을 형성한다.
- [0045] 이와 같이, 소스/드레인 전극(S/D)을 형성하는 하부의 투명막을 채널과 동일한 반도체로 형성함으로써 소스/드레인 전극(S/D)과 채널의 반도체 사이에 오버랩 마진이 필요 없고 접촉 저항을 줄일 수 있으며, 채널 형성 및 게이트 전극 형성의 마스크를 동일하게 사용함으로써, 두장의 마스크로 패턴을 형성하여 정렬이 단순화된다.
- [0046] 이하에서는 도 3a 내지 도 3f를 참고하여 본 발명의 제2 실시예에 따른 트랜지스터를 설명한다.
- [0047] 본 발명의 제2 실시예에 따른 트랜지스터는 역스태거형(inverted staggered type)의 박막 트랜지스터로서, 소스/드레인 전극 및 게이트 전극으로 다층 구조의 투명 전도막을 가진다.
- [0048] 상세히 설명하면, 도 3a와 같이, 기판(300) 상에 투명 절연층(310)을 형성하고, 도 3b와 같이, 금속층(320)과 투명 절연층/투명 도전층(330)을 형성한 후, 금속층(320)과 투명 절연층/투명 도전층(330)을 게이트 전극의 형상으로 패터닝하여 게이트 전극을 형성한다.
- [0049] 이러한 게이트 전극은 하부의 투명 절연층(310), 금속층(320) 및 투명 절연층/투명 도전층(330)의 다층 구조를 가지는 투명 전도막을 형성하며, 기판(300)과 게이트 전극을 전기적으로 절연하는 절연막을 게이트 전극의 다층 구조의 일부 절연막으로 사용함으로써, 공정의 추가 없이 투과성을 확보한다.
- [0050] 다음으로, 도 3c와 같이 게이트 전극 위에 게이트 절연막(340)을 형성하는데, 이러한 게이트 절연막(340)으로는 낮은 굴절율을 가지는 SiO_2 , Al_2O_3 등이 있다.
- [0051] 다음으로, 도 3d와 같이 다층 투명 전도막(355)을 증착하고 소스/드레인 전극 및 채널을 형상으로 패터닝한다.
- [0052] 이러한 다층 투명 전도막(355)은 하부의 투명 반도체층(350), 금속층(360) 및 투명 도전층/투명 절연층(370)으로 이루어지며, 도 3e와 같이 채널 영역의 금속층(360) 및 투명 도전층/투명 절연층(370)을 식각하여 채널 영역의 투명 반도체층(350)을 노출시킨다.
- [0053] 마지막으로, 도 3f와 같이, 보호층(380)을 형성하여 채널을 보호한다.
- [0054] 이와 같이 역스태거형의 트랜지스터에서도 소스/드레인 전극 및 게이트 전극을 형성하는 투명막/금속층/투명막의 적층 구조에서 한 투명막을 굴절율이 높은 질화막으로 형성함으로써 투과성 및 전도성을 확보하면서, 절연막 또는 채널 반도체와 함께 사용함으로써 공정을 단순화하고, 접촉 저항을 줄일 수 있다.
- [0055] 이때, 금속층(320, 360)의 상하부에 형성되는 투명막으로 절연층을 형성하는 경우, 산화물 절연체는 ZrO_2 (굴절율 = 2.05), HfO_2 (2.0), Ta_2O_5 (2.1), TiO_2 (2.3) 등이 있고 질화물 절연체인 Si_3N_4 (2.02) 가 적용된다.
- [0056] 이하에서는 도 4a 내지 도 4f를 참고하여, 본 발명의 제3 실시예에 따른 스태거형(staggered type)의 트랜지스터를 설명한다.
- [0057] 도 4a와 같이, 기판(400) 위에 투명 절연층(410) 및 금속층(420)을 차례로 증착한다. 다음으로, 금속층(420)의 일부를 식각하여 도 4b와 같이 채널 영역을 정의하고, 채널 영역을 매립하며 도 4c의 투명 반도체층(430)을 증착한다. 다음으로 도 4d와 같이 소스/드레인 영역 및 채널 영역만 남도록 투명 반도체층(430) 및 금속층(420)을 식각함으로써, 소스/드레인 전극 및 채널이 형성된다.
- [0058] 이러한 소스/드레인 전극은 하부의 투명 절연층(410), 금속층(420) 및 투명 반도체층(430)의 다층 구조를 가진다.
- [0059] 다음으로, 도 4e와 같이 게이트 절연막(450)을 전면 증착하고, 게이트 절연막(450) 위에 채널 형성 시 사용되는 마스크를 이용하여 채널과 정렬하는 다층의 게이트 전극(460, 470, 480)을 형성함으로써 도 4f와 같은 스태거형의 트랜지스터가 완성된다. 이때의 게이트 전극 또한 투명층(460), 금속층(470), 투명층(480)의 구조를

가지며, 양 투명층(460, 480) 중 하나는 굴절율이 높은 질화막으로 형성된다.

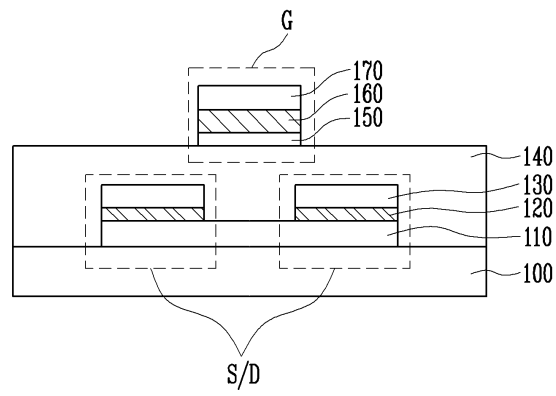
- [0060] 또한, 도 5a 내지 도 5h와 같이 역코플래너형(inverted coplanar type)의 트랜지스터를 제조할 수 있다.
- [0061] 도 5a를 참고하면, 기판(500) 전면에 고굴절율의 절연층(510)을 증착하고, 금속층(520) 및 고굴절율의 투명 절연층/투명 전도층(530)을 차례로 증착한 후, 도 5b와 같이 금속층(520) 및 투명 절연층/투명 전도층(530)을 패터닝하여 게이트 전극을 형성한다.
- [0062] 다음으로, 도 5c와 같이 전면에 게이트 절연막(540)을 증착하고, 도 5d의 투명 절연층/투명 전도층(550) 및 금속층(560)을 차례로 증착한다.
- [0063] 이러한 금속층(560)은 게이트 전극의 패터닝과 동일한 마스크를 사용하여 식각함으로써 도 5e의 채널 영역을 정의하고, 도 5f와 같이, 채널 영역을 매립하며 투명 반도체층(570)을 적층한다.
- [0064] 다음으로, 도 5g와 같이, 반도체층(570)부터 투명 절연층/투명 전도층(550)까지 식각하여 소스/드레인 전극 및 채널의 형성하고, 채널 보호층(580)을 형성하여 도 5h의 트랜지스터를 완성한다.
- [0065] 이하에서는 도 6a 내지 도 6f를 참고하여 본 발명에 따른 자기 정렬 트랜지스터를 설명한다.
- [0066] 도 6a와 같이, 기판(600) 상에 투명 절연층/투명 전도층(610), 금속층(620) 및 투명 반도체층(630)을 적층하고, 소스/드레인 전극 및 채널 형상으로 패터닝한다. 다음으로 도 6b와 같이 제1 게이트 절연막(640)을 형성하고, 도 6c와 같이 포토 레지스트(670)를 도포 후 포토 공정을 이용하여 채널 영역의 제1 게이트 절연막(640), 투명 반도체층(630) 및 금속층(620)을 식각한다. 다음으로 도 6d 및 6e와 같이 제2 게이트 절연막(650) 및 게이트 전극(660)을 전면 증착하고, 포토 레지스트(670)를 제거함으로써 도 6f와 같은 자기 정렬 트랜지스터를 완성한다.
- [0067] 이와 같은 자기 정렬 트랜지스터는 적은 수의 마스크를 사용하여 제조할 수 있으며, 게이트 전극과 소스/드레인 전극 간의 오버랩이 최소화되어 트랜지스터의 기생 커패시턴스가 최소화된다. 또한, 제2 게이트 절연막(650)이 실질적인 게이트절연막으로 동작하므로 얇은 게이트 절연막을 형성하여 트랜지스터의 구동 전압을 낮출 수 있으며, 제1 게이트 절연막(640)을 충분히 두껍게 형성함으로써 배선의 교차점의 커패시턴스가 감소하여 신호 지연을 감소시킬 수 있다.
- [0068] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

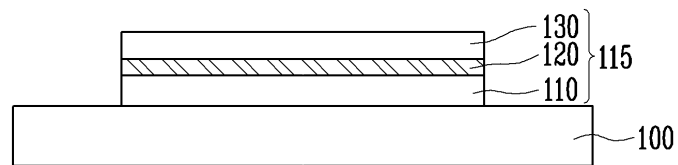
- [0069] 도 1은 본 발명의 제1 실시예에 따른 투명 트랜지스터의 단면도이다.
- [0070] 도 2a 내지 도 2e는 도 1에 도시되어 있는 투명 트랜지스터를 제조하는 과정을 설명하는 단면도이다.
- [0071] 도 3a 내지 도 3f는 본 발명의 제2 실시예에 따른 투명 트랜지스터를 제조하는 과정을 설명하는 단면도이다.
- [0072] 도 4a 내지 도 4f는 본 발명의 제3 실시예에 따른 투명 트랜지스터를 제조하는 과정을 설명하는 단면도이다.
- [0073] 도 5a 내지 도 5h는 본 발명의 제4 실시예에 따른 투명 트랜지스터를 제조하는 과정을 설명하는 단면도이다.
- [0074] 도 6a 내지 도 6f는 본 발명의 제5 실시예에 따른 투명 트랜지스터를 제조하는 과정을 설명하는 단면도이다.

도면

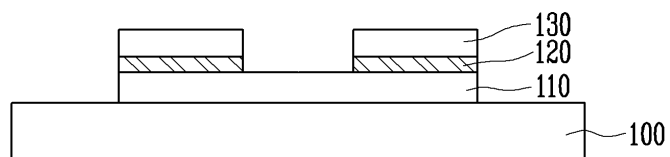
도면1



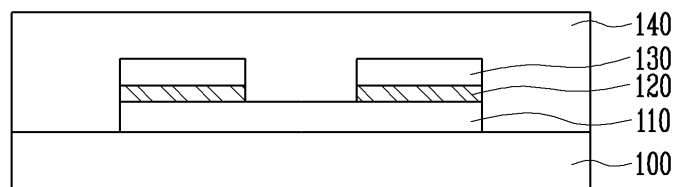
도면2a



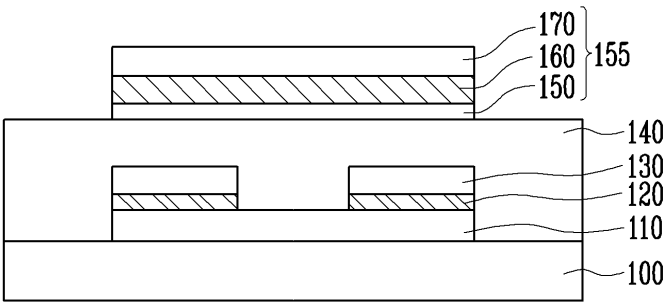
도면2b



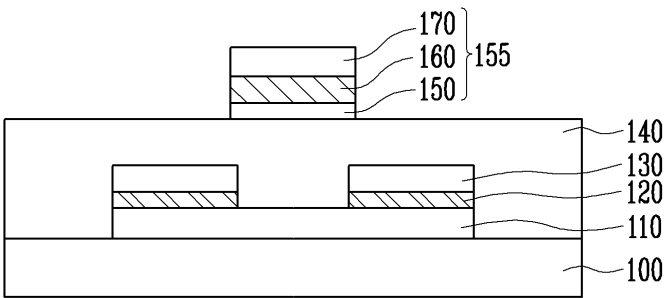
도면2c



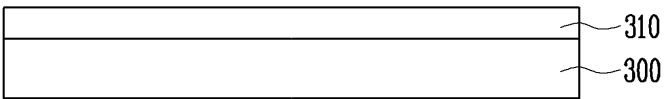
도면2d



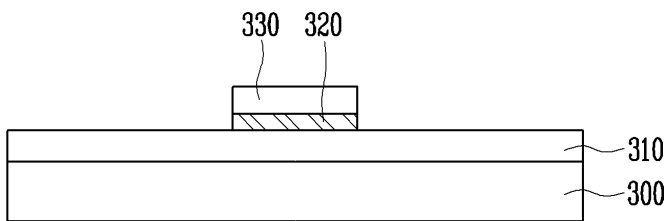
도면2e



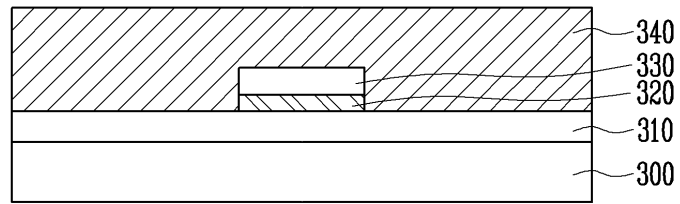
도면3a



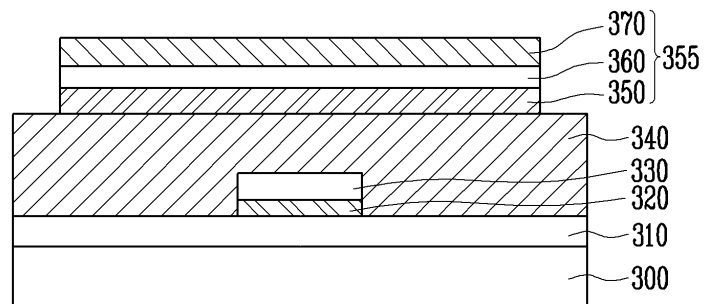
도면3b



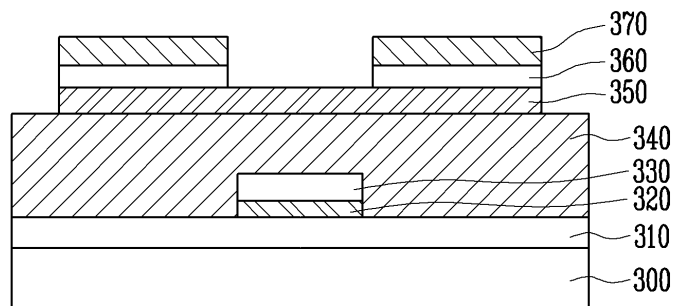
도면3c



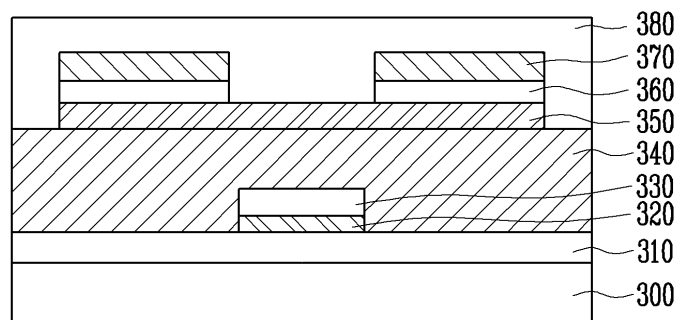
도면3d



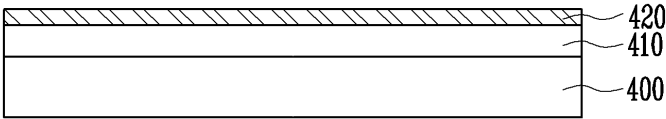
도면3e



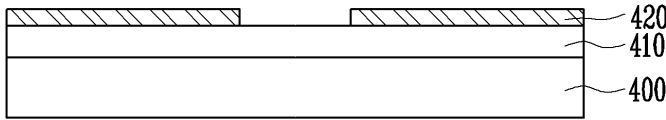
도면3f



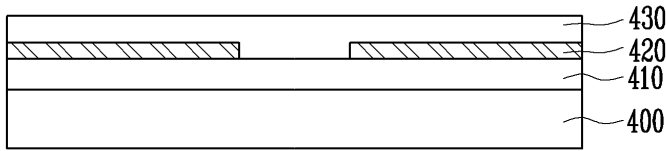
도면4a



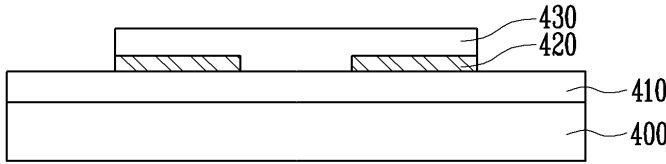
도면4b



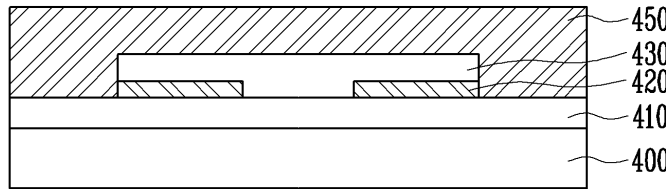
도면4c



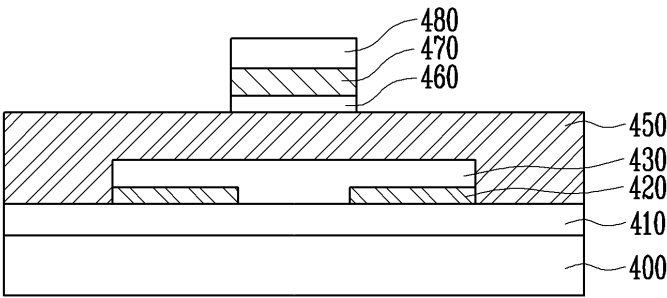
도면4d



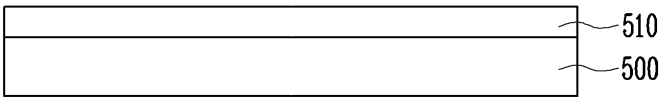
도면4e



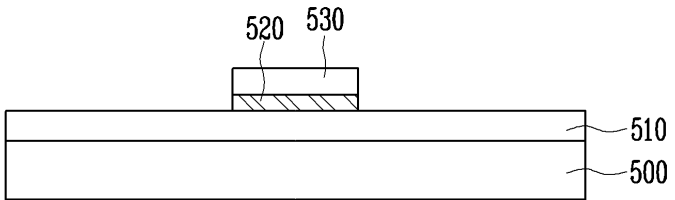
도면4f



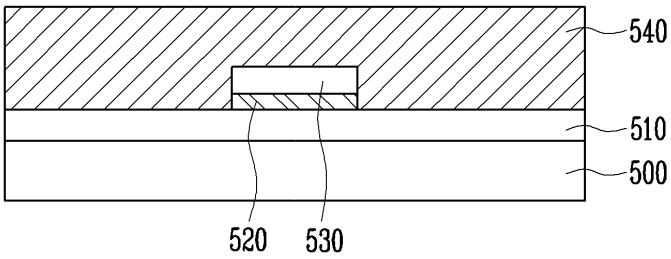
도면5a



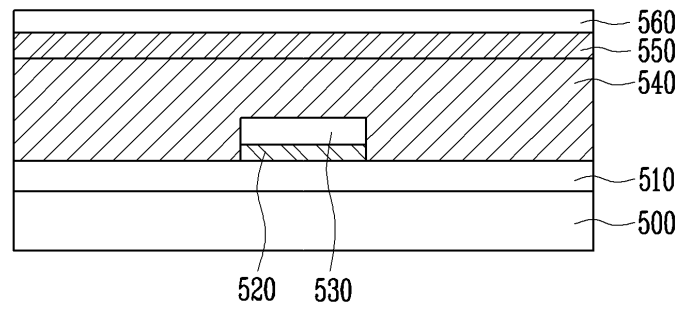
도면5b



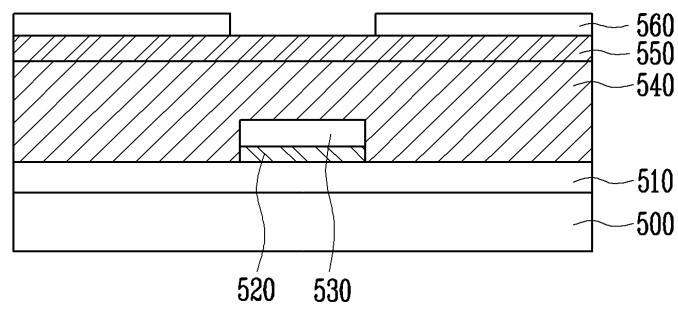
도면5c



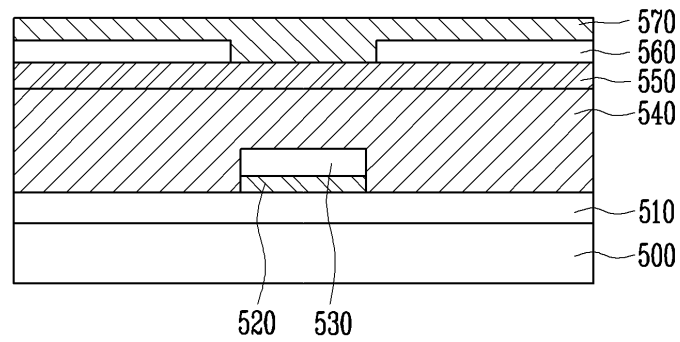
도면5d



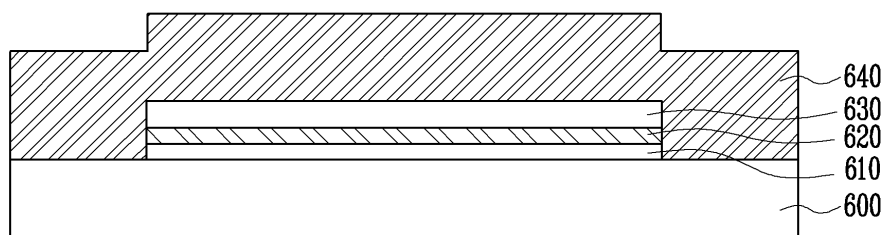
도면5e



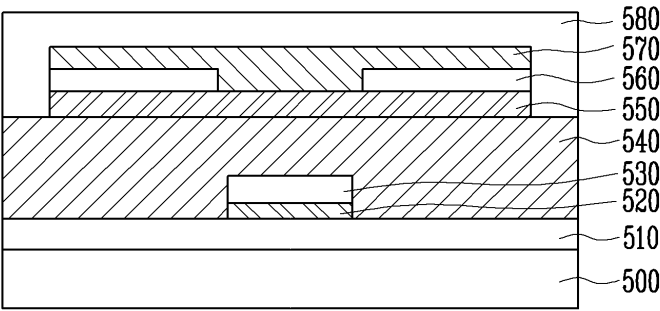
도면5f



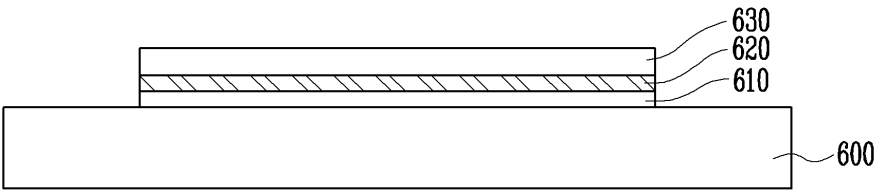
도면5g



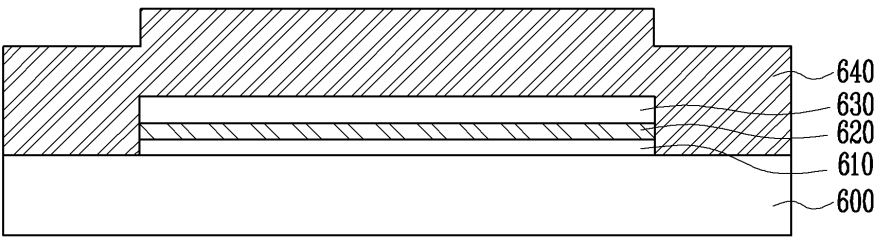
도면5h



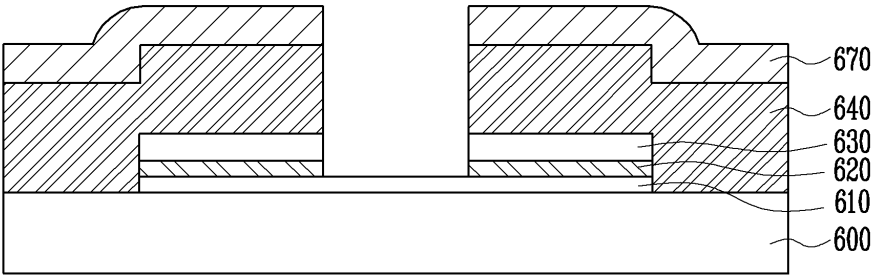
도면6a



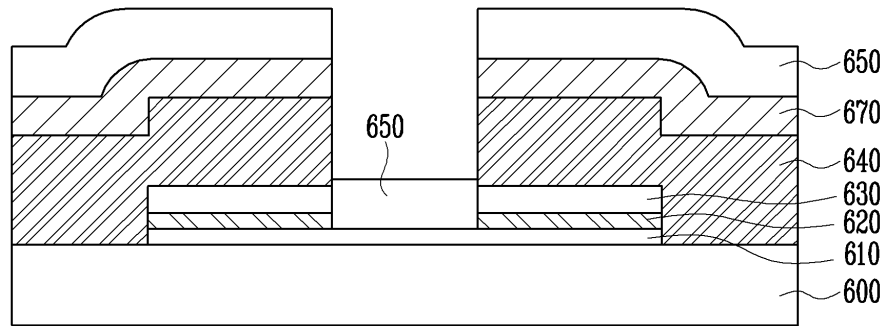
도면6b



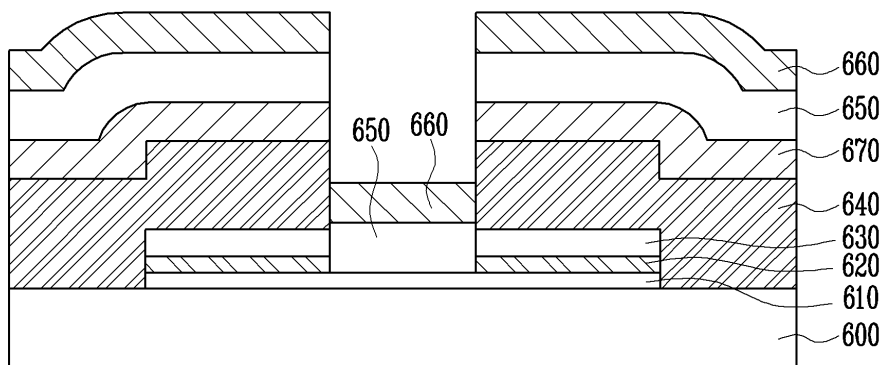
도면6c



도면6d



도면6e



도면6f

