



(12) 发明专利申请

(10) 申请公布号 CN 104600052 A

(43) 申请公布日 2015. 05. 06

(21) 申请号 201410598459. 6

(22) 申请日 2014. 10. 30

(30) 优先权数据

2013-225212 2013. 10. 30 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 德光成太 森隆弘 新田哲也

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 权太白 谢丽娜

(51) Int. Cl.

H01L 23/498(2006. 01)

H01L 25/16(2006. 01)

H01L 23/522(2006. 01)

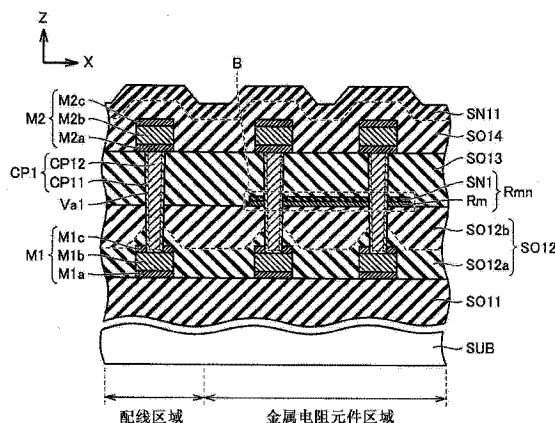
权利要求书3页 说明书27页 附图37页

(54) 发明名称

半导体装置

(57) 摘要

一种半导体装置, 其中, 多个第1配线层(M1)配置在基板(SUB)的主表面上, 第1绝缘膜(SO12)配置为覆盖多个第1配线层(M1)的上表面, 第2绝缘膜(SO13)配置为覆盖第1绝缘膜(SO12)的上表面, 多个第2配线层(M2)配置在第2绝缘膜(SO13)上。金属电阻元件层(Rmn)配置在多个第2配线层(M2)中的至少一个第2配线层(M2)的正下方。多个导电层(CP1)分别从多个第2配线层(M2)沿与主表面交叉的Z方向朝向金属电阻元件层(Rmn)延伸。金属电阻元件层(Rmn)包括金属配线层(Rm)。多个导电层(CP1)中的至少一个导电层(CP1)的侧面的至少一部分与金属配线层(Rm)连接。



1. 一种半导体装置，

包括：多个第 1 配线层，配置在基板的主表面上；

第 1 绝缘膜，配置为覆盖多个所述第 1 配线层的上表面；

第 2 绝缘膜，配置为覆盖所述第 1 绝缘膜的上表面；

多个第 2 配线层，配置在所述第 2 绝缘膜上；

金属电阻元件层，配置在所述第 1 绝缘膜的上表面上且配置在多个所述第 2 配线层中的至少一个所述第 2 配线层的正下方；以及

多个导电层，分别从多个所述第 2 配线层沿与所述主表面交叉的方向朝向所述金属电阻元件层延伸，

所述金属电阻元件层包括金属配线层，

多个所述导电层中的至少一个所述导电层的侧面的至少一部分与所述金属配线层连接。

2. 根据权利要求 1 所述的半导体装置，其中，

所述金属配线层具有沿着所述主表面的第 1 面和与所述第 1 面相对的第 2 面，

多个所述导电层中的至少一个与所述金属配线层连接的所述导电层是配置在与所述金属配线层在平面上重叠的金属电阻元件区域的电阻元件区域导电层，

所述电阻元件区域导电层从所述第 1 面到所述第 2 面贯通所述金属配线层。

3. 根据权利要求 2 所述的半导体装置，其中，

所述电阻元件区域导电层以从多个所述第 2 配线层中的配置在所述金属电阻元件区域的至少一个所述第 2 配线层贯通所述金属配线层并到达多个所述第 1 配线层中的配置在所述金属电阻元件区域的至少一个所述第 1 配线层的方式连接。

4. 根据权利要求 2 所述的半导体装置，其中，

所述金属电阻元件区域中的所述电阻元件区域导电层和在不是所述金属电阻元件区域的配线区域中从多个所述第 2 配线层中的至少一个所述第 2 配线层延伸成到达多个所述第 1 配线层中的至少一个所述第 1 配线层的配线区域导电层，在与所述主表面交叉的方向上的深度相等。

5. 一种半导体装置，包括：

至少一个第 1 配线层，配置在基板的主表面上；

第 1 绝缘膜，配置为覆盖多个所述第 1 配线层的上表面；

第 2 配线层，在所述第 1 绝缘膜上配置有多个；

金属电阻元件层，配置为在与所述主表面交叉的方向上比多个所述第 2 配线层靠所述第 1 配线层侧，并且配置在多个所述第 2 配线层中的至少一个所述第 2 配线层的正下方；以及

多个导电层，分别从多个所述第 2 配线层沿与所述主表面交叉的方向朝向所述金属电阻元件层延伸，

多个所述导电层中的至少一个所述导电层是电阻元件区域导电层，该电阻元件区域导电层配置于与所述金属电阻元件层在平面上重叠的金属电阻元件区域，并且以从多个所述第 2 配线层中的配置在所述金属电阻元件区域的至少一个所述第 2 配线层到达所述金属电阻元件层的方式连接，

多个所述导电层中的至少一个所述导电层是配线区域导电层,该配线区域导电层在不是所述金属电阻元件区域的配线区域中从多个所述第2配线层中的至少一个所述第2配线层延伸成到达至少一个所述第1配线层,

所述电阻元件区域导电层和所述配线区域导电层在与所述主表面交叉的方向上的深度相等。

6. 根据权利要求5所述的半导体装置,其中,

所述第1绝缘膜包括将至少一个所述第1配线层的上表面以及形成至少一个所述第1配线层的表面这双方覆盖的薄膜绝缘层,

所述金属电阻元件层形成为覆盖所述薄膜绝缘层的上表面。

7. 一种半导体装置,包括:

多个第1配线层,配置在基板的主表面上;

第1绝缘膜,配置为覆盖多个所述第1配线层的上表面;

至少一个金属电阻元件层,以覆盖所述第1绝缘膜的上表面的方式配置在多个所述第1配线层中的至少一个所述第1配线层的正上方;

多个第2配线层,配置在所述第1绝缘膜上;以及

多个导电层,分别从至少一个所述金属电阻元件层以及至少一个所述第2配线层沿与所述主表面交叉的方向延伸到多个所述第1配线层的各所述第1配线层,

至少一个所述金属电阻元件层的上表面被多个所述第2配线层中的至少一个覆盖。

8. 根据权利要求7所述的半导体装置,其中,

所述金属电阻元件层配置有多个,

所述金属电阻元件层包括金属配线层和覆盖所述金属配线层的上表面的防反射膜层,

多个所述金属电阻元件层包括:由构成所述金属电阻元件层的所述金属配线层及所述防反射膜层和覆盖所述防反射膜层的上表面的所述第2配线层形成电容元件的至少一个第1金属电阻元件层;以及通过多个所述导电层分别与多个所述第1配线层连接的至少一个第2金属电阻元件层。

9. 根据权利要求8所述的半导体装置,其中,

多个所述第2配线层包括形成为覆盖所述第1金属电阻元件层及所述第2金属电阻元件层各自的上表面的多个保护用第2配线层和在与所述第1金属电阻元件层及所述第2金属电阻元件层相同的层与所述金属电阻元件层隔开间隔地配置的至少一个配线用第2配线层这双方。

10. 根据权利要求9所述的半导体装置,其中,

还包括:第2绝缘膜,以覆盖构成所述电容元件的所述保护用第2配线层的上表面的方式配置在所述第1绝缘膜上;

其他导电层,从所述电容元件沿与所述主表面交叉的方向朝向与所述基板相反的方向延伸;以及

第3配线层,配置在所述第2绝缘膜上的所述电容元件的正上方,

所述其他导电层与所述第3配线层连接。

11. 根据权利要求9所述的半导体装置,其中,

还包括:第2绝缘膜,以覆盖所述配线用第2配线层的上表面的方式配置在所述第1绝

缘膜上；

其他导电层，从所述配线用第 2 配线层的上表面沿与所述主表面交叉的方向朝向与所述基板相反的方向延伸；以及

第 3 配线层，配置在所述第 2 绝缘膜上的所述配线用第 2 配线层的正上方，所述其他导电层与所述第 3 配线层连接。

12. 根据权利要求 7 所述的半导体装置，其中，

多个所述导电层中的至少一个是电阻元件区域导电层，该电阻元件区域导电层配置于与所述金属电阻元件层在平面上重叠的金属电阻元件区域，并且以从至少一个所述金属电阻元件层到达多个所述第 1 配线层中的至少一个所述第 1 配线层的方式连接，

多个所述导电层中的至少一个是配线区域导电层，该配线区域导电层在不是所述金属电阻元件区域的配线区域中从多个所述第 2 配线层中的至少一个所述第 2 配线层延伸成到达多个所述第 1 配线层中的至少一个所述第 1 配线层。

13. 根据权利要求 12 所述的半导体装置，其中，

在所述金属电阻元件区域中以覆盖对所述金属电阻元件层的上表面进行覆盖的所述第 2 配线层的上表面以及侧面中的至少任一方的方式配置其他金属电阻元件层。

14. 根据权利要求 12 所述的半导体装置，其中，

所述配线区域中的所述第 2 配线层的上表面以及侧面中的至少任一方被其他金属电阻元件层覆盖。

半导体装置

技术领域

[0001] 本发明涉及半导体装置,特别是涉及具有金属电阻元件层的半导体装置。

背景技术

[0002] 以往,微型计算机制品和振荡器为分体结构,但近些年来,通过在微型计算机芯片内内置振荡器,能够实现布局面积的缩小、成本降低等。为了在微型计算机芯片内内置振荡器,需要在所有环境下(电压·温度)输出稳定的振荡频率,在微型计算机制品的高速 OC0(On Chip Oscillator) 电路中,谋求实现例如 40MHz $\pm$ 1% 作为目标精度。

[0003] 在此,在作为模拟电路的高速 OC0(On Chip Oscillator) 电路内的恒定电流产生电路的电阻体中使用多晶硅电阻。但是,多晶硅电阻由于所谓的压阻效应,根据应力而电阻值变动。特别是,因封装工序以后的模具应力所引起的电阻值的变动显著。因此,考虑有高速 OC0 电路的频率变动变大而实现高速 OC0 电路的目标精度变得困难的情况。

[0004] 微型计算机制品的高速 OC0 电路通常通过所谓的多层配线结构形成,但多数情况下电阻体形成于多层配线结构的最上层。由此,电阻体被保护膜直接覆盖其上表面,容易从保护膜受到应力。从抑制因来自该保护膜的应力引起的电阻值的偏差的观点出发,在比多层配线结构的最上层靠下侧的层形成电阻体的技术例如在日本特开 2001-267320 号公报、日本特开 2011-155192 号公报、日本特开 2008-130918 号公报中公开。

[0005] 在日本特开 2001-267320 号公报中,通过以从电阻体上方的配线层到达电阻体的方式延伸的导电层(埋入接触孔),配线层和电阻体电连接。相反地,在日本特开 2011-155192 号公报中,通过从电阻体向其下方延伸的导电层(接触插头),电阻体和其下方的配线层电连接。

[0006] 但是,在日本特开 2001-267320 号公报、日本特开 2011-155192 号公报中的任一个中,此外在没有由上述导电层实现的电连接的日本特开 2008-130918 号公报中,均没有公开如下考虑:使用同一掩模同时形成用于与形成于比最上层更靠下侧的层的电阻体电连接的导电层、和用于连接不是电阻体的配线层彼此的导电层。由此,如果没有为了如上所述使用同一掩模同时形成电阻体用的导电层、和不是电阻体的配线层用的导电层的考虑,则存在需要使用不同的掩模形成电阻体用的导电层、和不是电阻体的配线层用的导电层的可能性。这样一来,存在工序变得非常复杂、制造成本高涨的可能性。

[0007] 其他课题和新的特征通过本说明书的记述以及附图而明确。

发明内容

[0008] 一实施方式所涉及的半导体装置具有多个第 1 配线层、第 1 绝缘膜、第 2 绝缘膜、多个第 2 配线层、金属电阻元件层和多个导电层。多个第 1 配线层配置在基板的主表面上。第 1 绝缘膜配置为覆盖多个第 1 配线层的上表面。第 2 绝缘膜配置为覆盖第 1 绝缘膜的上表面。多个第 2 配线层配置在第 2 绝缘膜上。金属电阻元件层配置在第 1 绝缘膜的上表面上的多个第 2 配线层中的至少一个第 2 配线层的正下方。多个导电层分别从多个第 2 配线

层沿与主表面交叉的方向朝向金属电阻元件层延伸。金属电阻元件层包括金属配线层。多个导电层中的至少一个导电层的侧面的至少一部分与金属配线层连接。

[0009] 其他实施方式所涉及的半导体装置具有至少一个第 1 配线层、第 1 绝缘膜、第 2 配线层、金属电阻元件层和多个导电层。至少一个第 1 配线层配置在基板的主表面上。第 1 绝缘膜配置为覆盖第 1 配线层的上表面。第 2 配线层在第 1 绝缘膜上配置有多个。金属电阻元件层配置为在与主表面交叉的方向上比多个第 2 配线层靠第 1 配线层侧,并且配置在多个第 2 配线层中的至少一个第 2 配线层的正下方。多个导电层分别从多个第 2 配线层沿与主表面交叉的方向朝向金属电阻元件层延伸。多个导电层中的至少一个导电层是电阻元件区域导电层,该电阻元件区域导电层配置于与金属电阻元件层在平面上重叠的金属电阻元件区域,并且以从多个第 2 配线层中的配置在金属电阻元件区域的至少一个第 2 配线层到达金属电阻元件层的方式连接,多个导电层中的至少一个导电层是配线区域导电层,该配线区域导电层在不是金属电阻元件区域的配线区域中从多个第 2 配线层中的至少一个第 2 配线层延伸并到达至少一个第 1 配线层,电阻元件区域导电层和配线区域导电层在与主表面交叉的方向上的深度相等。

[0010] 另一其他实施方式所涉及的半导体装置具有多个第 1 配线层、第 1 绝缘膜、至少一个金属电阻元件层、多个第 2 配线层和多个导电层。多个第 1 配线层配置在基板的主表面上。第 1 绝缘膜配置为覆盖多个第 1 配线层的上表面。至少一个金属电阻元件层以覆盖第 1 绝缘膜的上表面的方式配置在多个第 1 配线层中的至少一个第 1 配线层的正上方。多个第 2 配线层配置在第 1 绝缘膜上。多个导电层分别从至少一个金属电阻元件层以及至少一个第 2 配线层沿与主表面交叉的方向分别延伸到多个第 1 配线层。至少一个金属电阻元件层的上表面被多个第 2 配线层中的至少一个覆盖。

[0011] 根据一实施方式,能够提供一种半导体装置,在金属电阻元件层的正上方配置有第 2 配线层,因此能够减少金属电阻元件层因受到来自上层的应力而降低作为振荡器的精度的可能性。

[0012] 根据其他实施方式,电阻元件区域导电层和配线区域导电层均形成从第 2 绝缘膜上的第 2 配线层延伸,因此在半导体装置形成时,不需要单独准备仅用于形成用于与金属电阻元件层连接的导电层的掩模。即,能够使用用于形成配线区域导电层的掩模来形成电阻元件区域导电层。因此,能够提供一种能够减少制造成本的半导体装置。

[0013] 根据另一其他实施方式,金属电阻元件层的上表面被第 2 配线层覆盖,从而金属电阻元件层被第 2 配线层保护。因此,能够提供一种提高金属电阻元件层的可靠性的半导体装置。

[0014] 本发明的上述记载以及其他目的、特征、方式以及优点通过与附图关联来理解的本发明相关的如下详细说明而变得明确。

附图说明

[0015] 图 1 是表示装载有实施方式 1 中的半导体装置的微型计算机芯片的整体结构的俯视图。

[0016] 图 2 是由图 1 中的圆包围的区域 II 的放大俯视图。

[0017] 图 3 是表示包括图 2 的高速 OCO 电路的、实施方式 1 的微型计算机芯片的局部的

结构的概略剖视图。

[0018] 图 4 是表示实施方式 1 中特别是图 3 的结构的制造方法的第 1 工序的概略剖视图。

[0019] 图 5 是表示实施方式 1 中特别是图 3 的结构的制造方法的第 2 工序的概略剖视图。

[0020] 图 6 是表示实施方式 1 中特别是图 3 的结构的制造方法的第 3 工序的概略剖视图。

[0021] 图 7 是表示实施方式 1 中特别是图 3 的结构的制造方法的第 4 工序的概略剖视图。

[0022] 图 8 是表示实施方式 1 中特别是图 3 的结构的制造方法的第 5 工序的概略剖视图。

[0023] 图 9 是表示包括图 2 的高速 OCO 电路的、比较例的微型计算机芯片的局部的结构的概略剖视图。

[0024] 图 10 是表示比较例中特别是图 9 的结构的制造方法的第 1 工序的概略剖视图。

[0025] 图 11 是表示比较例中特别是图 9 的结构的制造方法的第 2 工序的概略剖视图。

[0026] 图 12 是表示包括图 2 的高速 OCO 电路的、实施方式 1 的微型计算机芯片的局部的结构的第 1 变形例的概略剖视图。

[0027] 图 13 是表示实施方式 1 的第 1 变形例中特别是图 12 的结构的制造方法的第 1 工序的概略剖视图。

[0028] 图 14 是表示包括图 2 的高速 OCO 电路的、实施方式 1 的微型计算机芯片的局部的结构的第 2 变形例的概略剖视图。

[0029] 图 15 是表示实施方式 1 的第 2 变形例中特别是图 14 的结构的制造方法的第 1 工序的概略剖视图。

[0030] 图 16 是表示包括图 2 的高速 OCO 电路的、实施方式 2 的微型计算机芯片的局部的结构的概略剖视图。

[0031] 图 17 是表示实施方式 2 中特别是图 16 的结构的制造方法的第 1 工序的概略剖视图。

[0032] 图 18 是表示实施方式 2 中特别是图 16 的结构的制造方法的第 2 工序的概略剖视图。

[0033] 图 19 是表示实施方式 2 中特别是图 16 的结构的制造方法的第 3 工序的概略剖视图。

[0034] 图 20 是表示实施方式 2 中特别是图 16 的结构的制造方法的第 4 工序的概略剖视图。

[0035] 图 21 是表示实施方式 2 中特别是图 16 的结构的制造方法的第 5 工序的概略剖视图。

[0036] 图 22 是表示包括图 2 的高速 OCO 电路的、实施方式 3 的微型计算机芯片的局部的结构的概略剖视图。

[0037] 图 23 是表示图 22 的金属电阻元件层以及其上表面上的第 2 配线层的概略俯视图。

[0038] 图 24 是表示实施方式 3 中特别是图 22 的结构的制造方法的第 1 工序的概略剖视图。

[0039] 图 25 是表示实施方式 3 中特别是图 22 的结构的制造方法的第 2 工序的概略剖视图。

[0040] 图 26 是表示实施方式 3 中特别是图 22 的结构的制造方法的第 3 工序的概略剖视图。

图。

[0041] 图 27 是表示包括图 2 的高速 OCO 电路的、实施方式 4 的微型计算机芯片的局部的结构的概略剖视图。

[0042] 图 28 是表示实施方式 4 中特别是图 27 的结构的制造方法的第 1 工序的概略剖视图。

[0043] 图 29 是表示实施方式 4 中特别是图 27 的结构的制造方法的第 2 工序的概略剖视图。

[0044] 图 30 是表示实施方式 4 中特别是图 27 的结构的制造方法的第 3 工序的概略剖视图。

[0045] 图 31 是表示实施方式 4 中特别是图 27 的结构的制造方法的第 4 工序的概略剖视图。

[0046] 图 32 是表示包括图 2 的高速 OCO 电路的、实施方式 5 的微型计算机芯片的局部的结构的概略剖视图。

[0047] 图 33 是表示实施方式 5 中特别是图 32 的结构的制造方法的第 1 工序的概略剖视图。

[0048] 图 34 是表示实施方式 5 中特别是图 32 的结构的制造方法的第 2 工序的概略剖视图。

[0049] 图 35 是表示包括图 2 的高速 OCO 电路的、实施方式 6 的微型计算机芯片的局部的结构的概略剖视图。

[0050] 图 36 是表示实施方式 6 中特别是图 35 的结构的制造方法的第 1 工序的概略剖视图。

[0051] 图 37 是表示实施方式 6 中特别是图 35 的结构的制造方法的第 2 工序的概略剖视图。

[0052] 图 38 是表示实施方式 6 中特别是图 35 的结构的制造方法的第 3 工序的概略剖视图。

[0053] 图 39 是表示包括图 2 的高速 OCO 电路的、实施方式 7 的微型计算机芯片的局部的结构的概略剖视图。

[0054] 图 40 是表示实施方式 7 中特别是图 39 的结构的制造方法的第 1 工序的概略剖视图。

[0055] 图 41 是表示包括图 2 的高速 OCO 电路的、实施方式 8 的微型计算机芯片的局部的结构的概略剖视图。

[0056] 图 42 是表示图 41 所示的配线区域的结构第 1 变形例的概略剖视图。

[0057] 图 43 是表示图 41 所示的配线区域的结构第 2 变形例的概略剖视图。

[0058] 图 44 是表示实施方式 8 中特别是图 41 的结构的制造方法的第 1 工序的概略剖视图。

[0059] 图 45 是表示实施方式 8 中特别是图 41 的结构的制造方法的第 2 工序的概略剖视图。

[0060] 图 46 是表示通过图 45 的工序形成的配线区域的结构第 1 变形例的概略剖视图。

[0061] 图 47 是表示通过图 45 的工序形成的配线区域的结构第 2 变形例的概略剖视图。

[0062] 图 48 是表示包括图 2 的高速 OCO 电路的、实施方式 8 的微型计算机芯片的局部的结构的第 1 变形例的概略剖视图。

[0063] 图 49 是表示包括图 2 的高速 OCO 电路的、实施方式 8 的微型计算机芯片的局部的结构的第 2 变形例的概略剖视图。

具体实施方式

[0064] 以下,基于附图说明本实施方式。

[0065] (实施方式 1)

[0066] 首先,使用图 1 说明作为本实施方式的半导体装置的结构微型计算机芯片的结构。

[0067] 参照图 1,微型计算机芯片 MC1 包括 RAM 形成区域 MC11、CPU 形成区域 MC12、周边电路形成区域 MC13、MC15、ROM 形成区域 MC14 以及电源电路区域 MC16 等。电源电路区域 MC16 包括高速 OCO 电路。多个电极垫 SP 以围绕这些各区域的方式相互隔开间隔而配置。此外,本布局结构终归只是微型计算机芯片的一例,并不限定于此。

[0068] 接着,使用图 2,说明作为半导体装置的一例的高速 OCO 电路的一部分结构。

[0069] 参照图 2,该高速 OCO 电路具有在基板的一方的主表面上配置的金属电阻元件层 Rmn。金属电阻元件层 Rmn 在此作为将例如多个(例如四个)金属电阻元件层 Rm1、Rm2、Rm3、Rm4 集合的名称。此外,金属是指,包括过渡金属以及除了过渡金属以外的金属、并且不包括半金属、半导体以及非金属。

[0070] 在图 2 所示的俯视视角中,金属电阻元件层 Rm1 ~ Rm4 配置为分别沿着 X 方向延伸并在 Y 方向上相互具有预定的间隙。在金属电阻元件层 Rm1 ~ Rm4 各自的两端部介设作为导电层的接触插头 CP1 而与插座层(tap layer)Mi、Ma ~ Mc、Mo 连接。此外,在金属电阻元件层 Rm1 ~ Rm4 (Rmn) 和电极垫 SP 之间设置有恒定的间隔 S1。

[0071] 此外,从提高照相制版技术中的制造精度的观点出发,在金属电阻元件层 Rm1 以及 Rm4 各自的外侧设置有虚拟金属电阻元件层 Rmd 以及虚拟插座层 Mde。

[0072] 由此,金属电阻元件层 Rm1 ~ Rm4 成为以下述方式电连接的串联连接:插座层 Mi → 接触插头 CP1 → 金属电阻元件层 Rm1 → 接触插头 CP1 → 插座层 Ma → 接触插头 CP1 → 金属电阻元件层 Rm2 → 接触插头 CP1 → 插座层 Mb → 接触插头 CP1 → 金属电阻元件层 Rm3 → 接触插头 CP1 → 插座层 Mc → 接触插头 CP1 → 金属电阻元件层 Rm4 → 接触插头 CP1 → 插座层 Mo。

[0073] 接着,使用图 3,说明由图 2 中的虚线包围的区域 A 即包括金属电阻元件层 Rmn 的、构成高速 OCO 电路的多层配线结构的一部分。

[0074] 参照图 3,该半导体装置具有在基板 SUB 的(一方的)主表面上配置的层间绝缘膜 S011 和在层间绝缘膜 S011 的上方沿 X 方向相互隔开间隔地配置有多个的第 1 配线层 M1。

[0075] 第 1 绝缘膜 S012 以覆盖多个第 1 配线层 M1 的上表面的方式在层间绝缘膜 S011 上形成。第 1 绝缘膜 S012 具有第 1 绝缘膜下层 S012a 和第 1 绝缘膜上层 S012b 依次层积的结构。

[0076] 第 2 绝缘膜 S013 以覆盖第 1 绝缘膜 S012 的上表面的方式形成。在第 2 绝缘膜 S013 的上表面上具有在 X 方向上相互隔开间隔地配置有多个的第 2 配线层 M2。多个第 2 配线层 M2 分别配置于在俯视视角中与第 1 配线层 M1 重叠的位置。

[0077] 由图 3 中的虚线包围的区域 B(金属电阻元件层 Rmn)与由图 2 中的虚线包围的区域 A(构成金属电阻元件层 Rmn 的金属电阻元件层 Rm2)对应。该金属电阻元件层 Rmn 配置为在第 1 绝缘膜 S012 的上表面上的、多个第 2 配线层 M2 中的至少一个第 2 配线层 M2 的正下方,在俯视视角中与该第 2 配线层 M2 重叠。换言之,该金属电阻元件层 Rmn 配置为在多个第 1 配线层 M1 中的至少一个第 1 配线层 M1 的正上方,在俯视视角中与该第 1 配线层 M1 重叠。

[0078] 更具体而言,图 3 的金属电阻元件层 Rmn 配置为在 X 方向上的一方以及另一方的端部的附近在俯视视角中与第 1 配线层 M1 以及第 2 配线层 M2 重叠,且金属电阻元件层 Rmn 以被第 1 配线层 M1 以及第 2 配线层 M2 夹着的方式配置于两者之间。因此,图 3 的金属电阻元件层 Rmn 配置为在俯视视角中与两个第 1 以及第 2 配线层 M1、M2 重叠,其结果是第 1 配线层 M1 和第 2 配线层 M2 在俯视视角中相互重叠。金属电阻元件层 Rmn 具有金属配线层 Rm 和防反射膜层 SN1 的双层结构。

[0079] 图 3 所示的区域中的配置有金属电阻元件层 Rmn 的区域(与其在平面上重叠的区域)在此定义为金属电阻元件区域,除了金属电阻元件区域以外的区域在此定义为配线区域。金属电阻元件区域是包括作为构成高速 OCO 电路的振荡器的金属电阻元件的区域。配线区域是构成高速 OCO 电路的特别是多层配线的部分。在配线区域也与金属电阻元件区域同样地形成有第 1 配线层 M1 以及第 2 配线层 M2,在配线区域中与金属电阻元件区域同样地,第 1 配线层 M1 以及第 2 配线层 M2 也配置为在俯视视角中相互重叠。

[0080] 第 1 配线层 M1 具有下层 M1a、配线主体 M1b 和上层 M1c。同样,第 2 配线层 M2 具有下层 M2a、配线主体 M2b 和上层 M2c。

[0081] 在配线区域以及金属电阻元件区域中,均是第 1 配线层 M1 和与其在俯视视角中重叠的第 2 配线层 M2 通过作为导电层的接触插头 CP1 而相互电连接。接触插头 CP1 形成有多个,其使得多个第 1 配线层 M1 中的各个第 1 配线层 M1 和与这些第 1 配线层 M1 在俯视视角中重叠的多个第 2 配线层 M2 中的各个第 2 配线层 M2 连接。接触插头 CP1 通过侧底面层 CP11 和其内部的内部填充层 CP12 形成。

[0082] 在上述金属电阻元件区域形成的接触插头 CP1 在此定义为作为电阻元件区域导电层的电阻元件区域接触插头 CP1,在配线区域形成的接触插头 CP1 在此定义为作为配线区域导电层的配线区域接触插头 CP1。

[0083] 在配线区域中,在配线区域的(例如一个)第 1 配线层 M1 和与其在俯视视角中重叠的(与其相对的)配线区域的(例如一个)第 2 配线层 M2 之间,接触插头 CP1 通过沿着与基板 SUB 等的主表面交叉的方向(例如 Z 方向)延伸而将这些配线层 M1、M2 相互连接。换言之,配线区域接触插头 CP1 以从配线区域的第 2 配线层 M2 到达第 1 配线层 M1 的方式延伸。

[0084] 另一方面,在金属电阻元件区域中,配置为金属电阻元件层 Rmn 夹在第 1 配线层 M1 和第 2 配线层 M2 之间。因此金属电阻元件区域的接触插头 CP1 例如分别从在金属电阻元件区域配置的多个(例如两个)第 2 配线层 M2、例如在 Z 方向上朝向金属电阻元件层 Rmn

延伸。该接触插头 CP1 进而与金属电阻元件层 Rmn 接触,贯通金属电阻元件层 Rmn (包括金属配线层 Rm),并沿着 Z 方向延伸从而分别到达在金属电阻元件区域配置的多个(例如两个)第 1 配线层 M1。由此,在金属电阻元件区域中,多个第 2 配线层 M2 也分别和与其相对的(在平面上重叠的)第 1 配线层 M1 通过接触插头 CP1 连接。其结果是,金属电阻元件区域的接触插头 CP1 的侧面(侧底面层 CP11)与金属配线层 Rm 接触,并与金属配线层 Rm(电气式)连接。

[0085] 由此,金属电阻元件层 Rmn 被第 1 以及第 2 配线层 M1、M2 之间的接触插头 CP1 贯通。因此,在本实施方式中,在金属电阻元件层 Rmn 的上层配置有配线层(第 2 配线层 M2),这意味着金属电阻元件层 Rmn 配置为比构成高速 OCO 电路的多层配线结构的最上层靠下层侧。

[0086] 图 2 中的各金属电阻元件层 Rm1 ~ Rm4 的两端部所配置的接触插头 CP1 相当于贯通图 3 中的区域 B 的金属电阻元件层 Rmn 的接触插头 CP1。因此,也可以认为图 2 中的插座层 Ma 以及插座层 Mb 分别相当于图 3 中的金属电阻元件区域的第 2 配线层 M2 以及第 1 配线层 M1。

[0087] 此外,在第 2 绝缘膜 S013 上第 3 绝缘膜 S014 以及钝化膜 SN11 以覆盖多个第 2 配线层 M2 的上表面的方式依次层积而形成。

[0088] 接着,使用图 4 ~ 图 8,说明作为本实施方式的半导体装置的制造方法的微型计算机芯片的制造方法。在此,特别是,说明微型计算机芯片中图 3 所示的部分的制造方法。

[0089] 参照图 4,首先在例如硅片等的基板 SUB 的(一方的)主表面上至少局部地形成公知的多层配线结构,通过该过程形成表面平坦化的层间绝缘膜 S011。作为层间绝缘膜 S011,氧化硅膜例如通过通常的等离子 CVD (Chemical Vapor Deposition, 化学气相沉积)法而形成。

[0090] 接着,在层间绝缘膜 S011 上,多个第 1 配线层 M1 在 X 方向上相互隔开间隔地形成。第 1 配线层 M1 形成为下层 M1a、配线主体 M1b 和上层 M1c 依次层积。下层 M1a 例如是 TiN/Ti 膜,配线主体 M1b 例如是铜加铝(copper-added aluminum, Al-Cu)膜,上层 M1c 例如是 TiN/Ti 膜,这些各层 M1a ~ M1c 例如通过通常的溅镀法、照相制版技术以及干蚀刻处理而成膜为图 4 所示的相互隔开间隔而多个分离的第 1 配线层 M1。其中,作为配线主体 M1b,例如也可以形成由铝的单体构成的薄膜,也可以形成由铜或钨的单体构成的薄膜。第 1 配线层 M1 整体的膜厚优选为数百 nm 以上 1 μ m 以下。

[0091] 此外,虽然图 4 中省略,但是也可以在基板 SUB 和层间绝缘膜 S011 之间的(Z 方向上的)各层形成有一层与第 1 配线层 M1 相同的配线层(构成多层配线结构的一部分)的结构,或形成有两层以上的任意层数层积而成的结构,也可以不形成这样配线层。

[0092] 参照图 5,第 1 绝缘膜 S012 以覆盖多个第 1 配线层 M1 的上表面的方式形成。优选的是,第 1 绝缘膜 S012 形成为第 1 绝缘膜下层 S012a 和第 1 绝缘膜上层 S012b 依次层积而成,均例如是氧化硅膜。第 1 绝缘膜下层 S012a 是通过所谓的 HDP (High Density Plasma, 高密度等离子)-CVD 法形成的、台阶差覆盖性比通过除了 HDP-CVD 法以外的方法形成的氧化硅膜良好的 USG (Undoped Silicate Glass, 未掺杂硅酸盐玻璃)膜 (HDP-USG)。由此,第 1 绝缘膜下层 S012a 可吸收由第 1 配线层 M1 产生的台阶差。此外,优选第 1 绝缘膜上层 S012b 是通过所谓的等离子 CVD 法形成的所谓的 TEOS 膜 (P-TEOS)。在这样的两层层积后,

进而在其上表面（第 1 绝缘膜上层 S012b 的上表面）通过称为 CMP (Chemical Mechanical Polishing, 化学机械抛光) 的化学机械性的抛光法而抛光得平坦。由此, 形成有上表面平坦化的第 1 绝缘膜 S012。

[0093] 参照图 6, 在第 1 绝缘膜 S012 的上表面上的、多个第 1 配线层 M1 中的至少一个第 1 配线层 M1 的正上方形成有金属电阻元件层 Rmn。具体而言, 在金属电阻元件区域中的两个第 1 配线层 M1 的正上方形成有金属电阻元件层 Rmn。金属电阻元件层 Rmn 具有金属配线层 Rm 和防反射膜层 SN1 的双层结构。作为高熔点金属的一例, 在金属配线层 Rm 通过通常的溅镀法、照相制版技术以及干蚀刻处理而形成有 TiN 膜。通过该工序, 如图 2 的俯视图所示, 金属电阻元件层 Rm1 ~ Rm4 (包括虚拟金属电阻元件层 Rmd) 以条纹状进行图案形成。

[0094] 金属配线层 Rm 为了得到作为电阻元件的约 $40 \Omega / \square$ 的电阻值, 成膜为例如约 30nm 的膜厚。使用例如等离子氮化 (P-SiN) 膜, 通过 CVD 法成膜为防反射膜层 SN1。防反射膜层 SN1 的膜厚例如约 45nm。

[0095] 此外, 作为金属配线层 Rm, 也可以形成 TaN 膜来代替上述 TiN 膜。并且, 作为防反射膜层 SN1, 也可以形成氧化硅膜来代替上述 SiN 膜。

[0096] 参照图 7, 第 2 绝缘膜 S013 以覆盖金属电阻元件层 Rmn 以及第 1 绝缘膜 S012 的上表面的方式形成。作为第 2 绝缘膜 S013, 优选使用通过等离子 CVD 法成膜的 TEOS 膜 (P-TEOS)。第 2 绝缘膜 S013 的上表面可以通过 CMP 法抛光, 但是也可以不进行这样的抛光。

[0097] 接下来, 形成有从第 2 绝缘膜 S013 的上表面沿与基板 SUB 的主表面交叉的方向 (即 Z 方向) 朝向金属电阻元件层 Rmn 延伸的多个导电层 CP1。

[0098] 具体而言, 在例如金属电阻元件区域中, 两个接触孔 Va1 形成成为从第 2 绝缘膜 S013 的上表面中的图 7 中的两个第 1 配线层 M1 各自的正上方的区域朝向金属电阻元件层 Rmn 延伸, 进而贯通金属电阻元件层 Rmn (包括金属配线层 Rm) 而到达各自的正下方的第 1 配线层 M1, 另一方面, 在例如配线区域中, 一个接触孔 Va1 形成成为从第 2 绝缘膜 S013 的上表面中的、图 7 中的一个第 1 配线层 M1 的正上方的区域朝向金属电阻元件层 Rmn (即朝向 Z 方向上的下侧) 延伸, 进而超过在 Z 方向上配置有金属电阻元件层 Rmn (包括金属配线层 Rm) 的位置而到达其正下方的第 1 配线层 M1。

[0099] 此后, 在接触孔 Va1 内形成有接触插头 CP1。此处的接触插头 CP1 包括金属电阻元件区域的电阻元件区域接触插头 CP1 以及配线区域的配线区域接触插头 CP1 这双方。具体而言, 在接触孔 Va1 内, 作为阻挡金属, 由 TiN/Ti 层积膜构成的侧底面层 CP11 通过溅镀法成膜, 此后, 由钨 (W) 膜构成的内部填充层 CP12 通过 CVD 法成膜。此后, 通过 CMP 法, 侧底面层 CP11 以及内部填充层 CP12 的上表面成为平坦状。由此, 在图 7 中形成有共计三个接触插头 CP1。

[0100] 电阻元件区域接触插头 CP1 贯通金属电阻元件层 Rmn (包括金属配线层 Rm), 因此形成的电阻元件区域接触插头 CP1 的侧面与金属配线层 Rm 连接。

[0101] 参照图 8, 多个第 2 配线层 M2 在 X 方向上相互隔开间隔地形成, 从而在第 2 绝缘膜 S013 上分别覆盖多个导电层 CP1。第 2 配线层 M2 形成为下层 M2a、配线主体 M2b 和上层 M2c 依次层积而成。下层 M2a 例如是 TiN/Ti 膜, 配线主体 M2b 例如是铜加铝 (Al-Cu) 膜, 上层 M2c 例如是 TiN/Ti 膜, 这些各层 M2a ~ M2c 基本上与上述第 1 配线层 M1 的各层 M1a ~ M1c 同样地形成。

[0102] 此外,虽然未图示,但也可以是作为防反射膜的例如等离子氮氧化物膜(P-SiON)通过通常的CVD法形成,从而覆盖第2配线层M2上层M2c的上表面。

[0103] 通过该第2配线层M2的形成,金属电阻元件区域的接触插头CP1可以说形成为从第2配线层M2贯通金属电阻元件层Rmn并到达第1配线层M1,配线区域的接触插头CP1可以说形成为从第2配线层M2到达第1配线层M1。

[0104] 再次参照图3,此后,在第2绝缘膜S013上第3绝缘膜S014以及钝化膜SN11以覆盖第2配线层M2的上表面的方式依次形成。作为第3绝缘膜S014,由P-TEOS膜构成的氧化硅膜通过CVD法形成。对于钝化膜SN11,P-SiN膜通过CVD法成膜。根据需要,第3绝缘膜S014以及钝化膜SN11可以通过通常的照相制版技术以及干蚀刻处理而进行图案形成。

[0105] 接下来,参照图9~图11的比较例说明本实施方式的作用效果。首先使用图9,说明比较例的高速OC0电路所构成的多层配线结构的一部分。

[0106] 图9表示比较例中的与图3相同的区域,例如图9中的金属电阻元件层Rmn与图3中的金属电阻元件层Rmn对应(以下的各实施方式中也相同)。参照图9,在比较例中,在金属电阻元件区域中金属电阻元件层Rmn成为多层配线结构的最上层,在该上层侧未形成例如第2配线层M2以及第2绝缘膜S013。金属电阻元件区域中的接触插头CP1沿着附图的Z方向从金属电阻元件层Rmn延伸到第1配线层M1。

[0107] 在图9的配线区域中,第1配线层M1成为多层配线结构的最上层,在该上层侧未形成例如第2配线层M2以及第2绝缘膜S013。第3绝缘膜S014形成为,在配线区域中覆盖层间绝缘膜S011的上表面,并在金属电阻元件区域中覆盖金属电阻元件层Rmn以及第1绝缘膜S012的上表面。

[0108] 此外,该比较例的除此以外的结构与实施方式1的结构大致相同,因此对于同一要素附加同一标号,不重复其说明。

[0109] 接着,使用图10~图11,说明图9的比较例的结构的制造方法。

[0110] 参照图10,在进行与图4~图5所示的工序相同的处理后,在金属电阻元件区域中,在第1绝缘膜S012的上表面,从图10中的两个第1配线层M1各自的正上方的区域形成有两个接触插头CP1(电阻元件区域接触插头CP1)。

[0111] 参照图11,单一的金属电阻元件层Rmn在金属电阻元件区域形成在第1绝缘膜S012上,从而横跨并覆盖两个接触插头CP1的每一个。此后,与实施方式1同样地形成有第3绝缘膜S014以及钝化膜SN11,从而覆盖在图11中形成的结构的整体。

[0112] 在以上的比较例中,为了仅形成从图10所示的金属电阻元件层Rmn延伸的接触插头CP1,需要准备一个掩模。即,使用与形成用于连接构成多层配线结构的一个配线层和其他配线层的(未图示的任意的)接触插头CP1所使用的掩模相同的掩模,不能形成从金属电阻元件层Rmn延伸的接触插头CP1。因此,掩模的制造成本高涨,需要的总工序数增加。因此,存在多层配线结构整体的制造成本高涨的可能性。

[0113] 并且,在比较例中,为了在多层配线结构的最上层形成金属电阻元件层Rmn,钝化膜SN11等最上层的保护膜形成于与金属电阻元件层Rmn非常近的区域,钝化膜SN11也存在形成于金属电阻元件层Rmn的正上方(覆盖金属电阻元件层Rmn的最上层的上表面)的情况。此时,金属电阻元件层Rmn容易受到来自钝化膜SN11的应力,存在作为包括金属电阻元件层Rmn在内的OC0电路的振荡器的精度降低的可能性。

[0114] 因此,在本实施方式中,金属电阻元件区域中的接触插头 CP1 成为贯通金属电阻元件层 Rmn 的结构,接触插头 CP1 的侧面成为与金属电阻元件层 Rmn 接触、特别是与金属配线层 Rm 接触的方式连接的结构。例如在图 3 中,与金属电阻元件层 Rmn 的电信号的输入输出利用在第 1 配线层 M1 和第 2 配线层 M2 之间延伸且在第 1 配线层 M1 和第 2 配线层 M2 之间交换电信号的电阻元件区域接触插头 CP1 来实现。由此,因此不需要准备仅用于形成从金属电阻元件层 Rmn 提取出电信号的接触插头 CP1 所使用的掩模,能够削减制造成本。并且,不需要仅形成用于从金属电阻元件层 Rmn 提取出电信号的接触插头 CP1 的工序,因此能够实现由工序数的削减实现的制造成本的削减。

[0115] 此外,在本实施方式中,在金属电阻元件层 Rmn 的正上方形成有第 2 配线层 M2,因此金属电阻元件层 Rmn 成为不被钝化膜 SN11 直接覆盖的形态。因此,能够减少金属电阻元件层 Rmn 因受到来自钝化膜 SN11 的应力而降低作为高速 OCO 电路的振荡器的精度的可能性。

[0116] 另外,更优选的是,在金属电阻元件区域形成的电阻元件区域接触插头 CP1 如上所述成为从第 2 配线层 M2 到达第 1 配线层 M1,但构成为至少在金属电阻元件层 Rmn 的金属配线层 Rm 内与接触插头 CP1 的侧面的一部分接触并且接触插头 CP1 的侧面和金属配线层 Rm 相互连接即可。因此,电阻元件区域接触插头 CP1 构成为至少稍许进入金属配线层 Rm 内即可。以下,说明具有这种结构的本实施方式的变形例。

[0117] 参照图 12,在本实施方式的第 1 变形例中,具有基本上与图 3 同样的结构,但电阻元件区域接触插头 CP1 形成为不到达第 1 配线层 M1 的上表面,而是到达比金属电阻元件层 Rmn (金属配线层 Rm) 的最下部稍微靠下方的区域。

[0118] 参照图 13,在图 12 的结构中,在本实施方式的图 7 所示的工序中,用于形成电阻元件区域接触插头 CP1 的接触孔 Va1 形成为仅到达比第 1 配线层 M1 的上表面浅的区域即比金属电阻元件层 Rmn (金属配线层 Rm) 的最下部稍微靠下方的区域。

[0119] 参照图 14,在本实施方式的第 2 变形例中,具有基本上与图 12 同样的结构,但电阻元件区域接触插头 CP1 形成为比图 12 更浅,到达金属电阻元件层 Rmn (金属配线层 Rm) 的最下部。

[0120] 参照图 15,在图 14 的结构中,在本实施方式的图 7 所示的工序中,用于形成电阻元件区域接触插头 CP1 的接触孔 Va1 形成为仅到达比图 13 更浅的区域即金属电阻元件层 Rmn (金属配线层 Rm) 的最下部。

[0121] 在图 12 ~ 图 15 中,任一电阻元件区域接触插头 CP1 均形成为,从金属配线层 Rm 的、与沿着基板 SUB 的主表面的 X 方向上的防反射膜层 SN1 接触的最上表面 (第 1 面),到与上述最上表面相对且与第 1 绝缘膜 S012 (第 1 绝缘膜上层 S012b) 的最上表面接触的最下表面 (第 2 面),贯通金属配线层 Rm。

[0122] 在这些第 1 以及第 2 变形例中,接触插头 CP1 至少可将第 2 配线层 M2 和金属电阻元件层 Rmn 电连接。此外,接触插头 CP1 的形成可利用与用于在配线区域中形成从第 2 配线层 M2 延伸到第 1 配线层 M1 的接触插头 CP1 的掩模相同的掩模来形成。因此,在第 1 以及第 2 变形例中也与图 3 ~ 图 8 同样地,实现将形成与金属电阻元件层 Rmn 连接专用的接触插头 CP1 的工序省略的效果。

[0123] 其中,在图 12 ~ 图 15 的结构中,配线区域中的接触插头 CP1 沿着 Z 方向延伸的深

度和金属电阻元件区域中的接触插头 CP1 沿着 Z 方向延伸的深度不同,具体而言配线区域中的接触插头 CP1 的上述深度比金属电阻元件区域中的接触插头 CP1 深。配线区域中的接触插头 CP1 的接触孔 Va1 和金属电阻元件区域中的接触插头 CP1 的接触孔 Va1 同时形成,由此,存在为了在配线区域和金属电阻元件区域形成不同深度的接触孔 Va1 而难以控制绝缘膜 S013 等的蚀刻的深度的情况。

[0124] 从上述观点出发,如图 3 以及图 4 ~ 图 8 所示,优选金属电阻元件区域中的接触插头 CP1 (电阻元件区域接触插头 CP1) 和配线区域中的接触插头 CP1 (配线区域接触插头 CP1) 的 Z 方向上的深度相等。在此,相等是指包括两者的深度完全相同的情况、和两者的深度虽然并非完全相同但也不能说明显不同的在误差程度内不同的情况这双方。例如包括两区域的接触插头 CP1 中深的一方和浅的一方的深度的差为深的一方的深度的 5% 以下的情况。

[0125] 由此,能够将用于形成金属电阻元件区域中的接触插头 CP1 的接触孔 Va1 的深度和用于形成配线区域中的接触插头 CP1 的接触孔 Va1 的深度设为相等,因此不用分别控制双方的接触孔 Va1 的深度,而能够同时形成双方的接触孔 Va1。由此,能够削减制造成本。

[0126] (实施方式 2)

[0127] 首先,使用图 16 说明包括本实施方式中的金属电阻元件层 Rmn 的高速 OCO 电路所构成的多层配线结构的一部分。

[0128] 参照图 16,本实施方式的半导体装置的高速 OCO 电路所构成的多层配线结构与实施方式 1 的该多层配线结构进行比较,在以下的方面不同。

[0129] 在本实施方式中,多个第 2 配线层 M2 在 X 方向上相互隔开间隔地配置,从而覆盖第 1 绝缘膜 S012 的上表面。未形成第 2 绝缘膜 S013,在第 1 绝缘膜 S012 (第 1 绝缘膜上层 S012b) 上第 3 绝缘膜 S014 以及钝化膜 SN11 形成为依次层积而成,从而覆盖第 2 配线层 M2 的上表面。

[0130] 金属电阻元件层 Rmn 在金属电阻元件区域中配置于比第 2 配线层 M2 靠 Z 方向上的第 1 配线层 M1 侧 (即下侧) 即可。在此,金属电阻元件层 Rmn 覆盖构成第 1 绝缘膜 S012 的第 1 绝缘膜下层 S012a (薄膜绝缘层) 的上表面,并且配置于金属电阻元件区域所配置的例如两个第 2 配线层 M2 的正下方。即,金属电阻元件层 Rmn 和 (金属电阻元件区域中的) 第 2 配线层 M2 在俯视视角中重叠。第 1 绝缘膜下层 S012a 形成为覆盖第 1 配线层 M1 的上表面以及形成有第 1 配线层 M1 的表面 (层间绝缘膜 S011 的上表面) 这双方。

[0131] 其结果是,在本实施方式中,在金属电阻元件区域未形成第 1 配线层 M1,第 1 配线层 M1 仅形成在配线区域的层间绝缘膜 S011 上。该第 1 配线层 M1 至少形成一个 (例如在配线区域)。

[0132] (例如两个) 接触插头 CP1 形成为从金属电阻元件区域中的例如两个第 2 配线层 M2 分别沿着 Z 方向延伸成到达金属电阻元件层 Rmn。在此,接触插头 CP1 以将构成金属电阻元件层 Rmn 的金属配线层 Rm 贯通的方式与金属电阻元件层 Rmn 连接。

[0133] 与实施方式 1 同样地,配线区域中的接触插头 CP1 以从 (例如一个) 第 2 配线层 M2 到达与其在俯视视角中重叠的 (例如一个) 第 1 配线层 M1 的方式向 Z 方向的下侧 (向存在金属电阻元件层 Rmn 的方向) 延伸,从而将第 2 配线层 M2 和第 1 配线层 M1 电连接。

[0134] 在本实施方式中,金属电阻元件区域中的接触插头 CP1 和配线区域中的接触插头

CP1 的 Z 方向上的深度相等。在此,相等是指,与实施方式 1 同样地,不限于完全相同的情况而还包括具有误差程度的差的情况。

[0135] 配线区域的接触插头 CP1 从第 2 配线层 M2 延伸到第 1 配线层 M1,金属电阻元件区域的接触插头 CP1 从第 2 配线层 M2 延伸到金属电阻元件层 Rmn。第 1 配线层 M1 配置在层间绝缘膜 S011 上,金属电阻元件层 Rmn 配置在第 1 绝缘膜下层 S012a 上。第 1 配线层 M1 和金属电阻元件层 Rmn 尽管形成于不同的层,但各自的接触插头 CP1 的深度相等的原因是,第 1 配线层 M1 和金属电阻元件层 Rmn 的(Z 方向上的)厚度不同。

[0136] 由此,第 1 配线层 M1 和金属电阻元件层 Rmn 形成于不同的层,从而金属电阻元件区域的电阻元件区域接触插头 CP1 和配线区域的配线区域接触插头 CP1 的 Z 方向上的深度能够形成相等,其结果是,不需要分别控制金属电阻元件区域和配线区域的接触孔 Va1 的深度。因此,能够使工序简单,削减制造成本。

[0137] 此外,本实施方式除此以外的结构与实施方式 1 的结构大致相同,因此对于同一要素附加同一标号,不重复其说明。

[0138] 接着,使用图 17 ~ 图 21,说明作为本实施方式的半导体装置的制造方法的微型计算机芯片(特别是图 16 所示的部分)的制造方法。此外,基本上附加与实施方式 1 相同的标号的同一结构要素只要是没有特别的记载,就由与实施方式 1 相同的材质构成且通过与实施方式 1 相同的处理形成(以下的各实施方式中也相同)。

[0139] 参照图 17,与实施方式 1 同样地准备基板 SUB,在其(一方的)主表面的上方形成有层间绝缘膜 S011。

[0140] 在层间绝缘膜 S011 的上方形成有至少一个第 1 配线层 M1。在此,在配线区域形成有例如一个第 1 配线层 M1。

[0141] 参照图 18,第 1 绝缘膜下层 S012a(薄膜绝缘层)通过所谓的 HDP-CVD 法形成,从而覆盖第 1 配线层 M1 的上表面以及形成该第 1 配线层 M1 的层间绝缘膜 S011 的表面这双方。

[0142] 参照图 19,金属电阻元件层 Rmn 以覆盖第 1 绝缘膜下层 S012a 的上表面的方式形成。在此,金属电阻元件层 Rmn 形成于与形成有第 1 配线层 M1 的区域在平面上不同的区域。具体而言,上述第 1 配线层 M1 形成于配线区域,与此相对地,金属电阻元件层 Rmn 形成于金属电阻元件区域。此外,金属电阻元件层 Rmn 与实施方式 1 同样地具有金属配线层 Rm 和防反射膜层 SN1 的双层结构,这些层以俯视视角中的条纹状进行图案形成。

[0143] 参照图 20,首先第 1 绝缘膜上层 S012b 以覆盖金属电阻元件层 Rmn 的上表面的方式在第 1 绝缘膜下层 S012a 上形成,其上表面以通过 CMP 法成为平坦状的方式被抛光。由此,第 1 配线层 M1 以及金属电阻元件层 Rmn 的上表面被第 1 绝缘膜 S012 覆盖。此外,在此,金属电阻元件层 Rmn 的上表面仅被第 1 绝缘膜 S012 中的第 1 绝缘膜上层 S012b 覆盖,没有被第 1 绝缘膜下层 S012a 覆盖,但是在此情况下也表达为金属电阻元件层 Rmn 被第 1 绝缘膜 S012 覆盖。

[0144] 接下来,多个导电层 CP1 从第 1 绝缘膜 S012 的上表面沿与基板 SUB 的主表面交叉的方向(即 Z 方向)朝向金属电阻元件层 Rmn 延伸而形成。

[0145] 具体而言,在例如金属电阻元件区域中,例如两个接触孔 Va1 以与金属电阻元件层 Rmn 在平面上重叠的方式相互隔开间隔而形成。该两个接触孔 Va1 形成为从第 1 绝缘膜

S012 的上表面到达金属电阻元件层 Rmn。同样地,在例如配线区域中,例如一个接触孔 Va1 形成为从第 1 绝缘膜 S012 的上表面中的图 20 中的一个第 1 配线层 M1 的正上方的区域沿着 Z 方向延伸成到达第 1 配线层 M1。此后,通过在接触孔 Va1 内形成侧底面层 CP11 以及内部填充层 CP12,从而形成有接触插头 CP1。

[0146] 参照图 21,多个第 2 配线层 M2 在 X 方向上相互隔开间隔而形成,从而在第 1 绝缘膜 S012 上分别覆盖多个导电层 CP1。

[0147] 通过该第 2 配线层 M2 的形成,金属电阻元件区域的接触插头 CP1 可以说形成为从第 2 配线层 M2 到达金属电阻元件层 Rmn,配线区域的接触插头 CP1 可以说形成为从第 2 配线层 M2 到达第 1 配线层 M1。此外,金属电阻元件层 Rmn 形成为比多个第 2 配线层 M2 在 Z 方向上靠第 1 配线层 M1 侧(下侧),并且形成在多个第 2 配线层 M2 中的至少一个(金属电阻元件区域的)第 2 配线层 M2 的正下方。此外,金属电阻元件区域的接触插头 CP1 和配线区域的接触插头 CP1 在其 Z 方向上的深度相等。

[0148] 再次参照图 16,此后,在第 1 绝缘膜 S012 上第 3 绝缘膜 S014 以及钝化膜 SN11 依次形成,从而覆盖第 2 配线层 M2 的上表面。

[0149] 接下来,说明本实施方式的作用效果。

[0150] 在本实施方式中,从金属电阻元件区域的第 2 配线层 M2 延伸到金属电阻元件层 Rmn 的接触插头 CP1 能够使用与从配线区域中第 2 配线层 M2 延伸到第 1 配线层 M1 的接触插头 CP1 的形成所使用的掩模相同的掩模而形成。这是因为,金属电阻元件区域的接触插头 CP1 和配线区域的接触插头 CP1 均是从同一面(第 1 绝缘膜 S012 的上表面)形成的。因此,不需要单独准备仅用于形成例如用于与金属电阻元件层 Rmn 连接的接触插头 CP1 的掩模,能够使用多层配线结构的形成用的掩模来形成金属电阻元件层 Rmn 用的接触插头 CP1。因此,能够削减制造成本。

[0151] 在本实施方式中,与实施方式 1 的图 3~图 8 的结构同样地,能够将用于形成金属电阻元件区域中的接触插头 CP1 的接触孔 Va1 的深度、和用于形成配线区域中的接触插头 CP1 的接触孔 Va1 的深度设为相等,能够同时形成双方的接触孔 Va1,而不用分别控制双方的接触孔 Va1 的深度。因此,能够削减制造成本。

[0152] 通过将用于形成金属电阻元件区域中的接触插头 CP1 的接触孔 Va1 的深度和用于形成配线区域中的接触插头 CP1 的接触孔 Va1 的深度设为相等,能够将两者的深度变浅,能够使内部填充层 CP12 等向接触孔 Va1 的埋入变得容易。

[0153] 此外,在本实施方式中,在金属电阻元件层 Rmn 的正上方形成有第 2 配线层 M2,因此金属电阻元件层 Rmn 成为不被钝化膜 SN11 直接覆盖的形态。因此,能够减少金属电阻元件层 Rmn 因受到来自钝化膜 SN11 的应力而降低作为高速 OCO 电路的振荡器的精度的可能性。

[0154] (实施方式 3)

[0155] 首先使用图 22,说明包括本实施方式中的金属电阻元件层 Rmn 的、高速 OCO 电路所构成的多层配线结构的一部分。

[0156] 参照图 22,本实施方式的半导体装置的高速 OCO 电路所构成的多层配线结构与实施方式 1 的该多层配线结构进行比较,在以下的方面不同。

[0157] 在本实施方式中,在第 1 绝缘膜 S012 上,在多个第 1 配线层 M1 中的特别是在金属

电阻元件区域形成的（例如两个）第 1 配线层 M1 的正上方配置有（例如一个）金属电阻元件层 Rmn。在此，金属电阻元件层 Rmn 以横跨在金属电阻元件区域中在 X 方向上相互隔开间隔地配置两个的第 1 配线层 M1 这双方的方式配置在第 1 配线层 M1 上。

[0158] 另一方面，在第 1 绝缘膜 S012 上配置有多个第 2 配线层 M2。多个第 2 配线层 M2 在此是指，以覆盖在第 1 绝缘膜 S012 的上表面上形成的金属电阻元件层 Rmn 的上表面的方式配置的第 2 配线层 M2、和以在配线区域中与第 1 配线层 M1 在平面上重叠的方式配置在第 1 绝缘膜 S012 的上表面上的第 2 配线层 M2 这双方。由此，在本实施方式中，多个第 2 配线层 M2 中的至少一个形成为覆盖金属电阻元件层 Rmn 的上表面。

[0159] 在金属电阻元件区域以及配线区域中，均是接触插头 CP1 形成为从在第 1 绝缘膜 S012 的上表面中分别与多个第 1 配线层 M1 在平面上重叠的区域沿 Z 方向延伸到多个第 1 配线层 M1 中的至少一个。具体而言，在金属电阻元件区域中，接触插头 CP1 形成为从在其上方载置有第 2 配线层 M2 的金属电阻元件层 Rmn（金属配线层 Rm）沿着 Z 方向延伸到其正下方的第 1 配线层 M1。此外，在配线区域中，接触插头 CP1 形成为从第 2 配线层 M2 沿着 Z 方向延伸到其正下方的第 1 配线层 M1。由此，在金属电阻元件区域中金属配线层 Rm 和其正下方的第 1 配线层 M1 通过接触插头 CP1 电连接，在配线区域中第 2 配线层 M2 和其正下方的第 1 配线层 M1 通过接触插头 CP1 电连接。

[0160] 在本实施方式中，未形成第 2 绝缘膜 S013，而在配线区域以及金属电阻元件区域均是在第 1 绝缘膜 S012 上形成有第 3 绝缘膜 S014 以及钝化膜 SN11，从而覆盖第 2 配线层 M2 的上表面。

[0161] 参照图 23，在本实施方式中，优选金属电阻元件层 Rmn 具有比在其上表面上载置的第 2 配线层 M2 在俯视视角中大的尺寸。因此，优选金属电阻元件层 Rmn 上的第 2 配线层 M2 配置为其中央部在俯视视角中与金属电阻元件层 Rmn 的中央部大致一致，且配置为在金属电阻元件层 Rmn 的最外缘和第 2 配线层 M2 的最外缘之间具有恒定宽度的（金属电阻元件层 Rmn 外周附近的）区域。

[0162] 此外，本实施方式的除此以外的结构与实施方式 1 的结构大致相同，因此对于同一要素附加同一标号，不重复其说明。

[0163] 接着，使用图 24～图 26，说明作为本实施方式的半导体装置的制造方法的微型计算机芯片（特别是图 22 所示的部分）的制造方法。

[0164] 参照图 24，与实施方式 1 同样地准备基板 SUB，在其（一方的）主表面的上方形成层间绝缘膜 S011。接着，在层间绝缘膜 S011 的上方，多个第 1 配线层 M1 在 X 方向上相互隔开间隔而形成。接着，第 1 绝缘膜下层 S012a 和第 1 绝缘膜上层 S012b 以覆盖多个第 1 配线层 M1 的上表面的方式形成为第 1 绝缘膜 S012，其上表面通过 CMP 法抛光。

[0165] 接着，多个接触插头 CP1 从第 1 绝缘膜 S012 的上表面沿与基板 SUB 的主表面交叉的方向（即 Z 方向）延伸到其正下方（在平面上重叠的区域）的第 1 配线层 M1 而形成。在此，在金属电阻元件区域以及配线区域，接触插头 CP1 均是以从第 1 绝缘膜 S012 的上表面中的图 24 中的一个第 1 配线层 M1 的正上方的区域沿着 Z 方向延伸成到达第 1 配线层 M1 的方式形成。

[0166] 参照图 25，在第 1 绝缘膜 S012 的上表面上，例如在金属电阻元件区域的在 X 方向上相互隔开间隔而形成的两个接触插头 CP1 的正上方，至少一个金属电阻元件层 Rmn 以横

跨两个接触插头 CP1 的方式形成。

[0167] 参照图 26, 在第 1 绝缘膜 S012 上形成有多个第 2 配线层 M2。具体而言, 在金属电阻元件区域中, 第 2 配线层 M2 以覆盖金属电阻元件层 Rmn 的上表面的方式形成, 在配线区域中, 第 2 配线层 M2 以覆盖第 1 绝缘膜 S012 的上表面且与第 1 配线层 M1 在平面上重叠的方式形成。

[0168] 再次参照图 22, 此后, 在第 1 绝缘膜 S012 上第 3 绝缘膜 S014 以及钝化膜 SN11 依次形成, 从而覆盖第 2 配线层 M2 的上表面。

[0169] 接下来, 说明本实施方式的作用效果。

[0170] 在本实施方式中, 金属电阻元件层 Rmn 的上表面被作为与配线区域的第 2 配线层 M2 相同的层的第 2 配线层 M2 覆盖, 该第 2 配线层 M2 具有保护金属电阻元件层 Rmn 的作用, 从而成为相对于其正下方的金属电阻元件层 Rmn 的保护膜。由此, 能够进一步提高金属电阻元件层 Rmn 的可靠性, 能够进一步提高高速 OCO 电路的可靠性。特别是, 通过该保护膜, 在构成第 2 配线层 M2 的铝材料进行干蚀刻时, 能够减少产生其正下方的金属电阻元件层 Rmn 被无意地蚀刻而对其形状带来不良情况等问题的可能性。

[0171] 此外, 在本实施方式中, 从金属电阻元件层 Rmn 延伸到第 1 配线层 M1 的接触插头 CP1 能够使用与从配线区域中第 2 配线层 M2 延伸到第 1 配线层 M1 的接触插头 CP1 的形成所使用的掩模相同的掩模来形成。这是因为, 从金属电阻元件层 Rmn 延伸到第 1 配线层 M1 的接触插头 CP1 和在配线区域中从第 2 配线层 M2 延伸到第 1 配线层 M1 的接触插头 CP1 中的任一方向均从同一面 (第 1 绝缘膜 S012 的上表面) 形成。

[0172] (实施方式 4)

[0173] 首先使用图 27, 说明包括本实施方式中的金属电阻元件层 Rmn 的、高速 OCO 电路所构成的多层配线结构的一部分。

[0174] 参照图 27, 首先在本实施方式中也形成有金属电阻元件区域和配线区域, 在金属电阻元件区域中第 2 配线层 M2 以覆盖金属电阻元件层 Rmn 的上表面的方式形成。在这一点上本实施方式与实施方式 3 相同。

[0175] 其中, 在本实施方式中, 金属电阻元件区域分为第 1 金属电阻元件区域和第 2 金属电阻元件区域这两个金属电阻元件区域, 在两个金属电阻元件区域各自配置有至少一个金属电阻元件层 Rmn。其中, 第 2 金属电阻元件区域中的金属电阻元件层 Rmn (第 2 金属电阻元件层) 与实施方式 3 的金属电阻元件层 Rmn 同样地, 通过多个 (两个) 接触插头 CP1 分别与多个 (两个) 第 1 配线层 M1 连接。

[0176] 与此相对地, 在第 1 金属电阻元件区域中, 通过一个接触插头 CP1 与一个第 1 配线层 M1 连接的金属电阻元件层 Rmn (第 1 金属电阻元件层) 以包括作为第 2 金属电阻元件层的金属电阻元件层 Rmn 以及与配线区域的第 2 配线层 M2 相同的层的方式形成在第 1 绝缘膜 S012 的上表面上。在第 1 金属电阻元件区域中, 除了金属电阻元件层 Rmn 配置为夹在第 2 配线层 M2 和第 1 绝缘膜 S012 的上表面之间这点以外, 与配线区域的结构相同。对于第 1 金属电阻元件层 Rmn, 与第 2 金属电阻元件层 Rmn 同样地, 第 2 配线层 M2 以覆盖其上表面的方式形成。

[0177] 即, 与覆盖实施方式 3 的金属电阻元件层 Rmn 的上表面的第 2 配线层 M2 同样地, 覆盖第 1 以及第 2 金属电阻元件层 Rmn 的上表面的多个 (例如两个) 第 2 配线层 M2 分别是

用于保护金属电阻元件层 Rmn 免受来自上层的应力的保护用第 2 配线层。另一方面,与这些金属电阻元件层 Rmn 隔开间隔并在配线区域的与这些金属电阻元件层 Rmn 相同的层(第 1 绝缘膜 S012 的上表面上)形成的(例如一个)第 2 配线层 M2 是配线用第 2 配线层。

[0178] 第 1 金属电阻元件层 Rmn 和覆盖其上表面的第 2 配线层 M2 形成电容元件。以下对此进行说明。如上所述,金属电阻元件层 Rmn 具有金属配线层 Rm 和防反射膜层 SN1 的双层结构。第 2 配线层 M2 以覆盖防反射膜层 SN1 的上表面的方式形成。由于具有通过由导电体构成的金属配线层 Rm 以及第 2 配线层 M2 夹着由绝缘体构成的防反射膜层 SN1 的结构,因此可以说由此构成电容元件。

[0179] 此外,与实施方式 3(图 22)的结构进行比较,图 27 的结构追加有下面的结构。第 2 绝缘膜 S013 以覆盖保护用以及配线用第 2 配线层 M2 的上表面的方式在第 1 绝缘膜 S012 上形成,作为其他导电层的接触插头 CP2 从电容元件的第 2 配线层 M2 以及配线用第 2 配线层 M2 的上表面在 Z 方向上朝向上侧(与基板 SUB 相反的方向)延伸而形成,在这些接触插头 CP2 各自的正上方形成有第 3 配线层 M3。作为其他导电层的接触插头 CP2 与第 3 配线层 M3 连接。因此,在本实施方式中,在金属电阻元件区域中形成有至少一个(例如两个)电阻元件区域接触插头 CP1、CP2,在配线区域中形成有至少一个(在此两个)配线区域接触插头 CP1、CP2。并且在第 2 绝缘膜 S013 上第 3 绝缘膜 S014 以及钝化膜 SN11 以覆盖第 3 配线层 M3 的上表面的方式依次层积。

[0180] 第 2 绝缘膜 S013 通过第 2 绝缘膜下层 S013a 和第 2 绝缘膜上层 S013b 而形成,这些结构与第 1 绝缘膜 S012 的第 1 绝缘膜下层 S012a 以及第 1 绝缘膜上层 S012b 相同。接触插头 CP2 通过侧底面层 CP21 和其内部的内部填充层 CP22 而形成,这些结构与接触插头 CP1 的侧底面层 CP11 以及内部填充层 CP12 相同。此外,第 3 配线层 M3 形成为下层 M3a、配线主体 M3b 和上层 M3c 依次层积而成。各层 M3a ~ M3c 基本上与上述第 1 以及第 2 配线层 M1、M2 的各层 M1a ~ M1c、M2a ~ M2c 相同。

[0181] 此外,本实施方式的除此以外的结构与实施方式 3 的结构大致相同,因此对于同一要素附加同一标号,不重复其说明。

[0182] 接着,使用图 28 ~ 图 31,说明作为本实施方式的半导体装置的制造方法的微型计算机芯片(特别是图 27 所示的部分)的制造方法。

[0183] 参照图 28,与实施方式 3 同样地准备基板 SUB,第 1 配线层 M1、第 1 绝缘膜 S012、接触插头 CP1 通过与实施方式 3 相同的处理而形成。其中,在本实施方式中,作为金属电阻元件区域,形成有具有第 1 金属电阻元件层 Rmn 的第 1 金属电阻元件区域和具有第 2 金属电阻元件层 Rmn 的第 2 金属电阻元件区域,因此形成有考虑该情况的数目的第 1 配线层 M1 以及接触插头 CP1。

[0184] 参照图 29,在第 1 金属电阻元件区域中,在接触插头 CP1 的正上方以覆盖该接触插头 CP1 的方式形成至少一个金属电阻元件层 Rmn。此时形成金属配线层 Rm 和覆盖其上表面的防反射膜层 SN1。此外,在第 2 金属电阻元件区域中,在沿 X 方向相互隔开间隔而形成的例如两个接触插头 CP1 的正上方以横跨两个接触插头 CP1 的方式形成一个金属电阻元件层 Rmn。此时形成金属配线层 Rm 和覆盖其上表面的防反射膜层 SN1。

[0185] 参照图 30,在第 1 绝缘膜 S012 上形成多个第 2 配线层 M2。具体而言,在第 1 以及第 2 金属电阻元件区域中以覆盖金属电阻元件层 Rmn 的上表面的方式形成(例如两个)保

护用第 2 配线层 M2, 在配线区域中, 在与第 1 以及第 2 金属电阻元件层 Rmn 相同的层, 以覆盖第 1 绝缘膜 S012 的上表面且与第 1 配线层 M1 在平面上重叠的方式形成 (例如一个) 配线用第 2 配线层 M2。同时形成保护用第 2 配线层 M2 和配线用第 2 配线层 M2。由此, 在第 1 金属电阻元件区域中, 通过构成第 1 金属电阻元件层 Rmn 的金属配线层 Rm、防反射膜层 SN1 以及第 2 配线层 M2 来形成电容元件。此外, 在第 2 金属电阻元件区域中作为电阻元件形成有与 (两个) 第 1 配线层 M1 电连接的第 2 金属电阻元件层。

[0186] 参照图 31, 第 2 绝缘膜 S013 以覆盖保护用以及配线用第 2 配线层 M2 各自的上表面的方式在第 1 绝缘膜 S012 上形成。第 2 绝缘膜 S013 形成为具有第 2 绝缘膜下层 S013a 以及第 2 绝缘膜上层 S013b, 它们通过与构成第 1 绝缘膜 S012 的第 1 绝缘膜下层 S012a 以及第 1 绝缘膜上层 S012b 相同的处理而形成。

[0187] 再次参照图 27, 接着, 多个接触插头 CP2 以从第 2 绝缘膜 S013 (第 2 绝缘膜上层 S013b) 的上表面中的各区域的第 2 配线层 M2 的正上方的区域沿着 Z 方向延伸成到达第 2 配线层 M2 的方式形成。具体而言, 首先接触孔 Va2 以从第 2 绝缘膜 S013 的上表面中图 31 的各区域的第 2 配线层 M2 的正上方的区域沿着 Z 方向延伸成到达第 2 配线层 M2 的方式形成。此后, 接触插头 CP2 通过在接触孔 Va2 内形成侧底面层 CP21 以及内部填充层 CP22 而形成。侧底面层 CP21 以及内部填充层 CP22 也可以通过与侧底面层 CP11 以及内部填充层 CP12 相同的处理而形成。由此, 形成有从保护用以及配线用第 2 配线层 M2 各自的上表面在 Z 方向上向上侧 (与基板 SUB 相反的方向) 延伸的接触插头 CP2。

[0188] 接着, 在第 2 绝缘膜 S013 上 (在保护用以及配线用第 2 配线层 M2 的正上方), 多个 (例如两个) 第 3 配线层 M3 在 X 方向上相互隔开间隔而形成, 从而分别覆盖多个导电层 CP2。第 3 配线层 M3 也可以通过与第 1 以及第 2 配线层 M1、M2 相同的处理而形成。由此, 第 3 配线层 M3 和接触插头 CP2 电连接。

[0189] 此后, 在第 2 绝缘膜 S013 上第 3 绝缘膜 S014 以及钝化膜 SN11 依次形成, 从而覆盖第 3 配线层 M3 的上表面。

[0190] 接下来, 说明本实施方式的作用效果。

[0191] 在本实施方式中, 从金属电阻元件层 Rmn 延伸到第 1 配线层 M1 的接触插头 CP1 能够使用与在配线区域中从第 2 配线层 M2 延伸到第 1 配线层 M1 的接触插头 CP1 的形成所使用的掩模相同的掩模而形成。这是因为, 从金属电阻元件层 Rmn 延伸到第 1 配线层 M1 的接触插头 CP1 和在配线区域中从第 2 配线层 M2 延伸到第 1 配线层 M1 的接触插头 CP1 均是从同一面 (第 1 绝缘膜 S012 的上表面) 形成的。

[0192] 在本实施方式中, 不仅是构成多层配线结构的一部分的配线区域, 构成电容元件的第 1 金属电阻元件区域能够与为了发挥作为电阻元件的功能而形成的第 2 金属电阻元件区域同时形成。由此, 能够使具有高速 OCO 电路的半导体装置进一步高集成化。

[0193] 在本实施方式中, 通过在电容元件以及金属电阻元件层上进一步形成第 3 配线层 M3, 金属电阻元件层 Rmn 成为不被钝化膜 SN11 直接覆盖的形态。由此, 能够减少金属电阻元件层 Rmn 因受到来自钝化膜 SN11 的应力而降低作为高速 OCO 电路的振荡器的精度的可能性。

[0194] 此外, 在本实施方式中也与实施方式 3 同样地, 金属电阻元件层 Rmn 的上表面被第 2 配线层 M2 覆盖, 因此该第 2 配线层 M2 作为用于避免金属电阻元件层 Rmn 被无意地蚀刻的

保护膜起作用。

[0195] (实施方式 5)

[0196] 首先使用图 32, 说包括本实施方式中的金属电阻元件层 Rmn 的、高速 OCO 电路所构成的多层配线结构的一部分。

[0197] 参照图 32, 本实施方式的半导体装置的高速 OCO 电路所构成的多层配线结构在基板 SUB 的(一方的)主表面上具有层间绝缘膜 S011, 在层间绝缘膜 S011 上具有在 X 方向上相互隔开间隔而配置有多个的第 1 配线层 M1。在层间绝缘膜 S011 上, 作为第 1 绝缘膜 S012, 第 1 绝缘膜下层 S012a 以及第 1 绝缘膜上层 S012b 依次形成, 从而覆盖多个第 1 配线层 M1 的上表面。进而, 第 2 绝缘膜 S013 以覆盖第 1 绝缘膜 S012 的上表面的方式形成, 进而第 3 绝缘膜 S014 以及钝化膜 SN11 以覆盖第 2 绝缘膜 S013 的上表面的方式依次形成。

[0198] 在本实施方式中也具有金属电阻元件区域和配线区域。在配线区域中, 在第 2 绝缘膜 S013 上以与第 1 配线层 M1 在平面上重叠的方式形成有至少一个第 2 配线层 M2。并且, 在金属电阻元件区域中, 在第 1 绝缘膜 S012 上, 在多个第 1 配线层 M1 中特别是在金属电阻元件区域形成的至少一个(例如两个)第 1 配线层 M1 的正上方配置有(例如一个)金属电阻元件层 Rmn。在此, 金属电阻元件层 Rmn 在金属电阻元件区域中以横跨在 X 方向上相互隔开间隔地配置两个的第 1 配线层 M1 这双方的方式配置在第 1 配线层 M1 上。

[0199] 在配线区域中, 沿着 Z 方向延伸的配线区域接触插头 CP2 从第 2 配线层 M2 延伸到第 1 配线层 M1, 由此第 1 配线层 M1 和第 2 配线层 M2 电连接。此外, 在金属电阻元件区域中, 电阻元件区域接触插头 CP1 从金属电阻元件层 Rmn 沿着 Z 方向延伸到第 1 配线层 M1。由此, 多个接触插头 CP1、CP2 各自在 Z 方向上延伸到第 2 配线层。

[0200] 此外, 本实施方式的除此以外的结构与实施方式 1 的结构大致相同, 因此对于同一要素附加同一标号, 不重复其说明。

[0201] 接着, 使用图 33 ~ 图 34, 说明作为本实施方式的半导体装置的制造方法的微型计算机芯片(特别是图 32 所示的部分)的制造方法。

[0202] 参照图 33, 与实施方式 1 同样地准备基板 SUB, 在其(一方的)主表面的上方形成有层间绝缘膜 S011。此后, 进行与上述图 4、5、10、11 相同的处理。具体而言, 在基板 SUB 的主表面上形成有多个第 1 配线层 M1, 以覆盖其上表面的方式形成有第 1 绝缘膜 S012。对于多个第 1 配线层 M1 中的至少一个第 1 配线层 M1 特别是金属电阻元件区域的第 1 配线层 M1, 至少一个(例如两个)接触插头 CP1 以从第 1 绝缘膜 S012(第 1 绝缘膜上层 S012b)的上表面中与第 1 配线层 M1 在平面上重叠的区域在 Z 方向上延伸到其正下方的第 1 配线层的方式形成。

[0203] 在此前形成的接触插头 CP1 的正上方, 例如一个金属电阻元件层 Rmn 以分别横跨并覆盖两个接触插头 CP1 的方式形成于金属电阻元件区域。接着, 第 2 绝缘膜 S013 以覆盖金属电阻元件层 Rmn 和第 1 绝缘膜 S012 的上表面的方式形成。

[0204] 接下来, 在先前的工序中特别是未形成接触插头 CP1 的配线区域中, 形成有作为导电层的接触插头 CP2(其他导电层), 该接触插头 CP2 从第 2 绝缘膜 S013 的上表面中的与至少一个第 1 配线层 M1 在平面上重叠的区域在 Z 方向上延伸到其正下方的第 1 配线层 M1。该接触插头 CP2 的结构与实施方式 4 的接触插头 CP2 相同。

[0205] 参照图 34, 在第 2 绝缘膜 S013 上形成有至少一个第 2 配线层 M2, 从而覆盖接触插

头 CP2。

[0206] 再次参照图 32,此后,在第 2 绝缘膜 S013 上第 3 绝缘膜 S014 以及钝化膜 SN11 依次形成,从而覆盖第 2 配线层 M2 的上表面。此外,省略的工序的详情基本上与上述各实施方式相同。

[0207] 接下来,说明本实施方式的作用效果。

[0208] 在本实施方式中,金属电阻元件层 Rmn 配置为比作为最上层的配线层的第 2 配线层 M2 靠下侧(基板 SUB 侧)。由此,能够减少金属电阻元件层 Rmn 因受到来自钝化膜 SN11 的应力而降低作为高速 OCO 电路的振荡器的精度的可能性。

[0209] (实施方式 6)

[0210] 首先,使用图 35,说明包括本实施方式中的金属电阻元件层 Rmn 的、高速 OCO 电路所构成的多层配线结构的一部分。

[0211] 参照图 35,本实施方式的半导体装置的高速 OCO 电路所构成的多层配线结构在基板 SUB 的(一方的)主表面上具有层间绝缘膜 S011,在层间绝缘膜 S011 上具有至少一个第 1 配线层 M1。在层间绝缘膜 S011 上,作为第 1 绝缘膜 S012,第 1 绝缘膜下层 S012a 以及第 1 绝缘膜上层 S012b 依次形成,从而覆盖多个第 1 配线层 M1 的上表面。进而第 2 绝缘膜 S013 以覆盖第 1 绝缘膜 S012 的上表面的方式形成,进而第 3 绝缘膜 S014 以及钝化膜 SN11 以覆盖第 2 绝缘膜 S013 的上表面的方式依次形成。

[0212] 在本实施方式中也具有金属电阻元件区域和配线区域。在配线区域中,在第 2 绝缘膜 S013 上配置有与第 1 配线层 M1 在平面上重叠例如一个第 2 配线层 M2。此外,在金属电阻元件区域中,在第 2 绝缘膜 S013 上,多个(例如两个)第 2 配线层 M2 以与金属电阻元件层 Rmn 在平面上重叠的方式在 X 方向上相互隔开间隔地配置。

[0213] 在金属电阻元件区域中,金属电阻元件层 Rmn 配置为覆盖构成第 1 绝缘膜 S012 的第 1 绝缘膜上层 S012b 的上表面,并且配置于在金属电阻元件区域配置的至少一个(例如两个)第 2 配线层 M2 的正下方。

[0214] 在金属电阻元件区域中,电阻元件区域接触插头 CP1 形成分别为从至少一个(例如两个)第 2 配线层 M2 沿着 Z 方向延伸成到达金属电阻元件层 Rmn。在此,接触插头 CP1 与金属电阻元件层 Rmn 连接,从而到达构成金属电阻元件层 Rmn 的金属配线层 Rm。与实施方式 1 同样地,在配线区域中配线区域接触插头 CP1 以从第 2 配线层 M2 到达与其在俯视视角中重叠的第 1 配线层 M1 的方式沿着 Z 方向(从第 2 配线层 M2 朝向金属电阻元件层 Rmn 的方向)延伸,并将第 2 配线层 M2 和第 1 配线层 M1 电连接。

[0215] 此外,本实施方式的除此以外的结构与实施方式 1 的结构大致相同,因此对于同一要素附加同一标号,不重复其说明。

[0216] 接着,使用图 36~图 38,说明作为本实施方式的半导体装置的制造方法的微型计算机芯片(特别是图 35 所示的部分)的制造方法。

[0217] 参照图 36,与实施方式 1 同样地准备基板 SUB,在其(一方的)主表面的上方形成有层间绝缘膜 S011。此后,进行与上述图 17、18 相同的处理。具体而言,例如在配线区域形成至少一个第 1 配线层 M1,第 1 绝缘膜 S012(第 1 绝缘膜下层 S012a 以及第 1 绝缘膜上层 S012b)以覆盖第 1 配线层 M1 的上表面的方式形成。

[0218] 金属电阻元件层 Rmn 以覆盖第 1 绝缘膜上层 S012b 的上表面的方式形成。在此,

金属电阻元件层 Rmn 形成在与形成有第 1 配线层 M1 的区域在平面上不同的区域。具体而言,上述第 1 配线层 M1 形成于配线区域,与此相对地,金属电阻元件层 Rmn 形成于金属电阻元件区域。

[0219] 参照图 37,第 2 绝缘膜 S013 以覆盖金属电阻元件层 Rmn 以及第 1 绝缘膜 S012 的上表面的方式形成。接下来,形成从第 2 绝缘膜 S013 的上表面沿与基板 SUB 的主表面交叉的方向(即 Z 方向)朝向金属电阻元件层 Rmn 延伸的多个导电层 CP1(接触插头 CP1)。在此,接触插头 CP1 在配线区域中形成为从第 2 配线层 M2 到达第 1 配线层 M1,并在金属电阻元件区域中形成为从第 2 配线层到达金属电阻元件层 Rmn。

[0220] 参照图 38,在金属电阻元件区域以及配线区域中,均是以分别覆盖形成的多个接触插头 CP1 的方式形成有多个第 2 配线层 M2。

[0221] 再次参照图 35,此后,在第 2 绝缘膜 S013 上第 3 绝缘膜 S014 以及钝化膜 SN11 依次形成,从而覆盖第 2 配线层 M2 的上表面。此外,省略的工序的详情基本上与上述各实施方式相同。

[0222] 接下来,说明本实施方式的作用效果。

[0223] 在本实施方式中,与实施方式 2 同样地,从金属电阻元件区域的第 2 配线层 M2 延伸到金属电阻元件层 Rmn 的接触插头 CP1 能够使用与在配线区域中从第 2 配线层 M2 延伸到第 1 配线层 M1 的接触插头 CP1 的形成所使用的掩模相同的掩模而形成。因此,不需要单独准备仅用于形成例如用于与金属电阻元件层 Rmn 连接的接触插头 CP1 的掩模,能够使用多层配线结构的形成用的掩模来形成金属电阻元件层 Rmn 用的接触插头 CP1。因此,能够削减制造成本。

[0224] (实施方式 7)

[0225] 首先使用图 39,说明包括本实施方式中的金属电阻元件层 Rmn 的、高速 OCO 电路所构成的多层配线结构的一部分。

[0226] 参照图 39,本实施方式的半导体装置的高速 OCO 电路所构成的多层配线结构在基板 SUB 的(一方的)主表面上具有层间绝缘膜 S011,在层间绝缘膜 S011 上具有多个第 1 配线层 M1。在层间绝缘膜 S011 上形成有第 1 绝缘膜 S012(第 1 绝缘膜下层 S012a 以及第 1 绝缘膜上层 S012b),从而覆盖多个第 1 配线层 M1 的上表面。

[0227] 在本实施方式中也具有金属电阻元件区域和配线区域。在金属电阻元件区域中,在第 1 绝缘膜 S012 上,在多个第 1 配线层 M1 中特别是在金属电阻元件区域形成的(例如两个)第 1 配线层 M1 的正上方配置有(至少一个)金属电阻元件层 Rmn。在此,金属电阻元件层 Rmn 以横跨在金属电阻元件区域中 X 方向上相互隔开间隔地配置两个的第 1 配线层 M1 这双方的方式配置在第 1 配线层 M1 上。

[0228] 在配线区域中,在第 1 绝缘膜 S012 上,以与第 1 配线层 M1 在平面上重叠的方式形成有至少一个第 2 配线层 M2。该第 2 配线层 M2 配置为包括与(至少一个)金属电阻元件层 Rmn 相同的层,换言之,第 2 配线层 M2 和金属电阻元件层 Rmn 均配置在同一面即第 1 绝缘膜 S012(第 1 绝缘膜上层 S012b)上。

[0229] 在作为具有第 2 配线层 M2 的区域的配线区域中,沿着 Z 方向延伸的配线区域接触插头 CP1 从第 2 配线层 M2 延伸到第 1 配线层 M1,由此将第 1 配线层 M1 和第 2 配线层 M2 电连接。此外,在作为具有金属电阻元件层的区域的金属电阻元件区域中,电阻元件区域接触

插头 CP1 从金属电阻元件层 Rmn 沿着 Z 方向延伸到与其相对的至少一个第 1 配线层 M1 (例如两个第 1 配线层 M1 各自)。由此,多个接触插头 CP1 各自中的至少一个作为电阻元件区域接触插头 CP1,其他至少一个作为配线区域接触插头 CP1,并分别延伸到多个第 1 配线层 M1。

[0230] 此外,本实施方式的除此以外的结构与实施方式 3 的结构大致相同,因此对于同一要素附加同一标号,不重复其说明。

[0231] 接着,使用图 40,说明作为本实施方式的半导体装置的制造方法的微型计算机芯片(特别是图 39 所示的部分)的制造方法。

[0232] 参照图 40,进行与例如实施方式 3 的图 24 ~ 图 25 所示的工序相同的处理。即,与实施方式 1 同样地准备基板 SUB,形成层间绝缘膜 S011、多个第 1 配线层 M1、第 1 绝缘膜 S012。形成有从第 1 绝缘膜 S012 的上表面沿与基板 SUB 的主表面交叉的方向(即 Z 方向)延伸到其正下方(在平面上重叠的区域)的第 1 配线层 M1 的多个接触插头 CP1。在第 1 绝缘膜 S012 的上表面上,在例如金属电阻元件区域的 X 方向上相互隔开间隔而形成的多个(例如两个)接触插头 CP1 的正上方,以横跨两个接触插头 CP1 的方式形成有至少一个金属电阻元件层 Rmn(形成有金属电阻元件区域)。在配线区域中,以覆盖第 1 绝缘膜 S012 的上表面且与第 1 配线层 M1 在平面上重叠的方式形成有第 2 配线层 M2(形成有配线区域)。

[0233] 再次参照图 39,此后,在第 1 绝缘膜 S012 上第 3 绝缘膜 S014 以及钝化膜 SN11 依次形成,从而覆盖第 2 配线层 M2 的上表面。此外,省略的工序的详情基本上与上述各实施方式相同。

[0234] 接下来,说明本实施方式的作用效果。

[0235] 在本实施方式中,从金属电阻元件区域的金属电阻元件层 Rmn 延伸到第 1 配线层 M1 的接触插头 CP1 能够使用与从配线区域中第 2 配线层 M2 延伸到第 1 配线层 M1 的接触插头 CP1 的形成所使用的掩模相同的掩模而形成。这是因为,金属电阻元件区域的接触插头 CP1 和配线区域的接触插头 CP1 均是从同一面(第 1 绝缘膜 S012 的上表面)形成。因此,不需要单独准备仅用于形成例如用于与金属电阻元件层 Rmn 连接的接触插头 CP1 的掩模,能够使用多层配线结构的形成用的掩模来形成金属电阻元件层 Rmn 用的接触插头 CP1。由此,能够削减制造成本。

[0236] (实施方式 8)

[0237] 首先使用图 41,说明包括本实施方式中的金属电阻元件层 Rmn 的、高速 OCO 电路所构成的多层配线结构的一部分。

[0238] 参照图 41,本实施方式的半导体装置的高速 OCO 电路所构成的多层配线结构与实施方式 7 同样地,(配线区域的)第 2 配线层 M2 和(金属电阻元件区域的)金属电阻元件层 Rmn 以配置于同一层方式配置在第 1 绝缘膜 S012(第 1 绝缘膜上层 S012b)上。其中,在图 41 中,在金属电阻元件区域中彼此相邻的多个(1 对)的第 2 配线层 M2 各自的上表面及侧面以及彼此相邻的多个(1 对)的第 2 配线层 M2 之间的第 1 绝缘膜 S012 上配置有金属电阻元件层 Rmn。如上所述,金属电阻元件层 Rmn 具有金属配线层 Rm 和防反射膜层 SN1 的双层结构,金属配线层 Rm 配置在图的下侧即配置为与第 2 配线层 M2 以及第 1 绝缘膜上层 S012b 接触。由此,金属电阻元件区域的一对(在上表面以及侧面具有金属电阻元件层 Rmn 的)彼此相邻的第 2 配线层 M2 彼此相互电连接。

[0239] 在本实施方式中,在配线区域、金属电阻元件区域中,均是接触插头 CP1 从第 2 配线层 M2 沿着 Z 方向延伸成到达第 1 配线层 M1。其中,金属电阻元件区域的第 2 配线层 M2 与覆盖其上表面等的金属电阻元件层 Rmn 的金属配线层 Rm 电连接,因此金属电阻元件区域的金属电阻元件层 Rmn (金属配线层 Rm) 与电阻元件区域接触插头 CP1 电连接。

[0240] 此外,在图 41 中,配线区域的第 2 配线层 M2 的侧面被其他金属电阻元件层 Rmn 覆盖。其他金属电阻元件层 Rmn 形成为与金属电阻元件层 Rmn 相同的层 (金属电阻元件层 Rmn 被分割),因此,与金属电阻元件层 Rmn 同样地,具有金属配线层 Rm 和防反射膜层 SN1 的双层结构具有。

[0241] 参照图 42,也可以是,在图 41 中的虚线所包围的区域 C 所示的配线区域中,第 2 配线层 M2 的上表面以及侧面这双方被其他金属电阻元件层 Rmn 覆盖,参照图 43,也可以是,在图 41 中的虚线所包围的区域 C 所示的配线区域中,仅第 2 配线层 M2 的上表面被其他金属电阻元件层 Rmn 覆盖。综上所述,配线区域中的第 2 配线层 M2 的上表面以及侧面中的至少任一方被包括与金属电阻元件层 Rmn 相同的层的其他金属电阻元件层 Rmn 覆盖。

[0242] 此外,如图 43 所示,优选的是,在本实施方式中 (仅) 配线区域的第 2 配线层 M2 的上表面形成有金属电阻元件层 Rmn 的情况下,金属电阻元件层 Rmn 具有比第 2 配线层 M2 在俯视视角中小的尺寸。因此,优选第 2 配线层 M2 上的第 2 金属电阻元件层 Rmn 配置为其中央部在俯视视角中与第 2 配线层 M2 的中央部大致一致,并配置为在金属电阻元件层 Rmn 的最外缘和第 2 配线层 M2 的最外缘之间具有恒定宽度的 (第 2 配线层 M2 外周附近的) 区域。

[0243] 此外,本实施方式的除此以外的结构与实施方式 7 的结构大致相同,因此对于同一要素附加同一标号,不重复其说明。

[0244] 接着,使用图 44 ~ 图 47,说明作为本实施方式的半导体装置的制造方法的微型计算机芯片 (特别是图 41 ~ 43 所示的部分) 的制造方法。

[0245] 参照图 44,通过基本上与图 40 的工序相同的处理,形成图 44 所示的结构。其中,图 44 与图 40 进行比较,不同点在于,在金属电阻元件区域中也与配线区域同样地,以分别与多个 (例如两个) 排列的第 1 配线层 M1 在平面上重叠的方式形成有多个 (例如两个) 第 2 配线层 M2。在配线区域以及金属电阻元件区域中,均是通过接触插头 CP1 来连接第 1 配线层 M1 的每一个和分别与它们相对的第 2 配线层 M2。

[0246] 参照图 45,在第 1 绝缘膜 S012 上形成有金属电阻元件层 Rmn,从而覆盖在图 44 的工序中形成的多个第 2 配线层 M2 的上表面以及侧面。此后,通过照相制版技术以及干蚀刻处理来对金属电阻元件层 Rmn 进行图案形成,从而在金属电阻元件区域中彼此相邻的一对第 2 配线层 M2 的上表面和侧面、以及彼此相邻的一对第 2 配线层 M2 之间的第 1 绝缘膜 S012 上残留金属电阻元件层 Rmn。由此,金属电阻元件层 Rmn 形成为在接触插头 CP1 的正上方 (经由第 2 配线层 M2) 也残留。

[0247] 此时,也可以通过照相制版技术以及干蚀刻处理而对金属电阻元件层 Rmn 进行图案形成,从而在配线区域中金属电阻元件层 Rmn (作为其他金属电阻元件层 Rmn) 在第 2 配线层 M2 的侧面残留。或者,也可以参照图 46,通过照相制版技术以及干蚀刻处理而对金属电阻元件层 Rmn 进行图案形成,从而在配线区域中金属电阻元件层 Rmn (作为其他金属电阻元件层 Rmn) 在第 2 配线层 M2 的上表面以及侧面这双方残留。或者,也可以参照图 47,通过

照相制版技术以及干蚀刻处理而对金属电阻元件层 Rmn 进行图案形成,从而在配线区域中金属电阻元件层 Rmn (作为其他金属电阻元件层 Rmn) 仅在第 2 配线层 M2 的上表面残留。

[0248] 更具体而言,在例如在俯视视角中金属电阻元件层 Rmn 的尺寸比第 2 配线层 M2 的尺寸大的情况下,如图 46 (图 42) 所示,金属电阻元件层 Rmn 形成为覆盖第 2 配线层 M2 的上表面以及侧面这双方。此外,在俯视视角中金属电阻元件层 Rmn 的尺寸比第 2 配线层 M2 的尺寸小的情况下,如图 47 (图 43) 所示,金属电阻元件层 Rmn 形成为仅覆盖第 2 配线层 M2 的上表面。

[0249] 再次参照图 41 ~ 图 43,此后,在第 1 绝缘膜 S012 上第 3 绝缘膜 S014 以及钝化膜 SN11 依次形成,从而覆盖第 2 配线层 M2 的上表面。此外,省略的工序的详情基本上与上述各实施方式相同。

[0250] 接下来,说明本实施方式的作用效果。

[0251] 在本实施方式中也能够使用同一掩模来形成金属电阻元件区域和配线区域的接触插头 CP1,因此能够削减制造成本。此外,在本实施方式中,金属电阻元件区域的第 2 配线层 M2 的上表面以及侧面被金属电阻元件层 Rmn 覆盖,从而第 2 配线层 M2 被金属电阻元件层 Rmn 保护。由此,能够提高金属电阻元件区域的第 2 配线层 M2 的可靠性。进而,配线区域的第 2 配线层 M2 的上表面以及侧面中的至少任一方也被金属电阻元件层 Rmn 覆盖,从而第 2 配线层 M2 被金属电阻元件层 Rmn 保护。由此,能够提高配线区域的第 2 配线层 M2 的可靠性。

[0252] 参照图 48 的本实施方式的第 1 变形例,这是作为实施方式 3 的图 22 所示的多层配线结构的一部分的、配线区域以及金属电阻元件区域的第 2 配线层 M2 的上表面以及侧面这双方被金属电阻元件层 Rmn 覆盖的结构。参照图 49 的本实施方式的第 2 变形例,这是作为实施方式 4 的图 27 所示的多层配线结构的一部分的、(第 1 以及第 2) 金属电阻元件区域的第 2 配线层 M2 的上表面以及侧面被金属电阻元件层 Rmn 覆盖的结构。由此,也可以是,(其他) 金属电阻元件层 Rmn 形成为在金属电阻元件区域中覆盖对金属电阻元件层 Rmn 的上表面进行覆盖的第 2 配线层 M2 的上表面以及侧面(中的至少任一方)。此外,也可以是(其他) 金属电阻元件层 Rmn 形成为覆盖配线区域中的第 2 配线层 M2 的上表面以及侧面(中的至少任一方)。这些结构也与图 45 的工序同样地第 1 绝缘膜 S012 上形成有金属电阻元件层 Rmn,其通过以成为图 48 以及图 49 所示的形状的方式进行图案形成而形成。第 2 配线层 M2 的上表面或侧面的被金属电阻元件层 Rmn 覆盖的部分能够被抑制因在金属电阻元件层 Rmn 的蚀刻时无意地被蚀刻而对形状带来不良情况等问题的产生。

[0253] 除此之外,以下记载(附记)实施方式所记载的内容的一部分。

[0254] (1) 半导体装置具有多个第 1 配线层、第 1 绝缘膜、第 2 绝缘膜、至少一个第 2 配线层、金属电阻元件层和多个导电层。多个第 1 配线层配置在基板的主表面上。第 1 绝缘膜配置为覆盖多个第 1 配线层的上表面。第 2 绝缘膜配置为覆盖第 1 绝缘膜的上表面。至少一个第 2 配线层配置在第 2 绝缘膜上。金属电阻元件层配置在第 1 绝缘膜的上表面上的、多个第 1 配线层中的至少一个第 1 配线层的正上方。多个导电层分别沿与主表面交叉的方向延伸到多个第 1 配线层。多个导电层中的至少一个导电层从金属电阻元件层沿与主表面交叉的方向延伸到第 1 配线层。

[0255] (2) 半导体装置具有至少一个第 1 配线层、第 1 绝缘膜、第 2 绝缘膜、多个第 2 配线

层、金属电阻元件层和多个导电层。至少一个第 1 配线层配置在基板的主表面上。第 1 绝缘膜配置为覆盖至少一个第 1 配线层的上表面。第 2 绝缘膜配置为覆盖第 1 绝缘膜的上表面。多个第 2 配线层配置在第 2 绝缘膜上。金属电阻元件层配置在第 1 绝缘膜的上表面上的、多个第 2 配线层中的至少一个第 2 配线层的正下方。多个导电层分别从多个第 2 配线层沿与主表面交叉的方向向金属电阻元件层延伸。多个导电层中的至少一个导电层从第 2 配线层沿与主表面交叉的方向延伸到金属电阻元件层。

[0256] (3) 在 (2) 的半导体装置中, 多个导电层中的至少一个延伸到金属电阻元件层的导电层是配置在与金属电阻元件层在平面上重叠的金属电阻元件区域中的电阻元件区域导电层。多个导电层中的至少一个导电层是在不是金属电阻元件区域的配线区域中从多个第 2 配线层中的至少一个第 2 配线层延伸成到达至少一个第 1 配线层的配线区域导电层。

[0257] (4) 半导体装置具有多个第 1 配线层、第 1 绝缘膜、至少一个金属电阻元件层、至少一个第 2 配线层和多个导电层。多个第 1 配线层配置在基板的主表面上。第 1 绝缘膜配置为覆盖多个第 1 配线层的上表面。至少一个金属电阻元件层配置在第 1 绝缘膜上。至少一个第 2 配线层包括与至少一个金属电阻元件层相同的层。多个导电层分别在具有至少一个金属电阻元件层的金属电阻元件区域以及具有至少一个第 2 配线层的配线区域中从金属电阻元件层或第 2 配线层中的至少任一方沿与主表面交叉的方向分别延伸到多个第 1 配线层。

[0258] (5) 在 (4) 的半导体装置中, 多个导电层中的至少一个配置于与金属电阻元件层在平面上重叠的金属电阻元件区域, 并且是以从至少一个金属电阻元件层到达多个第 1 配线层中的至少一个第 1 配线层的方式连接的电阻元件区域导电层。多个导电层中的至少一个是在不是金属电阻元件区域的配线区域中从至少一个第 2 配线层延伸成到达多个第 1 配线层中的至少一个第 1 配线层的配线区域导电层。

[0259] (6) 在 (5) 的半导体装置中, 在金属电阻元件区域中存在多个第 2 配线层。在金属电阻元件区域中彼此相邻的一对第 2 配线层的上表面和侧面、以及彼此相邻的一对第 2 配线层之间的第 1 绝缘膜上配置有金属电阻元件层。

[0260] (7) 在 (5) 的半导体装置中, 配线区域中的第 2 配线层的上表面以及侧面中的至少任一方被包括与金属电阻元件层相同的层的其他金属电阻元件层覆盖。

[0261] (8) 关于半导体装置的制造方法, 首先在基板的主表面上形成多个第 1 配线层。第 1 绝缘膜以覆盖多个第 1 配线层的上表面的方式形成。在第 1 绝缘膜的上表面上的、多个第 1 配线层中的至少一个第 1 配线层的正上方形成金属电阻元件层。第 2 绝缘膜以覆盖金属电阻元件层以及第 1 绝缘膜的上表面的方式形成。多个导电层以从第 2 绝缘膜的上表面沿与主表面交叉的方向朝向金属电阻元件层延伸的方式形成。多个第 2 配线层在第 2 绝缘膜上以分别覆盖多个导电层的方式形成。金属电阻元件层包括金属配线层。多个导电层中的至少一个导电层的侧面的至少一部分与金属配线层连接。

[0262] (9) 在 (8) 的半导体装置的制造方法中, 金属配线层具有沿着主表面的第 1 面和与第 1 面相对的第 2 面。在形成上述多个导电层的工序中, 多个导电层中的至少一个与金属配线层连接的导电层在与金属配线层在平面上重叠的金属电阻元件区域作为电阻元件区域导电层而形成。电阻元件区域导电层形成为从第 1 面贯通到第 2 面的金属配线层。

[0263] (10) 在 (9) 的半导体装置的制造方法中, 电阻元件区域导电层以从多个第 2 配线

层中的在金属电阻元件区域形成的至少一个第 2 配线层贯通金属配线层而到达多个第 1 配线层中的在金属电阻元件区域形成的至少一个第 1 配线层的方式连接。

[0264] (11) 在 (9) 的半导体装置的制造方法中,金属电阻元件区域中的电阻元件区域导电层、和在不是金属电阻元件区域的配线区域中从多个第 2 配线层中的至少一个第 2 配线层延伸成到达多个第 1 配线层中的至少一个第 1 配线层的配线区域导电层、在与主表面交叉的方向上的深度相等。

[0265] (12) 关于半导体装置的制造方法,首先在基板的主表面上形成至少一个第 1 配线层以及金属电阻元件层。第 1 绝缘膜以覆盖第 1 配线层以及金属电阻元件层的上表面的方式形成。多个导电层以从第 1 绝缘膜的上表面沿与主表面交叉的方向朝向金属电阻元件层延伸的方式形成。多个第 2 配线层在第 1 绝缘膜上以分别覆盖多个导电层的方式形成。在形成上述金属电阻元件层的工序中,在比多个第 2 配线层在与主表面交叉的方向上靠第 1 配线层侧且在多个第 2 配线层中的至少一个第 2 配线层的正下方形成金属电阻元件层。多个导电层中的至少一个导电层配置于与金属电阻元件层在平面上重叠的金属电阻元件区域,并且是以从多个第 2 配线层中的在金属电阻元件区域配置的至少一个第 2 配线层到达金属电阻元件层的方式连接的电阻元件区域导电层。多个导电层中的至少一个导电层是在不是金属电阻元件区域的配线区域中从多个第 2 配线层中的至少一个第 2 配线层延伸成到达至少一个第 1 配线层的配线区域导电层。电阻元件区域导电层和配线区域导电层在与主表面交叉的方向上的深度相等。

[0266] (13) 在 (12) 的半导体装置的制造方法中,第 1 绝缘膜包括覆盖至少一个第 1 配线层的上表面以及形成有至少一个第 1 配线层的表面这双方的薄膜绝缘层。金属电阻元件层形成为覆盖薄膜绝缘层的上表面。

[0267] (14) 关于半导体装置的制造方法,首先在基板的主表面上形成多个第 1 配线层。第 1 绝缘膜以覆盖多个第 1 配线层的上表面的方式形成。形成多个导电层,该多个导电层在第 1 绝缘膜的上表面中分别从与多个第 1 配线层在平面上重叠的区域沿与主表面交叉的方向延伸到多个第 1 配线层中的至少一个第 1 配线层。在第 1 绝缘膜的上表面上的多个导电层中的至少一个导电层的正上方形成至少一个金属电阻元件层。在第 1 绝缘膜上形成多个第 2 配线层。至少一个金属电阻元件层的上表面被多个第 2 配线层中的至少一个覆盖。

[0268] (15) 在 (14) 的半导体装置的制造方法中,形成多个金属电阻元件层。形成上述至少一个金属电阻元件层的工序包括形成金属配线层的工序和形成对金属配线层的上表面进行覆盖的防反射膜层的工序。在形成上述至少一个金属电阻元件层的工序中形成有由构成金属电阻元件层的金属配线层及防反射膜层和覆盖防反射膜层的上表面的第 2 配线层构成电容元件的第 1 金属电阻元件层以及通过多个导电层分别与多个第 1 配线层连接的第 2 金属电阻元件层。

[0269] (16) 在 (15) 的半导体装置的制造方法中,在形成上述多个第 2 配线层的工序中,形成以覆盖第 1 以及第 2 金属电阻元件层各自的上表面的方式形成的多个保护用第 2 配线层、和在与第 1 以及第 2 金属电阻元件层相同的层与金属电阻元件层隔开间隔地配置的至少一个配线用第 2 配线层这双方。

[0270] (17) 在 (16) 的半导体装置的制造方法中,在第 1 绝缘膜上形成第 2 绝缘膜,从而覆盖构成电容元件的保护用第 2 配线层的上表面。形成从电容元件沿与主表面交叉的方向

朝向与基板相反的方向延伸的其他导电层。在第 2 绝缘膜上的电容元件的正上方形成第 3 配线层。其他导电层与第 3 配线层连接。

[0271] (18) 在 (16) 的半导体装置的制造方法中, 在第 1 绝缘膜上形成第 2 绝缘膜, 从而覆盖配线用第 2 配线层的上表面。形成从配线用第 2 配线层的上表面沿与主表面交叉的方向朝向与基板相反的方向延伸的其他导电层。在第 2 绝缘膜上的配线用第 2 配线层的正上方形成第 3 配线层。其他导电层与第 3 配线层连接。

[0272] (19) 在 (14) 的半导体装置的制造方法中, 在形成上述多个导电层的工序中, 多个导电层中的至少一个配置于与金属电阻元件层在平面上重叠的金属电阻元件区域, 并且作为以从至少一个金属电阻元件层到达多个第 1 配线层中的至少一个第 1 配线层的方式连接的电阻元件区域导电层而形成。多个导电层中的至少一个形成为在不是金属电阻元件区域的配线区域中从多个第 2 配线层中的至少一个第 2 配线层延伸成到达多个第 1 配线层中的至少一个第 1 配线层的配线区域导电层。

[0273] (20) 在 (19) 的半导体装置的制造方法中, 其他金属电阻元件层在金属电阻元件区域中以覆盖对金属电阻元件层的上表面进行覆盖的第 2 配线层的上表面以及侧面中的至少任一方的方式形成。

[0274] (21) 在 (20) 的半导体装置的制造方法中, 配线区域中的第 2 配线层的上表面以及侧面中的至少任一方被其他金属电阻元件层覆盖。

[0275] (22) 关于半导体装置的制造方法, 首先在基板的主表面上形成多个第 1 配线层。第 1 绝缘膜以覆盖多个第 1 配线层的上表面的方式形成。形成在第 1 绝缘膜的上表面中从与多个第 1 配线层中的至少一个第 1 配线层在平面上重叠的区域沿与主表面交叉的方向延伸到多个第 1 配线层的至少一个第 1 配线层的至少一个导电层。在第 1 绝缘膜的上表面上的、至少一个导电层的正上方形成金属电阻元件层。第 2 绝缘膜以覆盖金属电阻元件层以及第 1 绝缘膜的上表面的方式形成。在第 2 绝缘膜的上表面形成至少一个其他导电层, 该至少一个其他导电层从在形成导电层的工序中未形成导电层的与多个第 1 配线层中的至少一个第 1 配线层在平面上重叠的区域沿与主表面交叉的方向延伸到未形成至少一个导电层的第 1 配线层。在第 2 绝缘膜上形成至少一个第 2 配线层, 从而覆盖至少一个其他导电层。

[0276] (23) 关于半导体装置的制造方法, 首先在基板的主表面上形成至少一个第 1 配线层。第 1 绝缘膜以覆盖至少一个第 1 配线层的上表面的方式形成。在第 1 绝缘膜的上表面上的、除了至少一个第 1 配线层的正上方以外的区域形成金属电阻元件层。第 2 绝缘膜以覆盖金属电阻元件层以及第 1 绝缘膜的上表面的方式形成。形成从第 2 绝缘膜的上表面沿与主表面交叉的方向朝向金属电阻元件层延伸的多个导电层。在第 2 绝缘膜上形成多个第 2 配线层, 从而分别覆盖多个导电层。多个导电层中的至少一个导电层从第 2 配线层沿与主表面交叉的方向延伸到金属电阻元件层。

[0277] (24) 在 (23) 的半导体装置的制造方法中, 在形成上述多个导电层的工序中, 多个导电层中的至少一个延伸到金属电阻元件层的导电层形成为配置在与金属电阻元件层在平面上重叠的金属电阻元件区域中的电阻元件区域导电层。多个导电层中的至少一个导电层形成为在不是金属电阻元件区域的配线区域中从多个第 2 配线层中的至少一个第 2 配线层延伸成到达至少一个第 1 配线层的配线区域导电层。

[0278] (25) 关于半导体装置的制造方法,首先在基板的主表面上形成多个第 1 配线层。第 1 绝缘膜以覆盖多个第 1 配线层的上表面的方式形成。形成在第 1 绝缘膜的上表面中从多个第 1 配线层分别在平面上重叠的区域沿与主表面交叉的方向延伸到多个第 1 配线层中的至少一个第 1 配线层的多个导电层。在第 1 绝缘膜的上表面上,在多个导电层中的至少一个导电层的正上方形成具有至少一个金属电阻元件层的金属电阻元件区域。在第 1 绝缘膜上以与至少一个第 1 配线层在平面上重叠的方式形成至少一个第 2 配线层,从而形成配线区域。至少一个第 2 配线层形成为包括与至少一个金属电阻元件层相同的层。

[0279] (26) 在 (25) 的半导体装置的制造方法中,在形成上述多个导电层的工序中,多个导电层中的至少一个配置于与金属电阻元件层在平面上重叠的金属电阻元件区域,并且形成为以从至少一个金属电阻元件层到达多个第 1 配线层中的至少一个第 1 配线层的方式连接的电阻元件区域导电层。多个导电层中的至少一个形成为在不是金属电阻元件区域的配线区域中从至少一个第 2 配线层延伸到到达多个第 1 配线层中的至少一个第 1 配线层的配线区域导电层。

[0280] (27) 在 (26) 的半导体装置的制造方法中,在形成具有第 2 配线层的区域的工序中,在金属电阻元件区域中形成多个第 2 配线层。在金属电阻元件区域中彼此相邻的一对第 2 配线层的上表面及侧面、以及彼此相邻的一对第 2 配线层之间的第 1 绝缘膜上形成金属电阻元件层。

[0281] (28) 在 (26) 的半导体装置的制造方法中,在形成上述金属电阻元件层的工序中,配线区域中的第 2 配线层的上表面以及侧面中的至少任一方被包括与金属电阻元件层相同的层的其他金属电阻元件层覆盖。

[0282] 对本发明的实施方式进行了说明,但是应该认为本次公开的实施方式在所有的方面是示例,并不是限定。本发明的范围通过权利要求书表示,包括在与权利要求书相同的意思以及范围内的所有的变更。

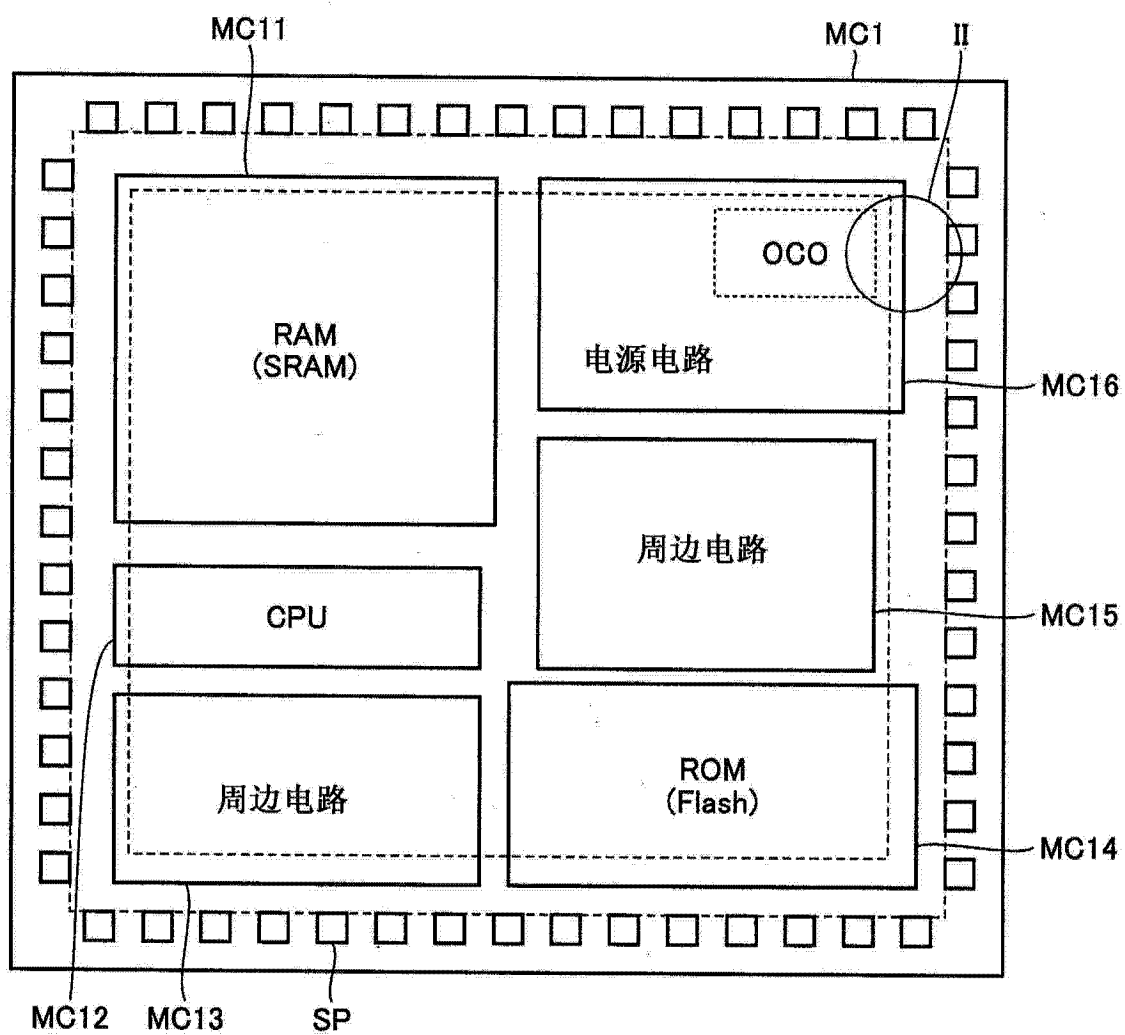


图 1

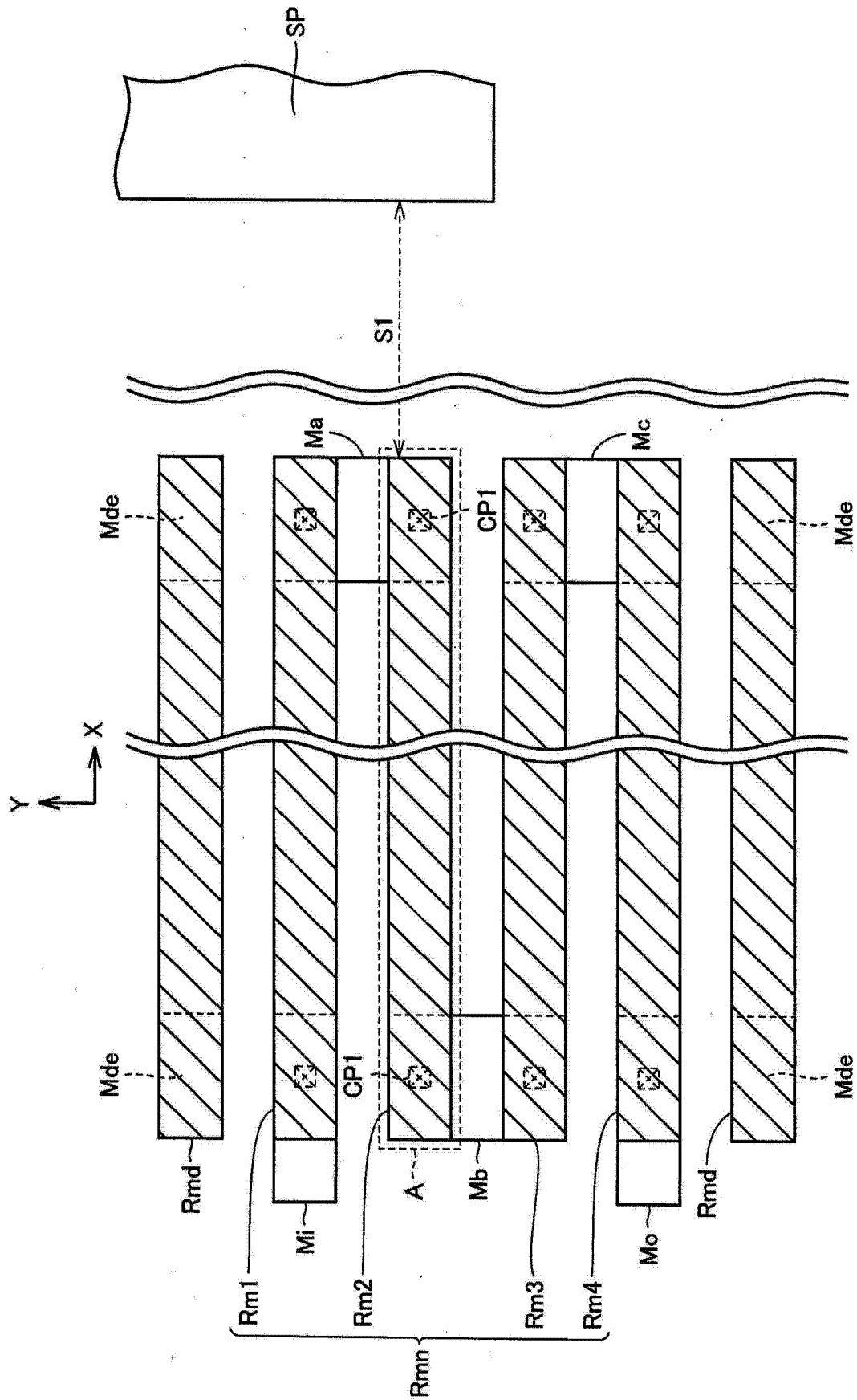


图 2

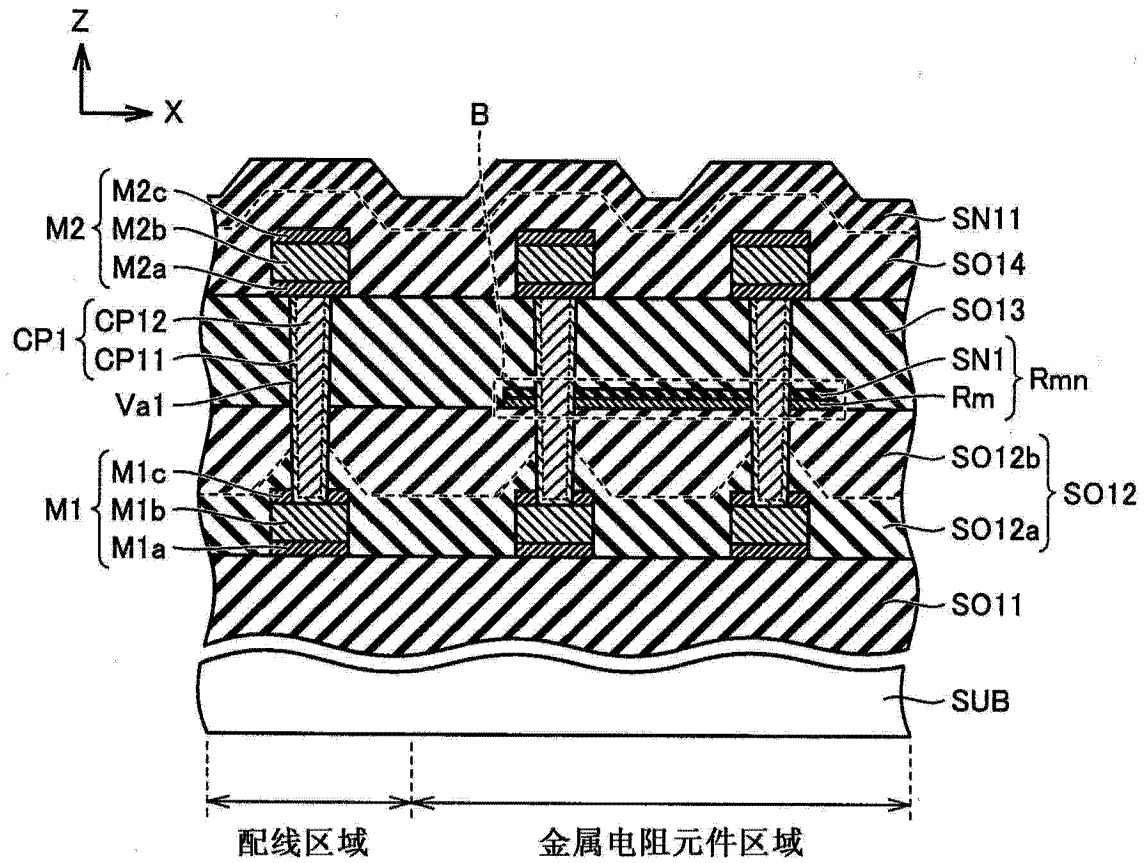


图 3

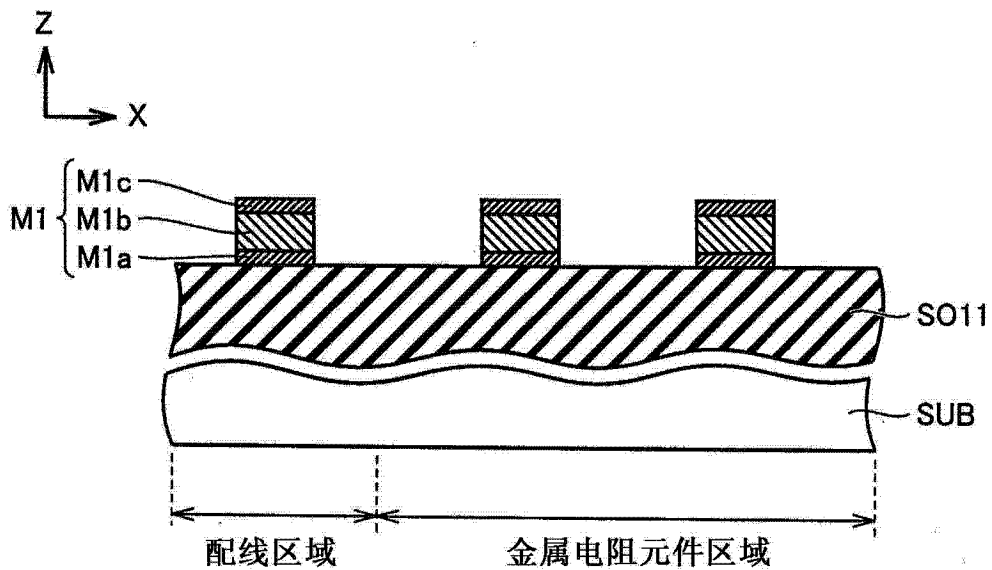


图 4

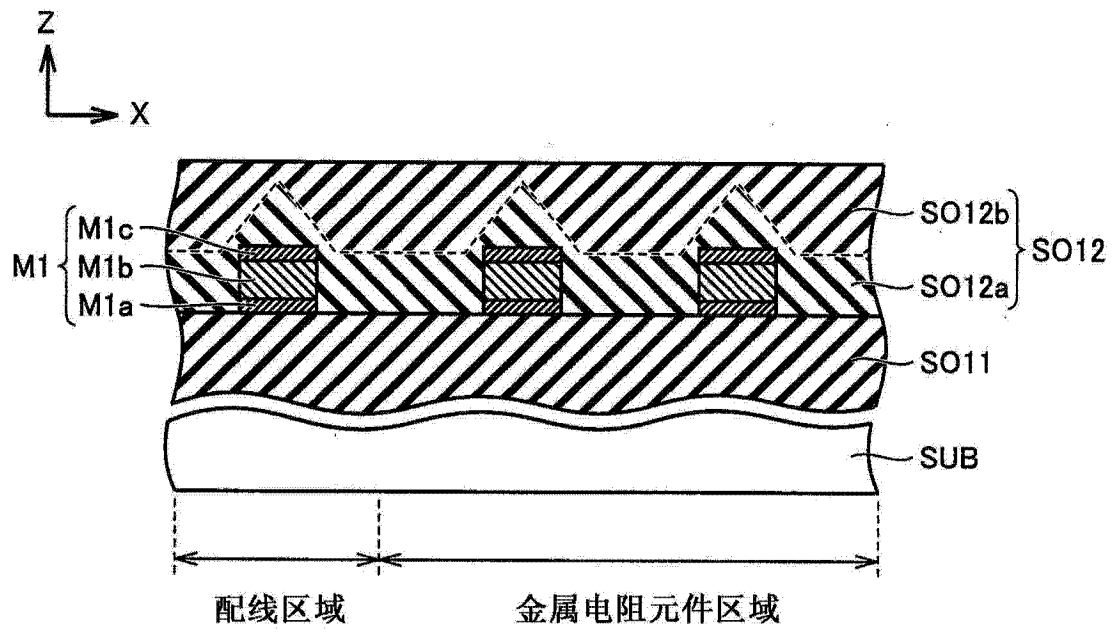


图 5

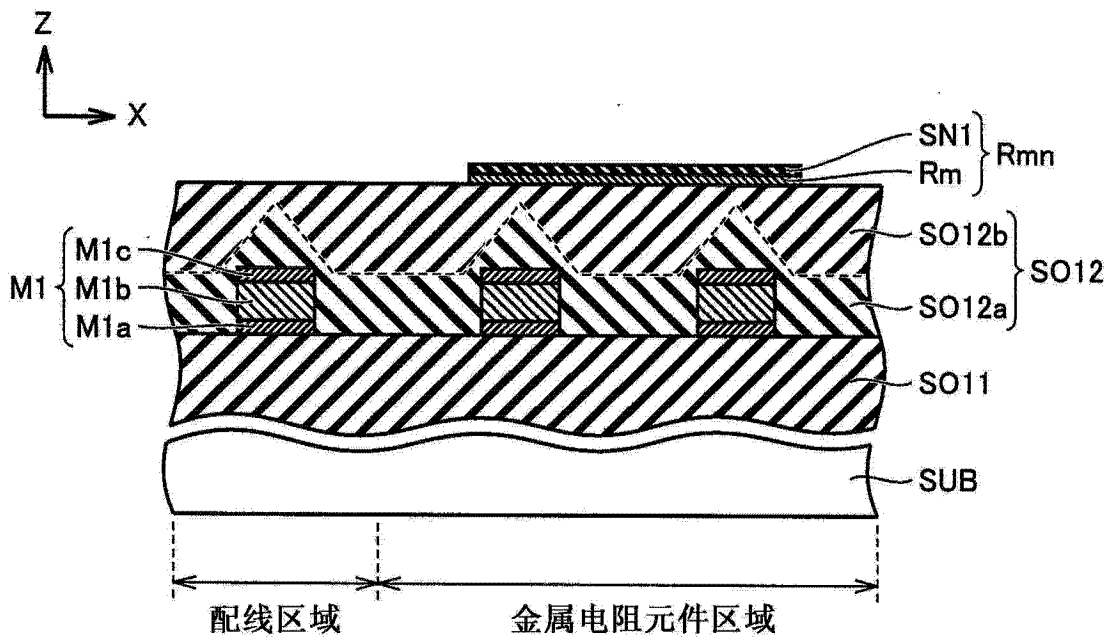


图 6

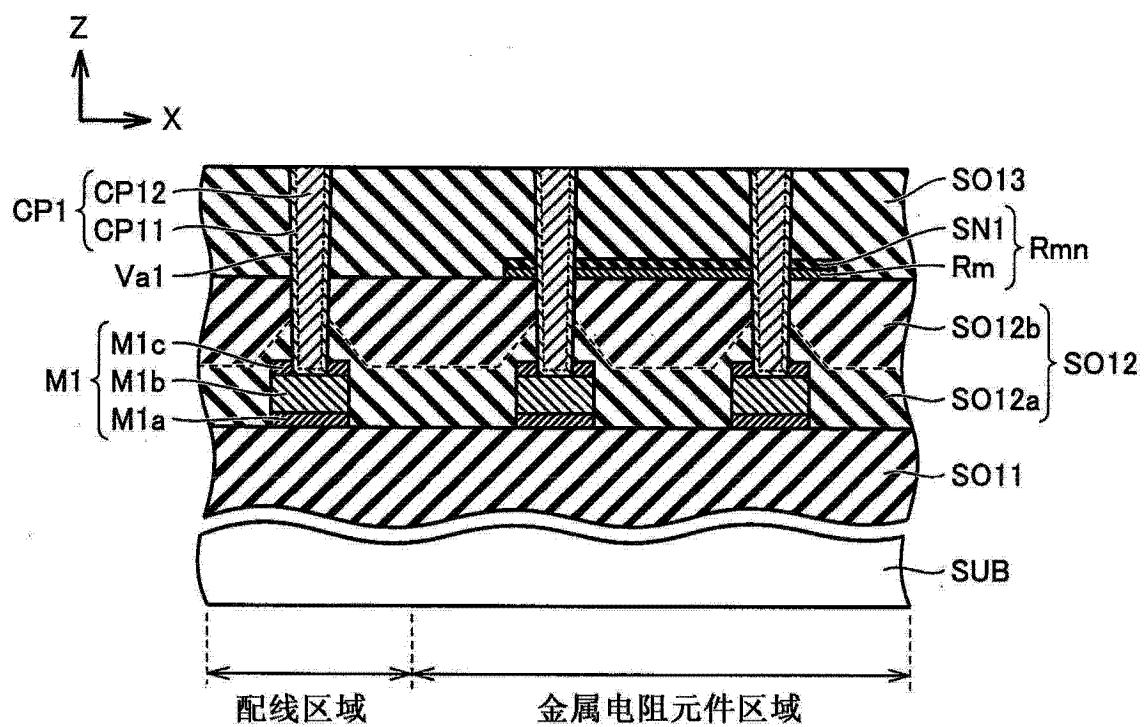


图 7

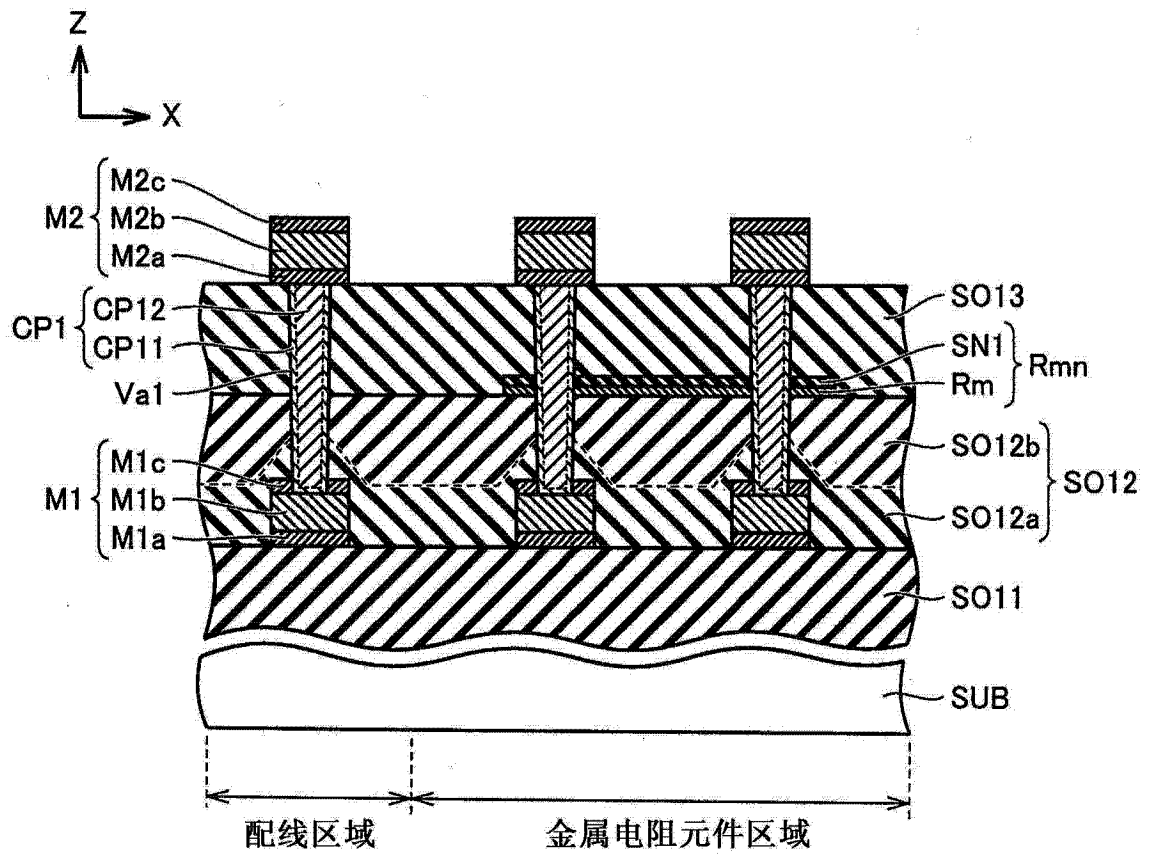


图 8

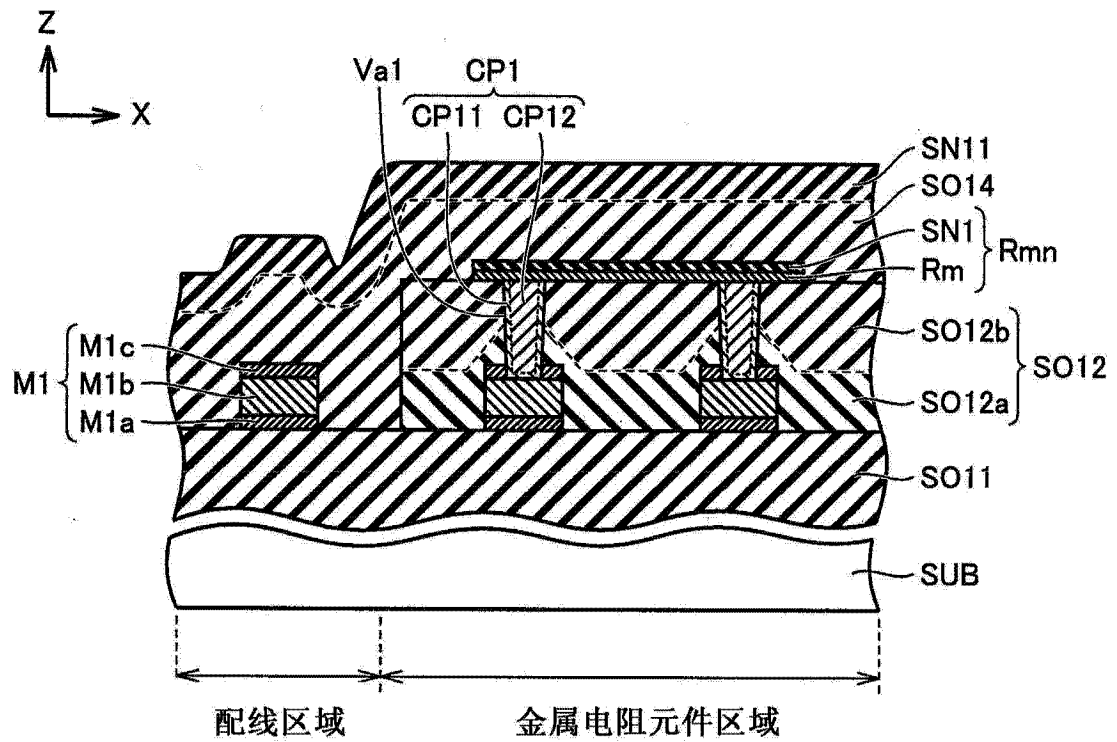


图 9

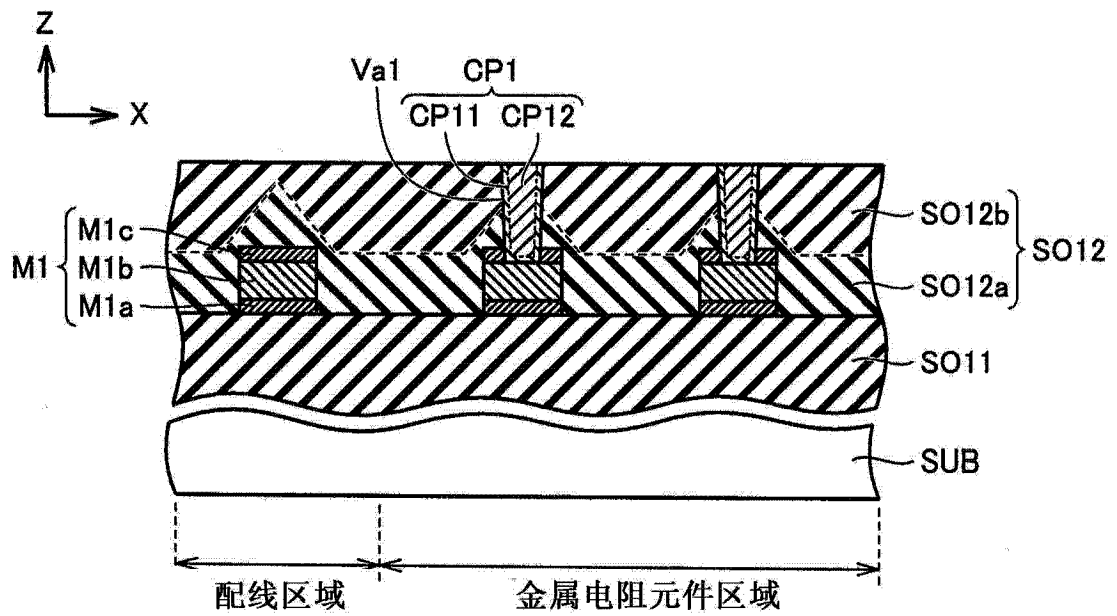


图 10

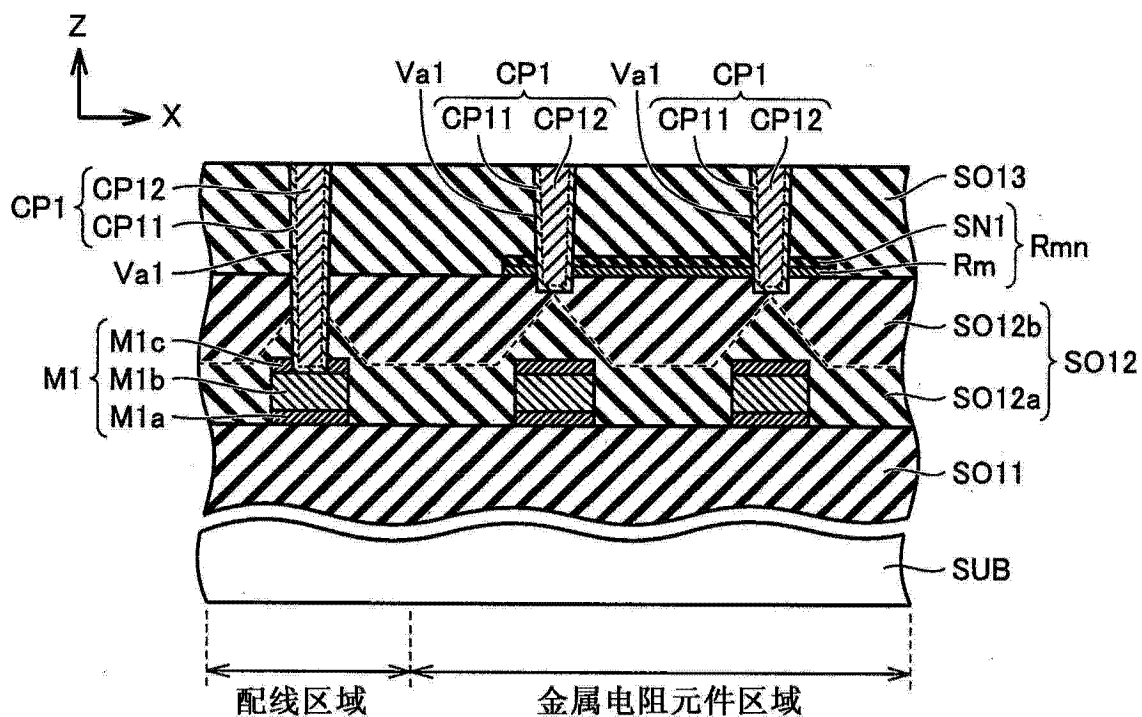


图 13

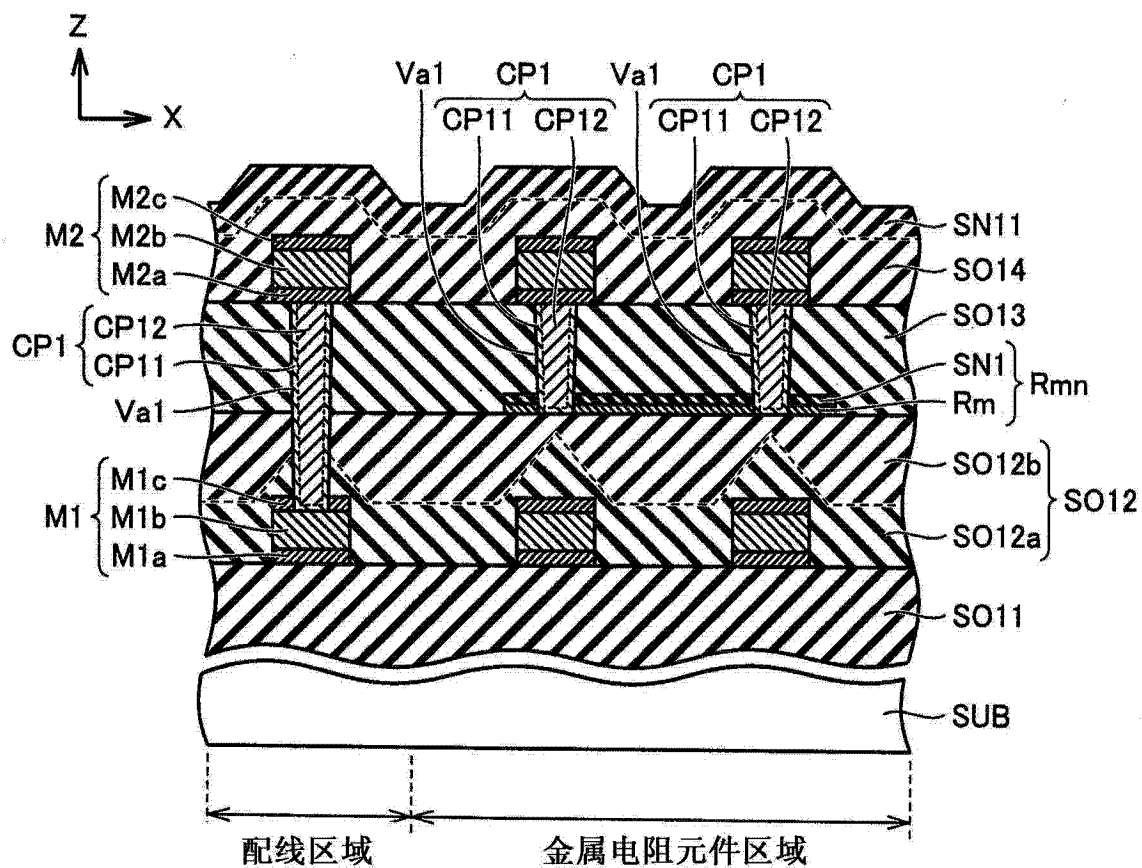


图 14

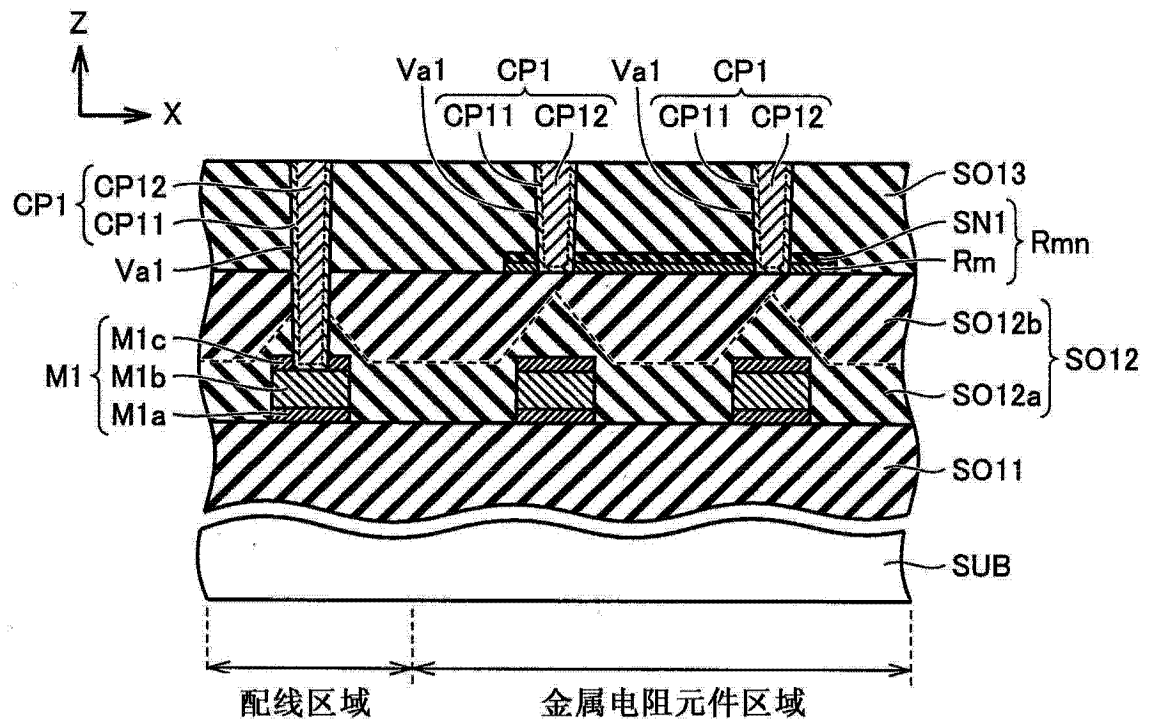


图 15

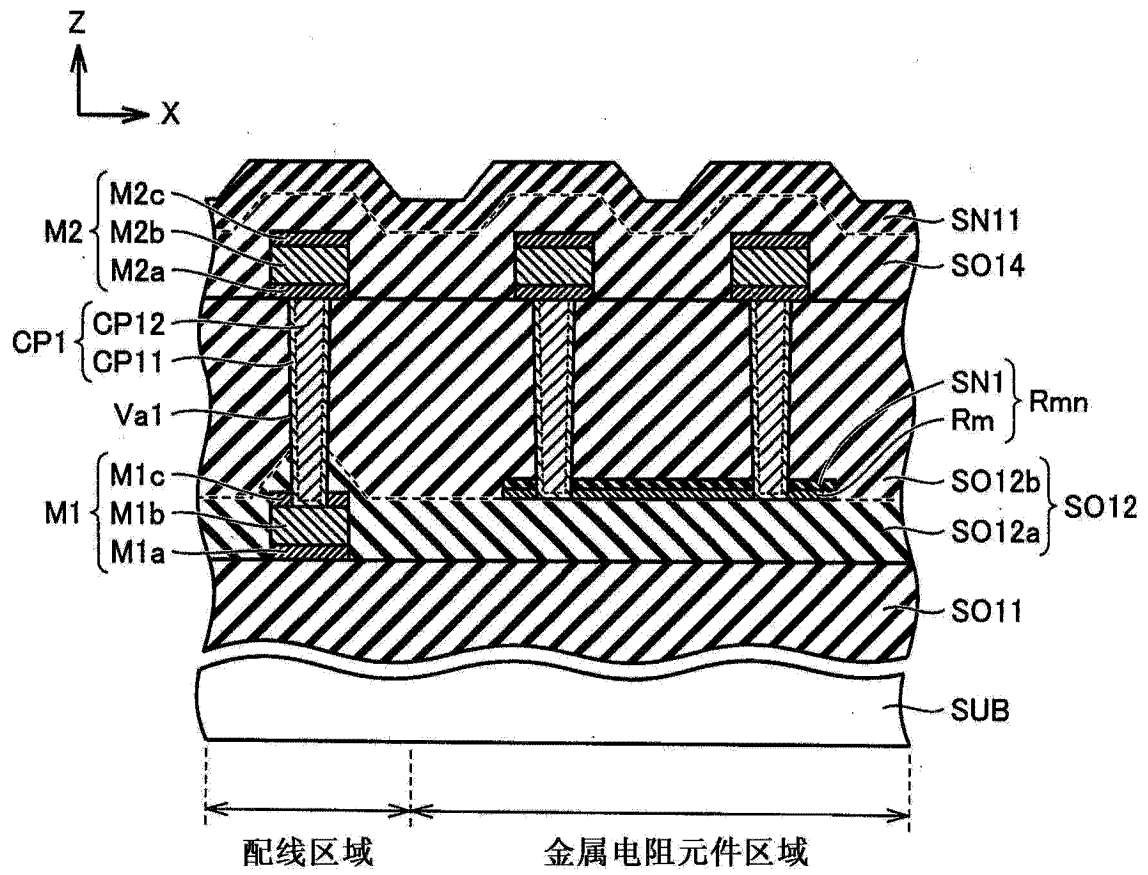


图 16

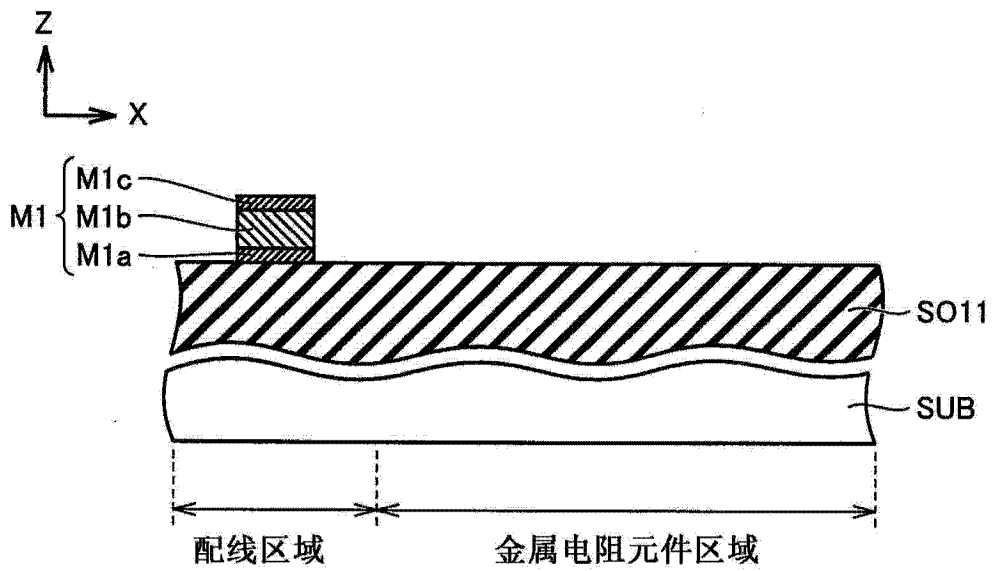


图 17

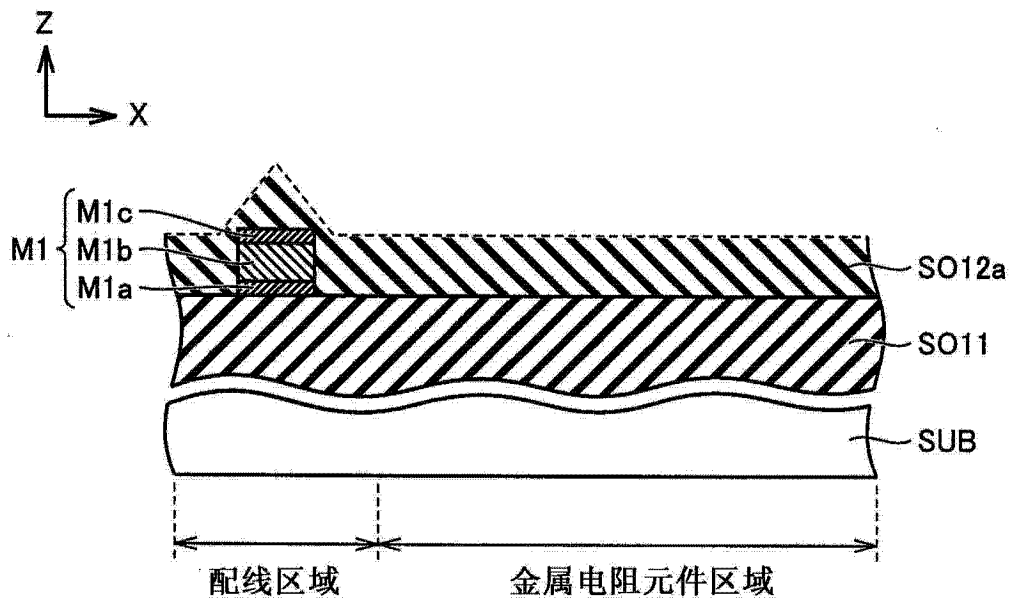


图 18

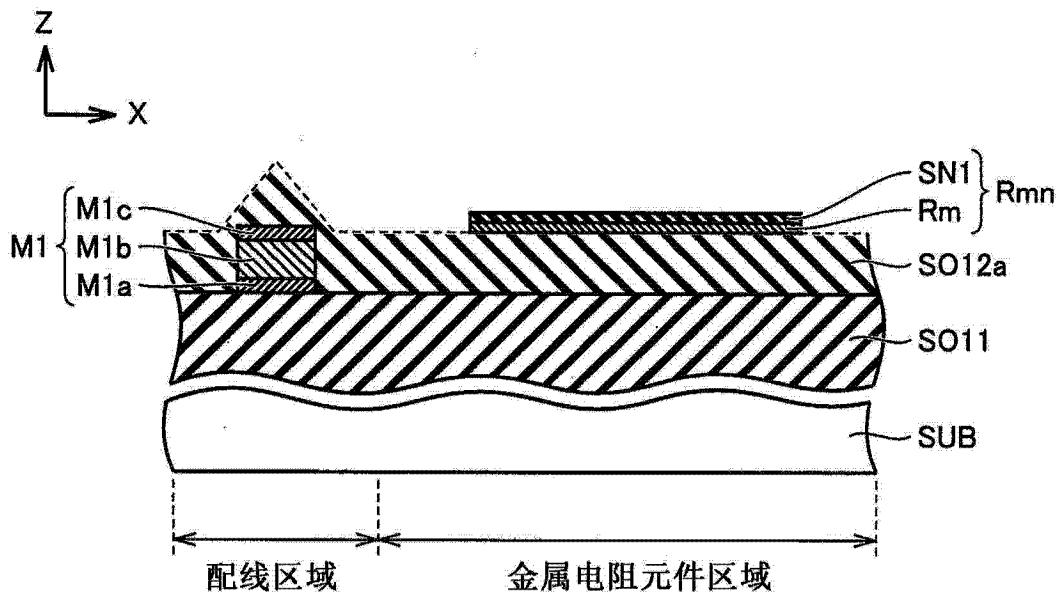


图 19

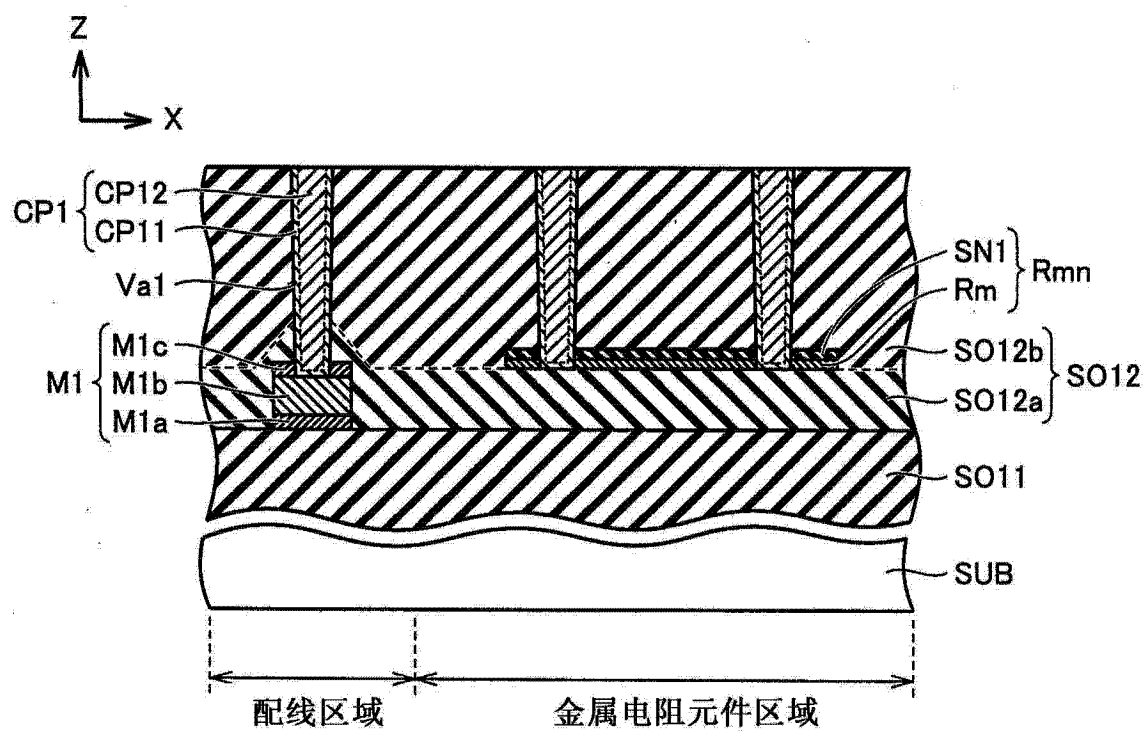


图 20

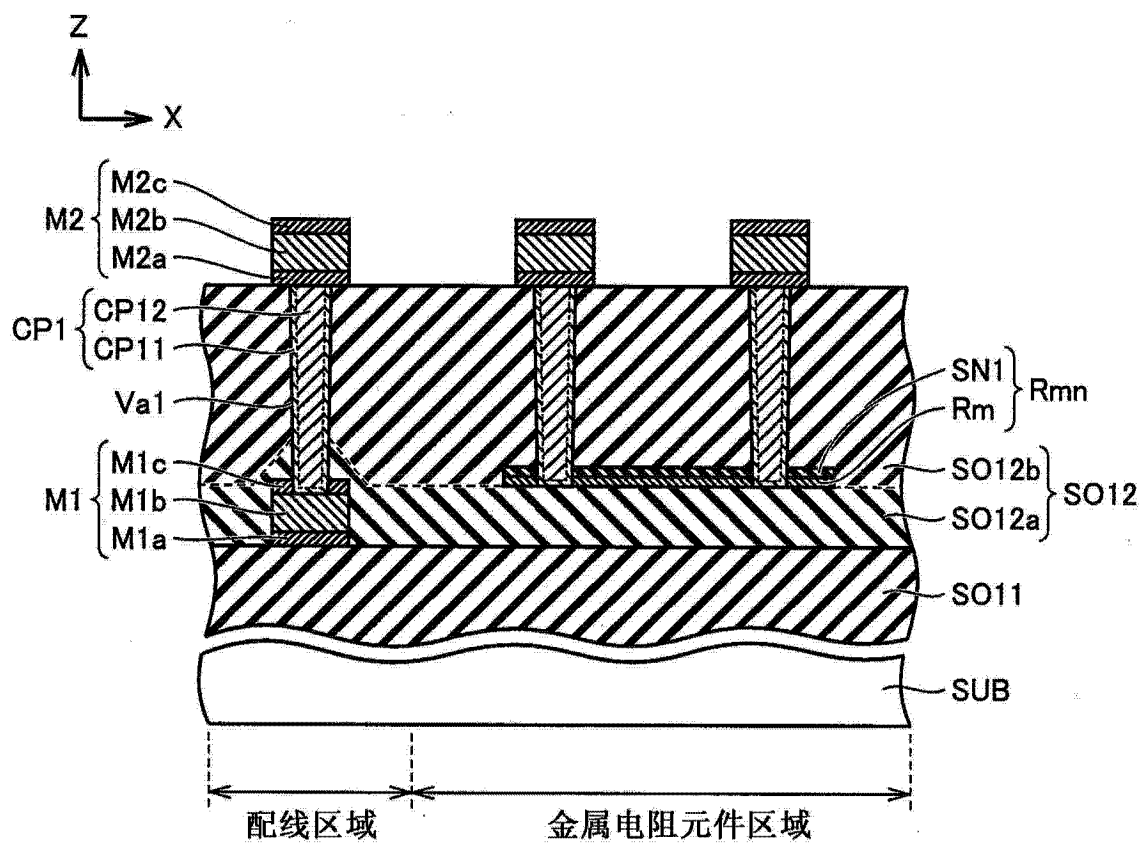


图 21

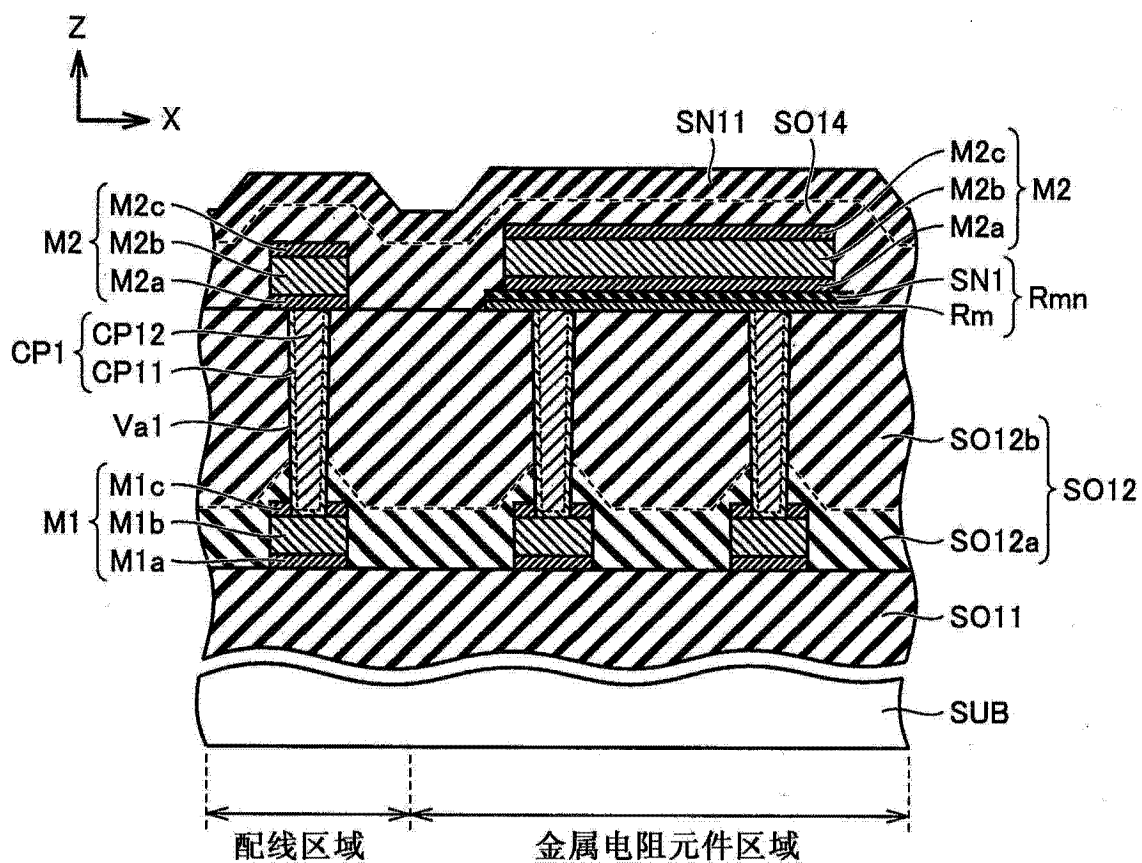


图 22

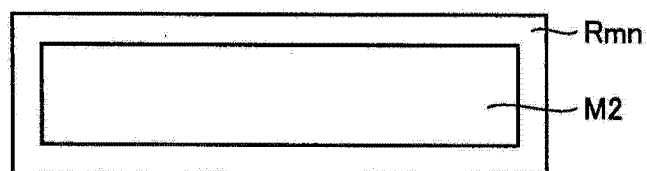


图 23

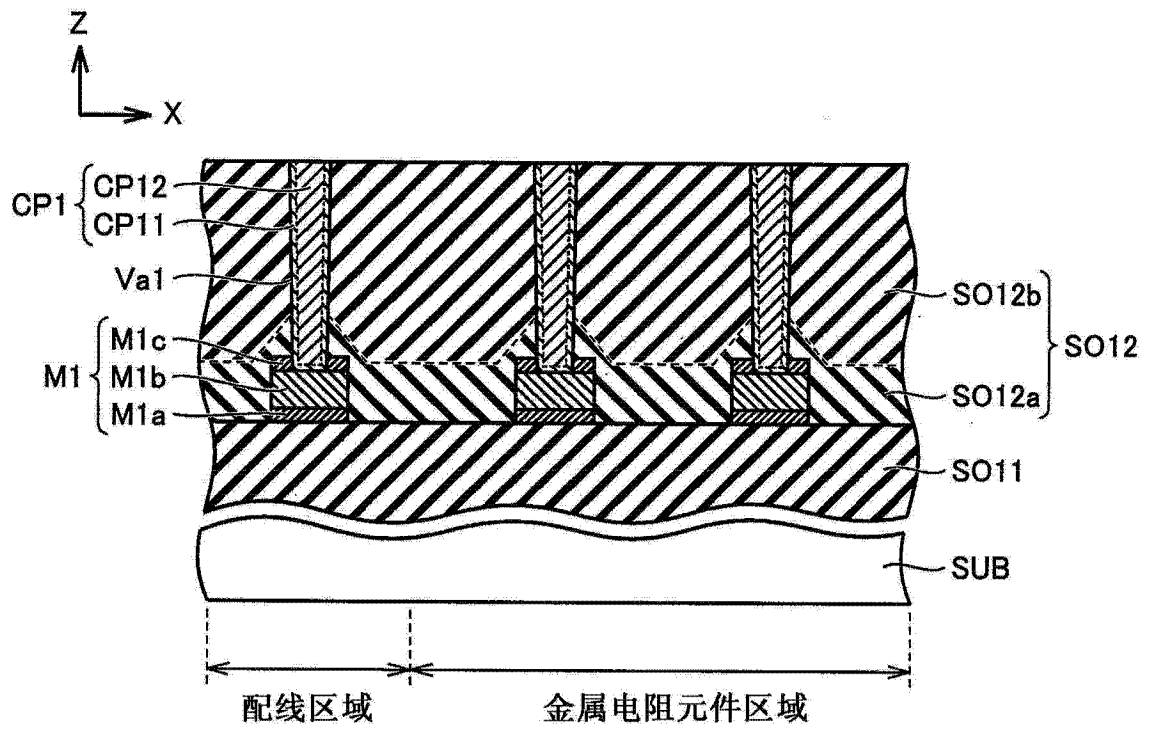


图 24

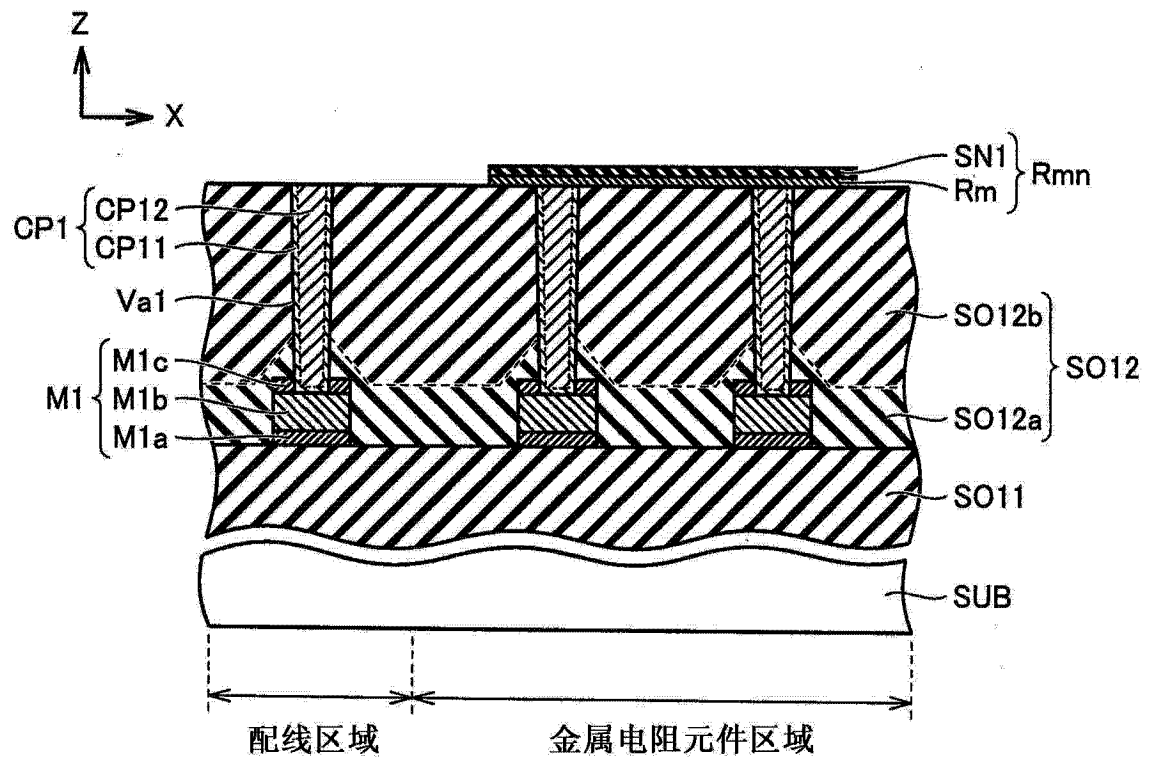


图 25

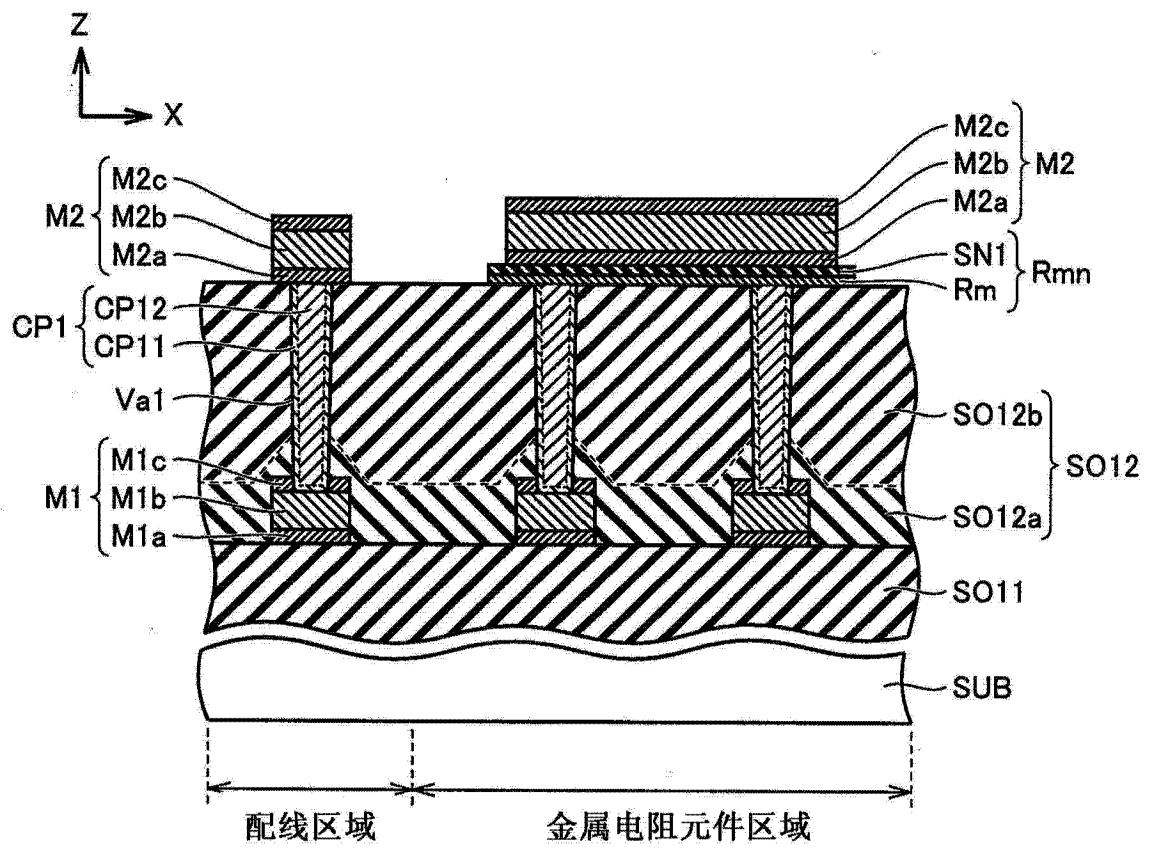


图 26

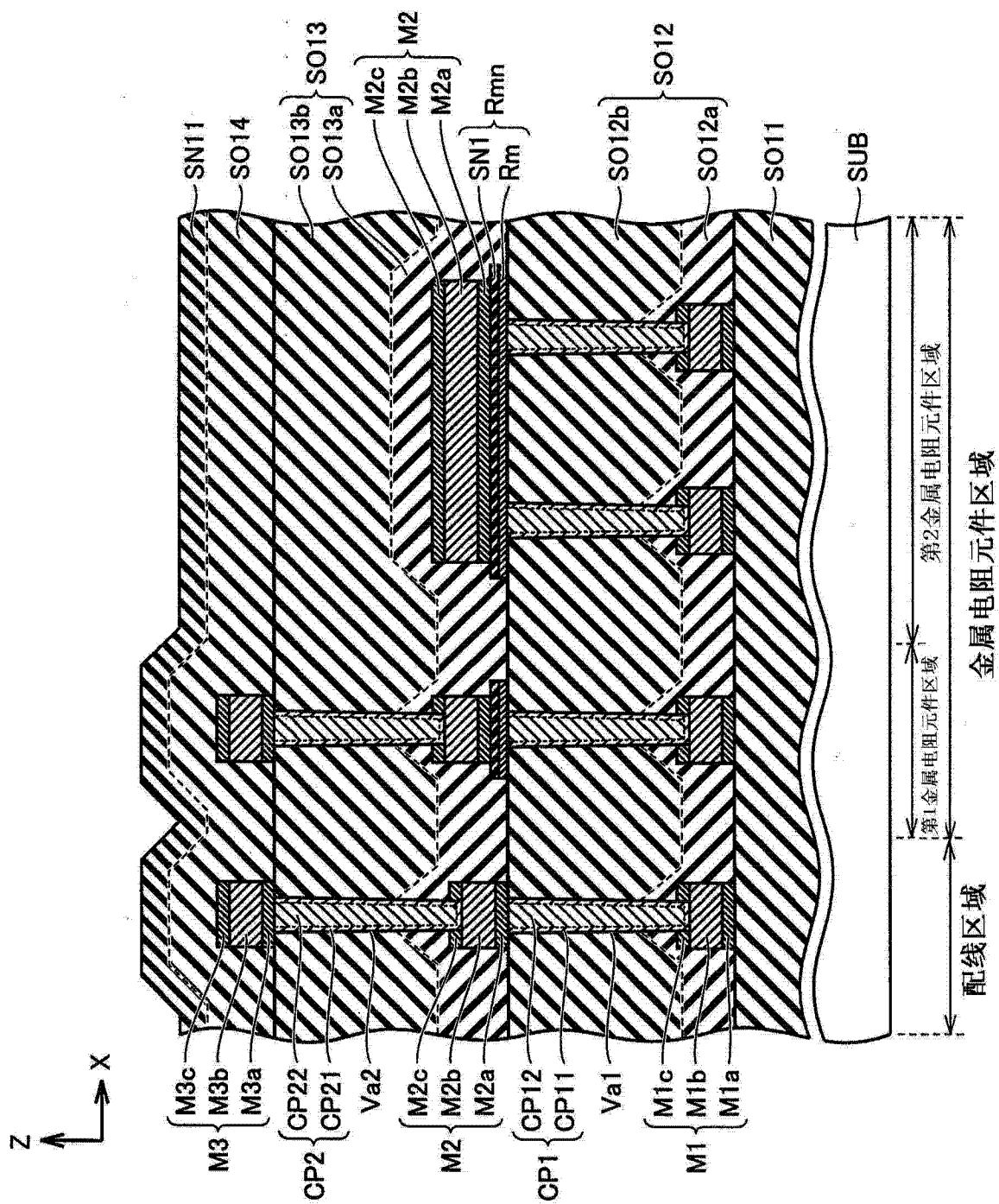


图 27

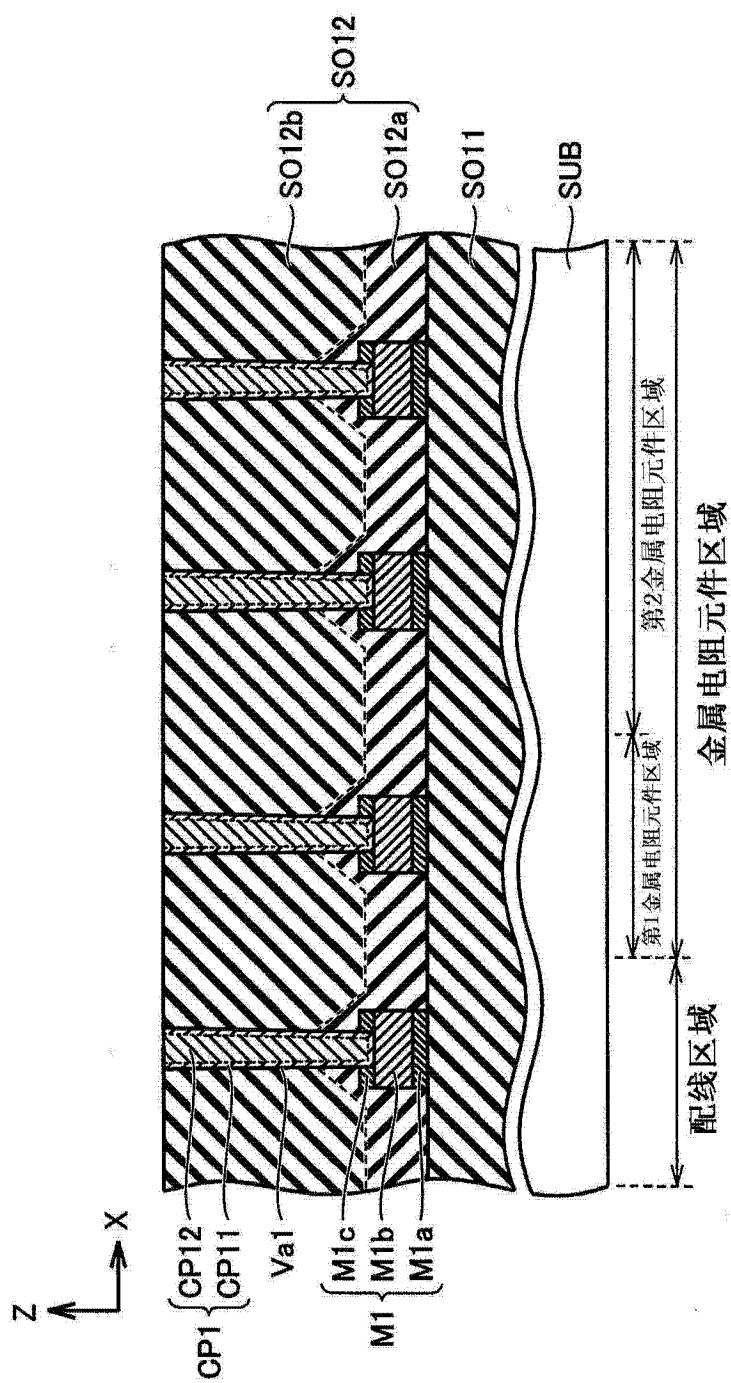


图 28

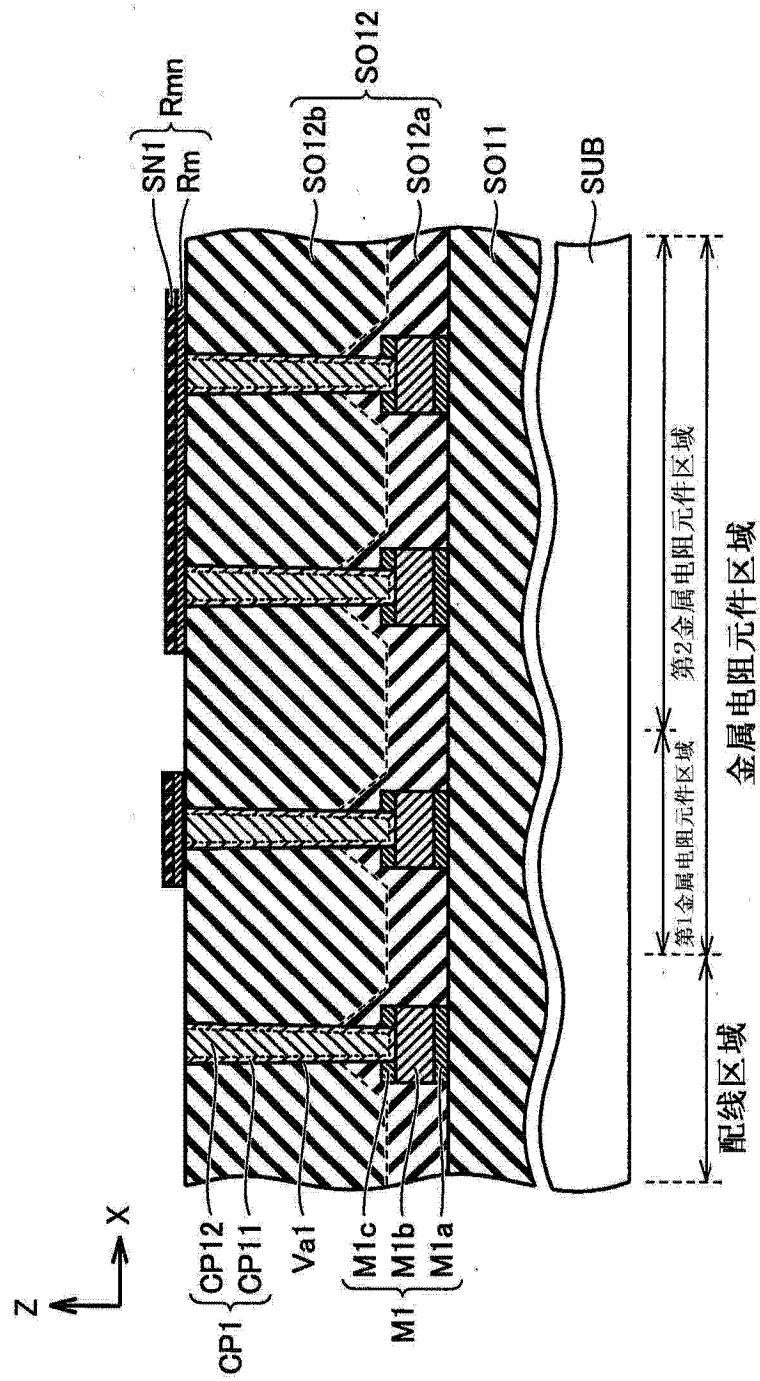


图 29

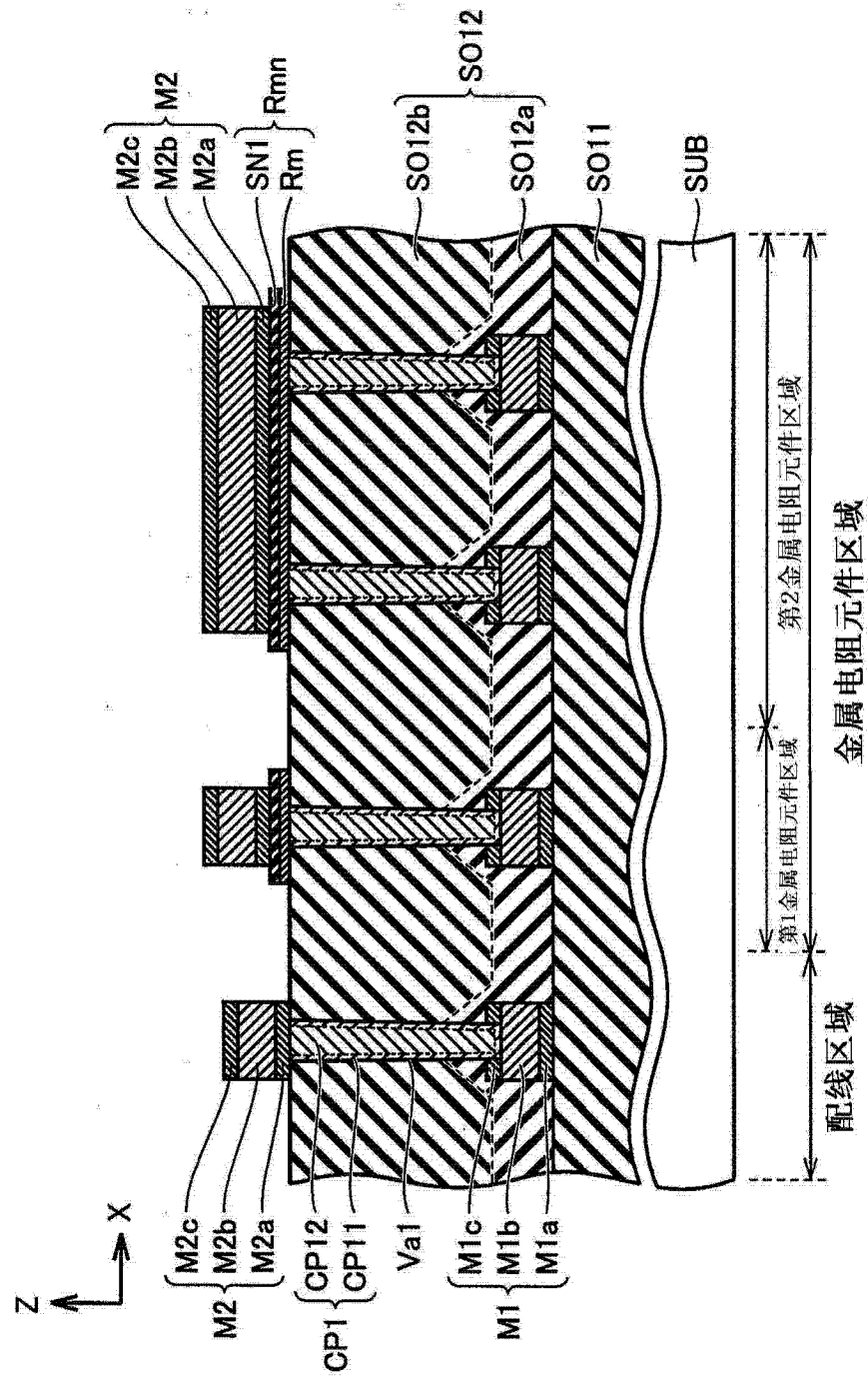


图 30

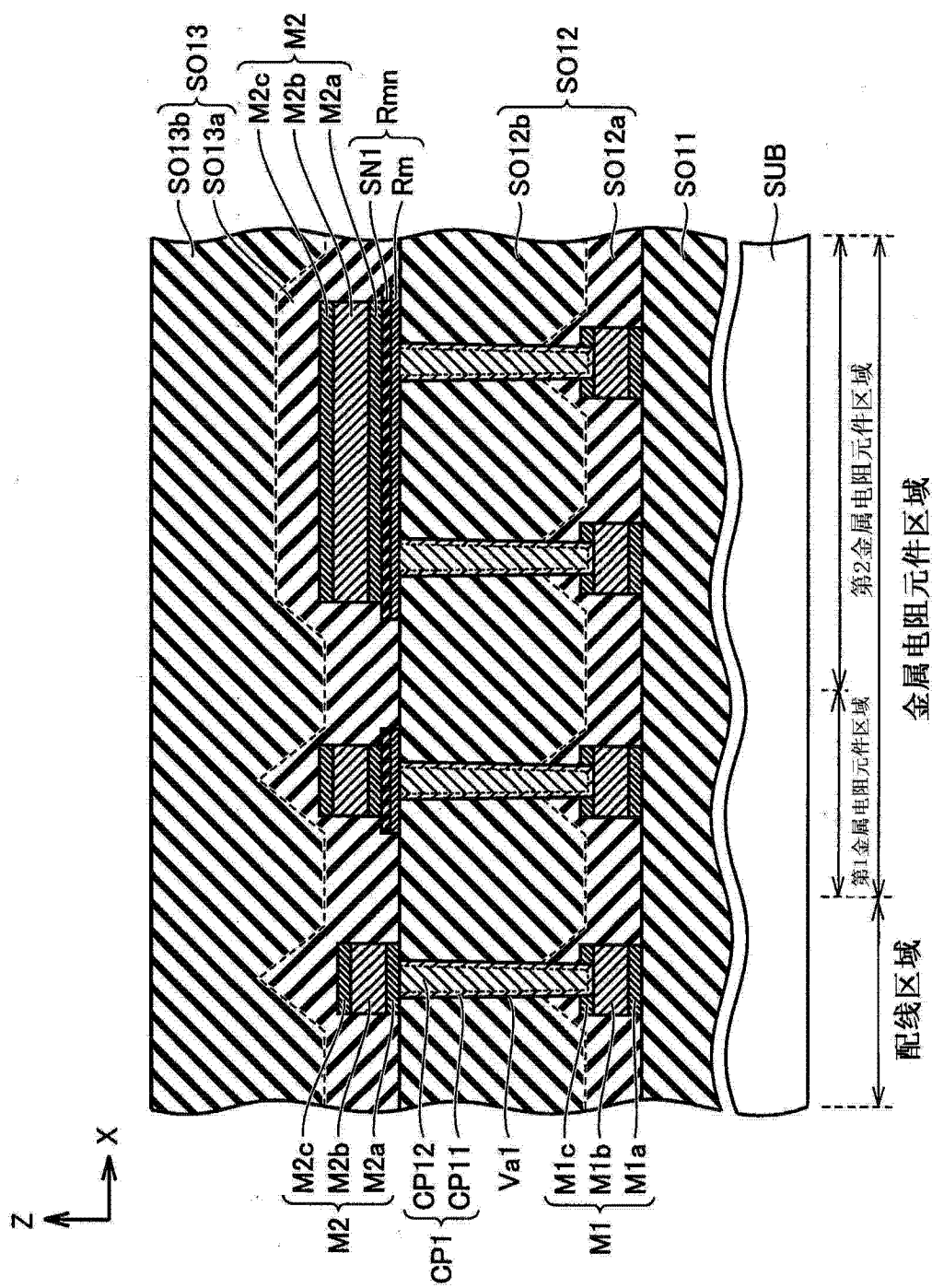


图 31

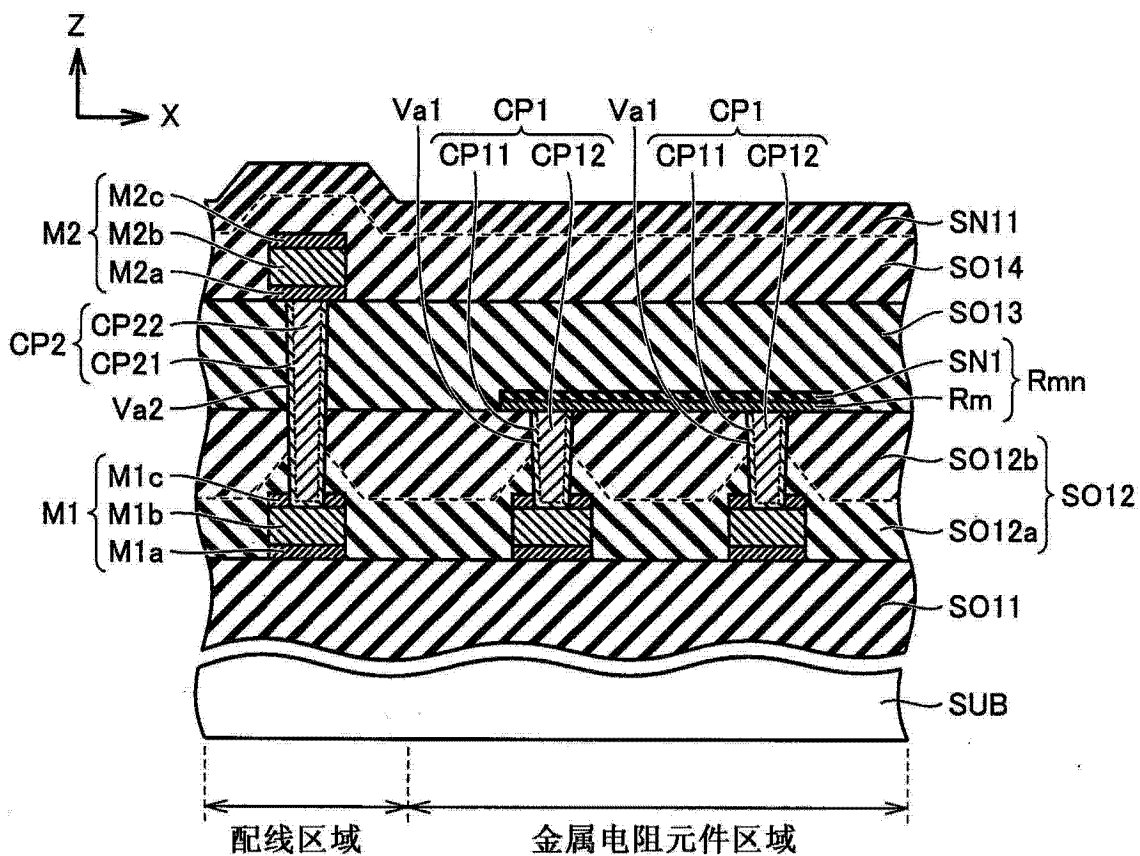


图 32

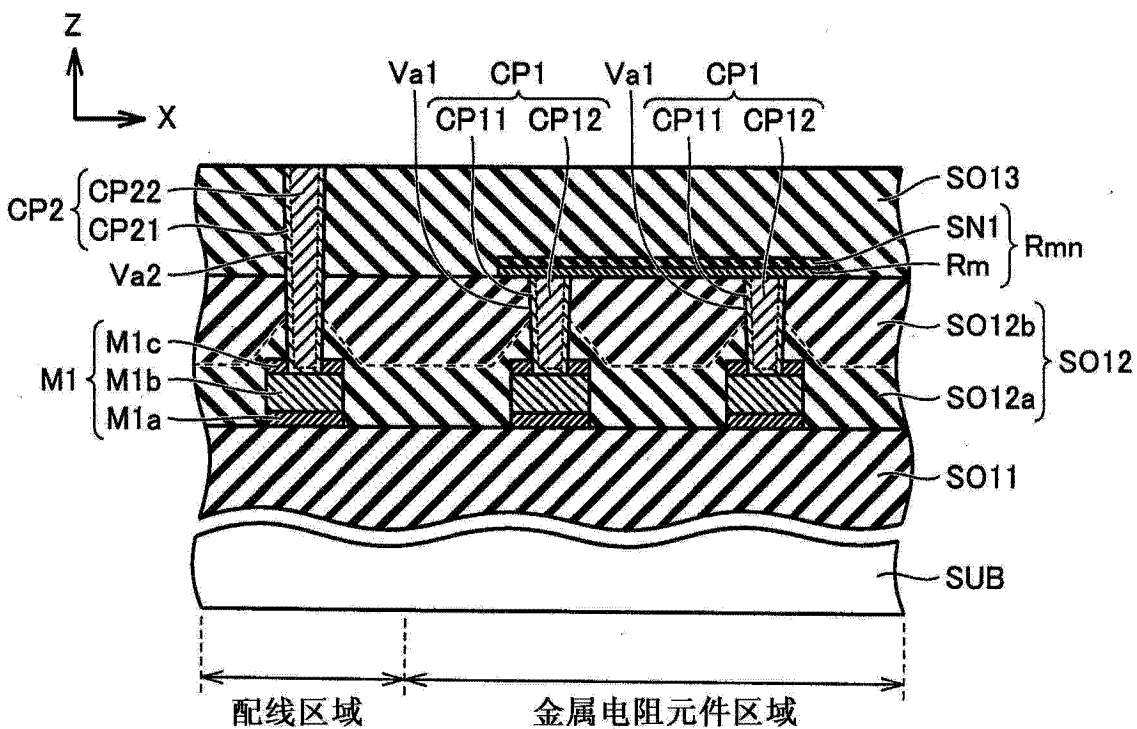


图 33

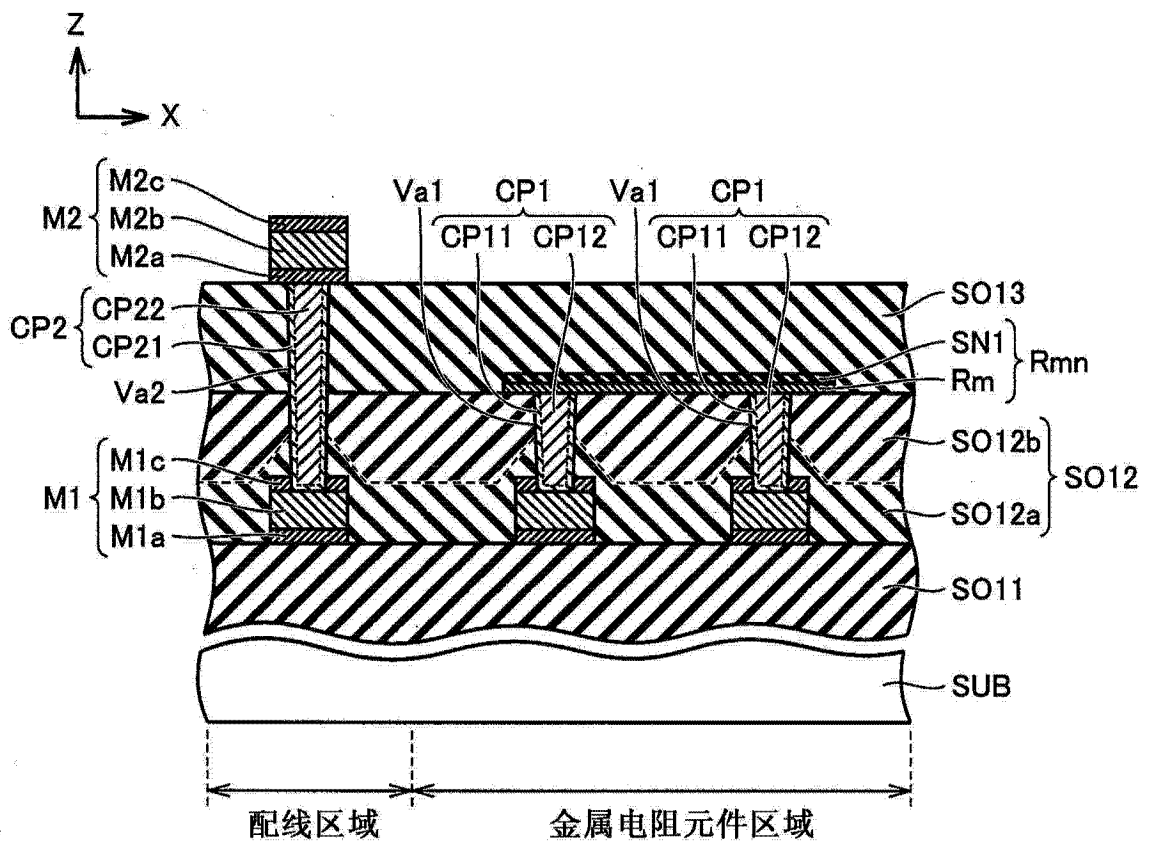


图 34

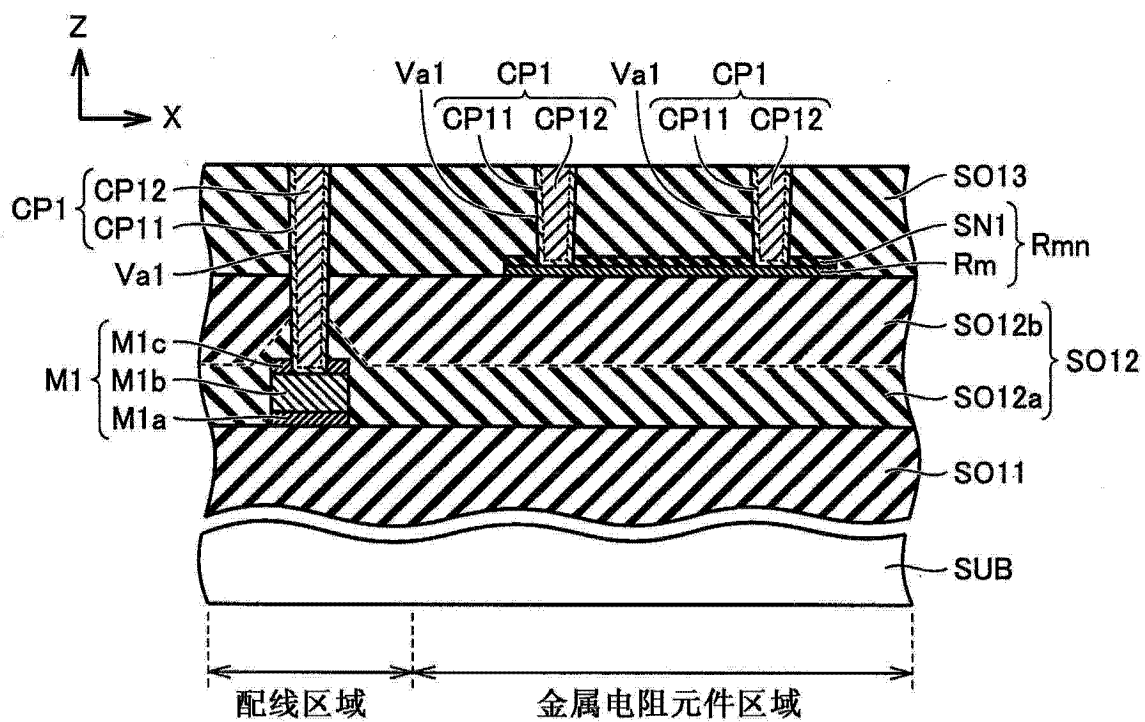


图 37

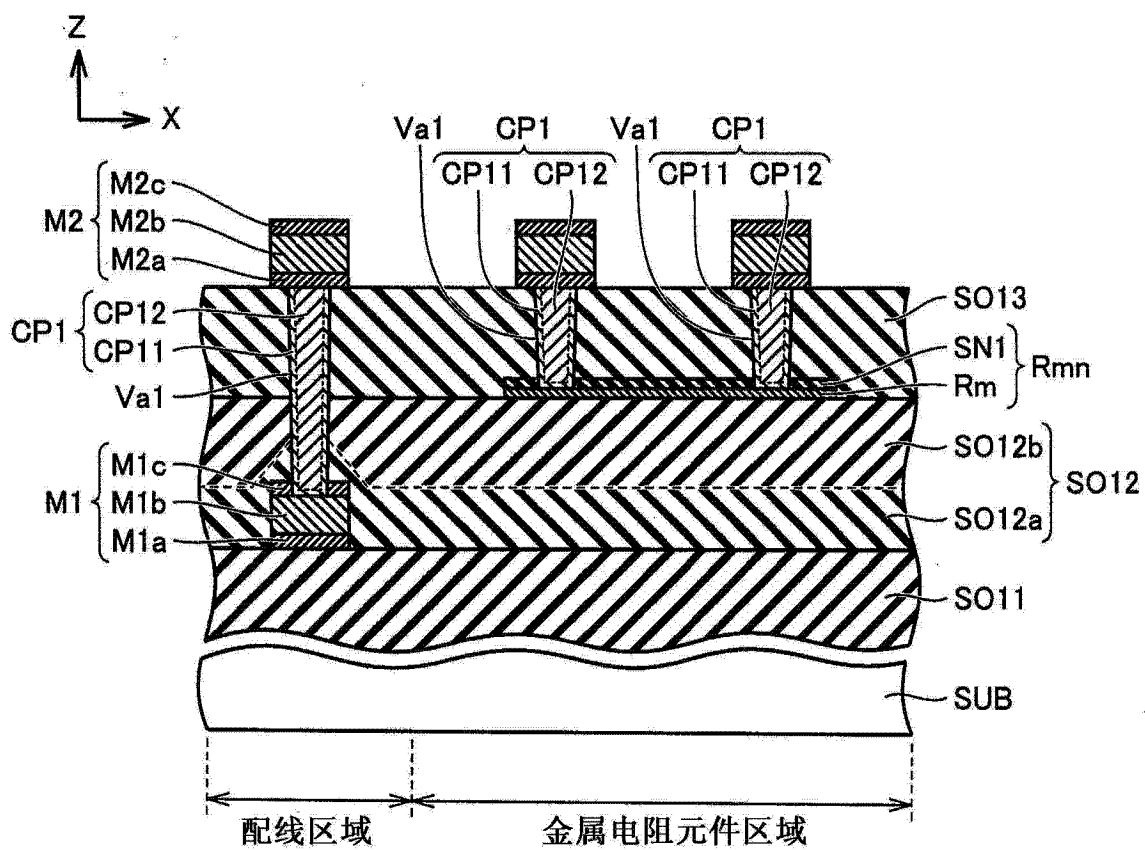


图 38

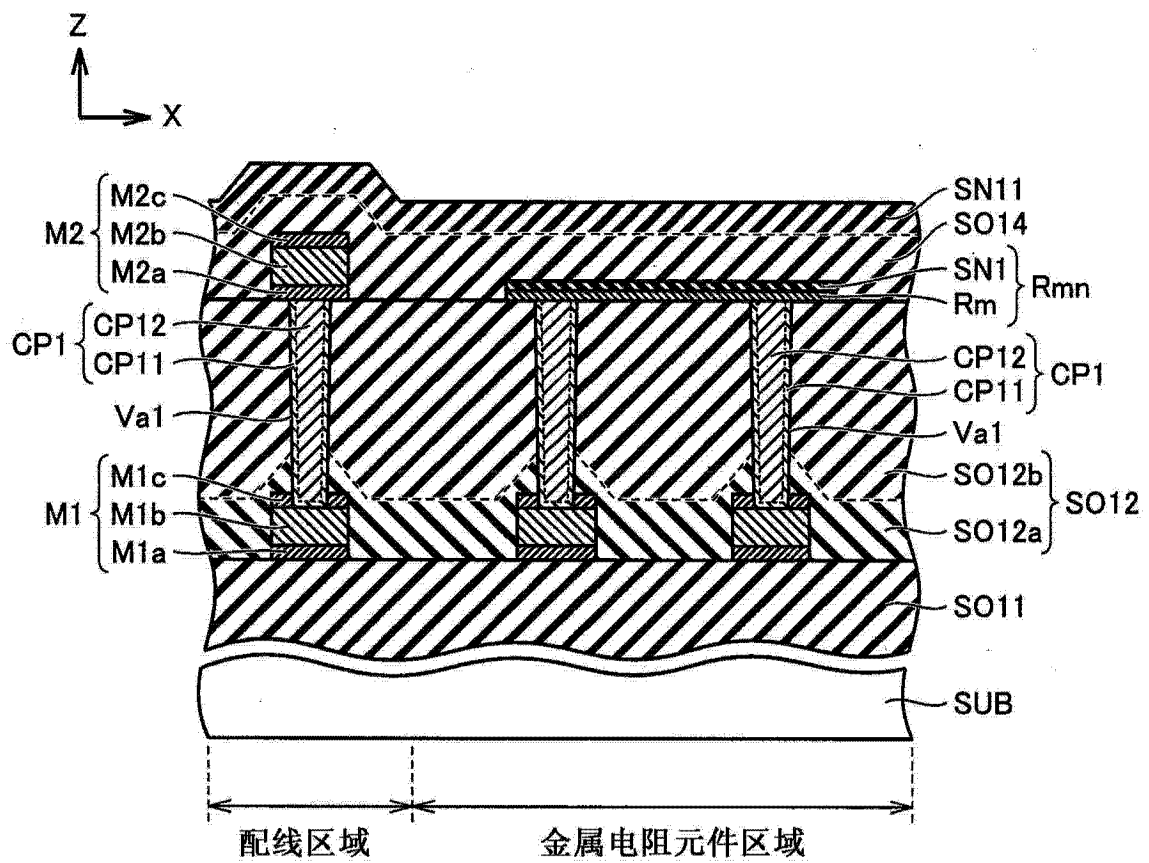


图 39

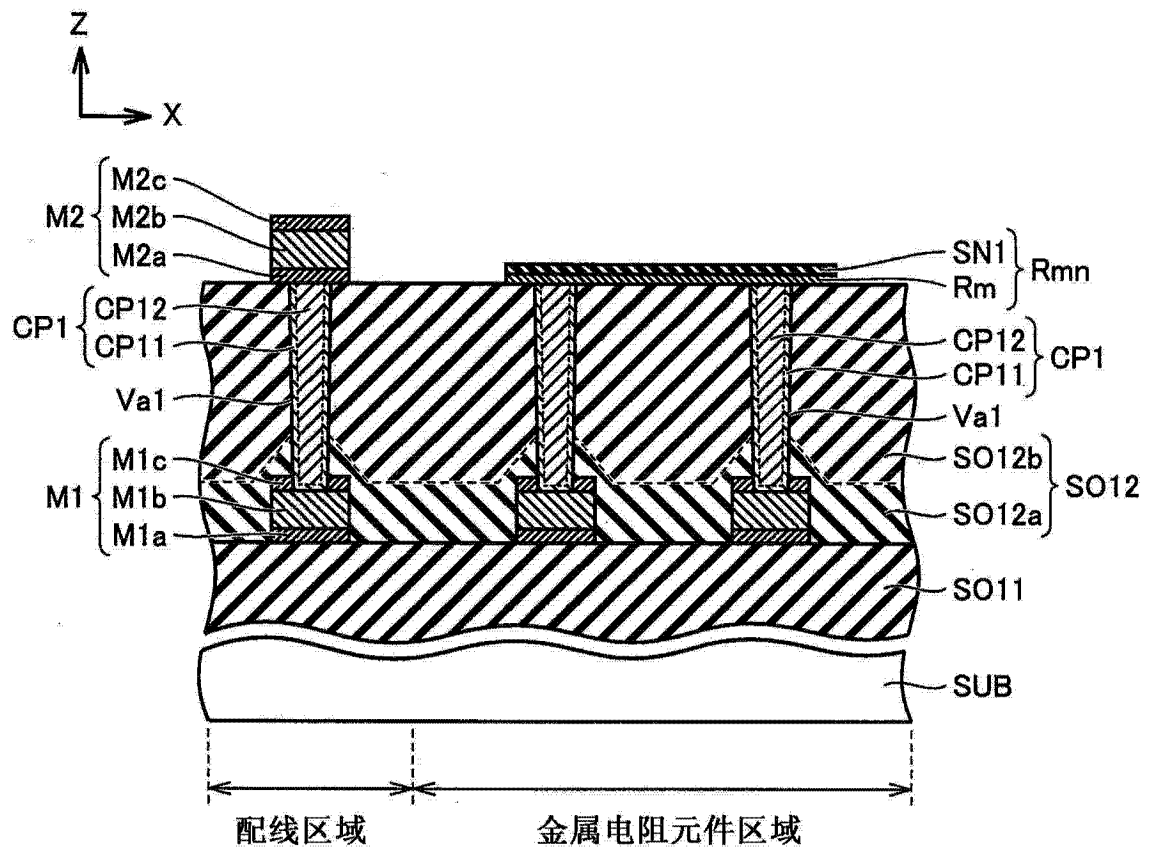


图 40

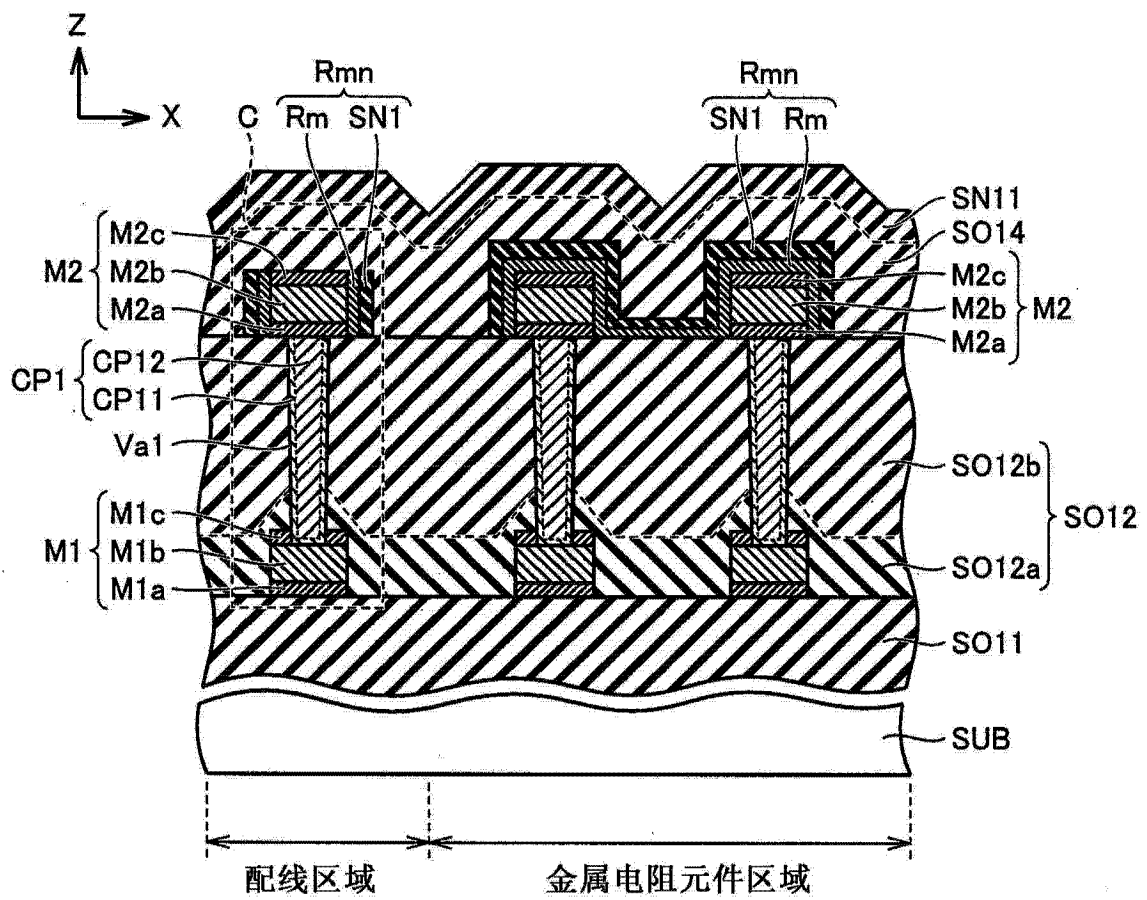


图 41

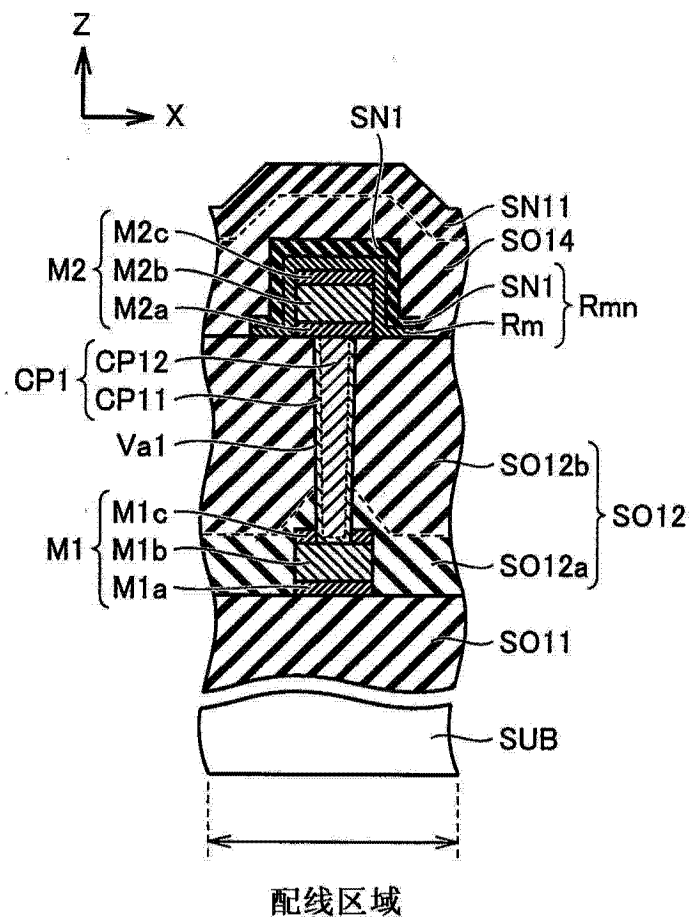


图 42

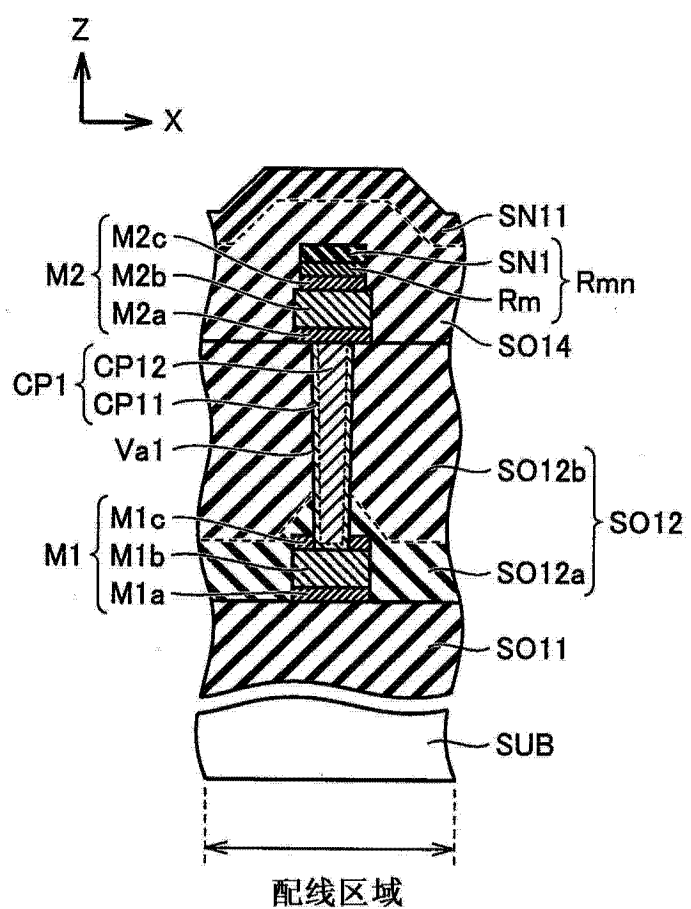


图 43

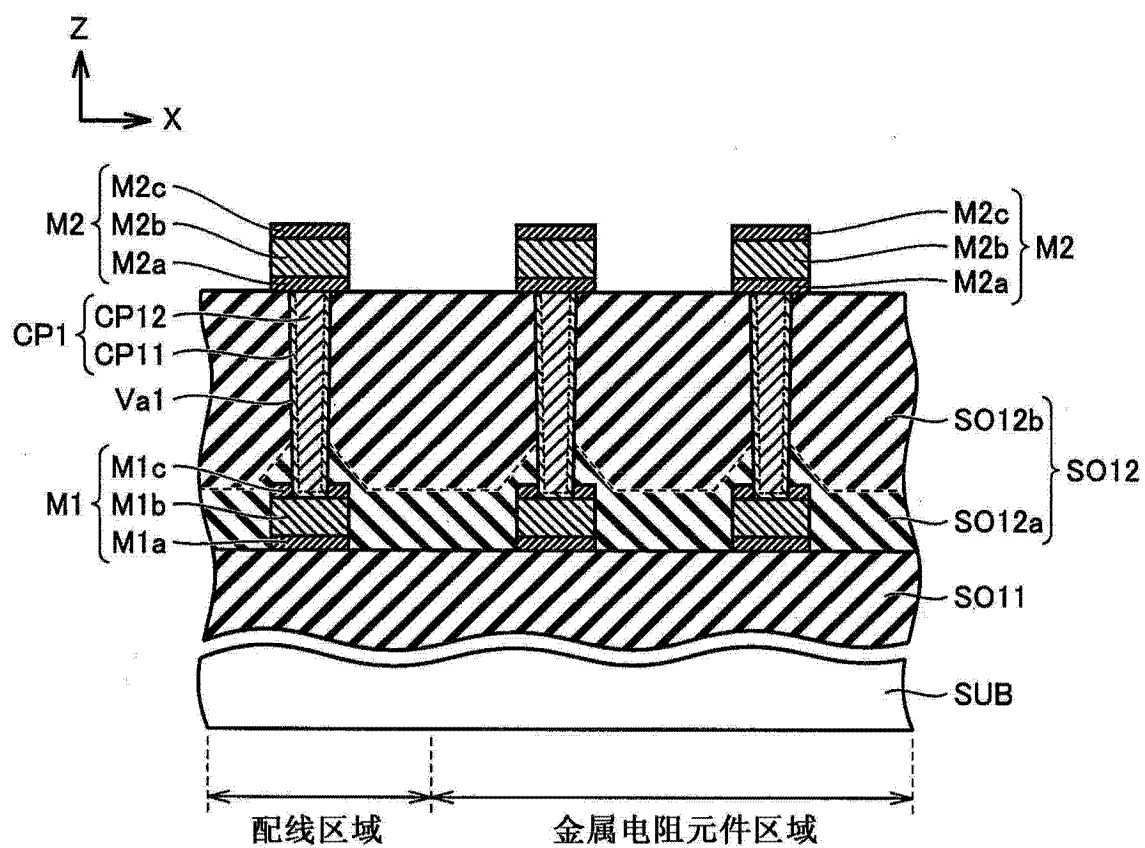


图 44

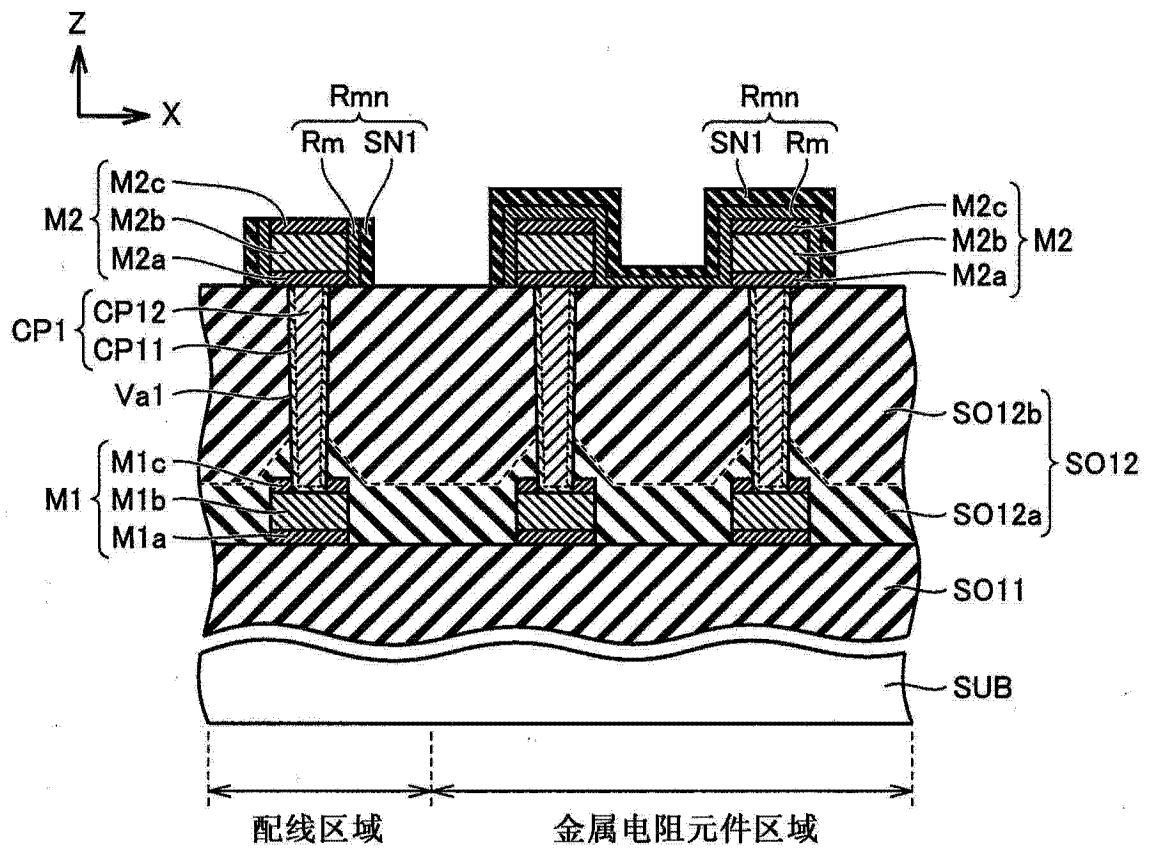


图 45

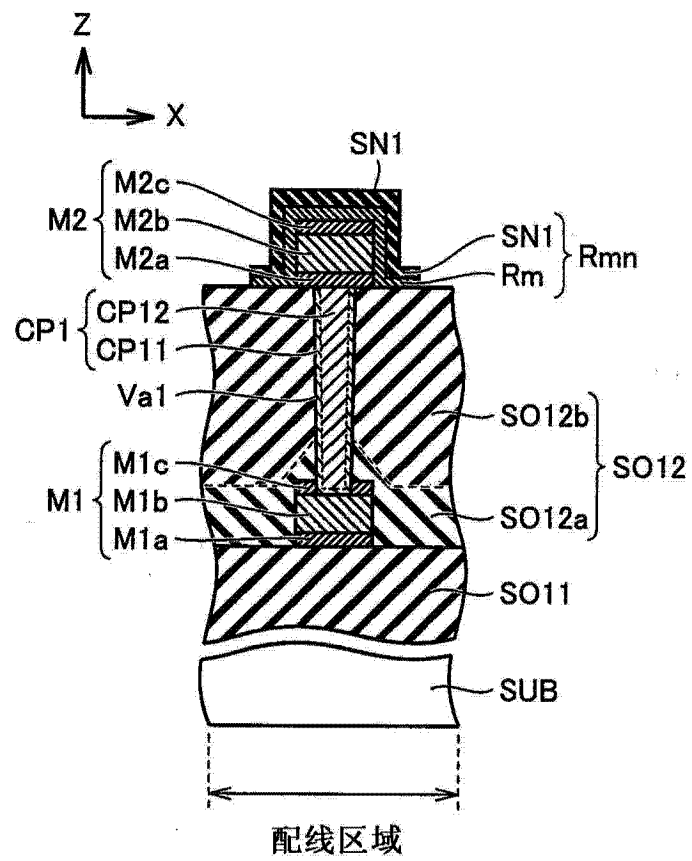


图 46

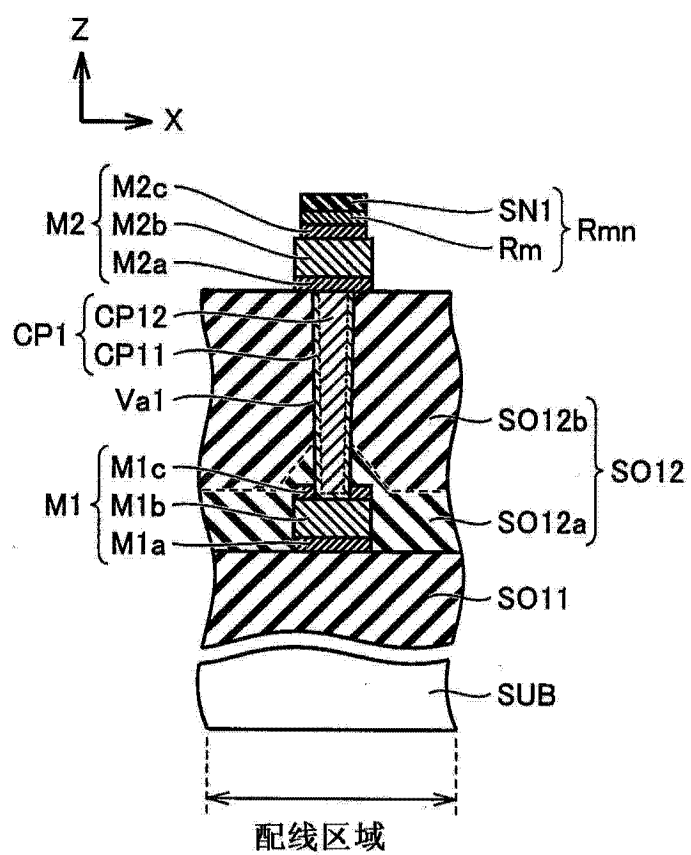


图 47

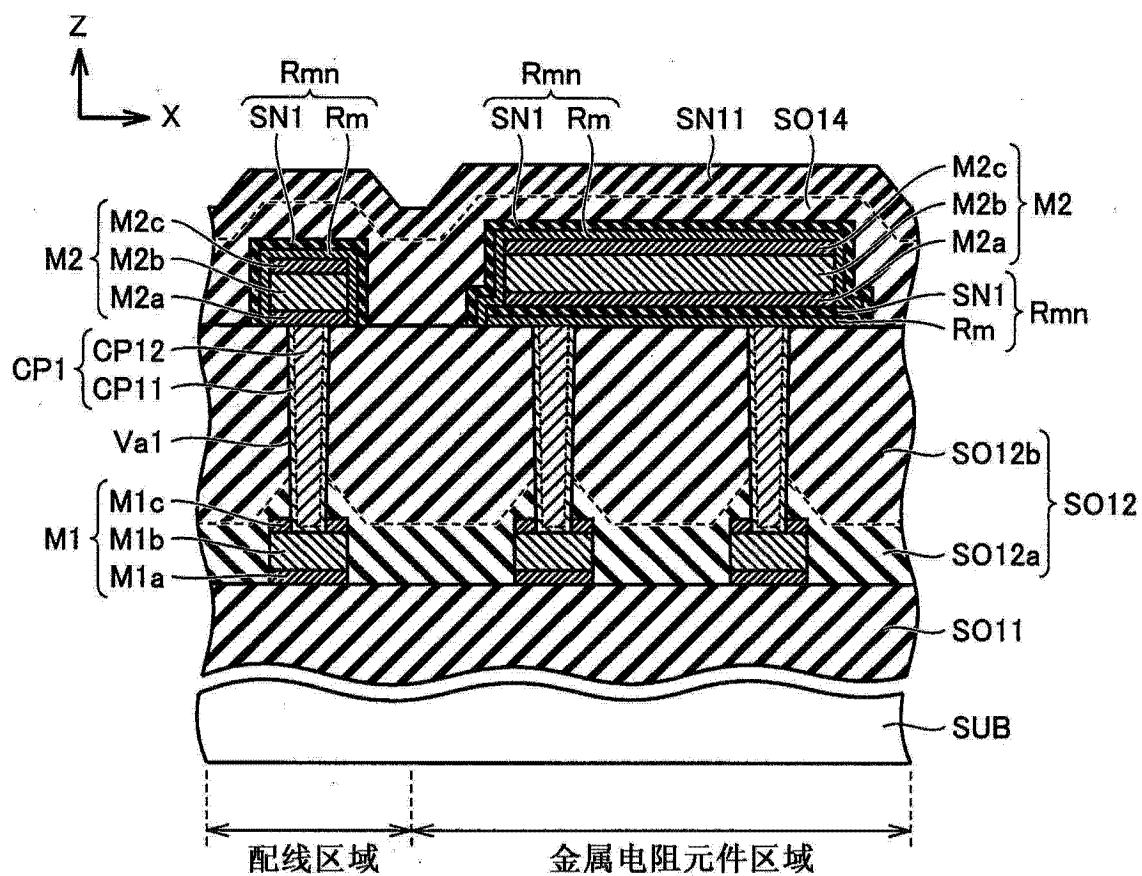


图 48

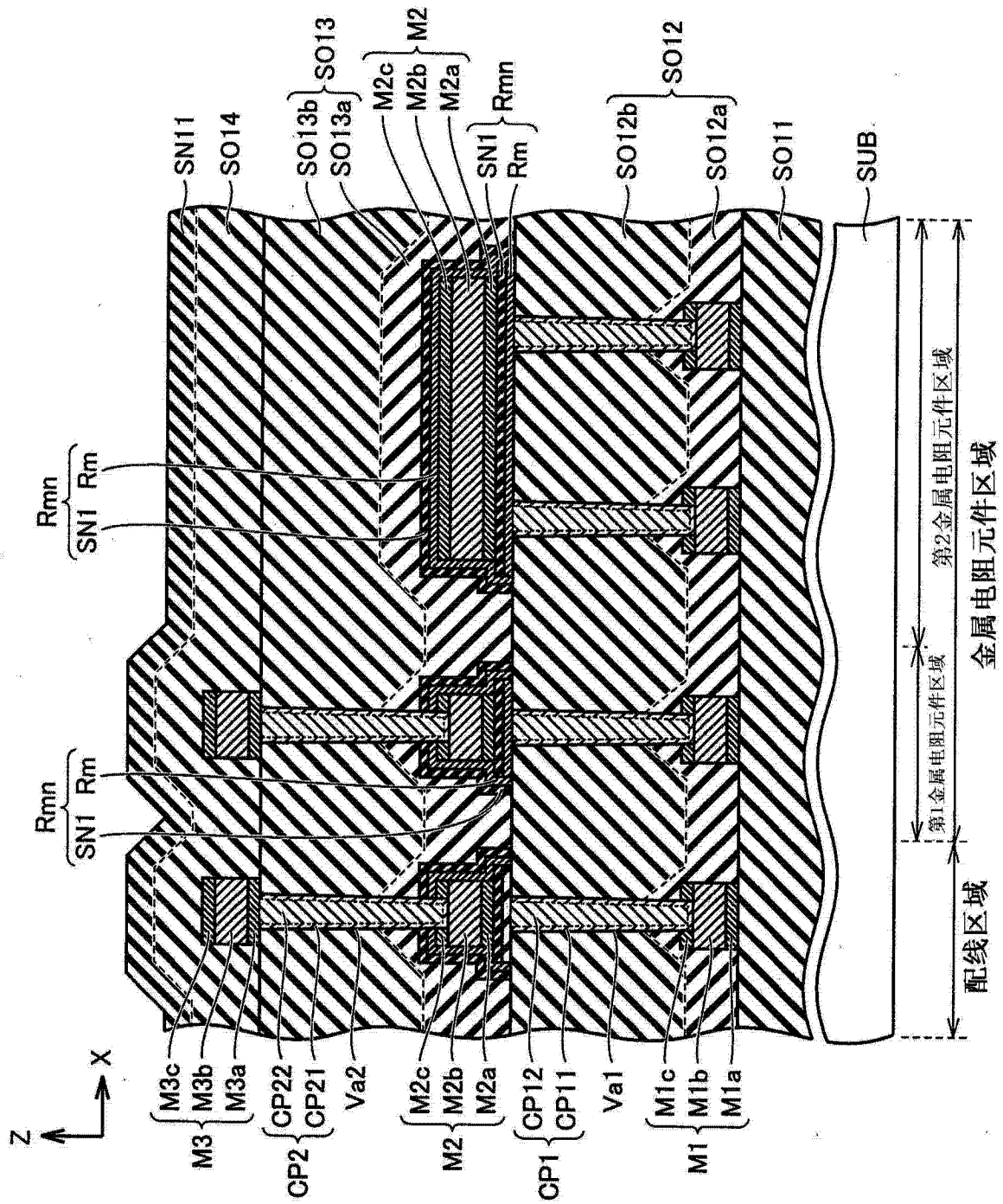


图 49