

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5383584号
(P5383584)

(45) 発行日 平成26年1月8日 (2014.1.8)

(24) 登録日 平成25年10月11日 (2013.10.11)

(51) Int.Cl.

F I

H O 3 M 1/68 (2006.01)

H O 3 M 1/74 (2006.01)

H O 3 M 1/68

H O 3 M 1/74

請求項の数 9 (全 14 頁)

(21) 出願番号	特願2010-103744 (P2010-103744)	(73) 特許権者	501387839
(22) 出願日	平成22年4月28日 (2010.4.28)		株式会社日立ハイテクノロジーズ
(65) 公開番号	特開2011-234202 (P2011-234202A)		東京都港区西新橋一丁目24番14号
(43) 公開日	平成23年11月17日 (2011.11.17)	(74) 代理人	100091096
審査請求日	平成24年7月17日 (2012.7.17)		弁理士 平木 祐輔
		(74) 代理人	100102576
			弁理士 渡辺 敏章
		(72) 発明者	任田 浩
			茨城県ひたちなか市大字市毛882番地
			株式会社日立ハイテクノロジーズ 那珂事業所内
		(72) 発明者	寺内 大輔
			茨城県ひたちなか市大字市毛882番地
			株式会社日立ハイテクノロジーズ 那珂事業所内
			最終頁に続く

(54) 【発明の名称】 電流制御装置および該装置を制御する方法

(57) 【特許請求の範囲】

【請求項1】

入力データの上位ビットおよび下位ビットを入力とする上位DACおよび下位DACがそれぞれ出力した電圧を重み付けして加算し、該加算電圧を電流変換する電流制御装置であって、

前記入力データを格納する入力用レジスタと、
前記入力データのうち、前記上位DACに振り分けられるデータをシフトさせるためのシフト量データを格納するシフト量レジスタと、
前記入力データと前記シフト量データとを加算するデジタル加算器と、
前記デジタル加算器からのデータを上位DAC用データおよび下位DAC用データとして生成するデータ振り分け器と、
前記下位DAC用データから前記シフト量データを減算するデジタル減算器と、
を備えることを特徴とする電流制御装置。

【請求項2】

前記下位DAC用データには、負の数を扱うためのサインビットが少なくとも1ビット含まれていることを特徴とする請求項1記載の電流制御装置。

【請求項3】

さらに、前記シフト量データを演算する装置を備え、該装置は、前記入力データを中心として前後所定の範囲外に前記上位DACの出力電圧が切り替わるポイントが移動するように、前記入力データ、前記上位DACの出力電圧が切り替わるポイント、及び前記下位

D A C の分解能から算出することを特徴とする請求項 1 記載の電流制御装置。

【請求項 4】

前記所定の範囲は、前記下位 D A C 分解能の $1/2$ に相当する範囲であることを特徴とする請求項 3 記載の電流制御装置。

【請求項 5】

さらに、前記シフト量データを予め記録するための記憶装置を備えることを特徴とする請求項 1 記載の電流制御装置。

【請求項 6】

入力データの上位ビットおよび下位ビットを入力とする上位 D A C および下位 D A C がそれぞれ出力した電圧を重み付けして加算し、該加算電圧を電流変換する電流制御装置を制御する方法であって、

10

デジタル加算器が、入力レジスタに格納された前記入力データと、シフト量レジスタに格納されたシフト量データとを加算するステップであって、前記シフト量データは、前記入力データのうち、前記上位 D A C に振り分けられるデータをシフトさせるためのデータである、ステップと、

データ振り分け器が、前記デジタル加算器からのデータを上位 D A C 用データおよび下位 D A C 用データとして生成するステップと、

デジタル減算器が、前記下位 D A C 用データから前記シフト量データを減算するステップと、

を備えることを特徴とする方法。

20

【請求項 7】

さらに、前記加算するステップの前に、C P U が、前記入力データを中心として前後所定の範囲内に前記上位 D A C の出力電圧が切り替わるポイントがある場合は、前記所定の範囲外に前記上位 D A C の出力電圧が切り替わるポイントが移動するように、前記シフト量データを、前記入力データ、前記上位 D A C の出力電圧が切り替わるポイント、及び前記下位 D A C の分解能から算出するステップを備えることを特徴とする請求項 6 記載の方法。

【請求項 8】

前記所定の範囲は、前記下位 D A C 分解能の $1/2$ に相当する範囲であることを特徴とする請求項 7 記載の方法。

30

【請求項 9】

さらに、前記加算するステップの前に、C P U が、記憶装置に予め記録しておいたシフト量データを前記シフト量レジスタへ送信するステップを備えることを特徴とする請求項 6 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流制御装置および該装置を制御する方法に関し、たとえば複合 D A コンバータを備える電流制御装置および該装置を制御する方法に関するものである。

【背景技術】

40

【0002】

近年、電子顕微鏡を代表とする荷電粒子線装置は、電子像の高解像度化、高画質化が進むにつれ、荷電粒子線の電子ビームを収束、偏向する電磁レンズや電磁偏向コイルの高精度な制御と高い安定性が不可欠となっている。このため、電磁レンズや電磁偏向コイルを駆動するための電流として 1×10^{-6} [A] 以下の分解能と安定性を実現するにあたり、この高分解能な電流を下支えする出力電圧に関しても同程度の分解能と安定性を実現しなければならない。

【0003】

一般的に、電磁レンズや電磁偏向コイルへ流す電流は、入力されたデジタルデータが D A コンバータ（以下 D A C）により電圧変換され、該電圧に応じて電流駆動オペアンプに

50

より決定される。このように、電流の分解能は、主としてDAC分解能に依存するため、前述した電流分解能を満足するには、20ビット以上のDAC分解能が必要となる。

【0004】

ところが、一般的に流通している工業用のDAC分解能は12～16ビット、高分解能なものでも18ビット程度までとなっており、前述の要求分解能を満足するものは無いに等しい。なお、音声処理用途などにおいては、 $\Delta\Sigma$ 型DACで20ビットを超えるようなものも存在するが、出力の直線性や安定性が十分でないため、高精度を求められる用途には適用できない。このような場合は、12～16ビット程度の比較的分解能の低いDACを複数個組み合わせて、高分解能で精度のよいDACを構成する。

【0005】

図1は、従来の高分解能DACの構成を表すブロック図である。従来の高分解能DACは、入力データを上位DAC101及び下位DAC102に振り分けるデータ振り分け器111、入力データのうち上位ビットが入力される上位DAC101、下位ビットが入力される下位DAC102、それぞれのDACのゲインを調整するゲイン調整用上位オペアンプ103及びゲイン調整用下位オペアンプ104、これらオペアンプの出力電圧を加算し電流を出力する電流駆動オペアンプ105、電磁レンズコイルまたは電磁偏向コイル106（以下、電磁レンズコイル等106）を備える。上位DACに対してnビット分だけ分解能を増やすには、ゲイン調整用上位オペアンプ103の出力を下位オペアンプ104の出力よりも 2^n だけ重み付けして、両出力を電流駆動オペアンプ105で加算すればよい。そのためには、ゲイン調整用上位オペアンプ103のゲインを、ゲイン調整用下位オペアンプ104の出力の 2^n に設定する。

【0006】

ここで、図1のような2つのDACを用いた回路構成において、上位DACと下位DACで出力に対する重み付けが異なる場合、上位DACの微分直線性精度の誤差がDAC全体の出力特性の直線性精度に大きく寄与する結果、下位DACから上位DACへデータが切り替わる点で、出力特性の不整合が現れることがある。

【0007】

図2は、従来の入力データと電流駆動オペアンプ105の出力電流特性との関係を表す図である。図2（a）は、ゲイン調整用上位オペアンプ103とゲイン調整用下位オペアンプ104との間に不整合が発生しない理想状態、（b）及び（c）は不整合が発生した場合である。このような不整合は、電流を微調整する際に電流とびとなって現れ、これによって、電磁レンズや電磁偏向コイルの高精度かつ高安定性な制御の実現を阻害する要因となる。

【0008】

このような問題を解決するため、特許文献1では、始めのうちは入力データを下位DACに入力して行き、下位DACのデータが全て“1”になった時点で下位のDACをリセットせずに、引き続き上位DACにだけデータを入力していく方法を開示している。

【0009】

図3は、特許文献1の入力データと電流駆動オペアンプ105の出力電流特性との関係を表す図である。もし、下位DACから上位DACへ切り替わる点で不整合が発生しても下位DACから上位DACへ桁上げされる1ヶ所のみであり、出力が逆戻りすることもない。

【0010】

また、特許文献2では、下位DACの出力電圧を補正DACで調整することで、下位DACから上位DACへの桁上げの際に生じる不整合を緩和する方法を開示している。

【0011】

図4は、特許文献2の高分解能DACの構成を表すブロック図である。補正DAC41と、補正データを記録するROM42が設けられている。

【先行技術文献】

【特許文献】

10

20

30

40

50

【0012】

【特許文献1】特開平11-271090号公報

【特許文献2】特開2002-335159号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、上記特許文献1は、制御対象が $1/2^n$ という特殊な特性を持つような非線形の系に対しての電圧入力には有効な方法であるが、回路の電流制御のようなリニアな特性が求められる系においては、下位DACの設定データが一旦全て“1”となると、最小の分解能は上位DACの分解能で決まってしまう。即ち、高い分解能と直線性は出力の小さな限られた領域でしか得られない。

10

【0014】

一方、上記特許文献2は、補正DACを別に設ける必要があり、回路構成の複雑化、回路規模の増大を避けられない。また、上位DACが変化するポイントごとに補正データをROMに記憶させる必要がある。特許文献2では、具体例として上位DACの分解能を2ビットとしているので、 $2^2 = 4$ 個の補正データを記憶すれば足りるが、さらに上位DACを高分解能の8ビットとする場合は、 $2^8 = 256$ 個もの補正データを記憶する必要が生じる。従って、この補正データ分のROMを用意する必要があり、また補正データを計算する手間と時間がかかる。

20

【0015】

本発明は、上記課題に鑑みてなされたものであり、DACの微分直線性精度の誤差に起因して電流とびが発生しても、簡単な回路構成により電流とびを電流微調整範囲外にシフトさせることで、高分解能と高安定性の電流制御を実現する荷電粒子線装置を提供するものである。

【課題を解決するための手段】

【0016】

上記課題を解決するために本発明は、論理集積回路内に、シフト量レジスタ、デジタル加算器、およびデジタル減算器を設けることで、入力データにシフト量データを一旦加算処理してから、2つのDACにデータ振り分けし、シフト量データと下位DAC用データとを減算処理する。

30

【0017】

すなわち、本発明の電流制御装置は、入力データの上位ビットおよび下位ビットを入力とする上位DACおよび下位DACがそれぞれ出力した電圧を重み付けして加算し、該加算電圧を電流変換する電流制御装置であって、前記入力データを格納する入力用レジスタと、前記入力データのうち、前記上位DACに振り分けられるデータをシフトさせるためのシフト量データを格納するシフト量レジスタと、前記入力用レジスタに格納されたデータと前記シフト量レジスタに格納されたデータとを加算するデジタル加算器と、前記加算器からのデータを上位DAC用データおよび下位DAC用データとして生成するデータ振り分け器と、前記下位DAC用データから前記シフト量レジスタに格納されたデータを減算するデジタル減算器と、を備える。

40

【0018】

また、本発明の電流制御装置を制御する方法は、入力データの上位ビットおよび下位ビットを入力とする上位DACおよび下位DACがそれぞれ出力した電圧を重み付けして加算し、該加算電圧を電流変換する電流制御装置を制御する方法であって、デジタル加算器が、入力レジスタに格納された前記入力データと、シフト量レジスタに格納されたシフト量データとを加算するステップであって、前記シフト量データは、前記入力データのうち、前記上位DACに振り分けられるデータをシフトさせるためのデータである、ステップと、データ振り分け器が、前記デジタル加算器からのデータを上位DAC用データおよび下位DAC用データとして生成するステップと、デジタル減算器が、前記下位DAC用データから前記シフト量データを減算するステップと、を備える。

50

【発明の効果】

【0019】

本発明によれば、DACの微分直線性精度の誤差に起因して電流とびが発生しても、簡単な回路構成により電流とびを電流微調整範囲外にシフトさせることができる。これにより、高分解能と高安定性の電流制御を実現できる。

【図面の簡単な説明】

【0020】

【図1】従来の高分解能DACの構成を表すブロック図である。

【図2】従来の入力データと電流駆動オペアンプの出力電流特性との関係を表す図である。

10

【図3】特許文献1の入力データと電流駆動オペアンプの出力電流特性との関係を表す図である。

【図4】特許文献2の高分解能DACの構成を表すブロック図である。

【図5】本発明の荷電粒子線装置における観察処理を表すフローチャートである。

【図6】本発明の実施形態における上位DACが切り替わる点をシフトさせる概念図である。

【図7】本発明の実施形態における高分解能DACの構成を表すブロック図である。

【図8】本発明の実施形態における高分解能DACが行うシフト演算処理を表すフローチャートである。

【図9】本発明の実施形態における入力データに対する、上位DAC用データおよび下位DAC用データの振り分け方を示す図である。

20

【図10】本発明の実施形態におけるシフト量データが0の場合の、電流微調整範囲における上位DAC用データおよび下位DAC用データの振り分けを表す図である。

【図11】本発明の実施形態におけるシフト量データが16進数で800の場合の、電流微調整範囲における上位DAC用データおよび下位DAC用データの振り分けを表す図である。

【発明を実施するための形態】

【0021】

本発明は、入力データの上位ビットおよび下位ビットを入力とする上位DACおよび下位DACがそれぞれ出力した電圧を重み付けして加算し、該加算電圧を電流変換する電流制御装置、および該装置の制御方法に関するものである。以下、添付図面を参照して本発明の実施形態について説明する。ただし、本実施形態は本発明を実現するための一例にすぎず、本発明の技術的範囲を限定するものではないことに注意すべきである。また、各図において共通の構成については同一の参照番号が付されている。

30

【0022】

<荷電粒子線装置における観察処理>

本発明の実施形態における荷電粒子線装置では、上位DACの微分直線性精度の誤差が重み付けされることによって、出力電流特性が理想状態から外れたり、電流とびが発生したりするために、電磁レンズコイル等に流す電流値を理論値に合わせ難いという前提のもと、次の要領で電磁レンズコイル等に流す電流値の設定を行う。

40

【0023】

すなわち、入力データを設定して所望の電流値付近に電流値をおおまかに合わせた後、入力データの前後所定の範囲（電流微調整範囲）に亘ってデータを微小変動させて電流値を微調整することで、出力電流特性のズレに対処する。このとき、微小変動させる範囲に電流とびが含まれる場合は、当該範囲外に電流とびをシフトさせることで、電流とびを回避する。

【0024】

図5は、本発明の荷電粒子線装置における観察処理を表すフローチャートである。ここでは、電子顕微鏡の場合を例として、説明する。以下の処理の主体は、特に表記がなければ後述のCPU（図7）である。

50

【0025】

ステップ501では、試料の観察ポイントへ視野を移動する。

ステップ502では、入力データを設定する。このときの入力データを初期値とする。ここでは、視野内の試料に焦点をおおまかに合わせることを目的とする。また、通常はシフト量は0に設定する。なお、予め電流とびとシフト量との関係が分かっている場合、例えば、頻繁に使用する電流領域がある場合や、試料を連続して観察する場合は、予め記録しておいた記憶装置等からシフト量データを読み出してもよい。

【0026】

ステップ503では、演算処理を行う。ここでは、入力データが入力されてから電流として出力されるまでの演算処理が行われる。また、ステップ502でシフト量が設定されている場合は、上位DACが切り替わるポイントをシフト量データ分だけシフトさせる演算処理が行われる。詳細は後述する（図8）。 10

【0027】

ステップ504では、所望の電流値が電磁レンズコイル等106に出力されたか判断する。出力電流特性のズレにより、この段階では、所望の電流は出力されないことが多い。判断基準は、例えば、電子顕微鏡の焦点が合っているか否かで判断する。所望の電流値が出力されていると判断された場合は、ステップ505へ進み、試料の観察を行う。

【0028】

ステップ506では、次の観察ポイントがあるか否かを判断する。ない場合は、観察を終了する。ある場合は、ステップ501へ戻る。 20

【0029】

ステップ507では、ステップ504で所望の電流値が出力されていないと判断された場合は、電流微調整範囲内に電流とびが発生しないか判断する。電流とびが発生していると判断された場合は、ステップ508に進み、発生していないと判断された場合は、ステップ510に進む。ここで、電流微調整範囲とは、最大で上位DACが切り替わった直後から次に切り替わる直前までの範囲、つまり最大で下位DAC分解能の範囲を意味する。以下、電流微調整範囲は、初期値を中心として前後下位DAC分解能の1/2に相当する範囲までの最大範囲を意味するが、任意の値に設定可能であることは言うまでもない。また、電流とびの判断方法は、例えば、上位DACが切り替わるポイント前後で入力データを変動させてみて、電流値の差分値が下位DACの最小分解能電流値の±100%以内になければ、電流とびが発生していると判断する。 30

【0030】

ステップ508では、ステップ507で電流とびが発生していると判断された場合は、シフト量データを再設定し、ステップ509にて、再設定後のシフト量データで再度演算処理を行う。シフト量は、初期値、上位DACが切り替わるポイント、及び下位DACの分解能から算出する。これによって、電流微調整範囲内に含まれる電流とびを当該範囲外にシフトさせることができる。

【0031】

ステップ510では、入力データの再設定を行い、ステップ511では、再設定された入力データが電流微調整範囲内にあるか否かを判断する。 40

【0032】

ステップ512では、ステップ511で電流微調整範囲内にあると判断された場合は、再設定後のデータで再度演算処理を行う。これにより、電流微調整範囲内、つまり微調整可能な最大範囲である下位DAC分解能の範囲で、現在の電流値を微調整することができる。すなわち、当該範囲内であれば、電流とびが発生することなく、高分解能と高安定性の電流制御を実現することができる。

【0033】

ステップ513では、ステップ504と同様、所望の電流値が電磁レンズコイル等106に出力されたか判断する。出力されていると判断された場合は、ステップ505に進む。出力されていないと判断された場合は、ステップ510に戻り、再度電流値の微調整を 50

行う。

【0034】

以上の通り、まずは電磁レンズコイル106等に流す電流を大まかに決定した後、電流微調整範囲内に含まれる電流とびを当該範囲外にシフトさせることで、微調整可能な最大範囲である下位DAC分解能の範囲で電流の微調整をすることができる。すなわち、当該範囲内であれば、電流とびが発生することなく、高分解能と高安定性の電流制御を実現することができる。

【0035】

図6は、本発明の実施形態におけるステップ503等で上位DACが切り替わる点をシフトさせる概念図である。図6では、簡略化のため、電流微調整範囲は実際よりも少なく表示している。図のように、シフト量を初期値に加算することで、上位DACが切り替わる点が右にシフトし、電流微調整範囲に電流とびが含まれなくなっている。

10

【0036】

<高分解能DACの構成>

本発明の実施形態における高分解能DACは、論理集積回路内に、シフト量レジスタ708、デジタル加算器709、およびデジタル減算器710を設けることで、入力データのうち、上位DACに振り分けられるデータのみをシフトさせる機能が付加される。

【0037】

図7は、本発明の実施形態における高分解能DACの構成を表すブロック図である。図7の高分解能DACでは、従来の高分解能DACと同様に、上位DAC101、下位DAC102、ゲイン調整用上位オペアンプ103、ゲイン調製用下位オペアンプ104、電流駆動オペアンプ105、電磁レンズコイル等106、を備える。これらに加え、論理集積回路700を設けたことを特徴とし、論理集積回路700は、入力データを保持する入力用レジスタ707、シフト量データを保持するシフト量レジスタ708、入力用レジスタ707およびシフト量設定レジスタ708に保持されたデータを加算するデジタル加算器709、デジタル加算器709からのデータを上位DAC101およびデジタル減算器710へ振り分けるデータ振り分け器711、データ振り分け器711からのデータからシフト量設定レジスタ708に保持されたデータを減算する減算器710、を備える。論理集積回路700は、CPU713によって制御され、CPUには入出力装置712が接続されている。

20

30

【0038】

なお、デジタル加算器709、デジタル減算器710の位置を入れ替えることも可能である。

【0039】

<高分解能DACのシフト演算処理>

上述のステップ503、509、及び512で行う演算処理について詳細に説明する。

【0040】

図8は、本発明の実施形態における高分解能DACが行うシフト演算処理を表すフローチャートである。以下の処理の主体は、特に表記がなければCPU713である。

【0041】

ステップ801では、入力用レジスタ707において、入力データを格納する。また、シフト量レジスタ708において、シフト量データを格納する。入力データおよびシフト量データは、ユーザが入出力装置712から直接入力してもよいし、例えば上述のステップ502、508、510等の場合はCPU713が自動で入力することもできる。

40

【0042】

ステップ802では、デジタル加算器709において、入力用レジスタ707のデータと、シフト量レジスタ708のデータとの加算処理を行う。加算したデータは、データ振り分け器711へ送る。これにより、シフト量レジスタ708のデータ分だけ上位DACの切り替わるポイントがシフトする。

【0043】

50

ステップ803では、データ振り分け器711において、上位DAC用のデータと下位DAC用のデータを生成する。上位DAC用のデータはそのまま上位DAC101へ送り、下位DAC用のデータは減算器710へ送る。

【0044】

ステップ804では、減算器710において、ステップ802で加算したデータと、シフト量レジスタ708のデータとの減算処理を行う。減算したデータは、下位DAC102に送る。このように、上位DACの出力電流値がシフトした分を、下位DACの出力電流値で調整することで、最終的な出力電流値を合わせ込む。

【0045】

ステップ805では、各DAC101、102において、それぞれの入力データに基づいた電圧を出力する。また、各ゲイン調整用オペアンプ103、104において、それぞれの出力電圧への重み付けが調整される。

10

【0046】

ステップ806では、電流駆動オペアンプにおいて、重み付けされた各DACからの出力電圧を加算し、電圧電流変換を行う。これにより、電磁レンズコイル等106に電流が流れる。

【0047】

以上の通り、本発明の実施形態における高分解能DACは、論理集積回路内に、シフト量レジスタ、デジタル加算器、およびデジタル減算器を設けることで、入力データにシフト量データを一旦加算処理してから、2つのDACにデータ振り分けし、シフト量データと下位DAC用データとを減算処理する。これにより、電流微調整範囲において、電流と

20

【0048】

なお、図7でデジタル加算器709とデジタル減算器710の位置を入れ替え、シフト量を上位DACに振り分けられるデータから減算してもよい。

【0049】

<具体例>

次に、図7の構成において、16ビットのデータ幅を持つ上位DAC101および下位DAC102を用いて、24ビットの電流分解能を実現させる例について説明する。

【0050】

30

ここでは、16ビットの上位DACに対して、8ビット分だけ分解能を増やして合計24ビットとなるように、ゲイン調整用上位オペアンプ103の出力とゲイン調整用下位オペアンプ104の出力の重み付け比を $2^8 : 1 = 256 : 1$ と設定する。また、データ振り分け器711は、12ビットと13ビットの境界で、上位DACと下位DACのデータ振り分けを実施する。

【0051】

図9は、本発明の実施形態における入力データに対する、上位DAC用データおよび下位DAC用データの振り分け方を示す図である。図示のように、データ振り分け器711は、24ビットの入力データの上位12ビットを上位詰めで抜き出して16ビットの上位DAC用データを生成し、入力データの下位12ビットを下位詰めで抜き出して16ビットの下位DAC用データを生成する。ここで、Sはサインビットであり、データ表記形式に負の数を扱えるように2の補数表記とする。下位DACデータの上位4ビットは、入力データの最上位ビットであるサインビットを配置するものとする。

40

【0052】

以下、シフト量データが0の場合と16進数で800（以下、800₍₁₆₎）のように表記する場合とに分けて、電流微調整範囲における上位DAC用データおよび下位DAC用データの変化について説明する。

【0053】

（シフト量データが0の場合）

図10は、本発明の実施形態におけるシフト量データが0の場合の、電流微調整範囲に

50

おける上位DAC用データおよび下位DAC用データの振り分けを表す図である。シフト量データが0の場合、データ振り分け器711は、24ビットの入力データを12ビットと13ビットの境界で上位DAC用データおよび下位DAC用データに単純に振り分ける。図10では簡略化のため、入力データの5AFFFFC～5B0003が電流微調整範囲であるとし、この範囲で入力データを一つずつ変化させて電流を微調整する場合を考える。ここで、入力データを5AFFFFFFから5B0000に変化させると、上位DACが5AF0から5B00に切り替わる。このとき、前述のとおり、図2(a)あるいは(b)のような電流とびが発生するおそれがある。この原因は、上位DACが16ビット精度程度の微分直線性精度しか持っていないためであり、24ビット精度まで微分直線性精度を保証したDACは現在のところ皆無である。そこで次のようにシフト量データを設定して、この電流微調整範囲内で電流とびを排除する。

10

【0054】

(シフト量データが800(16)の場合)

図11は、本発明の実施形態におけるシフト量データが800(16)の場合の、電流微調整範囲における上位DAC用データおよび下位DAC用データの振り分けを表す図である。シフト量データが800(16)の場合、24ビットの入力データはデジタル加算器709によって入力データに800(16)が加算され、加算されたデータは振り分け器711に入力される。振り分け器711は、上記と同様に、12ビットと13ビットの境界で上位DAC用データおよび下位DAC用データに単純に振り分ける。上位DAC用データはそのまま上位DACに送られる。一方、下位DAC用データはデジタル減算器710によって800(16)の減算処理が行われた上で下位DACに送られる点が図10と異なる。この処理により、図11では、入力データの5AFFFFC～5B0003の電流微調整範囲で入力データを一つずつ変化させても、上位DAC用データは5B00に固定化され、切り替わることはない。従って、電流とびは発生しない。

20

【0055】

このように、上位DAC用データにシフト量データを加算することで、上位DACが切り替わるポイントを電流微調整範囲外に移動させ、電流微調整範囲内の電流とびを回避することができる。

【0056】

なお、ここではシフト量データを下位DAC分解能1000(16)の半分である800(16)に設定したが、下位DAC分解能の範囲まで拡大することが可能である。また、下位DACデータの上位4ビットをサインビットとして設定したが、サインビットは最低1ビット分あればよい。すなわち、下位DACは最大で15ビットまで使用することができる。

30

【0057】

<まとめ>

本発明の実施形態における高分解能DACは、論理集積回路内に、シフト量レジスタ708、デジタル加算器709、およびデジタル減算器710を設けることで、入力データのうち、上位DACに振り分けられるデータのみをシフトさせる。

【0058】

この場合において、シフト量データは、入力データを中心として前後下位DAC分解能の1/2に相当する範囲外に上位DACの出力電圧が切り替わるポイントが移動するように、入力データ、上位DACの出力電圧が切り替わるポイント、及び下位DACの分解能から算出する。または、シフト量データをあらかじめ記録装置に記録しておけば、シフト量データの値を決定する時間と手間が省略できる。

40

【0059】

これにより、シフト量データ分だけ、上位DACの切り替えポイントを移動させることができる。よって、DACの微分直線性精度の誤差に起因して出力電流特性のズレや電流とびが発生しても、簡単な回路構成で、高分解能と高安定性の電流制御を実現することができる。

50

【0060】

また、下位DAC用データのうち、少なくとも1つをサインビットとして設定する。

これにより、下位DAC用データとシフト量データとの減算処理において、負の数を扱うことが可能となる。

【符号の説明】

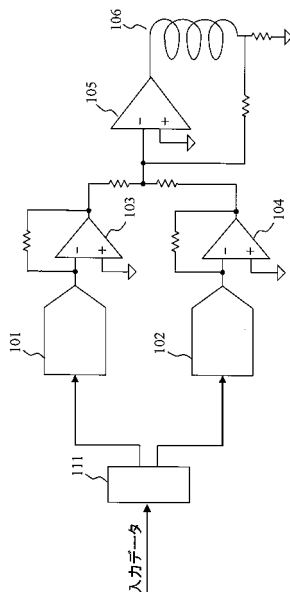
【0061】

- 101 上位DAC
- 102 下位DAC
- 103 ゲイン調整用上位オペアンプ
- 104 ゲイン調整用下位オペアンプ
- 105 電流駆動オペアンプ
- 106 電磁レンズコイル等
- 700 論理集積回路
- 707 入力用レジスタ
- 708 シフト量レジスタ
- 709 デジタル加算器
- 710 デジタル減算器
- 711 データ振り分け器
- 712 入出力装置
- 713 CPU

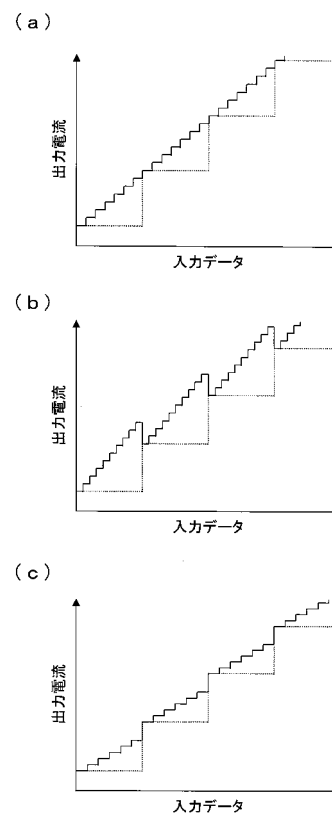
10

20

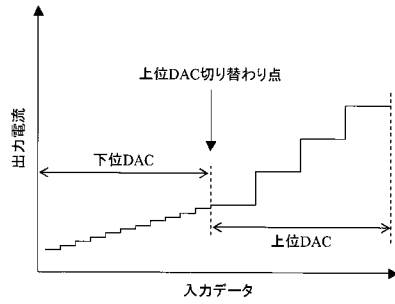
【図1】



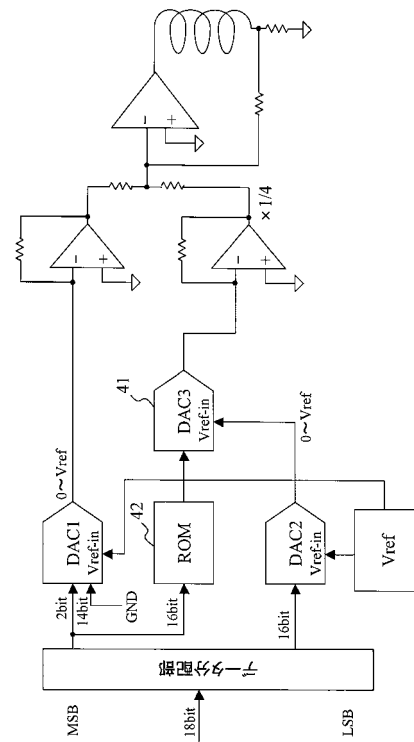
【図2】



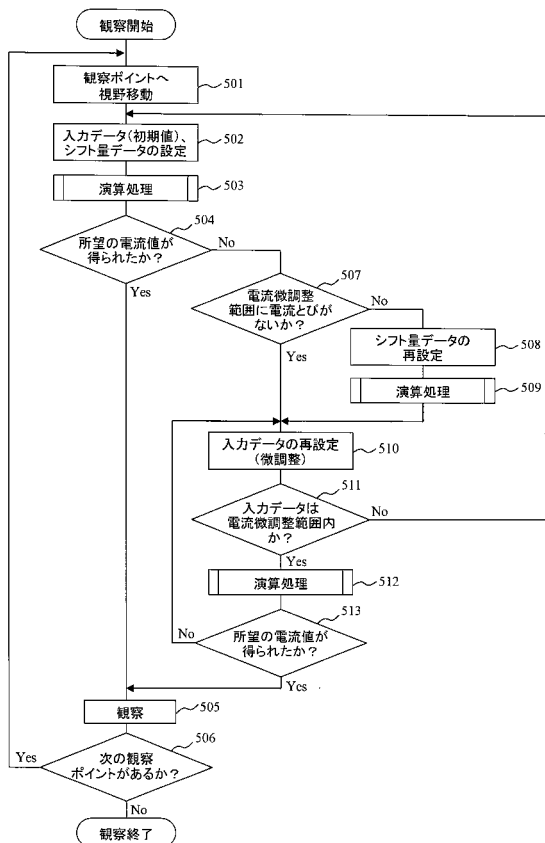
【図 3】



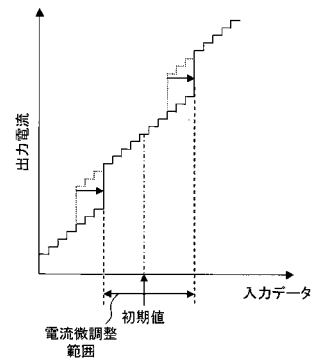
【図 4】



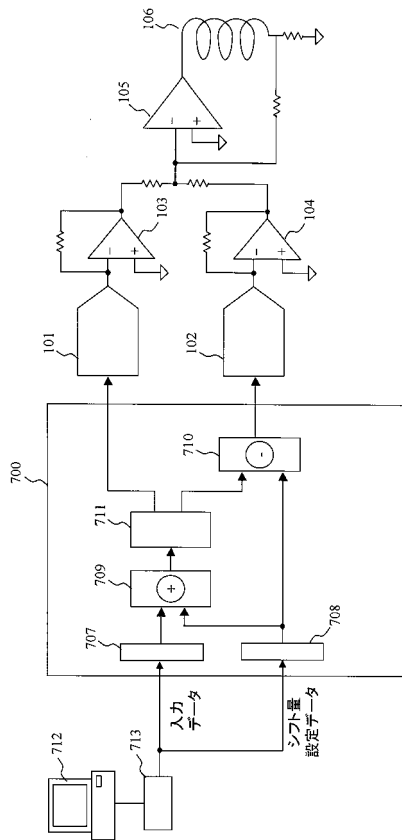
【図 5】



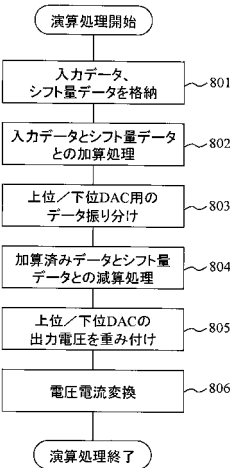
【図 6】



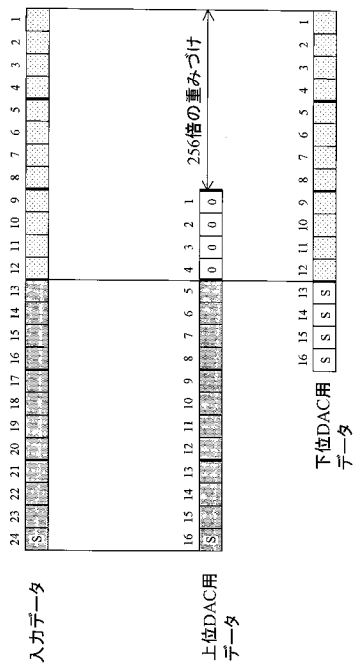
【図 7】



【図 8】



【図 9】



【図 10】

入力データ 16進数表記	上位DAC用データ		下位DAC用データ		(A)×(B)
	16進数表記	256倍の重み付けをした 10進表記・・・(A)	16進数表記	10進数表記 ・・・(B)	
5AFFFC	5AFFFC	5959680	0FFC	4092	5963772
5AFFFD	5AFFFD	5959680	0FFD	4093	5963773
5AFFFE	5AFFFE	5959680	0FFE	4094	5963774
5AFFFF	5AFFFF	5959680	0FFF	4095	5963775
5B0000	5B0000	5963776	0000	0	5963776
5B0001	5B0001	5963776	0001	1	5963777
5B0002	5B0002	5963776	0002	2	5963778
5B0003	5B0003	5963776	0003	3	5963779

【図 11】

入力データ	16進数表記	10進数表記	デジタル入力データに シフト分800 加算したデータ	上位DAC用データ		下位DAC用 データ (減算器入力 データ)	下位DAC用データ (下位DAC用入力データに シフト分800を減算した値)		(A)×(B)
				16進数表記	256倍の重み付 けを施した10進数 表記---(A)		16進数表記	10進数表記 ---(B)	
5AFFFF	5963772		5B07FC	5B00	5963776	07FC	FFFC	-4	5963772
5AFFFD	5963773		5B07FD	5B00	5963776	07FD	FFFD	-3	5963773
5AFFFE	5963774		5B07FE	5B00	5963776	07FE	FFFE	-2	5963774
5AFFFE	5963775		5B07FF	5B00	5963776	07FF	FFFF	-1	5963775
5B0000	5963776		5B0800	5B00	5963776	0800	0000	0	5963776
5B0001	5963777		5B0801	5B00	5963776	0801	0001	1	5963777
5B0002	5963778		5B0802	5B00	5963776	0802	0002	2	5963778
5B0003	5963779		5B0803	5B00	5963776	0803	0003	3	5963779

フロントページの続き

(72)発明者 笠井 優

茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社日立ハイテクノロジーズ 那珂事業所内

審査官 船越 亮

(56)参考文献 特開平 0 1 - 2 2 9 5 2 4 (J P, A)
特開平 1 1 - 2 7 1 0 9 0 (J P, A)
特開 2 0 0 2 - 3 3 5 1 5 9 (J P, A)
実開平 0 4 - 0 0 4 4 3 4 (J P, U)
特開昭 5 8 - 0 1 0 9 1 8 (J P, A)
特開 2 0 1 1 - 1 4 7 1 1 6 (J P, A)

(58)調査した分野(Int.Cl., D B名)

H 0 3 M 1 / 0 0 - 1 / 8 8